(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3626521号

(P3626521)

(45)発行日　平成17年3月9日(2005.3.9)　(24)登録日　平成16年12月10日(2004.12.10)

(51)Int.Cl.[7]	F I		
G05F 3/24	G05F	3/24	B
G11C 11/407	G11C	11/34	354F
H01L 21/822	H01L	27/04	B
H01L 27/04			

請求項の数 35　(全 84 頁)

(21)出願番号　特願平7-71
(22)出願日　平成7年1月4日(1995.1.4)
(65)公開番号　特開平8-171432
(43)公開日　平成8年7月2日(1996.7.2)
審査請求日　平成13年12月26日(2001.12.26)
(31)優先権主張番号　特願平6-29873
(32)優先日　平成6年2月28日(1994.2.28)
(33)優先権主張国　日本国(JP)
(31)優先権主張番号　特願平6-251002
(32)優先日　平成6年10月17日(1994.10.17)
(33)優先権主張国　日本国(JP)

(73)特許権者　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目２番３号
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄
(74)代理人　100091395
弁理士　吉田　博由
(74)代理人　100091409
弁理士　伊藤　英彦
(72)発明者　大石　司
兵庫県伊丹市瑞原４丁目１番地　三菱電機株式会社ユー・エル・エス・アイ開発研究所内

最終頁に続く

(54)【発明の名称】基準電位発生回路、電位検出回路および半導体集積回路装置

(57)【特許請求の範囲】

【請求項１】

第１の電位と第２の電位との間の基準電位を発生する基準電位発生回路であって、

前記基準電位が発生される出力ノードと、

前記出力ノードに接続された一方導通電極と、第３の電位が与えられる第１のノードに接続された他方導通電極とを持つ第１の第１導電型トランジスタと、

前記出力ノードに接続された一方導通電極と、第４の電位が与えられる第２のノードに接続された他方導通電極とを持つ第１の第２導電型トランジスタと、

前記出力ノードに接続された一方導通電極と、第５の電位が与えられる第３のノードに接続された他方導通電極とを持ち、かつ前記第１の第１導電型トランジスタのチャネル長よりも長いチャネル長を持つ第２の第１導電型トランジスタと、

前記出力ノードに接続された一方導通電極と、第６の電位が与えられる第４のノードに接続された他方導通電極とを持ち、かつ前記第１の第２導電型トランジスタのチャネル長よりも長いチャネル長を持つ第２の第２導電型トランジスタと、

第１の制御電位を前記第１の第１導電型トランジスタの制御電極と前記第２の第１導電型トランジスタの制御電極とにそれぞれ与える第１の印加手段と、

第２の制御電位を前記第１の第２導電型トランジスタの制御電極と前記第２の第２導電型トランジスタの制御電極とにそれぞれ与える第２の印加手段とを備えた基準電位発生回路。

【請求項２】

前記第２の第１導電型トランジスタは、前記第１の第１導電型トランジスタのチャネル幅よりも大きいチャネル幅を持ち、かつ前記第２の第２導電型トランジスタは、前記第１の第２導電型トランジスタのチャネル幅よりも大きいチャネル幅を持つことを特徴とする、請求項１に記載の基準電圧発生回路。

【請求項３】

第１の電源電位と接地電位との間の基準電位を発生する基準電位発生回路であって、

前記基準電位が発生される出力ノードと、

前記第１の電源電位に基づいて第２の電源電位を発生する第１の電位変換手段と、

前記第２の電源電位と、前記接地電位に基づく第３の電位との間で変化する制御電位を発生する制御電位発生手段と、

前記第１の電源電位に接続された一方導通電極と、前記出力ノードに接続された他方導通電極と、前記制御電位を受ける制御電極とを有するトランジスタとを備えた基準電位発生回路。

【請求項４】

基準電位が発生される出力ノードと、

第１の電位が与えられる第１のノードに接続された一方導通電極と、前記出力ノードに接続された他方導通電極とを持つ第１導電型トランジスタと、

前記出力ノードと第２の電位が与えられる第２のノードとの間に接続された出力抵抗手段と、

所定の制御電位を発生しかつその発生された制御電位を前記第１導電型トランジスタの制御電極に供給するためのものであって、

第３の電位が与えられる第３のノードから第４の電位が与えられる第４のノードまでの第１の経路と、

第５の電位が与えられる第５のノードから第６の電位が与えられる第６のノードまでの第２の経路と、

前記第１の経路に流れる電流に応答して前記第２の経路に流れる電流を制御する第１のカレントミラー手段と、

前記第２の経路に流れる前記電流に応答して前記第１の経路に流れる前記電流を制御する第２のカレントミラー手段と、

前記第１の経路中であって前記第１のカレントミラー手段と前記第２のカレントミラー手段との間に位置し、前記第１導電型トランジスタの前記制御電極に接続された制御ノードと、

前記第１の経路中であって前記制御ノードと前記第１のカレントミラー手段との間に接続された第１の抵抗要素と、

前記第１の経路中であって前記第２のカレントミラー手段と前記第４のノードとの間に接続された第２の抵抗要素とを含む制御電位発生手段とを備えた基準電位発生回路。

【請求項５】

前記制御電位発生手段における前記第１の抵抗要素は、正および負のうち一方の温度係数を持ち、かつ

前記制御電位発生手段における前記第２の抵抗要素は、当該他方の温度係数を持つことを特徴とする請求項４に記載の基準電位発生回路。

【請求項６】

前記制御電位発生手段における前記第１の抵抗要素は、第７の電位が与えられる第７のノードに接続された制御電極を持つ第１導電型トランジスタであることを特徴とする請求項４に記載の基準電位発生回路。

【請求項７】

基準電位が発生される出力ノードと、

所定の制御電位を発生するためのものであって、

第１の電位が与えられる第１のノードから第２の電位が与えられる第２のノードまでの第１の経路と、

第３の電位が与えられる第３のノードから第４の電位が与えられる第４のノードまでの第２の経路と、
前記第１の経路に流れる電流に応答して前記第２の経路に流れる電流を制御する第１のカレントミラー手段と、
前記第２の経路に流れる前記電流に応答して前記第１の経路に流れる前記電流を制御する第２のカレントミラー手段と、
前記第２の経路中であって前記第１のカレントミラー手段と前記第２のカレントミラー手段との間に位置し、前記制御電位が発生される制御ノードと、
前記第１の経路中であって前記第２のカレントミラー手段と前記第２のノードとの間に接続された第１の抵抗要素と、
前記第２の経路中であって前記制御ノードと前記第２のカレントミラー手段との間に接続された第２の抵抗要素とを含む制御電位発生手段と、
第５の電位が与えられる第５のノードに接続された一方導通電極と、他方導通電極と、前記制御電位発生手段における前記制御ノードに接続され前記制御電位を受ける制御電極とを持つ第１導電型トランジスタと、
前記出力ノードと第６の電位が与えられる第６のノードとの間に接続された出力抵抗手段と、
前記第１導電型トランジスタの中へ流れる電流に応答して前記出力抵抗手段の中へ流れる電流を制御する手段とを備えた基準電位発生回路。
【請求項８】
制御電位発生手段における前記第２の抵抗要素は、第７の電位が与えられる第７のノードに接続された制御電極を持つ第１導電型トランジスタであることを特徴とする請求項７に記載の基準電位発生回路。
【請求項９】
前記制御電位発生手段における前記第１の経路および前記第２の経路のうち少なくとも一方に電流を注入するスタートアップ手段をさらに備えたことを特徴とする請求項４から請求項８のいずれかに記載の基準電位発生回路。
【請求項１０】
所定電位を検出しかつその検出された所定電位が所定の検出レベルに達しているか否かを判定する電位検出回路であって、
出力ノードと、
前記出力ノードへ所定の基準電流を供給する基準電流供給手段と、
前記所定電位を検出する検出ノードと、
前記検出ノードに与えられた前記所定電位に応答して前記出力ノードへ比較電流を供給する比較電流供給手段とを備えた電位検出回路。
【請求項１１】
前記比較電流供給手段は、
前記検出ノードに与えられた前記所定電位に応答してその中に検出電流が流れる抵抗手段と、
前記検出電流に応答して前記比較電流を制御するカレントミラー手段とを備えたことを特徴とする請求項１０に記載の電位検出回路。
【請求項１２】
前記比較電流供給手段はさらに、
前記抵抗手段と前記カレントミラー手段との間に接続されかつ第１の基準電位が与えられるゲート電極を有する第１のトランジスタを備えたことを特徴とする請求項１１に記載の電位検出回路。
【請求項１３】
前記抵抗手段は、第２の基準電位が与えられるゲート電極を有する第２のトランジスタであることを特徴とする請求項１２に記載の電位検出回路。
【請求項１４】

前記出力ノードの電位に応答して、前記所定電位が所定の検出レベルに達しているとき前記比較電流に加えて前記出力ノードへ付加電流を供給する付加電流供給手段をさらに備えたことを特徴とする請求項１０から請求項１３のいずれかに記載の電位検出回路。

【請求項１５】

前記出力ノードの電位を増幅する増幅手段をさらに備えたことを特徴とする請求項１０から請求項１４のいずれかに記載の電位検出回路。

【請求項１６】

前記抵抗手段は、前記第１のトランジスタに接続されたソース電極と前記検出ノードに接続されたゲート電極とを有する第３のトランジスタであることを特徴とする請求項１２に記載の電位検出回路。

【請求項１７】

前記比較電流供給手段は、前記検出ノードに与えられた前記所定電位に応答してその中に前記比較電流が流れる可変抵抗手段を含むことを特徴とする請求項１０に記載の電位検出回路。

【請求項１８】

変化可能な前記第１の基準電位を発生する基準電位発生手段をさらに備えたことを特徴とする請求項１２に記載の電位検出回路。

【請求項１９】

前記基準電位発生手段は、

前記第１の基準電位が発生される出力ノードと、

前記出力ノードと一定電位が与えられるノードとの間に接続された可変抵抗手段と、

前記可変抵抗手段へ一定電流を供給する一定電流供給手段とを備えたことを特徴とする請求項１８に記載の電位検出回路。

【請求項２０】

前記基準電位発生手段はさらに、所定の制御信号に応答して、一定の値を有する抵抗要素を前記出力ノードと前記可変抵抗手段との間に接続する手段を備えたことを特徴とする請求項１９に記載の電位検出回路。

【請求項２１】

基準電位を受ける制御電極と、前記検出ノードに接続された一方導通電極と、前記比較電流供給手段に接続された他方導通電極とを有するトランジスタをさらに備え、

前記検出ノードに与えられた前記所定電位の変化に対応する前記トランジスタの電流変化が前記比較電流を変化させる、請求項１０に記載の電位検出回路。

【請求項２２】

前記トランジスタの前記一方導通電極と、前記検出ノードとの間に接続された抵抗素子をさらに備える、請求項２１に記載の電位検出回路。

【請求項２３】

前記出力ノードの電位に応じて、前記所定電位の上昇時と下降時とで前記所定の検出レベルをそれぞれ異なるレベルに設定するヒステリシス手段をさらに備える、請求項１０に記載の電位検出回路。

【請求項２４】

前記所定電位は基板電位である、請求項２３に記載の電位検出回路。

【請求項２５】

第１および第２の内部電位に基づいて所定の動作をする半導体集積回路装置であって、

基準電位を発生する基準電位発生手段と、

前記第１の内部電位を検出しかつその検出された第１の内部電位が所定の第１の検出レベルに達しているか否かを前記基準電位に基づいて判定する第１の内部電位検出手段と、

前記第２の内部電位を検出しかつその検出された第２の内部電位が所定の第２の検出レベルに達しているか否かを前記基準電位に基づいて判定する第２の内部電位検出手段とを備えた半導体集積回路装置。

【請求項２６】

前記第１の内部電位は、外部電位に基づいて発生される昇圧電位である、請求項２５に記載の半導体集積回路装置。

【請求項２７】

第１および第２の内部電位に基づいて所定の動作をする半導体集積回路装置であって、

第１の基準電位を発生する第１の基準電位発生手段と、

第２の基準電位を発生する第２の基準電位発生手段と、

前記第１の内部電位を検出しかつその検出された第１の内部電位が所定の第１の検出レベルに達しているか否かを前記第１の基準電位に基づいて判定する第１の内部電位検出手段と、

前記第２の内部電位を検出しかつその検出された第２の内部電位が所定の第２の検出レベルに達しているか否かを前記第２の基準電位に基づいて判定する第２の内部電位検出手段とを備えた半導体集積回路装置。

【請求項２８】

前記第１の内部電位は、第１の外部電位に基づいて発生される昇圧電位であり、前記第２の内部電位は、第２の外部電位に基づいて発生される基板電位である、請求項２７に記載の半導体集積回路装置。

【請求項２９】

外部電源電位を降圧して内部電源電位を発生する降圧手段と、

前記内部電源電位に基づいて所定の動作をする内部回路と、

所定の内部電位を発生して前記内部回路へ供給する内部電位発生手段と、

前記内部電位を検出しかつその検出された内部電位が所定のテストモード信号に応答して変化する検出レベルに達しているか否かを判定し、その検出された内部電位が前記検出レベルに達していないとき前記内部電位発生手段を活性化する内部電位検出手段と、

前記テストモード信号に応答して前記内部電源電位の代わりに前記外部電源電位を前記内部回路へ供給するテスト手段とを備えた半導体集積回路装置。

【請求項３０】

所定の動作をする内部回路と、

所定の内部電位を発生して前記内部回路へ供給する内部電位発生手段と、

前記内部電位を検出しかつその検出された内部電位が電源電位と第１の関係を有する第１の検出レベルに達しているか否かを判定する第１の内部電位検出手段と、

前記内部電位を検出しかつその検出された内部電位が前記電源電位と第２の関係を有する第２の検出レベルに達しているか否かを判定する第２の内部電位検出手段と、

前記第１および第２の内部電位検出手段のうちいずれかがその検出された内部電位は前記第１および第２の検出レベルのうち対応する検出レベルに達していないと判定したとき前記内部電位発生手段を活性化する活性化手段とを備えた半導体集積回路装置。

【請求項３１】

外部電源電位を降圧して内部電源電位を発生する降圧手段と、

トランジスタを含みかつ前記内部電源電位に基づいて所定の動作をする内部回路と、

前記外部電源電位に基づいて所定の内部電位を発生しかつその発生された内部電位を前記内部回路のトランジスタへ供給する内部電位発生手段と、

前記内部電位を検出しかつその検出された内部電位が所定の検出レベルに達しているか否かを判定し、その検出された内部電位が所定の検出レベルに達していないとき前記内部電位発生手段を活性化する内部電位検出手段とを備え、前記内部電位検出手段は、前記外部電源電位を電源として動作する、半導体集積回路装置。

【請求項３２】

所定の動作をする複数の内部回路と、

前記複数の内部回路に対応して設けられ、各々が所定の内部電位を発生しかつその発生された内部電位を対応する内部回路へ供給する複数の内部電位発生手段と、

前記複数の内部電位発生手段に対応して設けられ、各々が対応する内部電位発生手段によって発生された内部電位を検出しかつその検出された内部電位が所定の検出レベルに達し

ているか否かを判定し、その検出された内部電位が所定の検出レベルに達していないとき前記対応する内部電位発生手段を活性化する複数の内部電位検出手段とを、同一半導体基板上に備え、
前記複数の内部電位検出手段の検出レベルのうち少なくとも１つの検出レベルが他の検出レベルと異なる、半導体集積回路装置。
【請求項３３】
前記複数の内部電位検出手段の検出レベルが所定の制御信号に応答して変化することを特徴とする請求項３２に記載の半導体集積回路装置。
【請求項３４】
電位を検出しかつその検出された電位が所定の検出レベルに達しているか否かを判定する電位検出回路であって、
出力ノードと、
前記出力ノードへ所定の基準電流を供給する基準電流供給手段と、
前記電位を検出する検出ノードと、
前記出力ノードに接続されかつ前記検出ノードに与えられた前記電位に応答して変化する抵抗値を有する抵抗手段とを備えた電位検出回路。
【請求項３５】
前記抵抗手段は、前記電位が与えられるゲート電極を有するトランジスタであることを特徴とする請求項３４に記載の電位検出回路。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
この発明は、基準電位発生回路、電位検出回路および半導体集積回路装置に関し、さらに詳しくは、半導体記憶装置において用いられる中間電位発生回路、半導体記憶装置において用いられる内部電位発生回路を制御する内部電位検出回路およびその内部電位検出回路を備えた半導体集積回路装置に関する。
【０００２】
【従来の技術】
図８１は、半導体記憶装置の１つであるダイナミック・ランダム・アクセス・メモリ（以下「ＤＲＡＭ」という）の主要な構成を示す回路図である。
【０００３】
図８１を参照して、このＤＲＡＭは、ビット線対ＢＬおよび／ＢＬと、ビット線対ＢＬおよび／ＢＬに対して直交方向に配置されたワード線ＷＬと、ビット線対ＢＬおよび／ＢＬとワード線ＷＬとの交差点に対応して配置されたメモリセルＭＣと、ビット線対ＢＬおよび／ＢＬの間に発生された電圧を増幅するセンスアンプＳＡｎ，ＳＡｐと、ビット線対ＢＬおよび／ＢＬを電源電位V_{CC}の中間電位（１／２）V_{CC}にプリチャージするプリチャージ回路ＰＣとを備える。
【０００４】
ここで、メモリセルＭＣは、トランスファゲートＴＧとキャパシタＣとから構成され、ワード線ＷＬの電位が立上がると、ビット線対ＢＬおよび／ＢＬ上に発生されたデータがキャパシタＣに書込まれるか、あるいはキャパシタＣに蓄積されたデータがビット線対ＢＬおよび／ＢＬに読出されるようにされている。
【０００５】
また、センスアンプＳＡｎ，ＳＡｐは、ＮチャネルセンスアンプＳＡｎおよびＰチャネルセンスアンプＳＡｐから構成される。ＮチャネルセンスアンプＳＡｎはクロスカップルされた２つのＮチャネルＭＯＳトランジスタを備える。ＰチャネルセンスアンプＳＡｐは、クロスカップルされた２つのＰチャネルＭＯＳトランジスタから構成される。
【０００６】
また、プリチャージ回路ＰＣは、プリチャージ線ＶＢＬからの中間電位（１／２）V_{CC}をビット線対ＢＬおよび／ＢＬに供給するとともに、イコライズ線ＥＱからの制御信号に

応答してビット線対ＢＬおよび／ＢＬの両電位を等しくする。

【０００７】

次に、このＤＲＡＭの読出動作を図８２に示されたタイミングチャートを参照して説明する。

【０００８】

データが読出される前、ビット線対ＢＬおよび／ＢＬは中間電位（１／２）V_{CC}にプリチャージされる。次いで、ワード線ＷＬの電位が昇圧電位V_{PP}まで上昇するとキャパシタＣのデータがトランスファゲートＴＧを介してビット線ＢＬに読出されるので、そのビット線ＢＬの電位は電源電位V_{CC}か、あるいはグランド電位Ｖｓｓ側へシフトする。

【０００９】

次いで、センスアンプ駆動線ＳＮおよびＳＰに接続されたトランスファゲートＳ０および／Ｓ０（図示せず）が導通状態になると、たとえばビット線ＢＬの電位がグランド電位Ｖｓｓになり、ビット線／ＢＬの電位が電源電位V_{CC}になる。

【００１０】

以上のように、ＤＲＡＭにおいては、ビット線対ＢＬおよび／ＢＬを中間電位（１／２）V_{CC}にプリチャージする必要がある。

【００１１】

図８３は、米国特許第４，７８８，４５５号に開示された従来の中間電位発生回路の全体構成を示す回路図である。

【００１２】

図８３を参照して、この中間電位発生回路は、基準電位V_{ref}　１を発生する基準電位発生段１と、基準電位V_{ref}　２を発生する基準電位発生段２と、これらの基準電位V_{ref}　１およびV_{ref}　２に応答して中間電位（１／２）V_{CC}を発生する出力段３と、出力ノード４とを備える。

【００１３】

基準電位発生段１は、電源電位V_{CC}が与えられる電源ノード１００とグランド電位Ｖｓｓが与えられるグランドノード２００との間に直列に接続された、抵抗要素１ａと、ＮチャネルＭＯＳトランジスタ１ｂと、ＮチャネルＭＯＳトランジスタ１ｃと、抵抗要素１ｄとを備える。基準電位発生段２は、電源ノード１００とグランドノード２００との間に直列に接続された、抵抗要素２ａと、ＰチャネルＭＯＳトランジスタ２ｂと、ＰチャネルＭＯＳトランジスタ２ｃと、抵抗要素２ｄとを備える。出力段３は、電源ノード１００とグランドノード２００との間に直列に接続された、ＮチャネルＭＯＳトランジスタ３ａと、ＰチャネルＭＯＳトランジスタ３ｂとを備える。

【００１４】

ここで、ノードＮ１に発生される基準電位V_{ref}　１は、ダイオード接続されたＮチャネルＭＯＳトランジスタ１ｂのしきい電圧V_{dn}によって決定される。また、ノードＮ２に発生される基準電位V_{ref}　２は、ダイオード接続されたＰチャネルＭＯＳトランジスタ２ｃのしきい電圧の絶対値$|V_{tp}|$によって決定される。

【００１５】

したがって、出力段３におけるＰチャネルＭＯＳトランジスタ３ａのゲート電極には中間電位よりもそのしきい電圧だけ高い電圧（１／２）$V_{CC}+V_{tn}$が与えられ、かつＰチャネルＭＯＳトランジスタ３ｂのゲート電極には中間電位よりもそのしきい電圧の絶対値だけ低い電位（１／２）$V_{CC}-|V_{tp}|$が与えられるので、出力ノード４には出力電位V_{out}　として中間電位（１／２）V_{CC}が発生される。

【００１６】

図８５は、特開昭６３－１７４１１５号公報の図４に示された中間電位発生回路の全体構成を示す回路図である。

【００１７】

図８５を参照して、この中間電位発生回路は、２つの基準電位を発生する基準電位発生段５と、出力段３と、出力ノード４とを備える。出力段３は、図８３に示されたものと同一

である。

【００１８】

この中間電位発生回路における基準電位発生段５は、グランドノード２００に接続されたゲート電極を持つＰチャネルＭＯＳトランジスタ５ａと、ダイオード接続されたＮチャネルＭＯＳトランジスタ５ｂと、ダイオード接続されたＰチャネルＭＯＳトランジスタ５ｃと、電源ノード１００に接続されたゲート電極を持つＮチャネルＭＯＳトランジスタ５ｄとを備える。

【００１９】

この中間電位発生回路も上記のものと同様に、出力段３におけるＮチャネルＭＯＳトランジスタ３ａのゲート電極には中間電位よりもそのしきい電圧だけ高い電位が与えられ、かつＰチャネルＭＯＳトランジスタ３ｂのゲート電極には中間電位よりもそのしきい電圧の絶対値だけ低い電位が与えられるので、出力ノード４には中間電位（１／２）V_{CC}が発生される。

【００２０】

図８６は、ＤＲＡＭにおいて用いられている昇圧電位検出回路の一例を示す回路図である。昇圧電位V_{PP}は、たとえばワード線を駆動するワードドライバへ電源として供給される。図８６を参照して、この昇圧電位検出回路は、検出ノード８０４とグランドノード２００の間に直列に接続されたＰチャネルＭＯＳトランジスタ６ａ～６ｄと、インバータ７とを備える。トランジスタ６ａ～６ｄはそれぞれダイオード接続されている。インバータ７は、ＰチャネルＭＯＳトランジスタ７ａとＮチャネルＭＯＳトランジスタ７ｂとから構成される。

【００２１】

この昇圧電位検出回路においては、ノードＮＡの電位がインバータ７の論理しきい値よりも低いと、Ｈ（論理ハイ）レベルのイネーブル信号ＧＥが出力ノード８０１に生成される。このＨレベルのイネーブル信号ＧＥに応答して昇圧電位発生回路（図示せず）が活性化される。一方、ノードＮＡの電位がインバータ７の論理しきい値よりも高くなると、Ｌ（論理ロー）レベルのイネーブル信号ＧＥが出力ノード８０１に生成される。このＬレベルのイネーブル信号ＧＥに応答して昇圧電位発生回路は不活性化される。

【００２２】

【発明が解決しようとする課題】

しかしながら、図８３に示された中間電位発生回路においては、基準電位発生段１の中に電源ノード１００からグランドノード２００に向かって流れる貫通電流を低減するため、それらの抵抗要素１ａおよび１ｄの値を非常に大きく、たとえば数ＭΩ程度にしなければならない。このことは、基準電位発生段２においても同様である。

【００２３】

これに対しＤＲＡＭにおいては、信号の伝達速度を速めるため、その配線材料としては単位長さ当たりの抵抗値が小さいものが用いられる傾向にある。したがって、このような単位長さ当たりの抵抗値が小さい材料を用いて抵抗要素１ａおよび１ｄならびに２ａおよび２ｄを構成すると、レイアウト面積が非常に大きくなるという問題があった。

【００２４】

図８４は、図８３に示された中間電位発生回路に電源が投入された当初における各ノードの電位の時間変化を示すグラフである。

【００２５】

図８４を参照して、電源が投入された当初において、電源ノード１００の電位は０ＶからV_{CC}に向かって徐々に上昇する。この表中の点線は、電源ノード１００の電位の半分の電位を示す。

【００２６】

基準電位発生段１における抵抗要素１ａは非常に大きな値を持つため、電源ノード１００の電位が上昇してもノードＮ１の電位は速やかには上昇しない。また、基準電位発生段２における抵抗要素２ａも非常に大きな値を持つため、ノードＮ２の電位も速やかには上昇

しない。そのため、出力電位V_{out}が中間電位（１／２）V_{CC}に到達するまで非常に長い時間がかかるという問題があった。

【００２７】

一方、図８５に示された中間電位発生回路の基準電位発生段５の中に流れる電流Ｉは、次の式（１）で表される。

【００２８】

$$I=\beta_p\ (V_{CC}-V_{tn})(V_{CC}-V_{tp})\quad\cdots(1)$$

ここで、β_pはＰチャネルＭＯＳトランジスタにおけるホールの移動度を示す。V_{tn}はＮチャネルＭＯＳトランジスタのしきい電圧を示す。V_{tp}はＰチャネルＭＯＳトランジスタのしきい電圧を示す。

【００２９】

この中間電位発生回路においては、上記式（１）で表される電流Ｉが基準電位発生段５の中に流れるとき、出力ノード４に中間電位（１／２）V_{CC}が発生される。したがって、しきい電圧V_{tn}およびV_{tp}が正確に設定されなければ上記電流Ｉが所望の値にならず、出力電位V_{out}が中間電位（１／２）V_{CC}からずれるという問題があった。

【００３０】

図３は、電源電位V_{CC}を２．５Ｖとしたとき、しきい電圧V_{tn}のずれに対する出力電位V_{out}のシミュレーション結果を示すグラフである。このグラフから明らかなように、しきい電圧V_{tn}がずれると、出力電位V_{out}は大幅に変化する。

【００３１】

また、図８６に示された昇圧電位検出回路においては、電源電位V_{CC}が変動すると、インバータ７の論理しきい値が変動するため、この昇圧電位検出回路の検出レベルは安定しないという問題があった。また、昇圧電位V_{PP}がダイオード接続された３つのトランジスタ６ａ～６ｃを介してノードＮＡへ与えられるため、動作温度が変動してもこの昇圧電位検出回路の検出レベルが変動するという問題もあった。これは、動作温度が変動すると、トランジスタのしきい電圧が変動するからである。この昇圧電位検出回路では３つのトランジスタが直列に接続されているため、しきい電圧の変動は３倍に増幅される。

【００３２】

この発明は上記のような問題を解決するためになされたもので、その目的は、より安定した基準電位を発生することができる基準電位発生回路を提供することである。

【００３３】

この発明の他の目的は、所望の基準電位を正確に発生することができる基準電位発生回路を提供することである。

【００３４】

この発明のさらに他の目的は、電源が投入されると速やかに所望の基準電位を発生することができる基準電位発生回路を提供することである。

【００３５】

この発明のさらに他の目的は、レイアウト面積が十分に小さい基準電位発生回路を提供することである。

【００３６】

この発明のさらに他の目的は、安定した検出レベルを有する内部電位検出回路を提供することである。

【００３７】

この発明のさらに他の目的は、電源電位の変動に伴って検出レベルが変動しない内部電位検出回路を提供することである。

【００３８】

この発明のさらに他の目的は、動作温度の変動に伴って検出レベルが変動しない内部電位検出回路を提供することである。

【００３９】

【課題を解決するための手段】

この発明に係る請求項１に記載の基準電位発生回路は、第１の電位と第２の電位との間の基準電位を発生するものであって、出力ノードと、第１の第１導電型トランジスタ、たとえばＮチャネルＭＯＳトランジスタと、第１の第２導電型トランジスタ、たとえばＰチャネルＭＯＳトランジスタと、第２の第２導電型トランジスタと、第２の第１導電型トランジスタと、第３の第１導電型トランジスタと、第３の第２導電型トランジスタとを備える。上記出力ノードには上記基準電位が発生される。上記第１の第１導電型トランジスタは、上記出力ノードに接続された一方導通電極と、第３の電位が与えられる第１のノードに接続された他方導通電極とを持つ。上記第１の第２導電型トランジスタは、上記出力ノードに接続された一方導通電極と、第４の電位が与えられる第２のノードに接続された他方導通電極とを持つ。上記第２の第２導電型トランジスタは、上記第１の電位が与えられる第３のノードに接続された一方導通電極と、上記第１の第１導電型トランジスタの制御電極に接続された他方導通電極と、上記出力ノードに接続された制御電極とを持つ。上記第２の第１導電型トランジスタは、上記第２の電位が与えられる第４のノードに接続された一方導通電極と、上記第１の第２導電型トランジスタの制御電極に接続された他方導通電極と、上記出力ノードに接続された制御電極とを持つ。上記第３の第１導電型トランジスタは、一方導通電極と、上記第２の第２導電型トランジスタの上記他方導通電極に接続されかつ互いに接続された他方導通電極および制御電極とを持つ。上記第３の第２導電型トランジスタは、上記第３の第１導電型トランジスタの上記一方導通電極に接続された一方導通電極と、上記第２の第１導電型トランジスタの上記他方導通電極に接続されかつ互いに接続された他方導通電極および制御電極とを持つ。

【００４０】

この発明に係る請求項２に記載の基準電位発生回路は、第１の電位と第２の電位との間の基準電位を発生するものであって、出力ノードと第１の第１導電型トランジスタ、たとえばＮチャネルＭＯＳトランジスタと、第１の第２導電型トランジスタ、たとえばＰチャネルＭＯＳトランジスタと、第２の第２導電型トランジスタと、第２の第１導電型トランジスタと、第３の第１導電型トランジスタと、第３の第２導電型トランジスタと、制御電位印加手段とを備える。上記出力ノードには上記基準電位が発生される。上記第１の第１導電型トランジスタは、上記出力ノードに接続された一方導通電極と、第３の電位が与えられる第１のノードに接続された他方導通電極とを持つ。上記第１の第２導電型トランジスタは、上記出力ノードに接続された一方導通電極と、第４の電位が与えられる第２のノードに接続された他方導通電極とを持つ。上記第２の第２導電型トランジスタは、上記第１の電位が与えられる第３のノードに接続された一方導通電極と、上記第１の第１導電型トランジスタの制御電極に接続された他方導通電極とを持つ。上記第２の第１導電型トランジスタは、上記第２の電位が与えられる第４ノードに接続された一方導通電極と、上記第１の第２導電型トランジスタの制御電極に接続された他方導通電極とを持つ。上記第３の第１導電型トランジスタは、一方導通電極と、上記第２の第２導電型トランジスタの上記他方導通電極に接続されかつ互いに接続された他方導通電極および制御電極とを持つ。上記第３の第２導電型トランジスタは、上記第３の第１導電型トランジスタの上記一方導通電極に接続された一方導通電極と、上記第２の第１導電型トランジスタの上記他方導通電極に接続されかつ互いに接続された他方導通電極および制御電極とを持つ。上記制御電位印加手段は、上記第２の第２導電型トランジスタの制御電極に第１の制御電位を与えるとともに、上記第２の第１導電型トランジスタの制御電極に第２の制御電位を与える。

【００４１】

この発明に係る請求項３に記載の基準電位発生回路においては、上記第２の第２導電型トランジスタの構造が上記第３の第２導電型トランジスタの構造と同一にされ、かつ上記第２の第１導電型トランジスタの構造が上記第３の第１導電型トランジスタの構造と同一にされている。

【００４２】

この発明に係る請求項４に記載の基準電位発生回路は、さらに、第４の第１導電型トランジスタと、第４の第２導電型トランジスタとを備える。上記第４の第１導電型トランジス

タは、上記出力ノードに接続された一方導通電極と、上記第１のノードに接続された他方導通電極と、上記第２の第２導電型トランジスタの上記他方導通電極に接続された制御電極とを持つ。上記第４の第２導電型トランジスタは、上記出力ノードに接続された一方導通電極と、上記第２のノードに接続された他方導通電極と、上記第２の第１導電型トランジスタの上記他方導通電極に接続された制御電極とを持つ。

【００４３】

この発明に係る請求項５に記載の基準電位発生回路において、上記制御電位印加手段は、上記出力ノードに発生される上記基準電位を上記第１の制御電位として上記第２の第２導電型トランジスタの上記制御電極に与えるとともに、上記第２の制御電位として上記第２の第１導電型トランジスタの上記制御電極に与える。

【００４４】

この発明に係る請求項６に記載の基準電位発生回路は、第１の電位と第２の電位との間の基準電位を発生するものであって、出力ノードと、第１の第１導電型トランジスタ、たとえばＮチャネルＭＯＳトランジスタと、第１の第２導電型トランジスタ、たとえばＰチャネルＭＯＳトランジスタと、第２の第１導電型トランジスタと、第２の第２導電型トランジスタと、第１の印加手段と、第２の印加手段とを備える。上記出力ノードには、上記出力ノードには、上記基準電位が発生される。上記第１の第１導電型トランジスタは、上記出力ノードに接続された一方導通電極と、第３の電位が与えられる第１のノードに接続された他方導通電極とを持つ。上記第１の第２導電型トランジスタは、上記出力ノードに接続された一方導通電極と、第４の電位が与えられる第２のノードに接続された他方導通電極とを持つ。上記第２の第１導電型トランジスタは、上記出力ノードに接続された一方導通電極と、第５の電位が与えられる第３のノードに接続された他方導通電極とを持ち、かつ上記第１の第１導電型トランジスタのチャネル長よりも長いチャネル長を持つ。上記第２の第２導電型トランジスタは、上記出力ノードに接続された一方導通電極と、第６の電位が与えられる第４のノードに接続された他方導通電極とを持ち、かつ上記第１の第２導電型トランジスタのチャネル長よりも長いチャネル長を持つ。上記第１の印加手段は、上記基準電位よりも少なくとも上記第１の第１導電型トランジスタのしきい電圧だけ高い第１の制御電位を上記第１の第１導電型トランジスタの制御電極と上記第２の第１導電型トランジスタの制御電極とにそれぞれ与える。上記第２の印加手段は、上記基準電位よりも少なくとも上記第１の第２導電型トランジスタのしきい電圧だけ低い第２の制御電位を上記第１の第２導電型トランジスタの制御電極と上記第２の第２導電型トランジスタの制御電極とにそれぞれ与える。

【００４５】

この発明に係る請求項７に記載の基準電位発生回路は、第１の電位と第２の電位との間の基準電位を発生するものであって、出力ノードと、電源電圧変換手段と、中間電位発生手段とを備える。上記出力ノードには基準電位が発生される。上記電源電圧変換手段は、上記第１の電位に基づいて第３の電位を発生する第１の電位変換手段と、上記第２の電位に基づいて第４の電位を発生する第２の電位変換手段とを含む。上記中間電位発生手段は、上記第３の電位と上記第４の電位との間の中間電位を上記基準電位として発生するものであって、第１の第１導電型トランジスタ、たとえばＮチャネルＭＯＳトランジスタと、第１の第２導電型トランジスタ、たとえばＰチャネルＭＯＳトランジスタと、第２の第２導電型トランジスタと、第２の第１導電型トランジスタと、第３の第１導電型トランジスタと、第３の第２導電型トランジスタとを含む。上記第１の第１導電型トランジスタは、上記出力ノードに接続された一方導通電極と、第５の電位が与えられる第１のノードに接続された他方導通電極とを持つ。上記第１の第２導電型トランジスタは、上記出力ノードに接続された一方導通電極と、第６の電位が与えられる第２のノードに接続された他方導通電極とを持つ。上記第２の第２導電型トランジスタは、上記第３の電位が与えられる第３のノードに接続された一方導通電極と、上記第１の第１導電型トランジスタの制御電極に接続された他方導通電極と、上記出力ノードに接続された制御電極とを持つ。上記第２の第１導電型トランジスタは、上記第４の電位が与えられる第４のノードに接続された一方

導通電極と、上記第１の第２導電型トランジスタの制御電極に接続された他方導通電極と、上記出力ノードに接続された制御電極とを持つ。上記第３の第１導電型トランジスタは、一方導通電極と、上記第２の第２導電型トランジスタの上記他方導通電極に接続されかつ互いに接続された他方導通電極および制御電極とを持つ。上記第３の第２導電型トランジスタは、上記第３の第１導電型トランジスタの上記一方導通電極に接続された一方導通電極と、上記第２の第１導電型トランジスタの上記他方導通電極に接続されかつ互いに接続された他方導通電極および制御電極とを持つ。

【００４６】

この発明に係る請求項８に記載の基準電位発生回路はさらに、上記第３の電位のための第１の基礎基準電位と、上記第４の電位のための第２の基礎基準電位とをそれぞれ発生する基礎基準電位発生手段を備え、上記第１の電位変換手段は、上記第３の電位を上記第１の基礎基準電位と比較する第１の比較手段と、上記第１の比較手段の出力に応答して、上記第３の電位が上記第１の基礎基準電位よりも低いとき上記第３の電位を上昇させ、上記第３の電位が上記第１の基礎基準電位よりも高いとき上記第３の電位を下降させる手段とを備え、上記第２の電位変換手段は、上記第４の電位を上記第２の基礎基準電位と比較する第２の比較手段と、上記第２の比較手段の出力に応答して、上記第４の電位が上記第２の基礎基準電位よりも低いとき上記第４の電位を上昇させ、上記第４の電位が上記第２の基礎基準電位よりも高いとき上記第４の電位を下降させる手段とを備える。

【００４７】

この発明に係る請求項９に記載の基準電位発生回路において、上記基礎基準電位発生手段は、第１の出力ノードと、第２の出力ノードと、定電流手段と、第１の出力抵抗手段と、第２の出力抵抗手段と、フィードバック手段とを備える。上記第１の出力ノードには上記第１の基礎基準電位が発生される。上記第２の出力ノードには上記第２の基礎基準電位が発生される。上記定電流手段は、一定の基準電流を供給する。上記第１の出力抵抗手段は、上記第１の出力ノードと上記第２のノードとの間に接続され、その中には上記基準電流のうち一部の電流が流れる。上記第２の出力抵抗手段は、上記第２の出力ノードと第７の電位が与えられる第５のノードとの間に接続され、その中には上記一部の電流が流れる。上記フィードバック手段は、上記基準電流のうち上記一部の電流以外の残りの電流を検知し、上記残りの電流が減少すると上記定電流手段から供給される上記基準電流を増加させ、上記残りの電流が増加すると上記定電流手段から供給される上記基準電流を減少させる。

【００４８】

この発明に係る請求項１０に記載の基準電位発生回路において、上記基礎基準電位発生手段は、第１の出力ノードと、第２の出力ノードと、第１の出力抵抗手段と、第２の出力抵抗手段と、第４の第２導電型トランジスタ、たとえばＰチャネルＭＯＳトランジスタと、制御電位発生手段とを備える。上記第１の出力ノードには上記第１の基礎基準電位が発生される。上記第２の出力ノードには上記第２の基礎基準電位が発生される。上記第１の出力抵抗手段は、上記第１の出力ノードと上記第２の出力ノードとの間に接続される。上記第２の出力抵抗手段は、上記第２の出力ノードと第７の電位が与えられる第５のノードとの間に接続される。上記第４の第２導電型トランジスタは、第８の電位が与えられる第６のノードに接続された一方導通電極と、上記第１の出力ノードに接続された他方導通電極とを持つ。上記制御電位発生手段は、所定の制御電位を発生して上記第４の第２導電型トランジスタの制御電極に供給するものであって、第７のノードから第８のノードまでの第１の経路と、上記第７のノードから上記第８のノードまでの第２の経路と、上記第１の経路に流れる電流に応答して上記第２の経路に流れる電流を制御する第１のカレントミラー手段と、上記第２の経路に流れる上記電流に応答して上記第１の経路に流れる上記電流を制御する第２のカレントミラー手段と、上記第１の経路中であって上記第１のカレントミラー手段と上記第２のカレントミラー手段との間に位置し、上記第４の第２導電型トランジスタの上記制御電極に接続され、上記制御電位が発生される制御ノードと、上記第１の経路中であって上記制御ノードと上記第１のカレントミラー手段との間に接続された第１

の抵抗要素と、上記第１の経路中であって上記第２のカレントミラー手段と上記第８のノードとの間に接続された第２の抵抗要素とを備える。

【００４９】

この発明に係る請求項１１に記載の基準電位発生回路において、上記制御電位発生手段における上記第１の抵抗要素は、正および負のうち一方の温度係数を持ち、上記制御電位発生手段における上記第２の抵抗要素は、当該他方の温度係数を持つ。

【００５０】

この発明に係る請求項１２に記載の基準電位発生回路において、上記制御電位発生手段における上記第１の抵抗要素は、上記第８のノードに接続された制御電極を持つ第５の第２導電型トランジスタ、たとえばＰチャネルＭＯＳトランジスタである。

【００５１】

この発明に係る請求項１３に記載の基準電位発生回路は１枚の半導体基板上に形成されていて、さらに所定の制御信号に応答して活性化され、上記半導体基板に所定の基板電位を供給する基板電位供給手段と、上記半導体基板の上記基板電位を上記第２の基礎基準電位または上記第４の電位と比較し、その比較結果に応答して上記基板電位供給手段のための上記制御信号を発生する基板電位検知手段とを備える。

【００５２】

この発明に係る請求項１４に記載の基準電位発生回路はさらに、上記基板電位検知手段によって発生される上記制御信号にヒステリシスを持たせるヒステリシス手段を備える。

【００５３】

この発明に係る請求項１５に記載の基準電位発生回路は、出力ノードと、第１導電型トランジスタ、たとえばＰチャネルＭＯＳトランジスタと、出力抵抗手段と、制御電位発生手段とを備える。上記出力ノードには基準電位が発生される。第１導電型トランジスタは、上記第１の電位が与えられる第１のノードに接続された一方導通電極と、上記出力ノードに接続された他方導通電極とを持つ。上記出力抵抗手段は、上記出力ノードと第２の電位が与えられる第２のノードとの間に接続される。上記制御電位発生手段は、第３の電位が与えられる第３のノードから第４の電位が与えられる第４のノードまでの第１の経路と、第５の電位が与えられる第５のノードから第６の電位が与えられる第６のノードまでの第２の経路と、上記第１の経路に流れる電流に応答して上記第２の経路に流れる電流を制御する第１のカレントミラー手段と、上記第２の経路に流れる上記電流に応答して上記第１の経路に流れる上記電流を制御する第２のカレントミラー手段と、上記第１の経路中であって上記第１のカレントミラー手段と上記第２のカレントミラー手段との間に位置し、上記第１導電型トランジスタの上記制御電極に接続された制御ノードと、上記第１の経路中であって上記制御ノードと上記第１のカレントミラー手段との間に接続された第１の抵抗要素と、上記第１の経路中であって上記第２のカレントミラー手段と上記第４のノードとの間に接続された第２の抵抗要素とを備える。

【００５４】

この発明に係る請求項１６に記載の基準電位発生回路において、上記基準電位発生手段における上記第１の抵抗要素は、正および負のうち一方の温度係数を持ち、上記制御電位発生手段における上記第２の抵抗要素は、当該他方の温度係数を持つ。

【００５５】

この発明に係る請求項１７に記載の基準電位発生回路において、上記基準電位発生手段における上記第１の抵抗要素は、第７の電位が与えられる第７のノードに接続された制御電極を持つ第１導電型トランジスタ、たとえばＰチャネルＭＯＳトランジスタである。

【００５６】

この発明に係る請求項１８に記載の基準電位発生回路は、出力ノードと、制御電位発生手段と、第１導電型トランジスタ、たとえばＰチャネルＭＯＳトランジスタと、出力抵抗手段と、カレントミラー手段とを備える。上記出力ノードには基準電位が発生される。上記制御電位発生手段は所定の制御電位を発生するものであって、第１の電位が与えられる第１のノードから上記第２の電位が与えられる第２のノードまでの第１の経路と、第３の電

位が与えられる第３のノードから第４の電位が与えられる第４のノードまでの第２の経路と、上記第１の経路に流れる電流に応答して上記第２の経路に流れる電流を制御する第１のカレントミラー手段と、上記第２の経路に流れる電流に応答して上記第１の経路に流れる上記電流を制御する第２のカレントミラー手段と、上記第２の経路中であって上記第１のカレントミラー手段と上記第２のカレントミラー手段との間に位置し、上記制御電位が発生される制御ノードと、上記第１の経路中であって上記第２のカレントミラー手段と上記第２のノードとの間に接続された第１の抵抗要素と、上記第２の経路中であって上記制御ノードと上記第２のカレントミラー手段との間に接続された第２の抵抗要素とを含む。上記第１導電型トランジスタは、第５の電位が与えられる第５のノードに接続された一方導通電極と、他方導通電極と、上記制御電位発生手段における上記制御ノードに接続され、上記制御電位を受ける制御電極とを持つ。上記出力抵抗手段は、上記出力ノードと第６の電位が与えられる第６のノードとの間に接続される。上記カレントミラー手段は、上記第１導電型トランジスタの中へ流れる電流に応答して上記出力抵抗手段の中へ流れる電流を制御する。

【００５７】

この発明に係る請求項１９に記載の基準電位発生回路において、上記制御電位発生手段における上記第２の抵抗要素は、第７の電位が与えられる第７のノードに接続された制御電極を持つ第１導電型トランジスタ、たとえばＰチャネルＭＯＳトランジスタである。

【００５８】

この発明に係る請求項２０に記載の基準電位発生回路はさらに、上記制御電位発生手段における上記第１の経路および上記第２の経路のうち少なくとも一方に電流を注入するスタートアップ手段を備える。

【００５９】

この発明に係る請求項２１に記載の基準電位発生回路は、上記基準電位が発生される出力ノードと、上記出力ノードと第１の電位が与えられる第１のノードとの間に接続された出力抵抗手段と、第２の電位が与えられる第２のノードから第３の電位が与えられる第３のノードまでの第１の経路と、第４の電位が与えられる第４のノードから第５の電位が与えられる第５のノードまでの第２の経路と、第６の電位が与えられる第６のノードから第７の電位が与えられる第７のノードまでの第３の経路と、上記第１の経路に流れる電流に応答して上記第２の経路に流れる電流を制御する第１のカレントミラー手段と、上記第２の経路に流れる上記電流に応答して上記第１の経路に流れる上記電流と上記第３の経路に流れる電流とを制御する第２のカレントミラー手段と、上記第３の経路に流れる上記電流に応答して上記出力抵抗手段の中へ流れる電流を制御する第３のカレントミラー手段と、上記第１の経路中であって上記第２のカレントミラー手段と上記第３のノードとの間に接続された抵抗要素とを備える。上記第３のカレントミラー手段は第１および第２のトランジスタを備える。上記第１のトランジスタは、上記第３の経路中に設けられ、第１のチャネル長を有し互いに接続されたドレイン電極およびゲート電極を持つ。上記第２のトランジスタは、上記第１のチャネル長よりも長い第２のチャネル長を有しかつ上記第１のトランジスタのゲート電極に接続されたゲート電極を持つ。

【００６０】

この発明に係る請求項２２に記載の内部電位検出回路は、内部電位を検出しかつその検出された内部電位が所定の検出レベルに達しているか否かを判定するものであって、出力ノードと、基準電流供給手段と、検出ノード、比較電流供給手段とを備える。上記基準電流供給手段は、上記出力ノードへ所定の基準電流を供給する。上記検出ノードは、上記内部電位を検出する。上記比較電流供給手段は、上記検出ノードに与えられた上記内部電位に応答して上記出力ノードへ比較電流を供給する。ここで、上記出力ノードへ正の基準電流が供給されるとき上記出力ノードへは負の比較電流が供給される。逆に、上記出力ノードへ負の基準電流が供給されるとき上記出力ノードへは正の比較電流が供給される。

【００６１】

この発明に係る請求項２３に記載の内部電位検出回路においては、上記比較電流供給手段

が抵抗手段とカレントミラー手段とを備える。上記抵抗手段の中には、上記検出ノードに与えられた上記内部電位に応答して検出電流が流れる。上記カレントミラー手段は、上記検出電流に応答して上記比較電流を制御する。

【００６２】

この発明に係る請求項２４に記載の内部電位検出回路においては、上記比較電流供給手段がさらに第１のトランジスタを備える。上記第１のトランジスタは、上記抵抗手段と上記カレントミラー手段との間に接続され、かつ第１の基準電位が与えられるゲート電極を有する。

【００６３】

この発明に係る請求項２５に記載の内部電位検出回路においては、上記抵抗手段が第２のトランジスタである。上記第２のトランジスタは、第２の基準電位が与えられるゲート電極を有する。

【００６４】

この発明に係る請求項２６に記載の内部電位検出回路は、上記請求項２２～２５の構成に加えて、付加電流供給手段をさらに備える。上記付加電流供給手段は、上記出力ノードの電位に応答して、上記内部電位が所定の検出レベルに達しているとき上記比較電流に加えて上記出力ノードへ付加電流を供給する。

【００６５】

この発明に係る請求項２７に記載の内部電位検出回路は、上記請求項２２～２６の構成に加えて、増幅手段をさらに備える。上記増幅手段は上記出力ノードの電位を増幅する。

【００６６】

この発明に係る請求項２８に記載の内部電位検出回路においては、上記抵抗手段が第３のトランジスタである。上記第３のトランジスタは、上記第１のトランジスタに接続されたソース電極と、上記検出ノードに接続されたゲート電極とを有する。

【００６７】

この発明に係る請求項２９に記載の内部電位検出回路においては、上記比較電流供給手段が可変抵抗手段を含む。上記可変抵抗手段の中には、上記検出ノードに与えられた内部電位に応答して上記比較電流が流れる。

【００６８】

この発明に係る請求項３０に記載の内部電位検出回路は、上記請求項２４の構成に加えて、基準電位発生手段をさらに備える。上記基準電位発生手段は、変化可能な上記第１の基準電位を発生する。

【００６９】

この発明に係る請求項３１に記載の内部電位検出回路においては、上記基準電位発生手段が、出力ノードと、可変抵抗手段と、一定電流供給手段とを備える。上記出力ノードには上記第１の基準電位が発生される。上記可変抵抗手段は、上記出力ノードと一定電位が与えられるノードとの間に接続される。上記一定電流供給手段は、上記可変抵抗手段へ一定電流を供給する。

【００７０】

この発明に係る請求項３２に記載の内部電位検出回路においては、上記基準電発生手段がさらに、所定の制御信号に応答して、一定の値を有する抵抗要素を上記出力ノードと上記可変抵抗手段との間に接続する手段を備える。

【００７１】

この発明に係る請求項３３に記載の半導体集積回路装置は、第１および第２の内部電位に基づいて所定の動作をするものであって、基準電位発生手段と、第１および第２の内部電位検出手段とを備える。上記基準電位発生手段は、基準電位を発生する。上記第１の内部電位検出手段は、上記第１の内部電位を検出しかつその検出された第１の内部電位が所定の第１の検出レベルに達しているか否かを上記基準電位に基づいて判定する。上記第２の内部電位検出手段は、上記第２の内部電位を検出しかつその検出された第２の内部電位が所定の第２の検出レベルに達しているか否かを上記基準電位に基づいて判定する。

【００７２】
この発明に係る請求項３４に記載の半導体集積回路装置は、降圧手段と、内部回路と、内部電位発生手段と、内部電位検出手段と、テスト手段とを備える。上記降圧手段は、外部電源電位を降圧して内部電源電位を発生する。内部回路は、上記内部電源電位に基づいて所定の動作をする。上記内部電位発生手段は、所定の内部電位を発生して上記内部回路へ供給する。上記内部電位検出手段は、上記内部電位を検出しかつその検出された内部電位が検出レベルに達しているか否かを判定し、その検出された内部電位が検出レベルに達していないとき上記内部電位発生手段を活性化する。ここで、検出レベルが所定のテストモード信号に応答して変化する。上記テスト手段は、上記テストモード信号に応答して上記内部電源電位の代わりに上記外部電源電位を上記内部回路に供給する。

【００７３】
この発明に係る請求項３５に記載の半導体集積回路装置は、内部回路と、内部電位発生手段と、第１および第２の内部電位検出手段と、活性化手段とを備える。上記内部回路は所定の動作をする。上記内部電位発生手段は所定の内部電位を発生して上記内部回路へ供給する。上記第１の内部電位検出手段は、上記内部電位を検出しかつその検出された内部電位が電源電位と第１の関係を有する第１の検出レベルに達しているか否かを判定する。上記第２の内部電位検出手段は、上記内部電位を検出しかつその検出された内部電位が上記電源電位と第２の関係を有する第２の検出レベルに達しているか否かを判定する。上記活性化手段は、上記第１および第２の内部電位検出手段のうちいずれかがその検出された内部電位は上記第１および第２の検出レベルのうち対応する検出レベルに達していないと判定したとき上記内部電位発生手段を活性化する。

【００７４】
この発明に係る請求項３６に記載の半導体集積回路装置は、降圧手段と、内部回路と、基板電位発生手段と、基板電位検出手段とを備える。上記降圧手段は、外部電源電位を降圧して内部電源電位を発生する。上記内部回路はトランジスタを含み、かつ上記内部電源電位に基づいて所定の動作をする。上記基板電位発生手段は、上記外部電源電位に基づいて所定の基板電位を発生しかつその発生された基板電位を上記内部回路のトランジスタへ供給する。上記基板電位検出手段は、上記基板電位を検出しかつその検出された基板電位が所定の検出レベルに達しているか否かを判定し、その検出された基板電位が所定の検出レベルに達していないとき上記基板電位発生手段を活性化する。

【００７５】
この発明に係る請求項３７に記載の半導体集積回路装置は、複数の内部回路と、複数の内部電位発生手段と、複数の内部電位検出手段とを備える。上記複数の内部回路は所定の動作をする。上記複数の内部電位発生手段は、上記複数の内部回路に対応して設けられる。内部電位発生手段の各々は、所定の内部電位を発生しかつその発生された内部電位を対応する内部回路へ供給する。上記複数の内部電位検出手段は、上記複数の内部電位発生手段に対応して設けられる。上記内部電位検出手段の各々は、対応する内部電位発生手段によって発生された内部電位を検出しかつその検出された内部電位が所定の検出レベルに達しているか否かを判定し、その検出された内部電位が所定の検出レベルに達していないとき上記対応する内部電位発生手段を活性化する。

【００７６】
この発明に係る請求項３８に記載の半導体集積回路装置においては、上記複数の内部電位検出手段の検出レベルのうち少なくとも１つの検出レベルが他の検出レベルと異なる。

【００７７】
この発明に係る請求項３９に記載の半導体集積回路装置においては、上記複数の内部電位検出手段の検出レベルが所定の制御信号に応答して変化する。

【００７８】
この発明に係る請求項４０に記載の電位検出回路は、電位を検出しかつその検出された電位が所定の検出レベルに達しているか否かを判定するものであって、出力ノードと、基準電流供給手段と、検出ノードと、抵抗手段とを備える。上記基準電流供給手段は、上記出

力ノードへ所定の基準電流を供給する。上記検出ノードは、上記電位を検出する。上記抵抗手段は、上記出力ノードに接続され、かつ上記検出ノードに与えられた上記電位に応答して変化する抵抗値を有する。

【００７９】

この発明に係る請求項４１に記載の電位検出回路においては、上記抵抗手段が上記電位が与えられるゲート電極を有するトランジスタである。

【００８０】

【作用】

請求項１に記載の基準電位発生回路においては、出力ノードに発生された基準電位が第２の第２導電型トランジスタの制御電極と第２の第１導電型トランジスタの制御電極とにそれぞれフィードバックされているため、たとえ基準電位が変動しても速やかに元に戻される。したがって、より安定した基準電位が発生される。また、電源が投入された当初において出力ノードの電位は０Ｖであるが、この電位もまた第２の第２導電型トランジスタの制御電極と第２の第１導電型トランジスタの制御電極とにそれぞれフィードバックされているため、出力ノードの電位は速やかに基準電位に到達する。また、第２の第２導電型トランジスタおよび第３の第１導電型トランジスタと、第２の第１導電型トランジスタおよび第３の第２導電型トランジスタとが対照的に配置されているため、第３の第１導電型トランジスタの一方導通電極と第３の第２導電型トランジスタの一方導通電極とが互いに接続されたノードの電位は、第１の電位と第２の電位との間のちょうど中間の電位になる。したがって、正確な中間電位が基準電位として発生される。さらに、第３の第１導電型トランジスタおよび第３の第２導電型トランジスタへ電流を供給するために第２の第２導電型トランジスタおよび第２の第１導電型トランジスタが用いられているため、抵抗要素が用いられた場合に比べてレイアウト面積が小さくなる。

【００８１】

請求項２に記載の基準電位発生回路においては、第２の第２導電型トランジスタの制御電極に第１の制御電位が与えられ、かつ第２の第１導電型トランジスタの制御電極に第２の制御電位が与えられているため、これらの第１および第２の制御電位を適宜変化させることによって所望の基準電位を発生することができる。また、第３の第１導電型トランジスタおよび第２導電型トランジスタへ電流を供給するために第２の第２導電型トランジスタおよび第２の第１導電型トランジスタが用いられているため、抵抗要素が用いられた場合に比べてレイアウト面積が小さくなる。

【００８２】

請求項３に記載の基準電位発生回路においては、第２の第２導電型トランジスタの構造が第３の第２導電型トランジスタの構造と同一にされ、かつ第２の第１導電型トランジスタの構造が第３の第１導電型トランジスタの構造と同一にされているため、より正確な中間電位が基準電位として発生される。

【００８３】

請求項４に記載の基準電位発生回路においては、第１の第１導電型トランジスタおよび第１の第２導電型トランジスタと並列的に第４の第１導電型トランジスタおよび第４の第２導電型トランジスタが配置されているため、出力ノードの電位が変動すると、第１の第１導電型トランジスタおよび第１の第２導電型トランジスタだけでなく、これらの第４の第１導電型トランジスタおよび第４の第２導電型トランジスタにも電流が流れる。したがって、たとえ基準電位が変動しても速やかに元に戻されることとなり、より安定した基準電位が発生される。

【００８４】

請求項５に記載の基準電位発生回路においては、出力ノードに発生された基準電位が第２の第２導電型トランジスタの制御電極と第２の第１導電型トランジスタの制御電極とにそれぞれフィードバックされることになるため、たとえ基準電位が変動しても速やかに元に戻される。したがって、より安定した基準電位が発生される。また、電源が投入された当初において出力ノードの電位は０Ｖであるが、この電位もまた第２の第２導電型トランジ

スタの制御電極と第２の第１導電型トランジスタの制御電極とにフィードバックされることになるため、出力ノードの電位は速やかに基準電位に到達する。

【００８５】

請求項６に記載の基準電位発生回路においては、第１の第１導電型トランジスタおよび第１の第２導電型トランジスタと並列的に第２の第１導電型トランジスタおよび第２の第２導電型トランジスタが配置されているため、出力ノードの電位が変動すると第１の第１導電型トランジスタおよび第１の第２導電型トランジスタだけでなく、第２の第１導電型トランジスタおよび第２の第２導電型トランジスタにも電流が流れる。しかも、第１の第１導電型トランジスタおよび第１の第２導電型トランジスタのチャネル長よりも第２の第１導電型トランジスタおよび第２の第２導電型トランジスタのチャネル長の方が長く、第２の第１導電型トランジスタおよび第２の第２導電型トランジスタのしきい電圧の方が第１の第１導電型トランジスタおよび第１の第２導電型トランジスタのしきい電圧よりも大きいため、出力ノードの電位がわずかに変動したときは第１の第１導電型トランジスタおよび第１の第２導電型トランジスタだけに電流が流れ、出力ノードの電位が大幅に変動したとき初めて第２の第１導電型トランジスタおよび第２の第２導電型トランジスタにも電流が流れる。したがって、出力ノードの電位が基準電位を中心として振動することなく、速やかにその基準電位に収束する。

【００８６】

請求項７に記載の基準電位発生回路においては、出力ノードに発生された基準電位が第２の第２導電型トランジスタの制御電極と第２の第１導電型トランジスタの制御電極とにフィードバックされているため、たとえ基準電位が変動しても速やかに元に戻される。したがって、より安定した基準電位が発生される。また、電源が投入された当初において出力ノードの電位は０Ｖであるが、この電位もまた第２の第２導電型トランジスタの制御電極と第２の第１導電型トランジスタの制御電極とにフィードバックされているため、出力ノードの電位は速やかに基準電位に到達する。また、第２の第２導電型トランジスタおよび第３の第１導電型トランジスタと、第２の第１導電型トランジスタおよび第３の第２導電型トランジスタとが対照的に配置されているため、第３の第１導電型トランジスタの一方導通電極と第３の第２導電型トランジスタの一方導通電極とが互いに接続されたノードの電位は、第３の電位と第４の電位との間のちょうど中間の電位になる。したがって、正確な中間電位が基準電位として発生される。さらに、第３の第１導電型トランジスタおよび第３の第２導電型トランジスタへ電流を供給するために第２の第２導電型トランジスタおよび第２の第１導電型トランジスタが用いられているため、抵抗要素が用いられた場合に比べてレイアウト面積が小さくなる。しかも、第１の第１導電型トランジスタおよび第１の第２導電型トランジスタが第１のノードと第２のノードとの間に直列接続されているため、第１の電位と第２の電位とに基づいて第３の電位と第４の電位との間の中間電位が発生される。

【００８７】

請求項８に記載の基準電位発生回路においては、第３の電位が第１の基礎基準電位と等しくなり、第４の電位が第２の基礎基準電位と等しくなる。

【００８８】

請求項９に記載の基準電位発生回路においては、たとえ第１または第２の出力ノードから流出する電流が増加しても、その増加した分の電流はフィードバック手段によって定電流手段から補給されるため、常に安定した第１および第２の基礎基準電位が発生される。

【００８９】

請求項１０に記載の基準電位発生回路においては、第１の抵抗要素の値を適宜変化させると、その変化に応答して基礎基準電位発生手段における第２導電型トランジスタの制御電極に供給される制御電位が変化するため、第１および第２の出力抵抗手段の中に流れる電流も変化する。したがって、第１および第２の出力ノードにそれぞれ所望の第１および第２の基礎基準電位を発生することができる。

【００９０】

請求項１１に記載の基準電位発生回路においては、第１の抵抗要素における電圧降下と、第２の抵抗要素における電圧降下とが相殺されるため、制御電位発生手段によって発生される制御電位は温度変化に対して依存しなくなる。したがって、第１および第２の基礎基準電位、ひいては基準電位として出力ノードに発生される中間電位もまた温度変化に対して依存しなくなる。

【００９１】

請求項１２に記載の基準電位発生回路においては、たとえ第１の電位が上昇しても、第２導電型トランジスタの導通抵抗が小さくなり、その第２導電型トランジスタにおける電圧降下が小さくなるため、制御電位発生手段によって発生される制御電位が第１の電位の上昇に伴って上昇することはない。逆に、たとえ第１の電位が下降しても、第２導電型トランジスタの導通抵抗が大きくなり、その第２導電型トランジスタにおける電圧降下が大きくなるため、制御電位が第１の電位の下降に伴って下降することはない。すなわち、制御電位は第１の電位の変化に対して依存しなくなるため、第１および第２の基礎基準電位、ひいては出力ノードに発生される中間電位も第１の電位の変化に対して依存しなくなる。

【００９２】

請求項１３に記載の基準電位発生回路においては、半導体基板の基板電位が第２の基礎基準電位または第４の電位と比較され、その基板電位が所定の電位からずれていると、その所定電位に戻されるため、半導体基板には常に安定した基板電位が供給される。

【００９３】

請求項１４に記載の基準電位発生回路においては、基板電位検知手段によって発生される制御信号にヒステリシスが持たされているため、基板電位供給手段が不用意に活性化されたりあるいは非活性化されたりすることはない。したがって、より安定した基板電位が半導体基板に供給される。

【００９４】

請求項１５に記載の基準電位発生回路においては、第１の抵抗要素の値を適宜変化させると、その変化に応答して第１導電型トランジスタの制御電極に供給される制御電位が変化するため、出力抵抗手段の中に流れる電流も変化する。したがって、出力ノードに所望の基準電位を発生することができる。

【００９５】

請求項１６に記載の基準電位発生回路においては、第１の抵抗要素における電圧降下と、第２の抵抗要素における電圧降下とが相殺されるため、制御電位発生手段によって発生される制御電位は温度変化に対して依存しなくなる。したがって、出力ノードに発生される基準電位もまた温度変化に対して依存しなくなる。

【００９６】

請求項１７に記載の基準電位発生回路においては、たとえ第１の電位が上昇しても、第１導電型トランジスタの導通抵抗が小さくなり、その第１導電型トランジスタにおける電圧降下が小さくなるため、制御電位発生手段によって発生される制御電位が第１の電位の上昇に伴って上昇することはない。逆に、たとえ第１の電位が下降しても、第１導電型トランジスタの導通抵抗が大きくなり、その第１導電型トランジスタにおける電圧降下が大きくなるため、制御電位が第１の電位の下降に伴って下降することはない。すなわち、制御電位は第１の電位の変化に対して依存しなくなるため、出力ノードに発生される基準電位もまた第１の電位の変化に対して依存しなくなる。

【００９７】

請求項１８に記載の基準電位発生回路においては、第２の抵抗要素の値を適宜変化させると、その変化に応答して第１導電型トランジスタの制御電極に与えられる制御電位が変化するため、第１導電型トランジスタの中へ流れる電流も変化する。さらに、この第１導電型トランジスタの中へ流れる電流に応答して、出力抵抗手段の中へ流れる電流もまた変化する。したがって、出力ノードに所望の基準電位を発生することができる。

【００９８】

請求項１９に記載の基準電位発生回路においては、たとえ第１の電位が上昇しても、第１

導電型トランジスタの導通抵抗が小さくなり、その第１導電型トランジスタにおける電圧降下が小さくなるため、制御電位が第１の電位の上昇に伴って上昇することはない。逆に、たとえ第１の電位が下降しても、第１導電型トランジスタの導通抵抗が大きくなり、その第１導電型トランジスタにおける電圧降下が大きくなるため、制御電位が第１の電位の下降に伴って下降することはない。すなわち、制御電位は第１の電位の変化に対して依存しなくなるため、出力ノードに発生される基準電位もまた第１の電位の変化に対して依存しなくなる。

【００９９】

請求項２０に記載の基準電位発生回路においては、電源が投入され始めてから所定期間の間、制御電位発生手段における第１および／または第２の経路に電流が注入されるため、制御電位発生手段における制御ノードの電位は速やかに所定の制御電位に到達する。したがって、電源が投入されると、直ちに所定の基準電位が発生されることになる。

【０１００】

請求項２１に記載の基準電位発生回路においては、第１の経路に流れる電流に応答して第２の経路に流れる電流が制御され、かつ第２の経路に流れる電流に応答して第１の経路に流れる電流が制御されるため、第１の経路および第２の経路には抵抗要素によって決定される一定電流が流れる。この一定電流に等しい電流が第３の経路に流れ、さらに出力抵抗手段の中へも流れるため、出力ノードには一定の基準電位が発生される。しかも、第３のカレントミラー手段を構成する第２のトランジスタのチャネル長が第１のトランジスタのチャネル長よりも長いため、第２のトランジスタのソース・ドレイン間にかかる電圧が高くても、第２のトランジスタ中には一定のドレイン電流が流れる。

【０１０１】

請求項２２に記載の内部電位検出回路においては、検出ノードに与えられた内部電位に応答して基準電流および比較電流の大小関係が変化する。したがって、内部電位が検出レベルに達すると、出力ノードの電位が変化する。

【０１０２】

請求項２３に記載の内部電位検出回路においては、内部電位が検出レベルよりも非常に高い場合または低い場合は、カレントミラー手段がオフ状態となるため、検出電流および比較電流が流れない。そのため、消費電力が低減される。

【０１０３】

請求項２４に記載の内部電位検出回路においては、第１の基準電位に基づいて検出レベルが決定されるため、たとえ電源電位が変動しても検出レベルが変動することはない。

【０１０４】

請求項２５に記載の内部電位検出回路においては、第１のトランジスタのしきい電圧の温度依存性が第２のトランジスタのドレイン抵抗の温度依存性によって相殺されるため、検出レベルが動作温度に依存して変動することはない。

【０１０５】

請求項２６に記載の内部電位検出回路においては、出力ノードの信号にヒステリシスが持たされるので、チャタリングが生じることはない。

【０１０６】

請求項２７に記載の内部電位検出回路においては、出力ノードの電位が増幅されるので、この内部電位検出回路は高速に動作する。

【０１０７】

請求項２８に記載の内部電位検出回路においては、第３のトランジスタがソースホロワで接続されているため、入力インピーダンスが高くなる。

【０１０８】

請求項２９に記載の内部電位検出回路においては、可変抵抗手段が接続されているため、その抵抗値を変化させることによって検出レベルを所望の値に設定することができる。

【０１０９】

請求項３０に記載の内部電位検出回路においては、第１の基準電位が変化可能にされてい

るので、この内部電位検出回路の検出レベルを所望の値に設定することができる。
【０１１０】
請求項３１に記載の内部電位検出回路においては、一定電流が可変抵抗手段へ供給されているため、その抵抗値を変化させることによって検出レベルを所望の値に設定することができる。
【０１１１】
請求項３２に記載の内部電位検出回路においては、可変抵抗手段に抵抗要素が追加されたり削除されたりするので、検出レベルを２段階に切換えることができる。
【０１１２】
請求項３３に記載の半導体集積回路装置においては、１つの基準電位発生手段が第１および第２の内部電位検出手段によって共有されているため、レイアウト面積が低減される。
【０１１３】
請求項３４に記載の半導体集積回路装置においては、テストモード信号に応答して内部電位検出手段の検出レベルが変化するので、たとえばバーンインモードでは内部電位が上昇する。
【０１１４】
請求項３５に記載の半導体集積回路装置においては、内部電位が第１および第２の検出レベルのうちいずれかに達していないとき、内部電位発生手段が活性化されるので、いかなる電源電位が供給される場合においても常に低い方の検出レベルと等しい内部電位が生成される。
【０１１５】
請求項３６に記載の半導体集積回路装置においては、消費電力の大きい基板電位発生手段が外部電源電位に基づいて動作するので、降圧手段が待機状態のときに基板電位発生手段が動作しても、内部電源電位が低下することはない。
【０１１６】
請求項３７に記載の半導体集積回路装置においては、複数の内部回路に対応して複数の内部電位発生手段および内部電位検出手段が設けられているので、内部回路の各々に安定した内部電位が供給される。
【０１１７】
請求項３８に記載の半導体集積回路装置においては、内部電位検出回路の検出レベルがそれぞれ異なっているので、各内部回路の特性に応じて最適の内部電位が供給される。
【０１１８】
請求項３９に記載の半導体集積回路装置においては、検出レベルが制御信号に応答して変化するので、各内部回路の状態に応じて最適の内部電位が供給される。
【０１１９】
請求項４０に記載の電位検出回路においては、検出ノードに与えられた電位に応答して抵抗手段の抵抗値が変化する。したがって、抵抗手段を介して出力ノードに流れ込む電流と基準電流との大小関係が変化し、検出ノードに与えられた電位が検出レベルに達すると、出力ノードの電位が変化する。
【０１２０】
請求項４１に記載の電位検出回路においては、検出ノードに与えられた電位に応答してトランジスタの導通抵抗が変化し、これにより検出ノードに与えられた電位が検出レベルに達すると、出力ノードの電位が変化する。
【０１２１】
【実施例】
次に、この発明の実施例を図面を参照して詳しく説明する。なお、図中同一符号は同一または相当部分を示す。
【０１２２】
［実施例１］
図１は、この発明の実施例１による中間電位発生回路の全体構成を示す回路図である。

【０１２３】
図１を参照して、この中間電位発生回路は、２つの基準電位Ｖｒｅｆ　１およびＶｒｅｆ　２を発生する基準電位発生段１０と、これらの基準電位Ｖｒｅｆ　１およびＶｒｅｆ　２に応答して電源電位Ｖ$_{CC}$とグランド電位Ｖｓｓとの間の中間電位（１／２）Ｖ$_{CC}$を発生する出力段１２と、出力ノード１４とを備える。
【０１２４】
基準電位発生段１０は、ＰチャネルＭＯＳトランジスタ１０１と、ＮチャネルＭＯＳトランジスタ１０２と、ＰチャネルＭＯＳトランジスタ１０３と、ＮチャネルＭＯＳトランジスタ１０４とを備える。これらのトランジスタ１０１～１０４は、電源電位Ｖ$_{CC}$が与えられる電源ノード１００とグランド電位Ｖｓｓが与えられるグランドノード２００との間に直列接続されている。
【０１２５】
ＰチャネルＭＯＳトランジスタ１０１は、電源ノード１００に接続されたソース電極と、出力ノード１４に接続されたゲート電極とを持つ。なお、バックゲート電極はソース電極と共通接続されている。
【０１２６】
ＮチャネルＭＯＳトランジスタ１０２は、ＰチャネルＭＯＳトランジスタ１０１のドレイン電極に接続されたドレイン電極およびゲート電極を持つ。これらのドレイン電極およびゲート電極は互いに接続されている。つまり、このＮチャネルＭＯＳトランジスタ１０２は、ダイオード接続されている。
【０１２７】
ＰチャネルＭＯＳトランジスタ１０３は、ＮチャネルＭＯＳトランジスタ１０２のソース電極に接続されたソース電極と、互いに接続されたドレイン電極およびゲート電極とを持つ。つまり、このＰチャネルＭＯＳトランジスタ１０３は、ダイオード接続されている。なお、バックゲート電極はソースと共通接続されている。
【０１２８】
ＮチャネルＭＯＳトランジスタ１０４は、ＰチャネルＭＯＳトランジスタ１０３のソース電極およびゲート電極に接続されたドレイン電極と、グランドノード２００に接続されたソース電極と、出力ノード１４に接続されたゲート電極とを持つ。
【０１２９】
なお、上記ＮチャネルＭＯＳトランジスタ１０２および１０４のバックゲート電極には、グランド電位Ｖｓｓよりも低い基板電位Ｖ$_{BB}$が与えられている。また、ＰチャネルＭＯＳトランジスタ１０１の構造は、ＰチャネルＭＯＳトランジスタ１０３の構造と同一にされている。さらに、ＮチャネルＭＯＳトランジスタ１０２の構造は、ＮチャネルＭＯＳトランジスタ１０４の構造と同一にされている。
【０１３０】
出力段１２は、ＮチャネルＭＯＳトランジスタ１２１と、ＰチャネルＭＯＳトランジスタ１２２とを備える。これらのトランジスタ１２１，１２２は、電源ノード１００とグランドノード２００との間に直列接続されている。
【０１３１】
ＮチャネルＭＯＳトランジスタ１２１は、電源ノード１００に接続されたドレイン電極と、出力ノード１４に接続されたソース電極と、ＮチャネルＭＯＳトランジスタ１０２のドレイン電極およびゲート電極に接続されたゲート電極とを持つ。なお、このＮチャネルＭＯＳトランジスタ１２１のしきい電圧は、ＮチャネルＭＯＳトランジスタ１０２のしきい電圧Ｖ$_{tn}$にほぼ等しいか、あるいはそれよりも大きくされている。
【０１３２】
ＰチャネルＭＯＳトランジスタ１２２は、出力ノード１４に接続されたソース電極と、グランドノード２００に接続されたドレイン電極と、ＰチャネルＭＯＳトランジスタ１０３のドレイン電極およびゲート電極に接続されたゲート電極とを持つ。なお、このＰチャネルＭＯＳトランジスタ１２２のしきい電圧は、ＰチャネルＭＯＳトランジスタ１０３のし

きい電圧の絶対値｜V_{tp}｜に等しいか、あるいはそれよりも大きくされている。

【０１３３】

次に、この中間電位発生回路の動作について詳しく説明する。

基準電位発生段１０においては、ノードＮ３を中心として４つのトランジスタ１０１～１０４が対照的に配置されているため、そのノードＮ３には電源電位V_{CC}とグランド電位Ｖｓｓとのちょうど中間の電位（１／２）V_{CC}が発生される。

【０１３４】

また、ＮチャネルＭＯＳトランジスタ１０２はダイオード接続されているため、ノードＮ１にはノードＮ３よりもそのしきい電圧V_{tn}だけ高い電位、つまり中間電位よりもそのしきい電圧だけ高い電位（１／２）$V_{CC}+V_{tn}$が基準電位V_{ref}　１として発生される。

【０１３５】

一方、ＰチャネルＭＯＳトランジスタ１０３もまたダイオード接続されているため、ノードＮ２にはノードＮ３よりもそのしきい電圧の絶対値｜V_{tp}｜だけ低い電位、つまり中間電位よりもそのしきい電圧の絶対値だけ低い電位（１／２）$V_{CC}-|V_{tp}|$が基準電位V_{ref}　２として発生される。

【０１３６】

基準電位発生段１０において発生された基準電位V_{ref}　１は、出力段１２のＮチャネルＭＯＳトランジスタ１２１のゲート電極に与えられる。また、基準電位V_{ref}　２は、ＰチャネルＭＯＳトランジスタ１２２のゲート電極に与えられる。

【０１３７】

ＮチャネルＭＯＳトランジスタ１２１のしきい電圧は、ＮチャネルＭＯＳトランジスタ１０２のしきい電圧に等しいか、またはそれよりもわずかに大きくされているため、このＮチャネルＭＯＳトランジスタ１２１はわずかに導通状態となる。また、ＰチャネルＭＯＳトランジスタ１２２のしきい電圧の絶対値はＰチャネルＭＯＳトランジスタ１０３のしきい電圧の絶対値｜V_{tp}｜に等しいか、あるいはそれよりもわずかに大きくされているため、このＰチャネルＭＯＳトランジスタ１２２もわずかに導通状態となる。

【０１３８】

この出力段１２においても、トランジスタ１２１および１２２は対照的に配置されているため、出力ノード１４には中間電位（１／２）V_{CC}が発生される。

【０１３９】

この中間電位発生回路において、その出力ノード１４の電位（以下「出力電位」という）V_{out}　が中間電位（１／２）V_{CC}からシフトしようとする場合について説明する。

【０１４０】

もし出力電位V_{out}　が下降すると、ＮチャネルＭＯＳトランジスタ１２１においてそのソース電位に対するゲート電位が高くなるため、このＮチャネルＭＯＳトランジスタ１２１の導通抵抗は小さくなり、電源ノード１００からこのトランジスタ１２１を介して出力ノード１４へ電流が流れる。そのため、出力電位V_{out}　は上昇する。

【０１４１】

しかも、このとき出力電位V_{out}　はＰチャネルＭＯＳトランジスタ１０１のゲート電極に与えられるため、そのトランジスタ１０１の導通抵抗が小さくなり、電源ノード１００からこのトランジスタ１０１を介してノードＮ１に電流が流れる。したがって、出力電位V_{out}　が下降すると速やかにＮチャネルＭＯＳトランジスタ１２１のゲート電位が上昇するため、出力電位V_{out}　は速やかに元の中間電位（１／２）V_{CC}に戻る。

【０１４２】

一方、もし出力電位V_{out}　が上昇するとＰチャネルＭＯＳトランジスタ１２２においてそのソース電位に対するゲート電位が低くなるため、このトランジスタ１２２の導通抵抗は小さくなる。したがって、出力電位V_{out}　は下降する。

【０１４３】

しかも、このとき出力電位V_{out}　はＮチャネルＭＯＳトランジスタ１０４のゲート電

極に与えられるため、そのトランジスタ１０４の導通抵抗が小さくなり、ノードＮ２の電位は速やかに低くなる。したがって、出力電位V_{out}が中間電位（１／２）V_{CC}から上昇したときは速やかに元に戻る。

【０１４４】

このように、実施例１による中間電位発生回路においては出力電位V_{out}が基準電位発生段１０にフィードバックされているため、出力電位V_{out}が中間電位（１／２）V_{CC}からずれても速やかに元の中間電位（１／２）V_{CC}に戻る。したがって、この中間電位発生回路は、図８３および図８５に示された従来の中間電位発生回路よりも安定した中間電位（１／２）V_{CC}を発生することができる。

【０１４５】

図２は、この中間電位発生回路に電源が投入された当初において、各ノード１００，Ｎ１，１４，Ｎ２の電位が時間の経過に伴って変化する様子を示すグラフである。

【０１４６】

図２を参照して、電源が投入されると、電源ノード１００の電位は０Ｖから電源電位V_{CC}に向かって上昇する。なお、図２中の点線は、電源ノード１００の電位の半分の電位を示す。

【０１４７】

出力電位V_{out}は最初０Ｖであるため、ＰチャネルＭＯＳトランジスタ１０１の導通抵抗は十分に小さくなっている。そのため、ノードＮ１の電位は急速に上昇し、ＮチャネルＭＯＳトランジスタ１２１は速やかに完全な導通状態となる。そのため、出力電位V_{out}は速やかに電源ノード１００の電位の半分の電位に到達する。したがって、出力電位V_{out}は、電源が投入されてから短時間で中間電位（１／２）V_{CC}に到達する。すなわち、この中間電位発生回路においては、出力電位V_{out}が図８３に示された従来の中間電位発生回路よりも速やかに中間電位（１／２）に到達する。

【０１４８】

また、図８３に示された従来の中間電位発生回路の基準電位発生段１および２においては、抵抗素子１ａ，１ｄ，２ａ，２ｄが設けられているのに対し、この実施例１による中間電位発生回路の基準電位発生段１０においてはトランジスタ１０１，１０４が設けられている。したがって、抵抗素子１ａ，１ｄ，２ａ，２ｄよりも小さな占有面積で、大きな抵抗値が実現される。そのため、この中間電位発生回路のレイアウト面積は、従来のそれよりも小さくなる。

【０１４９】

図３は、ＮチャネルＭＯＳトランジスタ１０２および１０４のしきい電圧V_{tn}が所望のしきい電圧からずれた場合、出力電位V_{out}がどの程度ずれるのかを示すグラフである。なお、このグラフは、電源電位V_{CC}を２．５Ｖとしたときのシミュレーション結果を示す。

【０１５０】

この中間電位発生回路においては、ＮチャネルＭＯＳトランジスタにおけるホールの移動度がＰチャネルＭＯＳトランジスタにおけるホールの移動度に等しいとき、出力ノード１４に中間電位（１／２）V_{CC}が発生される。したがって、図８５に示された従来の中間電位発生回路のように、トランジスタのしきい電圧が所望の値からずれても、出力電位V_{out}は中間電位（１／２）V_{CC}からほとんどずれることはない。したがって、この中間電位発生回路は、従来よりも正確な中間電位（１／２）V_{CC}を発生することができる。

【０１５１】

この実施例１において、出力ノード１４からトランジスタ１０１および１０４のゲート電極までの配線は、中間電位（１／２）V_{CC}を制御電位としてトランジスタ１０１および１０４のゲート電極にそれぞれ与える制御電位印加手段を構成する。

【０１５２】

［実施例２］

図４は、この発明の実施例２による中間電位発生回路の全体構成を示すブロック図である。

【０１５３】

図４を参照して、この中間電位発生回路は、２つの制御電位V_{con}　１およびV_{con}　２を発生する制御電位発生回路２０と、これらの制御電位V_{con}　１およびV_{con}　２に応答して、２つの基準電位V_{ref}　１およびV_{ref}　２を発生する基準電位発生段１６と、これらの基準電位V_{ref}　１およびV_{ref}　２に応答して出力電位V_{out}　を発生する出力段１８と、出力ノード１４とを備える。

【０１５４】

基準電位発生段１６は、上記実施例１における基準電位発生段１０と同様に、ＰチャネルＭＯＳトランジスタ１６１と、ダイオード接続されたＮチャネルＭＯＳトランジスタ１６２と、ダイオード接続されたＰチャネルＭＯＳトランジスタ１６３と、ＮチャネルＭＯＳトランジスタ１６４とを備え、これらのトランジスタ１６１～１６４は電源ノード１００とグランドノード２００との間に直列接続されている。

【０１５５】

ただし、上記実施例１の基準電位発生段１０と異なり、ＰチャネルＭＯＳトランジスタ１６１のゲート電極には制御電位発生回路２０からの制御電位V_{con}　１が与えられ、ＮチャネルＭＯＳトランジスタ１６４のゲート電極には制御電位発生回路２０からの制御電位V_{con}　２が与えられている。

【０１５６】

出力段１８は、上記実施例１における出力段１２と同様にＮチャネルＭＯＳトランジスタ１８１と、ＰチャネルＭＯＳトランジスタ１８２とを備え、これらのトランジスタ１８１，１８２は電源ノード１００とグランドノード２００との間に直列接続されている。

【０１５７】

ただし、上記実施例１における出力段１２と異なり、出力ノード１４は基準電位発生段１６におけるトランジスタ１６１および１６４のゲート電極に接続されていない。

【０１５８】

この中間電位発生回路において、制御電位発生回路２０からトランジスタ１６１および１６４のゲート電極に制御電位V_{con}　１およびV_{con}　２として中間電位（１／２）V_{CC}がそれぞれ与えられると、上記実施例１と同様にその出力ノード１４に中間電位（１／２）V_{CC}が発生される。ただし、トランジスタ１６１および１６４のゲート電極に与えられる中間電位（１／２）V_{CC}は制御電位発生回路２０によって発生されたものであるから、出力ノード１４に発生された中間電位（１／２）V_{CC}と異なり、変動することはない。

【０１５９】

この中間電位発生回路においては、制御電位発生回路２０が所望の制御電位V_{con}　１およびV_{con}　２を発生することができるため、たとえ基準電位発生段１６が対照的に構成されていなくても、ノードＮ３の電位を中間電位（１／２）V_{CC}に設定することができる。したがって、この中間電位発生回路は、その制御電位発生回路２０が調整されることによって所望の中間電位（１／２）V_{CC}を発生することができる。

【０１６０】

［実施例３］

図５は、この発明の実施例３による中間電位発生回路の全体構成を示す回路図である。

【０１６１】

図５を参照して、この中間電位発生回路は、基準電位発生段１０と、第１の出力段１２と、第２の出力段２２と、出力ノード１４とを備える。この中間電位発生回路が上記実施例１による中間電位発生回路と異なるところは、第２の出力段２２が新たに設けられている点である。

【０１６２】

この第２の出力段２２は、ＮチャネルＭＯＳトランジスタ２２１と、ＰチャネルＭＯＳト

ランジスタ２２２とを備えてこれらのトランジスタ２２１および２２２は電源ノード１００とグランドノード２００との間に直列接続されている。

【０１６３】

ＮチャネルＭＯＳトランジスタ２２１は、電源ノード１００に接続されたドレイン電極と、出力ノード１４に接続されたソース電極と、基準電位発生段１０におけるＮチャネルＭＯＳトランジスタ１０２のドレイン電極およびゲート電極に接続されたゲート電極とを持つ。また、このＮチャネルＭＯＳトランジスタ２２１のチャネル長は、第１の出力段１２におけるＮチャネルＭＯＳトランジスタ１２１のチャネル長よりも長くされている。したがって、このＮチャネルＭＯＳトランジスタ２２１のしきい電圧は、ＮチャネルＭＯＳトランジスタ１２１のしきい電圧よりも大きくされている。

【０１６４】

また、このＮチャネルＭＯＳトランジスタ２２１のチャネル幅は、ＮチャネルＭＯＳトランジスタ１２１のチャネル幅よりも広くされている。したがって、このＮチャネルＭＯＳトランジスタ２２１の駆動能力は、ＮチャネルＭＯＳトランジスタ１２１の駆動能力よりも大きくされている。

【０１６５】

一方、ＰチャネルＭＯＳトランジスタ２２２は、出力ノード１４に接続されたソース電極と、グランドノード２００に接続されたドレイン電極と、ＰチャネルＭＯＳトランジスタ１０３のドレイン電極およびゲート電極に接続されたゲート電極とを持つ。このＰチャネルＭＯＳトランジスタ２２２のチャネル長は、ＰチャネルＭＯＳトランジスタ１２２のチャネル長よりも長くされている。したがって、このＰチャネルＭＯＳトランジスタ２２２のしきい電圧は、ＰチャネルＭＯＳトランジスタ１２２のしきい電圧よりも大きくされている。

【０１６６】

また、このＰチャネルＭＯＳトランジスタ２２２のチャネル幅は、ＰチャネルＭＯＳトランジスタ１２２のチャネル幅よりも広くされている。したがって、このＰチャネルＭＯＳトランジスタ２２２の駆動能力は、ＰチャネルＭＯＳトランジスタ１２２の駆動能力よりも大きくされている。

【０１６７】

この中間電位発生回路が平衡状態にあるとき、つまり出力ノード１４に中間電位（１／２）V_{CC}が発生されているとき、第１の出力段１２の中にはサブスレショルド電流程度の貫通電流が流れるが、第２の出力段２２の中には全く電流は流れない。

【０１６８】

ここで、出力電位V_{out}が中間電位（１／２）V_{CC}からわずかにずれると、第１の出力段１２におけるトランジスタ１２１または１２２が導通状態となって出力電位V_{out}が中間電位（１／２）V_{CC}に戻る。

【０１６９】

また、出力電位V_{out}が中間電位（１／２）V_{CC}から大幅にずれると、第１の出力段１２だけでなく、第２の出力段２２におけるトランジスタ２２１または２２２も導通状態となって出力電位V_{out}が中間電位（１／２）V_{CC}に戻る。

【０１７０】

第２の出力段２２におけるトランジスタ２２１および２２２の駆動能力は、第１の出力段２２におけるトランジスタ１２１および１２２よりも大きいため、出力電位V_{out}が大幅に変動しても速やかに元に戻る。

【０１７１】

この中間電位発生回路においては、出力電位V_{out}の変動レベルに応じて、その変動した出力電位V_{out}が元の中間電位（１／２）V_{CC}に戻るようにされているため、出力電位V_{out}が中間電位（１／２）V_{CC}付近で振動することはなく、速やかに元の中間電位（１／２）V_{CC}に戻る。

【０１７２】

この実施例３において、第２の出力段２２におけるトランジスタ２２１および２２２のチャネル長およびチャネル幅は、第１の出力段１２よりも長くされているが、それらの長さおよび幅が同じ場合であっても、出力ノード１４には中間電位（１／２）V_{CC}が発生される。また、実施例３においては、２つの出力段１２および２２が設けられているが、３つ以上の出力段が設けられていてもよい。

【０１７３】

［実施例４］

図６は、この発明の実施例４による中間電位発生回路の全体構成を示すブロック図である。この実施例４は、上記実施例２に上記実施例３を適用したものである。

【０１７４】

図６を参照して、この中間電位発生回路は、制御電位発生回路２０と、基準電位発生段１６と、２つの出力段１８および２４と、出力ノード１４とを備える。

【０１７５】

この第２の出力段２２におけるＮチャネルＭＯＳトランジスタ２４１のしきい電圧は第１の出力段１８におけるＮチャネルＭＯＳトランジスタ１８１のそれよりも大きくされ、かつそのトランジスタ２４１の駆動能力もトランジスタ１８１のそれよりも大きくされている。また、第２の出力段２４におけるＰチャネルＭＯＳトランジスタ２４２のしきい電圧の絶対値は、第１の出力段１８におけるＰチャネルＭＯＳトランジスタ１８２のそれよりも大きくされ、かつそのトランジスタ２４２の駆動能力はトランジスタ１８２のそれよりも大きくされている。

【０１７６】

この中間電位発生回路においては、制御電位発生回路２０によって発生される制御電位V_{con}　１およびV_{con}　２を適宜調節することによって、ノードＮ３の電位を中間電位（１／２）V_{CC}に設定することができるので、出力ノード１４に正確な中間電位（１／２）V_{CC}が発生される。

【０１７７】

また、出力電位V_{out}　の変動レベルに応じて、その出力電位V_{out}　が中間電位（１／２）V_{CC}に戻るように第１および第２の出力段１８および２４が動作するため、常に安定した中間電位（１／２）V_{CC}が発生される。

【０１７８】

［実施例５］

図７は、この発明の実施例５による中間電位発生回路におけるトランジスタの構造を示す断面図である。

【０１７９】

上記実施例３において、第２の出力段２２におけるトランジスタ２２１および２２２のしきい電圧は、そのチャネル長を第１の出力段１２におけるトランジスタ１２１および１２２よりも長くすることによって、それらのトランジスタ１２１および１２２よりも大きいが、トランジスタのしきい電圧はバックバイアスを変えることによって変えることも可能である。

【０１８０】

図７を参照して、実施例５におけるＮチャネルＭＯＳトランジスタ１２１および２２１は、半導体基板２６１上に形成されたＰ型ウェル２６３および２６４の中に形成されている。

【０１８１】

すなわち、ＮチャネルＭＯＳトランジスタ１２１は、Ｐ型ウェル２６３上に形成されたソース領域１２１Ｓおよびドレイン領域１２１Ｄと、そのチャネル領域上に絶縁膜を介して形成されたゲート電極１２１Ｃとから構成される。また、ＮチャネルＭＯＳトランジスタ２２１は、Ｐ型ウェル２６４上に形成されたソース領域２２１Ｓおよびドレイン領域２２１Ｄと、ゲート電極２２１Ｇとから構成される。

【０１８２】

また、これらのＰ型ウェル２６３および２６４とＰ型の半導体基板２６１とを分離するため、Ｎ型の埋込層と、３つのＮ型ウェル２６５ないし２６７が形成されている。さらに、Ｐ型ウェル２６３上には、基板電位V_{BB}１を与えるためのコンタクト領域２６８が形成されている。また、Ｐ型ウェル２６４上には、基板電位V_{BB}２を与えるためのコンタクト領域２６９が形成されている。

【０１８３】

したがって、２つのＮチャネルＭＯＳトランジスタ１２１および２２１のバックゲートに独立して基板電位V_{BB}１およびV_{BB}２を与えることができるため、基板電位V_{BB}２を基板電位V_{BB}１よりも低くすることによってトランジスタ２２１のしきい電圧をトランジスタ１２１のしきい電圧よりも大きくすることができる。

【０１８４】

この実施例５から明らかなように、第１の出力段および第２の出力段におけるトランジスタに異なる基板電位V_{BB}１およびV_{BB}２を与えることによって、それらのしきい電圧が異なるようにしてもよい。ただし、基板電位を変えることによってしきい電圧を変えるよりも、チャネル長を変えることによってしきい電圧を変える方が、トランジスタの構造が単純になる。

【０１８５】

［実施例６］

図６は、この発明の実施例６による中間電位発生回路の全体構成を示す回路図である。この実施例６は、上記実施例４における制御電位発生回路２０および基準電位発生段１６の代わりに図３４に示された従来の中間電位発生回路における基準電位発生段１および２を備えたものである。

【０１８６】

図８を参照して、この中間電位発生回路は、２つの基準電位発生段１および２と、２つの出力段１８および２４と、出力ノード１４とを備える。

【０１８７】

この第２の出力段２４におけるＮチャネルＭＯＳトランジスタ２４１のチャネル長は第１の出力段１８におけるＮチャネルＭＯＳトランジスタ１８１のそれよりも長くされ、かつＰチャネルＭＯＳトランジスタ２４２のチャネル長はＰチャネルＭＯＳトランジスタ１８２のそれよりも長くされている。

【０１８８】

したがって、上記実施例４と同様に、出力電位V_{out}の変動レベルに応じて第１および第２の出力段１８および２４が適宜動作するため、出力ノード１４に常に安定した中間電位（１／２）V_{CC}が発生される。

【０１８９】

［実施例７］

図９は、ＤＲＡＭにおけるメモリセルの構造を示す断面図である。なお、図９中には２つのメモリセルが示されている。

【０１９０】

図９を参照して、メモリセルＭＣにおけるキャパシタＣは、ストレージノードＳＴＮと、セルプレートＣＰとから構成される。また、メモリセルＭＣにおけるトランスファゲートＴＧは、ワード線ＷＬであるゲート電極と、Ｎ型のソース領域と、Ｎ型のドレイン領域とから構成される。Ｎ型のソース領域にはビット線ＢＬが接続されている。

【０１９１】

ここで、ストレージノードＳＴＮがＨレベルであり、ワード線ＷＬがＬレベルであり、かつビット線ＢＬがＬレベルであるとき、ワード線ＷＬ下のチャネル領域にサブスレッショルド電流I_1が流れ、キャパシタＣに蓄積されたデータが破壊されるという問題がある。

【０１９２】

そこで、図１０に示すように、ビット線ＢＬのＬレベルをワード線ＷＬのＬレベルよりも

高くし、それによりワード線ＷＬおよびビット線ＢＬが共にＬレベルになった場合であっても、実質的にワード線ＷＬの電位がビット線ＢＬの電位よりも低くなるようにする方式がある。このような方式を階層電源方式という。

【０１９３】

すなわち、このような階層電源方式においては、ワード線ＷＬの電位は、昇圧電位V_{PP}と外部グランド電位ｅｘｔＶｓｓとの間で振幅し、ビット線ＢＬの電位は、外部電源電位ｅｘｔV_{CC}よりも低い内部電源電位ｉｎｔV_{CC}と、外部グランド電位ｅｘｔＶｓｓよりも高い内部グランド電位ｉｎｔＶｓｓとの間で振幅する。したがって、ストレージノードＳＴＮの電位がＨレベルとなり、ワード線ＷＬの電位がＬレベルとなり、かつビット線ＢＬの電位がＬレベルとなった場合においても、ワード線ＷＬの電位がビット線ＢＬの電位よりも実質的に低くなるため、サブスレッショルド電流がチャネル領域中をリークするのが抑制される。そのため、キャパシタＣに蓄積されたデータは破壊されにくい。

【０１９４】

図７は、この発明の第７実施例による中間電位発生回路の全体構成を示す回路図である。

【０１９５】

上記のような階層電源方式においては、ビット線ＢＬの電位が内部電源電位ｉｎｔV_{CC}と内部グランド電位ｉｎｔＶｓｓとの間で振幅するため、ビット線ＢＬは内部電源電位ｉｎｔV_{CC}と内部グランド電位Ｖｓｓとの間の中間電位（１／２）（ｉｎｔV_{CC}－ｉｎｔＶｓｓ）（以下便宜的に「（１／２）V_{CC}」と表わす）がプリチャージされる必要がある。

【０１９６】

図１１中に示された中間電位発生回路３６は、上記のような中間電位（１／２）V_{CC}を発生するものである。図１１を参照してこの中間電位発生回路３６は、上記実施例１と同様に基準電位発生段１０と、出力段１２とを備える。この中間電位発生回路３６が上記実施例１と異なるところは、基準電位発生段１０および出力段１２がともに、内部電源電位ｉｎｔV_{CC}が与えられる内部電源ノード５００と、内部グランド電位ｉｎｔV_{SS}が与えられるグランドノード６００との間に接続されている点である。

【０１９７】

内部電源電位ｉｎｔV_{CC}は、外部電源電位ｅｘｔV_{CC}に基づいて降圧回路３２によって発生される。一方、内部グランド電位ｉｎｔV_{SS}は、外部グランド電位ｅｘｔV_{SS}に基づいて昇圧回路３４によって発生される。

【０１９８】

降圧回路３２および昇圧回路３４は、外部電源電圧を内部電源電圧に変換する電源電圧変換回路３０を構成する。降圧回路３２は基礎基準電位V_{refc}と、内部電源電位ｉｎｔV_{CC}とを比較する差像増幅器３２１と、その差像増幅器３２１からの出力信号に応答して動作するＰチャネルＭＯＳトランジスタ３２２とを備える。この降圧回路３２によれば、基礎基準電位V_{refc}と等しい内部電源電位ｉｎｔV_{CC}が内部電源ノード５００に発生される。

【０１９９】

一方、昇圧回路３４は、基礎基準電位V_{refs}と、内部グランド電位ｉｎｔV_{SS}とを比較する差動増幅器３４１と、この差像増幅器３４１の出力信号に応答して動作するＮチャネルＭＯＳトランジスタ３４２とを備える。この昇圧回路３４によれば、基礎基準電位V_{refs}と等しい内部グランド電位ｉｎｔV_{SS}が内部グランドノード６００に発生される。

【０２００】

この実施例７から明らかなように、内部電源電位ｉｎｔV_{CC}と内部グランド電位ｉｎｔV_{SS}との間の中間電位（１／２）V_{SS}が必要とされる場合は、中間電位発生回路を内部電源ノード５００と内部グランドノード６００との間に接続すればよい。

【０２０１】

図１２は、２つの基礎基準電位V_{refc}およびV_{refs}を発生するための基礎基準電

位発生回路の一例を示す概念図である。この場合、図１１中のトランジスタ１２１または１２２のドレイン電極は内部電源ノード５００または内部グランドノード６００以外の電源ノード、たとえば外部電源ノード３００または外部グランドノード４００に接続されていてもよい。また、トランジスタ１２１および１２２の双方のドレイン電極がノード５００，６００以外の電源ノードに接続されていてもよい。

【０２０２】

図１２を参照して、この基礎基準電位発生回路は、一定の基準電流I_{const}を供給することができる定電流源３８と、直列に接続された２つの抵抗要素４０および４２とを備える。抵抗要素４０は、一定の抵抗値Ｒ１を有する。抵抗要素４２の抵抗値Ｒは適宜変化させることができる。

【０２０３】

図１３は、図１２に示された定電流源３８の一例を示す回路図である。

図１３を参照して、この定電流源３８は、２つのＰチャネルＭＯＳトランジスタ３８１および３８２から構成されるカレントミラー回路と、２つのＮチャネルＭＯＳトランジスタ３８３および３８４とから構成されるカレントミラー回路と、ＮチャネルＭＯＳトランジスタ３８３と外部グランドノード４００との間に接続された抵抗要素３８５と、一定の基準電流I_{const}を供給するためのＰチャネルＭＯＳトランジスタ３８６とを備える。

【０２０４】

上記２つのカレントミラー回路はクロスカップルされているため、外部電源ノード３００からトランジスタ３８１、３８３および抵抗要素３８５を介して外部グランドノード４００へ流れる参照電流I_{ref}と、外部電源ノード３００からトランジスタ３８２および３８４を介して外部グランドノード４００へ流れる参照電流I_{ref}とは、互いに等しくかつ一定となる。また、これらの参照電流I_{ref}の大きさは抵抗要素３８５の大きさによって決定される。

【０２０５】

さらにＰチャネルＭＯＳトランジスタ３８６は、ＰチャネルＭＯＳトランジスタ３８１とともにカレントミラー回路を構成するため、そのトランジスタ３８６の中には上記参照電流I_{ref}と等しい一定の基準電流I_{const}が流れる。

【０２０６】

図１４は、図１２に示された基礎基準電位発生回路が用いられた場合における内部電源電位、内部グランド電位および中間電位を示すグラフである。

【０２０７】

たとえば、図１２に示された抵抗要素４２の値が０Ωにされた場合、基礎基準電位V_{refc}は$I_{const}\times R1$となり、基礎基準電位V_{refs}は０Ｖとなる。したがって、内部電源電位$intV_{CC}$は基礎基準電位V_{refc}と等しくなり、内部電源電位$intV_{SS}$は０Ｖとなる。

【０２０８】

次いで抵抗要素４２の値が大きくされると、基礎基準電位V_{refc}およびV_{refs}はともに上昇するが、基礎基準電位V_{refc}およびV_{refs}の間の電圧は常に一定である。したがって、内部電源電位$intV_{CC}$および内部グランド電位$intV_{SS}$の電圧も一定となる。

【０２０９】

そのため、抵抗要素４２の値が変化刺せられても、出力ノード１４に発生される中間電位は常に内部電源電位$intV_{CC}$と内部グランド電位$intV_{SS}$との間の電位となる。

【０２１０】

［実施例８］

図１５は、この発明の実施例８による中間電位発生回路の構成を示す回路図である。

【０２１１】

図１５を参照して、この中間電位発生回路は、電源電圧変換回路３０と、中間電位発生部

４４と、出力ノード１４とを備える。この中間電位発生回路が上記実施例７による中間電位発生回路と異なるところは、中間電位発生部４４における出力段４６が、外部電源ノード３００と外部グランドノード４００との間に接続されている点である。

【０２１２】

すなわち、出力段４６は、ＮチャネルＭＯＳトランジスタ４６１と、ＰチャネルＭＯＳトランジスタ４６２とを備え、これらのトランジスタ４６１および４６２は外部電源ノード３００と外部グランドノード４００との間に直列接続されている。一方、中間電位発生部４４における基準電位発生段１０は、上記実施例７と同様に、内部電源ノード５００と内部グランドノード６００との間に接続されている。

【０２１３】

この中間電位発生回路によれば、基準電位発生段１０におけるノードＮ３には内部電源電位ｉｎｔV_{CC}と内部グランド電位ｉｎｔV_{SS}との間の中間電位（１／２）V_{CC}が発生される。したがって、出力段４６におけるＮチャネルＭＯＳトランジスタ４６１のゲート電極には、中間電位よりもＮチャネルＭＯＳトランジスタ１０２のしきい電圧だけ高い電位（１／２）$V_{CC}+V_{tn}$が与えられ、ＰチャネルＭＯＳトランジスタ４６２のゲート電極には、中間電位よりもＰチャネルＭＯＳトランジスタ１０３のしきい電圧の絶対値だけ低い電位（１／２）$V_{CC}-|V_{tp}|$が与えられる。そのため、出力段４６は外部電源ノード３００と外部グランドノード４００との間に接続されているにもかかわらず、その出力ノード１４には内部電源電位ｉｎｔV_{CC}と内部グランド電位ｉｎｔV_{SS}との間の中間電位（１／２）V_{CC}が発生される。

【０２１４】

［実施例９］

図１６は、この発明の実施例９による中間電位発生回路の構成を示す回路図である。図１６を参照して、この中間電位発生回路は、電源電圧変換回路３０と、中間電位発生部４５と、出力ノード１４とを備える。この中間電位発生回路が上記実施例８による中間電位発生回路と異なるところは、中間電位発生部４５における出力段４７が、内部電源ノード５００と外部グランドノード４００との間に接続されている点である。

【０２１５】

すなわち、出力段４７は、ＮチャネルＭＯＳトランジスタ４７１と、ＰチャネルＭＯＳトランジスタ４７２とを備え、これらのトランジスタ４７１および４７２は内部電源ノード５００と外部グランドノード４００との間に直列接続されている。一方、中間電位発生部４５における基準電位発生段１０は、上記実施例８と同様に、内部電源ノード５００と内部グランドノード６００との間に接続されている。

【０２１６】

この中間電位発生回路によれば、基準電位発生段１０におけるノードＮ３には内部電源電位ｉｎｔV_{CC}と内部グランド電位ｉｎｔV_{SS}との間の中間電位（１／２）V_{CC}が発生される。したがって、出力段４７におけるＮチャネルＭＯＳトランジスタ４７１のゲート電極には、中間電位よりもＮチャネルＭＯＳトランジスタ１０２のしきい電圧だけ高い電位（１／２）$V_{CC}+V_{tn}$が与えられ、ＰチャネルＭＯＳトランジスタ４７２のゲート電極には、中間電位よりもＰチャネルＭＯＳトランジスタ１０３のしきい電圧の絶対値だけ低い電位（１／２）$V_{CC}-|V_{tp}|$が与えられる。そのため、出力段４７は内部電源ノード５００と外部グランドノード４００との間に接続されているにもかかわらず、その出力ノード１４には内部電源電位ｉｎｔV_{CC}と内部グランド電位ｉｎｔV_{SS}との間の中間電位（１／２）V_{CC}が発生される。

【０２１７】

このように、出力段を構成するＮおよびＰチャネルＭＯＳトランジスタはソースホロア接続されていればよい。すなわち、ＮおよびＰチャネルＭＯＳトランジスタのドレイン電極にはいかなる電位が与えられていてもよい。

【０２１８】

［実施例１０］

図１７は、この発明の実施例１０による中間電位発生回路における基礎基準電位発生回路の構成を示す概念図である。

【０２１９】

図１７を参照して、この基礎基準電位発生回路は、基礎基準電位V_{refc}が発生される第１の出力ノード５０と、基礎基準電位V_{refs}が発生される第２の出力ノード５２と、出力抵抗要素４０と、可変出力抵抗要素４２と、定電流源３８と、フィードバック回路４８とを備える。

【０２２０】

この基礎基準電位発生回路は、図１２に示された基礎基準電位発生回路に代えて用いられる。この基礎基準電位発生回路が図１２に示された基礎基準電位発生回路と異なるところは、フィードバック回路４８が新たに設けられている点である。

【０２２１】

この基礎基準電位発生回路においては、定電流源３８から供給される基準電流I_{const}のうち一部の電流Ｉ１は、抵抗要素４０および４２の中へ流れる。したがって、第１の出力ノード５０には一定の基礎基準電位V_{refc}が発生され、第２の出力ノード５２には一定の基礎基準電位V_{refs}が発生される。

【０２２２】

一方、基準電流I_{const}のうち残りの電流Ｉ２はフィードバック回路４８の中へ流れる。フィードバック回路４８は、この残りの電流Ｉ２を検知し、その電流Ｉ２が減少すると定電流源３８から供給される基準電流I_{const}を増加させ、その電流Ｉ２が増加すると定電流源３８から供給される基準電流I_{const}を減少させる。

【０２２３】

たとえば出力ノード５０に接続されている緩衝用の容量要素（図示せず）に電流が流れると、フィードバック回路４８へ流れる電流Ｉ２が減少する。フィード回路４８はこの電流Ｉ２の減少に応答して定電流源３８から供給される基準電流I_{const}が増加するように制御する。

【０２２４】

したがって、出力抵抗要素４０および４２へ流れる電流が減少することはなく、それらの出力ノード５０および５２には、常に一定の基礎基準電位V_{refc}およびV_{refs}が発生される。

【０２２５】

図１８は、図１７に示された基礎基準電位発生回路の具体的構成を示す回路図である。

【０２２６】

図１８を参照して、この基礎基準電位発生回路は、ＰチャネルＭＯＳトランジスタ３８１および３８２から構成される第１のカレントミラー回路と、ＮチャネルＭＯＳトランジスタ３８３および３８４から構成される第２のカレントミラー回路と、第２のカレントミラー回路と外部電源ノード４００との間に接続されたＮチャネルＭＯＳトランジスタ５４１と、ＰチャネルＭＯＳトランジスタ３８１とカレントミラー回路を構成するＰチャネルＭＯＳトランジスタ３８６と、上記抵抗要素４０に相当するダイオード接続されたＰチャネルＭＯＳトランジスタ４０１と、上記抵抗要素４２に相当するダイオード接続されたＰチャネルＭＯＳトランジスタ４２１と、第１の出力ノード５０と第２の出力ノード５２とを備える。

【０２２７】

ＰチャネルＭＯＳトランジスタ３８６のドレイン電極は、ＮチャネルＭＯＳトランジスタ５４１のドレイン電極に接続される。ＮチャネルＭＯＳトランジスタ５４１のゲート電極は第２の出力ノード５２に接続される。

【０２２８】

この基礎基準電位発生回路において、上記と同様に、たとえば第１の出力ノード５０に接続された緩衝用の容量要素に電流が流れると、ＮチャネルＭＯＳトランジスタ５４１へ流れる電流Ｉ２が減少する。ＮチャネルＭＯＳトランジスタ５４１は抵抗要素として機能し

かつそのドレイン電極およびソース電極の間には一定電圧が与えられているため、このトランジスタ５４１の中に流れる電流は一定である。したがって、電流Ｉ２が減少すると、ＰチャネルＭＯＳトランジスタ３８１およびＮチャネルＭＯＳトランジスタ３８３の中に流れる参照電流I_{ref}が増加する。ＰチャネルＭＯＳトランジスタ３８１と、ＰチャネルＭＯＳトランジスタ３８６とは、カレントミラー回路を構成するため、ＰチャネルＭＯＳトランジスタ３８６には参照電流I_{ref}と等しい基準電流I_{const}が流れる。したがって、参照電流I_{ref}の増加に応答して基準電流I_{const}が増加するため、ＰチャネルＭＯＳトランジスタ４０１および４２１へ流れる電流Ｉ１が減少することはなく、それらの出力ノード５０および５２に発生される基礎基準電位V_{refc}およびV_{refs}が低下することはない。

【０２２９】

なお、この実施例１０において、第１のカレントミラー回路を構成するＰチャネルＭＯＳトランジスタ３８１および３８２と、第２のカレントミラー回路を構成するＮチャネルＭＯＳトランジスタ３８３および３８４と、抵抗要素として機能するＮチャネルＭＯＳトランジスタ５４１と、ＰチャネルＭＯＳトランジスタ３８６とは定電流源３８を構成するとともに、フィードバック回路４８をも構成する。

【０２３０】

［実施例１１］

図１９は、この発明の実施例１１による中間電位発生回路における基礎基準電位発生回路の全体構成を示す回路図である。なお、この基礎基準電位発生回路は、図１２に示された基礎基準電位発生回路の代わりに用いられるものである。

【０２３１】

図１９を参照して、この基礎基準電位発生回路は、所定の制御電位V_{con}を発生する制御電位発生回路５４と、その制御電位V_{con}を受けるゲート電極を持つＰチャネルＭＯＳトランジスタ３８６と、第１の出力ノード５０と、第２の出力ノード５２と、第１の出力ノード５０と第２の出力ノード５２との間に接続されたＰチャネルＭＯＳトランジスタ４０２と、第２の出力ノード５２と外部グランドノード４００との間に接続されたＰチャネルＭＯＳトランジスタ４２２とを備える。

【０２３２】

ＰチャネルＭＯＳトランジスタ４０２は外部グランドノード４００に接続されたゲート電極を持ち、出力抵抗要素として機能する。ＰチャネルＭＯＳトランジスタ４２２は外部グランドノード４００に接続されたゲート電極を持ち、出力抵抗要素として機能する。

【０２３３】

この制御電位発生回路５４は、第１のカレントミラー回路を構成する２つのＰチャネルＭＯＳトランジスタ３８１および３８２と、第２のカレントミラー回路を構成する２つのＮチャネルＭＯＳトランジスタ３８３および３８４と、ＰチャネルＭＯＳトランジスタ３８１とＮチャネルＭＯＳトランジスタ３８３との間に接続された抵抗要素５４２と、ＮチャネルＭＯＳトランジスタ３８３と外部グランドノード４００との間に接続された抵抗要素５４３とを備える。すなわち、この制御電位発生回路５４が図１３に示されたものと異なるところは、抵抗要素５４２が新たに設けられている点である。

【０２３４】

この制御電位発生回路５４によると、ＰチャネルＭＯＳトランジスタ３８１のゲート電極の電位がそのまま制御電位としてＰチャネルＭＯＳトランジスタ３８６のゲート電極に与えられるのではなく、そのゲート電極の電位よりも抵抗要素５４２における電圧降下分だけ低い電位が制御ノード５４５に発生され、その制御ノード５４５に発生された電位が制御電位V_{con}としてＰチャネルＭＯＳトランジスタ３８６のゲート電極に与えられる。

【０２３５】

したがって、この基礎基準電位発生回路においては、抵抗要素５４２の値が適宜変えられることによってＰチャネルＭＯＳトランジスタ３８６の中に流れる基準電流I_{const}

が変化させられ、それらの出力ノード５０および５２に発生される基礎基準電位V_{refc}およびV_{refs}が変化させられる。

【０２３６】

さらにこの実施例１１において、抵抗要素５４２が正の温度係数を持ち、かつ抵抗要素５４３が負の温度係数を持つ場合は、抵抗要素５４２の温度依存性と、抵抗要素５４３の温度依存性とが相殺されるため、制御ノード５４５に発生される制御電位V_{con}は温度変化に依存しなくなる。

【０２３７】

また、抵抗要素５４２が持つ温度係数の絶対値と、抵抗要素５４３が持つ温度係数の絶対値との差が十分に大きくされた場合は、その制御電位V_{con}は温度変化に対する依存性を持つことになる。したがって、この差を適宜調節することによって所望の制御電位V_{con}を発生することができる。

【０２３８】

なお、正の温度係数を持つ抵抗要素としては、たとえば金属、ポリシリコンに多量の金属が注入されたものが用いられる。負の温度係数を持つ抵抗要素としては、たとえばポリシリコン、ポリシリコンに少量の金属が注入されたもの、Ｎ型ウェルなどの半導体が用いられる。

【０２３９】

また、抵抗要素５４３が正の温度係数を持ち、かつ抵抗要素５４２が負の温度係数を持つようにしてもよい。

【０２４０】

［実施例１２］

図２０は、この発明の実施例１２による中間電位発生回路における基礎基準電位発生回路の全体構成を示す回路図である。なお、この基礎基準電位発生回路もまた、図１２に示された基礎基準電位発生回路の代わりに用いられるものである。

【０２４１】

図２０を参照して、この基礎基準電位発生回路は、制御電位発生回路５４と、ＰチャネルＭＯＳトランジスタ３８６と、第１の出力ノード５０と、第２の出力ノード５２と、出力抵抗要素として機能するＰチャネルＭＯＳトランジスタ４０３と、出力抵抗要素として機能するＮチャネルＭＯＳトランジスタ４２３とを備える。

【０２４２】

この基礎基準電位発生回路が上記実施例１１と異なるところは、第１の出力ノード５０と第２の出力ノード５２との間に接続されたＰチャネルＭＯＳトランジスタがダイオード接続されている点と、第２の出力ノード５２と外部電源ノード４００との間に接続されたＮチャネルＭＯＳトランジスタ４２３のゲート電極が第１の出力ノード５０に接続されている点である。

【０２４３】

したがって、第１の出力ノード５０に安定した基礎基準電位V_{refc}が発生されている平衡状態においては、ＮチャネルＭＯＳトランジスタ４２３は、そのゲート電極に一定の基礎基準電位V_{refc}が与えられているため、単に抵抗要素として機能する。

【０２４４】

しかしながら、第１の出力ノード５０に発生された基礎基準電位V_{refc}が低くなると、ＮチャネルＭＯＳトランジスタ４２３の導通抵抗は大きくなるため、このトランジスタ４２３における電圧降下が大きくなる。そのため、たとえ基礎基準電位V_{refc}が低くなったとしても直ちに所定の基礎基準電位V_{refc}にもどされる。また同様に、基礎基準電位V_{refc}が高くなったとしても直ちに所定の基礎基準電位V_{refc}に戻される。

【０２４５】

このように、実施例１２による基礎基準電位発生回路においては、第１の出力ノード５０に発生された電位が出力抵抗要素として機能するＮチャネルＭＯＳトランジスタ４２３に

フィードバックされているため、たとえ第１の出力ノード５０に発生される電位が変動しても速やかに元に戻される。そのため、この基礎基準電位発生回路は、常に安定した基礎基準電位V_{refc}およびV_{refs}を発生することができる。

【０２４６】

［実施例１３］

図２１は、この発明の実施例１３による中間電位発生回路における基礎基準電位発生回路の全体構成を示す回路図である。なお、この基礎基準電位発生回路もまた、図１２に示された基礎基準電位発生回路の代わりに用いられるものである。

【０２４７】

図２１を参照して、この基礎基準電位発生回路は、制御電位発生回路５５と、ＰチャネルＭＯＳトランジスタ３８６と、ＰチャネルＭＯＳトランジスタ４０２とＰチャネルＭＯＳトランジスタ４２２と、第１の出力ノード５０と第２の出力ノード５２とを備える。

【０２４８】

この基礎基準電位発生回路が上記実施例１１と異なるところは、制御電位発生回路５５において、抵抗要素５４２の代わりにＰチャネルＭＯＳトランジスタ５４４が設けられている点である。

【０２４９】

すなわち、このＰチャネルＭＯＳトランジスタ５４４はＰチャネルＭＯＳトランジスタ３８１とＮチャネルＭＯＳトランジスタ３８３との間に接続され、そのゲート電極は外部グランドノード４００に接続されている。したがって、このＰチャネルＭＯＳトランジスタ５４４は抵抗要素として機能する。

【０２５０】

ここで、もし外部電源電位$extV_{CC}$が上昇したとすると、ＰチャネルＭＯＳトランジスタ５４４におけるソース電極およびゲート電極の間の電圧が大きくなるため、このトランジスタ５４４の導通抵抗は小さくなる。したがって、ＰチャネルＭＯＳトランジスタ５４４における電圧降下が小さくなるため、制御ノード５４５に発生される制御電位V_{con}も高くなる。そのため、ＰチャネルＭＯＳトランジスタ３８６のソース電極およびゲート電極には、常に一定の電圧が与えられるため、このトランジスタ３８６の中には常に一定の基準電流I_{const}が流れる。このように、実施例１３による基礎基準電位発生回路においては、外部電源電位$extV_{CC}$が変動しても、常に安定した基礎基準電位V_{refc}およびV_{refs}が発生される。

【０２５１】

［実施例１４］

図２２は、この発明の実施例１４による基礎基準電位発生回路の全体構成を示す回路図である。なお、この基礎基準電位発生回路は上記実施例７、実施例８または実施例９における差動増幅器３４１に基礎基準電位V_{refs}を供給するためのものである。

【０２５２】

図２２を参照して、この基礎基準電位発生回路は、所定の基準電位V_{con}を発生する制御電位発生回路５６と、この制御電位V_{con}を受けるゲートを持つＮチャネルＭＯＳトランジスタ６０３と、カレントミラー回路を構成する２つのＰチャネルＭＯＳトランジスタ６０１および６０２と、そのＰチャネルＭＯＳトランジスタ６０２と外部グランドノード４００との間に接続された抵抗要素４２４と、基礎基準電位V_{refs}が発生される出力ノード５２とを備える。ここで、トランジスタ６０２のチャネル長は、トランジスタ６０１のチャネル長よりも長くされている。

【０２５３】

この制御電位発生回路５６においては、２つのカレントミラー回路がクロスカップルされているため、抵抗要素３８５によって決定される一定の参照電流I_{ref}が流れる。ＮチャネルＭＯＳトランジスタ３８４とＮチャネルＭＯＳトランジスタ６０３とは、カレントミラー回路を構成するため、そのＮチャネルＭＯＳトランジスタ６０３の中にも制御電位発生回路５６における参照電流I_{ref}と等しい参照電流I_{ref}が流れる。

【０２５４】
さらに、ＰチャネルＭＯＳトランジスタ６０１と、ＰチャネルＭＯＳトランジスタ６０２とはカレントミラー回路を構成するため、そのＰチャネルＭＯＳトランジスタ６０２の中には、そのＰチャネルＭＯＳトランジスタ６０１の中に流れる参照電流I_{ref}と等しい参照電流I_{ref}が流れる。したがって、抵抗要素４２４に一定の参照電流I_{ref}が流れるため、その出力ノード５２には一定の基礎基準電位V_{refs}が発生される。
【０２５５】
図２３は、ＭＯＳトランジスタの一般的なドレイン電流特性を示すグラフである。このグラフにおいて、縦軸はドレイン電流を示し、横軸はソース・ドレイン間電圧を示す。また、このグラフ中にはゲート電位が異なるいくつかのドレイン電流特性が示されている。図２３中の実線で示されるように、チャネル長が長い場合は、飽和領域においてドレイン電流はソース・ドレイン間電圧に関係なく一定となる。しかし、図２３中の一点鎖線で示されるように、チャネル長が短い場合は、飽和領域においてドレイン電流はソース・ドレイン間電圧の上昇に伴ってわずかに増加する。
【０２５６】
この実施例１４による基礎基準電位発生回路においては、出力ノード５２には内部グランド電位$intV_{SS}$に等しい基礎基準電位V_{refs}が発生されるため、トランジスタ６０２のソース・ドレイン間には高い電圧が与えられる。もしこのトランジスタ６０２のチャネル長がトランジスタ６０１のチャネル長に等しければトランジスタ６０２中に流れる参照電流I_{ref}はトランジスタ６０１中に流れる参照電流I_{ref}よりも大きくなるであろうが、このトランジスタ６０２のチャネル長はトランジスタ６０１のチャネル長よりも長くされているため、このトランジスタ６０２のソース・ドレイン間に高い電圧が与えられているにもかかわらず、このトランジスタ６０２中にはトランジスタ６０１中に流れる参照電流I_{ref}に等しい参照電流I_{ref}が流れる。したがって、抵抗要素４２４中には一定の参照電流I_{ref}が流れるため、出力ノード５２には一定の基礎基準電位V_{refs}が発生される。
【０２５７】
［実施例１５］
図２４は、この発明の実施例１５による基礎基準電位発生回路の全体構成を示す回路図である。
【０２５８】
図２４を参照して、この基礎基準電位発生回路は、所定の制御電位V_{con}を発生する制御電位発生回路５７と、この制御電位V_{con}を受けるゲート電極を持つＮチャネルＭＯＳトランジスタ６０３と、カレントミラー回路構成する２つのＰチャネルＭＯＳトランジスタ６０１および６０２と、抵抗要素４２４と、出力ノード５２とを備える。
【０２５９】
この基礎基準電位発生回路が上記実施例１４と異なるところは、ＰチャネルＭＯＳトランジスタ３８２とＮチャネルＭＯＳトランジスタ３８４との間に抵抗要素６２２が接続されている点である。したがって、この制御電位発生回路５７の制御ノード５７１には、ＮチャネルＭＯＳトランジスタ３８４のゲート電位よりも抵抗要素６２２における電圧降下の分だけ高い電位が制御電位V_{con}として発生される。したがって、ＮチャネルＭＯＳトランジスタ６０３のゲート電極には、ＮチャネルＭＯＳトランジスタ３８４のゲート電位よりも高い制御電位V_{con}が与えられるため、そのトランジスタ３８４の中に流れる参照電流I_{ref}１よりも大きい参照電流I_{ref}２が流れる。
【０２６０】
この実施例１５による基礎基準電位発生回路においては、抵抗要素６２２の値を適宜変化させることによって、制御電位V_{con}を変化させ、ひいては出力ノード５２に発生される基礎基準電位V_{refs}を適宜変化させることができる。
【０２６１】
また、この制御電位発生回路５７において、正の温度係数を有する抵抗要素６２１が用い

られ、かつ負の温度係数を有する抵抗要素６２２が用いられた場合は、上記実施例１２と同様に、抵抗要素６２１および６２２がそれぞれ持つ温度依存性が相殺されるため、その出力ノード５２に発生される基礎基準電位V_{refs}も温度変化に対して依存しなくなる。

【０２６２】

また、上記実施例１２で説明したように、出力ノード５２に発生される基礎基準電位V_{refs}に所望の温度依存性を持たせることも可能である。

【０２６３】

なお、抵抗要素６２２に正の温度係数を持つ材料が用いられ、かつ抵抗要素６２１に負の温度係数を有する材料が用いられてもよい。

【０２６４】

［実施例１６］

図２５は、この発明の実施例１６による基礎基準電位発生回路の全体構成を示す回路図である。

【０２６５】

図２５を参照して、この基礎基準電位発生回路は、所定の制御電位V_{con}　を発生する制御電位発生回路５８と、NチャネルＭＯＳトランジスタ６０３と、カレントミラー回路構成する２つのＰチャネルＭＯＳトランジスタ６０１および６０２と、抵抗要素４２４と、出力ノード５２とを備える。

【０２６６】

この基礎基準電位発生回路が上記実施例１５と異なるところは、抵抗要素６２２の代わりにNチャネルＭＯＳトランジスタ６２３が設けられている点である。このNチャネルＭＯＳトランジスタ６２３のゲート電極は外部電源ノード３００に接続されている。したがって、このNチャネルＭＯＳトランジスタ６２３は、そのゲート電極に外部電源電位ｅｘｔV_{CC}が与えられているため、抵抗要素として機能する。

【０２６７】

また、この基礎基準電位発生回路によれば、上記実施例１３と同様に、外部電源電位ｅｘｔV_{CC}が変動しても、抵抗要素４２４には常に一定の参照電流I_{ref}　２が流れるため、出力ノード５２には常に一定の基礎基準電位V_{refs}が発生される。

【０２６８】

［実施例１７］

図２６は、この発明の実施例１７による基礎基準電位発生回路の全体構成を示す回路図である。

【０２６９】

この基礎基準電位発生回路が、上記実施例１５と異なるところは、抵抗要素４２４の代わりにＰチャネルＭＯＳトランジスタ４２５が設けられている点である。このＰチャネルＭＯＳトランジスタ４２５のゲート電極には負の基板電位V_{BB}が与えられる。

【０２７０】

したがって、このＰチャネルＭＯＳトランジスタ４２５は、抵抗要素として機能する。また、ゲート電極には基板電位V_{BB}が与えられているため、基板電位V_{BB}が変動すると基礎基準電位もV_{refs}も変動する。

【０２７１】

この実施例１７から明らかなように、抵抗要素としてＰチャネルＭＯＳトランジスタを用いてもよい。

【０２７２】

［実施例１８］

図２７は、この発明の実施例１８による基礎基準電位発生回路の全体構成を示す回路図である。

【０２７３】

この基礎基準電位発生回路が、上記実施例１５と異なるところは、抵抗要素４２４の代わ

りにＮチャネルＭＯＳトランジスタ４２６が設けられている点である。このＮチャネルＭＯＳトランジスタ４２６のゲート電極には外部電源電位ｅｘｔV_{CC}が与えられている。

【０２７４】

したがって、このＮチャネルＭＯＳトランジスタ４２６は、抵抗要素として機能する。また、基礎基準電位発生回路においてはもし外部電源電位ｅｘｔV_{CC}が変動すると、ＮチャネルＭＯＳトランジスタ４２６の導通抵抗も変動するため、出力ノード５２に発生される基礎基準電位V_{refs}は外部電源電位ｅｘｔV_{CC}に伴って変動する。

【０２７５】

［実施例１９］

図２８は、この発明の実施例１９による基礎基準電位発生回路の構成を示す回路図である。

【０２７６】

この基礎基準電位発生回路が上記実施例１７と異なるところは、基板電位検知回路６４が新たに設けられている点である。

【０２７７】

この基板電位検知回路６４は、カレントミラー回路を構成する２つのＰチャネルＭＯＳトランジスタ６４２および６４３と、ＰチャネルＭＯＳトランジスタ６０２および４２５の間に接続されたＮチャネルＭＯＳトランジスタ６４１と、このトランジスタ６４１とともにカレントミラー回路を構成する２つのＮチャネルＭＯＳトランジスタ６４４および６４５と、ダイオード接続されたＰチャネルＭＯＳトランジスタ６４６と、抵抗要素６４７とを備える。

【０２７８】

この基板電位検知回路６４においては、基礎基準電位V_{refs}よりもＮチャネルＭＯＳトランジスタ６４１のしきい電圧だけ高い電位がＮチャネルＭＯＳトランジスタ６４４および６４５のゲート電極に与えられる。

【０２７９】

したがって、抵抗要素６４７の一端で検知された基板電位V_{BB}が十分に低くない場合は、ＮチャネルＭＯＳトランジスタ６４５の中に電流が流れないため、制御信号ＥＮはＨレベルにある。基板電位供給回路（図示せず）は、このＨレベルの制御信号ＥＮに応答して活性化され、ＤＲＡＭが形成されている半導体基板に所定の基板電位V_{BB}を供給する。

【０２８０】

その後、基板電位V_{BB}が十分に低くなると、ＰチャネルＭＯＳトランジスタ６４６および抵抗要素６４７の中に電流が流れる。そして、ＰチャネルＭＯＳトランジスタ６４６のソース電位が基礎基準電位V_{refs}よりも低くなると、制御信号ＥＮはＬレベルとなる。基板電位供給回路は、このＬレベルの制御信号ＥＮに応答して非活性化される。

【０２８１】

なお、ＰチャネルＭＯＳトランジスタ６４６および抵抗要素６４７における電圧降下は適宜設定されることができる。

【０２８２】

［実施例２０］

図２９は、この発明の実施例２０による基準電位発生回路の構成を示す回路図である。

【０２８３】

この基準電位発生回路が上記実施例１９と異なるところは、ヒステリシス回路６６が新たに設けられている点である。

【０２８４】

この実施例２０においては、基板電位V_{BB}が十分に低くなっていない場合、Ｈレベルの制御信号ＥＮｈｙｓ　が発生される。このＨレベルの制御信号ＥＮｈｙｓ　はインバータ６６２を介してＰチャネルＭＯＳトランジスタ６６１のゲート電極に与えられるため、このトランジスタ６６１は導通状態となっている。

【０２８５】

そして、基板電位V_{BB}が十分に低くなって制御信号ＥＮｈｙｓ　がＬレベルになると、このＰチャネルＭＯＳトランジスタ６６１は非導通状態となる。そのため、トランジスタ６４５および６４６に流れる電流は小さくなる。したがって、再び基板電位V_{BB}が上昇して十分に低くなくなっても、制御信号ＥＮｈｙｓ　は直ぐにはＨレベルとならない。すなわち、このヒステリシス回路６６は制御信号ＥＮにヒステリシスを持たせるものである。したがって、この制御信号ＥＮｈｙｓ　にはチャタリングは生じない。

【０２８６】

［実施例２１］

図３０は、この発明の実施例２１による基礎基準電位発生回路の構成を示す回路図である。この基礎基準電位発生回路が上記実施例２０と異なるところは、基板電位検知回路６４におけるＮチャネルＭＯＳトランジスタ６４４のソース電極が、基礎基準電位V_{refs}が発生される出力ノード５２ではなく、内部グランドノード６００に接続されている点である。この基準電位発生回路によれば、基板電位検知回路６４が動作しても、基礎基準電位V_{refs}が変動することはない。

【０２８７】

［実施例２２］

図３１は、この発明の実施例２２による基礎基準電位発生回路の主要構成を示す回路図である。

【０２８８】

図３１を参照して、この基準電位発生回路には、上記実施例１５、実施例１７および実施例１８に加えてスタートアップ回路６８が設けられている。

【０２８９】

スタートアップ回路６８は、基板電位V_{BB}またはグランド電位を受けるゲート電極を持つＰチャネルＭＯＳトランジスタ６８１と、ダイオード接続されたＰチャネルＭＯＳトランジスタ６８２と、トランジスタ６８１のドレイン電極と外部グランドノード４００との間に接続されたＮチャネルＭＯＳトランジスタ６８３とを備える。ＰチャネルＭＯＳトランジスタ６８２のドレイン電極と、ＮチャネルＭＯＳトランジスタ６８３のゲート電極とは、制御電位発生回路５７におけるＮチャネルＭＯＳトランジスタ３８３および３８４のゲート電極に接続されている。

【０２９０】

この実施例２２によれば、電源が投入された当初において、カレントミラー回路を構成する２つのＮチャネルＭＯＳトランジスタ３８３および３８４のゲート電極に向かって外部電源ノード３００からトランジスタ６８１および６８２を介して電流が流れる。そのため、この制御電位発生回路５７の中には、電源が投入されると速やかに電流が流れる。したがって、所定の制御電位が速やかに発生される。

【０２９１】

また、トランジスタ３８３および３８４のゲート電位が所定の値まで上昇すると、トランジスタ６８３が導通状態となるため、外部電源ノード３００からトランジスタ６８１を介して流れる電流は、トランジスタ６８３を介して外部グランドノード４００へ流れる。さらに、ダイオード接続されたＰチャネルＭＯＳトランジスタ６８２が設けられているため、制御電位発生回路５７からスタートアップ回路６８の方へ電流が逆流することはない。

【０２９２】

［実施例２３］

図３２はこの発明の実施例２３による中間電位発生回路の全体構成を示す回路図である。

【０２９３】

図３２を参照して、この実施例２３は、上記実施例７、実施例１３、実施例１６、および実施例２２が組合わされたものである。

【０２９４】

なお、この発明は、上記のような組合わせ以外に、これまで述べた実施例を適宜組み合わせることによって実現されるものである。

【０２９５】
［実施例２４］
図３３は、この発明の実施例２４による基準電位発生回路の構成を示す回路図である。この実施例２４もまた、上記実施例２３と同様に、これまで述べた実施例が組合わされたものである。
【０２９６】
図３３を参照して、この基準電位発生回路は、定電流発生器７４と、電流差発生器７２と、電圧発生器７６と、基板電位検知回路７０と、降圧回路３２と、昇圧回路３４とを備える。
【０２９７】
定電流発生器７４は、図３１に示されたスタートアップ回路６８と、制御電位発生回路７８とを備える。この制御電位発生回路７８は、図２１に示された制御電位発生回路５５と図２５に示された制御電位発生回路５８とが組合わされたもので、ＰチャネルＭＯＳトランジスタ３８１とＮチャネルＭＯＳトランジスタ３８３との間にはＰチャネルＭＯＳトランジスタ５４４が接続され、ＰチャネルＭＯＳトランジスタ３８２とＮチャネルＭＯＳトランジスタ３８４との間にＮチャネルＭＯＳトランジスタ６２３が接続されている。
【０２９８】
したがって、外部電源電位ｅｘｔV_{CC}の変化に対して依存性を有しない制御電位V_{con}　１が、基板電位検知回路７０における２つのＮチャネルＭＯＳトランジスタ６４４および６４５のゲート電極に与えられる。また、外部電源電位ｅｘｔV_{CC}の変化に対して依存性を有しない制御電位V_{con}　２が、電圧発生器７６におけるＰチャネルＭＯＳトランジスタ３８６のゲート電極に与えられる。
【０２９９】
したがって、トランジスタ３８６は、制御信号V_{con}　２に応答してトランジスタ４０１および４２８へ基準電流I_{ref}　を供給する。そのため、この電圧発生器７６においては、この基準電流I_{ref}　に応答して基礎基準電位V_{refc}およびV_{refs}が発生される。基礎基準電位V_{refs}はゲート電極に基板電位V_{BB}が与えられたＰチャネルＭＯＳトランジスタ４２８の導通抵抗によって決定される。基礎基準電位V_{refc}は、この基礎基準電位V_{refs}に加えて、ダイオード接続されたＰチャネルＭＯＳトランジスタ４０１の導通抵抗およびしきい電圧によって決定される。
【０３００】
一方、基板電位検知回路７０においては、ゲート電極に制御電位V_{con}　１が与えられるトランジスタ６４４のソース電極に内部グランド電位ｉｎｔV_{SS}が与えられ、かつゲート電極に基礎基準電位V_{refc}が与えられるトランジスタ７０１のソース電極に基板電位V_{BB}が与えられている。
【０３０１】
したがって、基板電位V_{BB}が十分に低くなると、トランジスタ６４４の中に流れる電流よりもトランジスタ６４５の中に流れる電流のほうが大きくなるため、制御信号ＥＮはＬレベルとなる。そのため、基板電位供給回路（図示せず）は、Ｌレベルの制御信号ＥＮに応答して非活性化される。一方、基板電位V_{BB}が十分には低くないと、制御信号ＥＮはＨレベルとなり、基板電位供給回路が活性化される。
【０３０２】
電流差発生器７２は、カレントミラー回路を構成する２つのＰチャネルＭＯＳトランジスタ７２１および７２２と、メモリセルにおけるトランスファーゲートと同一構造を有するＮチャネルＭＯＳトランジスタ７２３と、このトランジスタ７２３とともにカレントミラー回路を構成するＮチャネルＭＯＳトランジスタ７２４とを備える。
【０３０３】
トランジスタ７２１および７２２のゲート電極には制御電位V_{con}　２が与えられているため、これらのトランジスタ７２１および７２２の中にはこの制御電位V_{con}　２に応答して参照電流I_{ref}　がそれぞれ流れる。

【０３０４】
ここで、周辺温度が上昇するとトランジスタ７２３および７２４のしきい電圧が小さくなる。この電流差発生器７２においては、周辺温度が上昇するとトランジスタ７２４よりもトランジスタ７２３のしきい電圧のほうが小さくなるように設定されている。
【０３０５】
そのため、周辺温度が上昇すると、トランジスタ７２４の中に流れる電流I_qが減少し、この電流差発生器７２から電圧発生器７６へ流れる電流I_pが増加する。電流I_pが増加すると、基礎基準電位V_{refs}が大きくなる。したがって、周辺温度が上昇するにつれて、内部グランド電位$intV_{SS}$が上昇する。
【０３０６】
一般に、温度が上昇するにつれてメモリセルにおけるトランスファーゲートの中に流れるサブスレッショルド電流が増加する傾向にあるが、この実施例２４においては温度が上昇するにつれて内部グランドノード$intV_{SS}$が上昇するため、温度が上昇するにつれてトランスファーゲートのゲート電極には実質的に低い電位が与えられることになる。そのため、温度が上昇してもサブスレッショルド電流が増加することはない。
【０３０７】
また、基板電位V_{BB}が十分には低くなくなると、トランジスタ７２３のしきい電圧が小さくなるため、電流差発生器７２から電圧発生器７６へ流れる電流I_pが増加する。電流I_pが増加すると、基礎基準電位V_{refs}は上昇し、内部グランド電位$intV_{SS}$も上昇する。したがって、この場合においても、温度が上昇するにつれてメモリセルにおけるトランスファーゲートのゲート電極には実質的に低い電位が与えられることになるため、たとえ温度が上昇してもサブスレッショルド電流が増加することはない。
【０３０８】
［実施例２５］
図３４は、この発明の実施例２５による内部電位検出回路の構成を示す概念図である。図３５は、図３４に示された内部電位検出回路の具体的構成を示す回路図である。
【０３０９】
図３４および図３５を参照して、この内部電位検出回路は、出力ノード８０１と、一定の基準電流I_{ref1}を供給する定電流源８０２と、検出されるべき低電位ＶＬが与えられる検出ノード８０４と、出力ノード８０１と検出ノード８０４との間に接続された抵抗要素８０３とから構成される。
【０３１０】
定電流源８０２は、図３５に示されるようにたとえばＰチャネルＭＯＳトランジスタ８０５から構成される。このトランジスタ８０５のゲート電極には一定の基準電位V_{ref1}が与えられる。したがって、トランジスタ８０５中には一定の基準電流I_{ref1}が流れる。
【０３１１】
一方、抵抗要素８０３は、図３５に示されるようにたとえばＮチャネルＭＯＳトランジスタ８０６から構成される。このトランジスタ８０６のゲート電極には一定の基準電位V_{ref2}が与えられる。したがって、トランジスタ８０６は一定のドレイン抵抗を有し、これにより抵抗として機能する。
【０３１２】
低い内部電位ＶＬとして、たとえば基板電位V_{BB}が検出ノード８０４に与えられる。この与えられた基板電位V_{BB}が十分に深い場合、つまりグランド電位よりも十分に低い場合は、トランジスタ８０６中に流れる比較電流I_{cmp}の方が基準電流I_{ref1}よりも大きくなるので、出力ノード８０１は放電される。これによりＬ（論理ロー）レベルのイネーブル信号ＧＥが生成される。
【０３１３】
一方、与えられた基板電位V_{BB}が浅い場合、つまりグランド電位よりも十分に低くない場合は、比較電流I_{cmp}の方が基準電流I_{ref1}よりも小さくなるので、出力ノ

ード８０１は充電される。これによりＨレベルのイネーブル信号ＧＥが生成される。
【０３１４】
この生成されたイネーブル信号ＧＥは基板電位発生回路（図示せず）に供給される。イネーブル信号ＧＥがＬレベルのとき基板電位発生回路は不活性化される。イネーブル信号ＧＥがＨレベルのとき、基板電位発生回路は活性化され、それにより基板電位V_{BB}を生成する。
【０３１５】
したがって、この内部電位検出回路によれば、基板電位V_{BB}が所定レベルに達しているか否かが判別される。しかも、電源電位V_{CC}が変動しても出力ノード８０１には一定の基準電流I_{ref}　１が供給されるため、この内部電位検出回路の検出レベルが変動することはない。したがって、この内部電位検出回路によって基板電位発生回路を制御すれば、電源電位V_{CC}の変動に依存することのない一定の基板電位V_{BB}が得られる。
【０３１６】
［実施例２６］
図３６は、この発明の実施例２６による内部電位検出回路の構成を示す概念図である。図３７は、図３６に示された内部電位検出回路の具体的構成を示す回路図である。この実施例２６による内部電位検出回路は、図３４の内部電位検出回路と異なり、高い内部電位ＶＨを検出するためのものである。
【０３１７】
図３６および図３７を参照して、この内部電位検出回路においては、定電流源８０２は出力ノード８０１とグランドノード２００との間に接続されている。また、抵抗要素８０３は検出ノード８０４と出力ノード８０１との間に接続されている。この検出ノード８０４に高い内部電位ＶＨ（たとえば昇圧電位V_{PP}）が与えられる。
【０３１８】
定電流源８０２は、図３７に示されるようにたとえばＮチャネルＭＯＳトランジスタ８０７から構成される。このトランジスタ８０７のゲート電極には一定の基準電位V_{ref}　１が与えられる。したがって、このトランジスタ８０７中には一定の基準電流V_{ref}　１が流れる。
【０３１９】
一方、抵抗要素８０３は、図３７に示されるようにたとえばＰチャネルＭＯＳトランジスタ８０８から構成される。このトランジスタ８０８のゲート電極には一定の基準電位V_{ref}　２が与えられる。したがって、このトランジスタ８０８は一定のドレイン抵抗を有し、これにより抵抗として機能する。
【０３２０】
この内部電位検出回路においては、昇圧電位V_{PP}が十分に高い場合は、トランジスタ８０８中に流れる比較電流I_{cmp}　の方が基準電流I_{ref}　１よりも大きくなるので、出力ノード８０１は充電される。これによりＨレベルのイネーブル信号／ＧＥが生成される。
【０３２１】
一方、昇圧電位V_{PP}が十分に高くない場合、つまり低い場合は、比較電流I_{cmp}　の方が基準電流I_{ref}　１よりも小さくなるので、出力ノード８０１は放電される。これによりＬレベルのイネーブル信号／ＧＥが生成される。
【０３２２】
この生成されたイネーブル信号／ＧＥは昇圧電位発生回路へ供給される。昇圧電位発生回路はイネーブル信号／ＧＥがＨレベルのとき不活性化される。一方、イネーブル信号／ＧＥがＬレベルのとき昇圧電位発生回路は活性化され、それにより昇圧電位V_{PP}を生成する。
【０３２３】
したがって、この内部電位検出回路によれば、昇圧電位V_{PP}が所定の検出レベルに達しているか否かが判別される。しかも、たとえグランド電位V_{SS}が変動しても出力ノード

８０１からグランドノード２００へ一定の基準電流Ｉｒｅｆ　１が供給されるので、検出レベルがグランド電位ＶＳＳに伴って変動することはない。そのため、この内部電位検出回路によって昇圧電位発生回路を制御すれば、グランド電位ＶＳＳの変動に依存しない一定の昇圧電位ＶＰＰが得られる。

【０３２４】

［実施例２７］

図３８は、この発明の実施例２７による内部電位検出回路の構成を示す概念図である。図３８を参照して、この内部電位検出回路は、図３４の構成に加えて、ＮチャネルＭＯＳトランジスタ８０９を備える。このトランジスタ８０９は出力ノード８０１と抵抗要素８０３との間に接続されている。トランジスタ８０９のゲート電極には一定の基準電位Ｖｒｅｆ　３が与えられる。この内部電位検出回路においては、検出ノード８０４に与えられる基板電位ＶＢＢが浅い場合は、トランジスタ８０９のソース・ゲート間にかかる電圧Ｖｓｇがそのしきい電圧よりも小さいため、トランジスタ８０９は非導通状態となる。したがって、比較電流Ｉｃｍｐ　は全く流れないので、出力ノード８０１は基準電流Ｉｒｅｆ　１によって充電される。これによりＨレベルのイネーブル信号ＧＥが生成される。

【０３２５】

一方、基板電位ＶＢＢが低くなり、それによりトランジスタ８０９のソース電位が基準電位Ｖｒｅｆ　３よりもしきい電圧だけ低くなると、トランジスタ８０９が導通状態となり、比較電流Ｉｃｍｐ　が流れる。基板電位ＶＢＢが十分に低い場合は比較電流Ｉｃｍｐ　の方が基準電流Ｉｒｅｆ　１よりも大きくなるので、出力ノード８０１はこの比較電流Ｉｃｍｐ　によって放電され、これによりＬレベルのイネーブル信号ＧＥが生成される。

【０３２６】

したがって、この内部電位検出回路の検出レベルは基準電位Ｖｒｅｆ　３によって決定される。そのため、たとえ電源電位ＶＣＣが変動しても検出レベルが変動することはない。また、この実施例２７の抵抗要素８０３にかかる電圧は上記実施例２５の抵抗要素８０３にかかる電圧よりも小さくなる。したがって、実施例２７の比較電流Ｉｃｍｐ　が実施例２５と同じ場合は、抵抗要素８０３の値を小さくすることができる。一般に高い値の抵抗要素を形成することは困難であるので、この実施例２７は上記実施例２５よりも容易に実現することができる。

【０３２７】

［実施例２８］

図３９は、この発明の実施例２８による内部電位検出回路の構成を示す概念図である。図３９を参照して、この内部電位検出回路は、図３６の構成に加えて、ＰチャネルＭＯＳトランジスタ８１０を備える。トランジスタ８１０は抵抗要素８０３と出力ノード８０１との間に接続される。トランジスタ８１０のゲート電極には一定の基準電位Ｖｒｅｆ　３が与えられる。

【０３２８】

昇圧電位ＶＰＰが低い場合は、トランジスタ８１０が非導通状態となり、比較電流Ｉｃｍｐ　は全く流れない。したがって、出力ノード８０１は基準電流Ｉｒｅｆ　１によって放電され、それによりＬレベルのイネーブル信号／ＧＥが生成される。

【０３２９】

一方、昇圧電位ＶＰＰが高くなり、それによりトランジスタ８１０のソース電位が基準電位Ｖｒｅｆ　３よりもそのしきい電圧だけ高くなると、トランジスタ８１０は導通状態となり、それにより比較電流Ｉｃｍｐ　が流れる。昇圧電位ＶＰＰが十分に高い場合は、比較電流Ｉｃｍｐ　の方が基準電流Ｉｒｅｆ　１よりも大きくなるので、出力ノード８０１はこの比較電流Ｉｃｍｐ　によって充電される。そのため、Ｈレベルのイネーブル信号／ＧＥが生成される。

【０３３０】

この実施例２８の抵抗要素８０３にかかる電圧は上記実施例２６の抵抗要素８０３にかかる電圧よりも小さくなるので、この抵抗要素８０３の値を小さくすることができる。した

がって、この実施例２８は上記実施例２６よりも容易に実現することができる。

【０３３１】

［実施例２９］

図４０は、この発明の実施例２９による内部電位検出回路の構成を示す概念図である。図４０を参照して、この内部電位検出回路は、出力ノード８０１と、出力ノード８０１からグランドノード２００へ一定の基準電流I_{ref}　１を供給する定電流源８０２と、検出されるべき低い内部電位ＶＬが与えられる検出ノード８０４と、検出ノード８０４と接続される抵抗要素８０３と、抵抗要素８０３中に流れる検出電流I_{det}　と等しい比較電流I_{cmp}　を出力ノード８０１に供給するカレントミラー回路８１１とを備える。カレントミラー回路８１１は、ＰチャネルＭＯＳトランジスタ８１２および８１３から構成される。トランジスタ８１２のゲート電極およびソース電極は互いに接続されている。トランジスタ８１２のゲート電極はトランジスタ８１３のゲート電極に接続されている。定電流源８０２は、図３７の定電流源８０２と同様に、たとえば一定の基準電位が与えられるゲート電極を有するＮチャネルＭＯＳトランジスタから構成される。また、抵抗要素８０３は、図３５の抵抗要素８０３と同様に、たとえば一定の基準電位が与えられるゲート電極を有するＮチャネルＭＯＳトランジスタから構成される。

【０３３２】

この内部電位検出回路においては、検出ノード８０４にたとえば基板電位V_{BB}が低い内部電位ＶＬとして与えられる。基板電位V_{BB}が十分に深い場合は、抵抗要素８０３中に検出電流I_{det}　が流れる。カレントミラー回路８１１は、この検出電流I_{det}　と等しい比較電流I_{cmp}　を出力ノード８０１へ供給する。基板電位V_{BB}が十分に深い場合は、比較電流I_{cmp}　の方が基準電流I_{ref}　１よりも大きいので、出力ノード８０１はこの比較電流I_{cmp}　によって十分される。したがって、Ｈレベルのイネーブル信号／ＧＥが生成される。

【０３３３】

一方、基板電位V_{BB}が浅い場合は基準電流I_{ref}　１の方が比較電流I_{cmp}　よりも大きくなるので、出力ノード８０１はその基準電流I_{ref}　１によって放電される。したがって、Ｌレベルのイネーブル信号／ＧＥが生成される。また、基板電位V_{PP}が非常に浅い場合は、トランジスタ８１２のソース・ゲート間にかかる電圧Ｖｓｇがそのしきい電圧よりも小さくなるため、トランジスタ８１２は非導通状態となる。これにより検出電流I_{det}　は全く流れなくなるので、カレントミラー回路を用いていない上記実施例よりも消費電力が小さくなる。

【０３３４】

［実施例３０］

図４１は、この発明の実施例３０による内部電位検出回路の構成を示す概念図である。この内部電位検出回路は、図４０の内部電位検出回路と異なり、昇圧電位V_{PP}などの比較的高い内部電位ＶＨを検出するためのものである。図４１を参照して、この内部電位検出回路は、出力ノード８０１と、電源ノード１００から出力ノード８０１へ一定の基準電流I_{ref}　１を供給する定電流源８０２と、内部電位ＶＨが与えられる検出ノード８０４と、検出ノード８０４と接続される抵抗要素８０３と、抵抗要素８０３中に流れる検出電流I_{det}　と等しい比較電流I_{cmp}　を出力ノード８０１からグランドノード２００へ供給するカレントミラー回路８１４とを備える。カレントミラー回路８１４はＮチャネルＭＯＳトランジスタ８１５および８１６から構成される。トランジスタ８１５のゲート電極およびドレイン電極は互いに接続されている。トランジスタ８１５のゲート電極は、トランジスタ８１６のゲート電極と接続されている。

【０３３５】

この内部電位検出回路において、検出ノード８０４に与えられた内部電位V_{PP}が十分に高い場合は、抵抗要素８０３中に検出電流I_{det}　が流れる。カレントミラー回路８１４は、この検出電流I_{det}　に等しい比較電流I_{cmp}　を出力ノード８０１からグランドノード２００へ供給する。昇圧電位V_{PP}が十分に高い場合は、比較電流I_{cmp}

の方が基準電流I_{ref}　１よりも大きいので、出力ノード８０１はその比較電流I_{cmp}　によって放電される。したがって、Ｌレベルのイネーブルｇｅが生成される。

【０３３６】

一方、昇圧電位V_{PP}が低い場合は、基準電流I_{ref}　１の方が比較電流I_{cmp}　よりも大きくなるので、出力ノード８０１は基準電流I_{ref}　１によって充電される。したがって、Ｈレベルのイネーブル信号ｇｅが生成される。また、昇圧電位V_{PP}が非常に低い場合は、トランジスタ８１５のソース・ゲート間にかかる電圧Ｖｓｇがそのしきい電圧よりも小さくなるので、トランジスタ８１５は非導通状態となる。これより検出電流I_{det}　が全く流れなくなるので、この実施例３０による内部電位検出回路の消費電力はカレントミラー回路を用いていない上記実施例よりも小さくなる。

【０３３７】

［実施例３１］

図４２は、この発明の実施例３１による内部電位検出回路の構成を示す概念図である。図４２を参照して、この内部電位検出回路では、定電流源８０２と抵抗要素８０３とが図４０と反対の位置に設けられている。言換えると、この実施例３１における定電流源８０２およびカレントミラー回路８１１は図３４の定電流源８０２に相当する。

【０３３８】

この内部電位検出回路においては、トランジスタ８１２中に一定の基準電流I_{ref}　１が流れる。カレントミラー回路８１１はその基準電流I_{ref}　１と等しい基準電流I_{ref}　１を出力ノード８０１へ供給する。したがって、検出ノード８０４に与えられた基板電位V_{BB}が十分に深い場合は比較電流I_{cmp}　の方が基準電流I_{ref}　１よりも大きくなるので、Ｌレベルのイネーブル信号ｇｅが生成される。一方、基板電位V_{BB}が浅い場合は基準電流I_{ref}　１の方が比較電流I_{cmp}　よりも大きくなるので、Ｈレベルのイネーブル信号ｇｅが生成される。

【０３３９】

［実施例３２］

図４３は、この発明の実施例３２による内部電位検出回路の構成を示す概念図である。図４３を参照して、この内部電位検出回路では、定電流源８０２と抵抗要素８０３とが図４１と逆の位置に設けられている。言換えると、この実施例３２における定電流源８０２およびカレントミラー回路８１４は図３６の定電流源８０２に相当する。

【０３４０】

この内部電位検出回路においては、トランジスタ８１５中に一定の基準電流I_{ref}　１が流れる。カレントミラー回路８１４は、その基準電流I_{ref}　１に等しい基準電流I_{ref}　１を出力ノード８０１からグランドノード２００へ供給する。したがって、検出ノード８０４に与えられる昇圧電位V_{PP}が十分に高い場合は比較電流I_{cmp}　の方が基準電流I_{ref}　１よりも大きくなるので、Ｈレベルのイネーブル信号／ＧＥが生成される。一方、昇圧電位V_{PP}が低い場合は基準電流I_{ref}　１の方が比較電流I_{cmp}　よりも大きくなるので、Ｌレベルのイネーブル信号／ＧＥが生成される。

【０３４１】

［実施例３３］

図４４は、この発明の実施例３３による内部電位検出回路の構成を示す概念図である。図４４を参照して、この内部電位検出回路は、図４０の構成に加えて、ＮチャネルＭＯＳトランジスタ８０９を備える。トランジスタ８０９はトランジスタ８１２と抵抗要素８０３との間に接続される。トランジスタ８０９のゲート電極には一定の基準電流I_{ref}　３が与えられる。定電流源８０２は、図４５に示されるようにＮチャネルＭＯＳトランジスタ８０７から構成される。トランジスタ８０７のゲート電極には上記基準電流I_{ref}　３が与えられる。抵抗要素８０３は、図４５に示されるようにＮチャネルＭＯＳトランジスタ８０６から構成される。トランジスタ８０６のゲート電極には上記基準電流I_{ref}　３が与えられる。したがって、トランジスタ８０７は定電流源として機能し、トランジスタ８０６は抵抗として機能する。この内部電位検出回路は基板電位V_{BB}が所定のレベ

ルに達しているか否かを判別するものであるから、以下これを基板電位検出回路という。
【０３４２】
この基板電位検出回路においては、検出ノード８０４に与えられた基板電位V_{BB}が浅い場合、トランジスタ８０９および８１２はともに非導通状態となるので、トランジスタ８０６中に検出電流I_{det}は全く流れない。したがって、電源ノード１００からトランジスタ８１３を介して出力ノード８０１へ比較電流I_{cmp}が全く供給されないため、出力ノード８０１はトランジスタ８０７中に流れる基準電流I_{ref}１によって放電される。これによりＬレベルのイネーブル信号／ＧＥが生成される。基板電位発生回路はこのＬレベルのイネーブル信号／ＧＥに応答して活性化される。
【０３４３】
基板電位発生回路が活性化されると、基板電位V_{BB}は徐々に低下する。これによりトランジスタ８１２のソース・ゲート間電圧Ｖｓｇがそのしきい電圧よりも大きくなると、トランジスタ８１２が導通状態となる。また、トランジスタ８０９のソース・ゲート間電圧Ｖｓｇがそのしきい電圧よりも大きくなると、トランジスタ８０９は導通状態となる。したがって、基板電位V_{BB}が低下するにつれて検出電流I_{det}が増加し、さらに比較電流I_{cmp}も増加する。基板電位V_{BB}が次の式（２）の関係を満たすとき、比較電流I_{cmp}は基準電流I_{ref}１と等しくなる。
【０３４４】
$$V_{BB}=V_{ref}3-V_{tn}-V_{on} \quad \cdots(2)$$
ここで、V_{tn}はトランジスタ８０９のしきい電圧を示す。V_{on}はトランジスタ８０６が導通状態のときそのソース・ドレイン間にかかる電圧を示す。したがって、この電圧V_{on}は、トランジスタ８０６の導通状態におけるドレイン抵抗をＲｄとすると、次の式（３）で表わされる。
【０３４５】
$$V_{on}=I_{det}\times Rd \cdots(3)$$
基板電位V_{BB}が十分に深い場合は、基準電流I_{ref}１よりも大きい比較電流I_{cmp}が出力ノード８０１へ流れる。これにより出力ノード８０１が充電され、Ｈレベルのイネーブル信号／ＧＥが生成される。基板電位発生回路はこのＨレベルのイネーブル信号／ＧＥに応答して不活性化される。
【０３４６】
ここで、トランジスタ８０９のしきい電圧V_{tp}は動作温度が上昇するにつれて小さくなる。トランジスタ８０６のドレイン抵抗Ｒｄは動作温度が上昇するにつれて大きくなる。したがって、検出電流I_{det}を一定とすれば、トランジスタ８０６のソース・ドレイン間にかかる電圧V_{on}は動作温度が上昇するにつれて大きくなる。これら電圧V_{tp}およびV_{on}はいずれも動作温度に対してほぼ線形的に変化するため、これら電圧V_{tn}およびV_{on}の動作温度による変動は相殺される。したがって、この内部電位検出回路の検出レベルは、動作温度にかかわらず常に一定である。
【０３４７】
この実施例３３によれば、基準電流I_{ref}３によって検出レベルが決定されるので、たとえ電源電位V_{CC}が変動しても検出レベルが変動することはない。したがって、この基板電位検出回路で基板電位発生回路を制御すれば、電源電位V_{CC}の変動に依存しない安定した基板電位V_{BB}が得られる。
【０３４８】
また、トランジスタ８０６および８０９が直列に接続されているため、動作温度の変動に依存しない安定した検出レベルが得られる。さらに、基板電位V_{BB}が十分に低くない場合はトランジスタ８１２が非導通状態となるので、消費電流が低減される。
【０３４９】
［実施例３４］
図４６は、この発明の実施例３４による基板電位検出回路の構成を示す回路図である。図４６を参照して、この基板電位検出回路は、基板電位検出部８０と、差動増幅器８２と、

インバータ８３および８４とを備える。基板電位検出部８０は、図４５の構成に加えて、ＰチャネルＭＯＳトランジスタ８１７を備える。トランジスタ８１７はトランジスタ８１３と並列に接続される。トランジスタ８１７のゲート電極には、インバータ８４の出力が与えられる。

【０３５０】

差動増幅器８２は、ＰチャネルＭＯＳトランジスタ８２１～８２３と、ＮチャネルＭＯＳトランジスタ８２４および８２５とを備える。トランジスタ８２１のソース電極は電源ノード１００に接続され、ゲート電極には一定の基準電位V_{ref4}が与えられる。したがって、このトランジスタ８２１は定電流源として機能する。トランジスタ８２２および８２３のソース電極はともにトランジスタ８２１のドレイン電極に接続される。トランジスタ８２２のゲート電極は、基板電位検出部８０におけるトランジスタ８１２のゲート電極に接続される。トランジスタ８２３のゲート電極は、基板電位検出部８０における出力ノードＮＹに接続される。トランジスタ８２４はトランジスタ８２２とグランドノード２００との間に接続され、トランジスタ８２５はトランジスタ８２３とグランドノード２００との間に接続される。トランジスタ８２４のゲート電極およびドレイン電極は互いに接続される。トランジスタ８２４のゲート電極はさらに、トランジスタ８２５のゲート電極に接続される。したがって、トランジスタ８２４および８２５はカレントミラー回路を構成する。差動増幅器８２における出力ノードＮＺの電位はインバータ８３に与えられ、インバータ８３からイネーブル信号／ＧＥが出力される。

【０３５１】

図４７は、図４６の構成に加えて、上記基準電位V_{ref3}およびV_{ref4}を発生するための基準電位発生回路５８を備えた基板電位検出回路の全体構成を示す回路図である。図４７に示された基準電位発生回路５８は上述した実施例に示されたもので、電源電位V_{CC}および動作温度の変動にかかわらず常に一定の基準電位V_{ref3}および基準電位V_{ref4}を発生する。

【０３５２】

図４８は、基板電位V_{BB}が次第に下降し、さらに次第に上昇した場合において図４６および図４７に示された基板電位検出回路における各ノードの電位が変化する様子を示す。図４８（ａ）に示されるように、基板電位V_{BB}が浅い場合、さらに具体的に言うと、基板電位V_{BB}が検出レベルＬ１よりも高い場合は、基板電位検出部８０におけるトランジスタ８１２が非導通状態であるため、図４８（ｂ）に示されるようにそのソースノードＮＸの電位はほぼ電源電位V_{CC}に等しい。また、トランジスタ８１３も非導通状態であるため、比較電流I_{cmp}が全く流れず、それにより出力ノードＮＹの電位はグランド電位V_{SS}となる。

【０３５３】

図４８（ａ）に示されるように基板電位V_{BB}が次第に下降し、それによりトランジスタ８１２のソース・ゲート間の電圧Ｖｓｇがそのしきい電圧に達すると、トランジスタ８１２は導通状態となり、ノードＮＸの電位は電源電位V_{CC}よりもトランジスタ８１２のしきい電圧だけ低い電位となる。一方、基板電位V_{BB}が下降するに従ってトランジスタ８１３中に比較電流I_{cmp}が流れ始めるため、ノードＮＹの電位は次第に上昇する。

【０３５４】

ノードＮＸおよびＮＹの電位は差動増幅器８２によって比較される。ノードＮＸの電位がノードＮＹの電位よりも高い間は、差動増幅器８２における出力ノードＮＺの電位は、図４８（ｃ）に示されるように電源電位V_{CC}、つまりＨ（論理ハイ）レベルとなる。したがって、インバータ８３からはＬレベルのイネーブル信号／ＧＥが出力される。

【０３５５】

さらに、ノードＮＹの電位がノードＮＸの電位よりも高くなると、差動増幅器８２における出力ノードＮＺの電位は、図４８（ｃ）に示されるようにＨレベルからＬレベルへ変化する。出力ノードＮＺの電位がＬレベルになると、インバータ８３からはＨレベルのイネーブル信号／ＧＥが出力される。

【０３５６】
イネーブル信号／ＧＥがＨレベルにある間、インバータ８４からトランジスタ８１７のゲート電極へＬレベルの信号が与えられる。これによりトランジスタ８１７は導通状態となるので、電源ノード１００から出力ノードＮＹへ付加電流I_{add}が供給される。
【０３５７】
続いて図４８（ａ）に示されるように、基板電位V_{BB}が次第に上昇すると、トランジスタ８１３中に流れる比較電流I_{cmp}が減少し、それにより出力ノードＮＹの電位が次第に低下する。トランジスタ８１７中に付加電流I_{add}が流れているため、比較電流I_{cmp}と付加電流I_{add}との和よりも基準電流I_{ref}　１の方が大きくなると、出力ノードＮＹの電位もＬレベルとなる。出力ノードＮＹの電位がノードＮＸの電位よりも低くなると、差動増幅器８２における出力ノードＮＺの電位がＬレベルからＨレベルへ変化し、それによりイネーブル信号／ＧＥがＨレベルからＬレベルへ変化する。
【０３５８】
このように、基板電位V_{BB}が基板電位V_{BB}が検出レベルＬ１よりも高い検出レベルＬ２に達したとき、イネーブル信号／ＧＥがＬレベルとなる。すなわち、この基板電位検出回路の検出レベルはヒステリシスを有している。
【０３５９】
トランジスタ８１７およびインバータ８４が設けられていない場合は、基板電位V_{BB}が下降するときの検出レベルと、基板電位V_{BB}が上昇するときの検出レベルとが互いに等しくなるため、基板電位V_{BB}が検出レベル付近にあるとき、イネーブル信号にチャタリングが生じる。しかしながら、この実施例３４による基板電位検出回路には検出レベルにヒステリシスを持たせるためのトランジスタ８１７およびインバータ８４が設けられているため、そのようなチャタリングがイネーブル信号／ＧＥに生じることはない。
【０３６０】
また、トランジスタ８０７中に流れる基準電流I_{ref}　１は、好ましくは数μＡ以下に設定される。したがって、出力ノードＮＹの寄生容量が充放電されるのに長時間を要すれば、この実施例３４による内部電位検出回路では差動増幅器８２が設けられているため、出力ノードＮＹの電位は差動増幅器８２によって増幅される。したがって、イネーブル信号／ＧＥの立上がりおよび立下がり速度がともに速くなる。
【０３６１】
図４９は、電源電位V_{CC}と検出レベルＬ１およびＬ２との関係を示すグラフである。横軸は電源電位V_{CC}を示し、縦軸は検出レベルを示す。図４９のグラフから明らかなように、電源電位V_{CC}に関係なく検出レベルＬ１およびＬ２はほぼ一定である。これは、検出レベルＬ１およびＬ２が電源電位V_{CC}を基準に決定されるのではなく、一定の基準電位V_{ref}　３を基準に決定されるからである。
【０３６２】
［実施例３５］
図５０は、この発明の実施例３５による昇圧電位検出回路の構成を示す概念図である。図５０を参照して、この昇圧電位検出回路は、図４１の構成に加えて、ＰチャネルＭＯＳトランジスタ８１０を備える。トランジスタ８１０は抵抗要素８０３とトランジスタ８１５との間に接続される。トランジスタ８１０のゲート電極には一定の基準電位V_{ref}　３が与えられる。すなわち、この昇圧電位検出回路は、図４４に示された基板電位検出回路が昇圧電位V_{PP}用に変更されたものである。したがって、この昇圧検出回路は、図４４に示された基板電位検出回路とほぼ同様に動作する。
【０３６３】
図５１は、図５０に示された基板電位検出回路の具体的構成を示す回路図であって、図４５に対応するものである。図５１に示されるように、抵抗要素８０３は、基準電位V_{ref}　３が与えられるゲート電極を有するＰチャネルＭＯＳトランジスタ８０８から構成される。定電流源８０２は、基準電位V_{ref}　４が与えられるゲート電極を有するＰチャネルＭＯＳトランジスタ８０５から構成される。したがって、トランジスタ８０８は抵抗

として機能し、トランジスタ８０５は定電流源として機能する。

【０３６４】

この昇圧電位検出回路においては、検出ノード８０４に与えられる昇圧電位V_{PP}が十分に高くない場合、トランジスタ８１６中に流れる比較電流I_{cmp}よりもトランジスタ８０５中に流れる基準電流I_{ref}１の方が大きいので、出力ノード８０１が充電され、それによりＨレベルのイネーブル信号ＧＥが生成される。Ｈレベルのイネーブル信号ＧＥに応答して昇圧電位発生回路が活性化される。

【０３６５】

一方、昇圧電位V_{PP}が十分に高い場合は、基準電流I_{ref}１よりも比較電流I_{cmp}の方が大きいので、出力ノード８０１は放電され、それによりＬレベルのイネーブル信号ＧＥが生成される。このＬレベルのイネーブル信号ＧＥに応答して昇圧電位発生回路は不活性化される。

【０３６６】

この実施例３５によれば、電源電位V_{CC}ではなく基準電位V_{ref}３を基準に検出レベルが決定されるため、たとえ電源電位V_{CC}が変動してもそれに伴ってこの昇圧電位検出回路の検出レベルが変動することはない。また、トランジスタ８０８のドレイン抵抗は動作温度の上昇に伴って大きくなり、トランジスタ８１０のしきい電圧は動作温度の上昇に伴って小さくなるため、トランジスタ８０８による電圧降下の温度依存性と、トランジスタ８１０による電圧降下の温度依存性とは互いに相殺される。したがって、動作温度に依存しない安定した検出レベルが得られる。さらに、昇圧電位V_{PP}が非常に低い場合は、トランジスタ８１５が非導通状態となるため、検出電流I_{det}ひいては比較電流I_{cmp}が全く流れないため、消費電流が低減される。

【０３６７】

［実施例３６］

図５２は、この発明の実施例３６による昇圧電位検出回路の構成を示す回路図である。図５２を参照して、この昇圧電位検出回路は、昇圧電位検出部８１と、昇圧電位検出部８１の出力を増幅する差動増幅器８５と、インバータ８３および８４とを備える。この昇圧電位発生部８１は、図５１の構成に加えて、ＮチャネルＭＯＳトランジスタ８１８が設けられている。トランジスタ８１８はトランジスタ８１６と並列に接続され、そのゲート電極にはインバータ８４の出力が与えられる。この図５２に示された昇圧電位検出回路は、図４６に示された基板電位検出回路が昇圧電位V_{PP}用に変更されたものである。したがって、この昇圧電位検出回路は、図４６の基板電位検出回路とほぼ同様に動作する。

【０３６８】

図５３は、図５２の昇圧電位検出回路に基準電位発生回路５８および８６が加えられたもので、図４７に対応するものである。図５２および図５３を参照して、この作動増幅回路８５は、ＰチャネルＭＯＳトランジスタ８５１および８５２と、ＮチャネルＭＯＳトランジスタ８５３～８５５とを備える。トランジスタ８５１および８５２はカレントミラー回路を構成する。トランジスタ８５３のゲート電極は昇圧電位検出部８１におけるトランジスタ８１５のゲート電極と接続される。トランジスタ８５４のゲート電極は、昇圧電位検出部８１における出力ノードＮＹと接続される。トランジスタ８５５のゲート電極には基準電位発生回路５８によって生成された一定の基準電位V_{ref}５が与えられるので、このトランジスタ８５５は定電流源として機能する。

【０３６９】

図５３を参照して、基準電位発生回路８６は、ＰチャネルＭＯＳトランジスタ８６１～８６３を備える。トランジスタ８６１のゲート電極には、基準電位発生回路５８によって生成された一定の基準電位V_{ref}４が与えられるので、このトランジスタ８６１は定電流源として機能する。トランジスタ８６２および８６３は直列に接続され、さらにそれらのゲート電極にはグランド電位V_{SS}が与えられるので、これらトランジスタ８６２および８６３は全体として抵抗として機能する。これらトランジスタ８６２および８６３中にはトランジスタ８６１から一定の電流が供給されるので、トランジスタ８６２のソースノ

ードには電源電位V_{CC}に依存しない一定の基準電位V_{ref}　３が生成される。この基準電位V_{ref}　３は、昇圧電位検出部８１におけるトランジスタ８０８および８１０のゲート電極に与えられる。基準電位発生回路５８によって生成された基準電位V_{ref}　４が直接トランジスタ８０８および８１０のゲート電極に与えられてもよいが、このように基準電位発生回路８６が設けられれば、トランジスタ８６２および８６３のサイズを変更することによって基準電位V_{ref}　３を適宜変更することができる。

【０３７０】

図５４は、昇圧電位V_{PP}が次第に上昇し、さらに次第に下降する場合において、図５２および図５３に示された昇圧電位検出回路の各ノードの電位が変化する様子を示す。図５４（ａ）に示されるように昇圧電位V_{PP}が十分に高くない場合は、昇圧電位検出部８１におけるトランジスタ８１５が導通状態となるため、ノードＮＸの電位はグランド電位V_{SS}にほぼ等しくなる。

昇圧電位V_{PP}が上昇してトランジスタ８１５が導通状態となると、ノードＮＸの電位はグランド電位V_{SS}よりもトランジスタ８１５のしきい電圧だけ高くなる。さらに、出力ノードＮＹの電位がノードＮＸの電位よりも低くなると、作動増幅回路８５における出力ノードＮＺの電位は、図５４（ｃ）に示されるようにＬレベルからＨレベルへ変化する。したがって、イネーブル信号ＧＥは、図５４（ｄ）に示されるようにＨレベルからＬレベルへ変化する。

【０３７１】

イネーブル信号ＧＥがＬレベルの間は、インバータ８４から昇圧電位検出部８１におけるトランジスタ８１８のゲート電極へＨレベルの信号が与えられるため、トランジスタ８１６中に流れる比較電流I_{cmp}　に加えて、トランジスタ８１８中に付加電流I_{add}が流れる。

【０３７２】

続いて図５４（ａ）に示されるように、昇圧電位V_{PP}が次第に低下すると、比較電流I_{cmp}　が次第に減少するため、出力ノードＮＹの電位は次第に上昇する。出力ノードＮＹの電位がノードＮＸの電位よりも高くなると、作動増幅回路８５における出力ノードＮＺの電位は、図５４（ｃ）に示されるようにＨレベルからＬレベルへ変化する。したがって、イネーブル信号ＧＥは、図５４（ｂ）に示されるようにＬレベルからＨレベルへ変化する。

【０３７３】

ここで、昇圧電位V_{PP}が低下し、それにより比較電流I_{cmp}　が基準電流I_{ref}　１よりも小さくなっても、付加電流I_{add}　が流れているため、出力ノードＮＹの電位はＨレベルにならない。出力ノードＮＹの電位がＨレベルになるのは、比較電流I_{cmp}　と付加電流I_{add}　との和が基準電流I_{ref}　１よりも小さくなったときである。したがって、図５４（ａ）に示されるように、昇圧電位検出回路の検出レベルにはヒステリシスが持たされている。すなわち、昇圧電位V_{PP}が上昇するときにイネーブル信号ＧＥがＨレベルからＬレベルへ変化する検出レベルＬ１よりも、昇圧電位V_{PP}が下降するときにイネーブル信号ＧＥがＬレベルからＨレベルへ変化する検出レベルＬ２の方が低い。そのため、イネーブル信号ＧＥにチャタリングが生じることはない。

【０３７４】

［実施例３７］

図５５は、この発明の実施例３７による基板電位検出回路の全体構成を示す回路図である。図５５を参照して、この実施例３７における基板電位検出部８７では、図４７に示された基板電位検出部８０におけるトランジスタ８０６の代わりにＰチャネルＭＯＳトランジスタ８７１が設けられている。このトランジスタ８７１はトランジスタ８０９のソース電極とグランドノード２００との間に接続され、そのゲート電極には検出ノード８０４が接続されている。すなわち、このトランジスタ８７１はトランジスタ８０９にソースホロワ態様で接続されている。

【０３７５】

この基板電位検出部８７においては、検出ノード８０４に与えられる基板電位V_{BB}が十分に低くない場合、トランジスタ８７１中に検出電流I_{det}がほとんど流れないため、比較電流I_{cmp}は基準電流I_{ref}　１よりも小さくなる。したがって、出力ノードＮＹの電位はＬレベルとなる。一方、基板電位V_{BB}が十分に低い場合は、トランジスタ８７１中に十分な検出電流I_{det}が流れるため、比較電流I_{cmp}が基準電流I_{ref}　１よりも大きくなる。したがって、出力ノードＮＹの電位はＨレベルとなる。

【０３７６】

この実施例３７によれば、トランジスタ８７１がソースホロワ態様で接続されているため、入力インピーダンスが高くなる。したがって、基板電位発生回路からこの基板電位検出回路へは電流はほとんど流れない。

【０３７７】

［実施例３８］

図５６は、この発明の実施例３８による基板電位検出回路の全体構成を示す回路図である。図５６を参照して、この実施例３８における基板電位検出部８８は、図５５に示された基板電位検出部８７の構成に加えて、ＰチャネルＭＯＳトランジスタ８８１が設けられている。トランジスタ８８１はトランジスタ８０９のソース電極とトランジスタ８７１のソース電極との間に接続され、そのゲート電極は検出ノード８０４が接続されている。

【０３７８】

この内部電位検出部８８は、図５５に示された内部電位検出部８７とほぼ同様に動作する。ただし、この内部電位検出部８８ではトランジスタ８８１が設けられているため、このトランジスタ８８１のドレイン抵抗による電圧降下の温度依存性がトランジスタ８０９のしきい電圧の温度依存性と相殺される。したがって、たとえ動作温度が変動してもこの基板電位検出部８８の検出レベルは変動しない。

【０３７９】

［実施例３９］

図５７は、この発明の実施例３９による昇圧電位検出回路の構成を示す回路図である。図５７を参照して、この実施例３９では、図５１に示されたＮチャネルカレントミラー回路８１４の代わりにＰチャネルカレントミラー回路８８２が設けられている。また、トランジスタ８１０とグランドノード２００との間にはＮチャネルＭＯＳトランジスタ８８５が接続され、出力ノード８０１とグランドノード２００との間にはＮチャネルＭＯＳトランジスタ８８６が接続されている。

【０３８０】

カレントミラー回路８８２は、ダイオード接続されたＰチャネルＭＯＳトランジスタ８８３と、そのトランジスタ８８３のゲート電極と接続されたゲート電極を有するＰチャネルＭＯＳトランジスタ８８４とから構成される。トランジスタ８８５および８８６のゲート電極には一定の基準電位V_{ref}　６が与えられる。したがって、これらトランジスタ８８５および８８６はともに定電流源として機能する。トランジスタ８８６中には一定の基準電流I_{ref}　１が流れる。

【０３８１】

この昇圧電位検出回路においては、検出ノード８０４に与えられる昇圧電位V_{PP}が十分に高くない場合、トランジスタ８０８中に検出電流I_{det}はほとんど流れない。カレントミラー回路８８２はこの検出電流I_{det}と等しい比較電流I_{cmp}を出力ノード８０１へ供給する。したがって、この比較電流I_{cmp}は基準電流I_{ref}　１よりも小さいため、出力ノード８０１は放電され、これによりＬレベルのイネーブル信号／ＧＥが生成される。このＬレベルのイネーブル信号／ＧＥに応答して昇圧電位発生回路が活性化される。

【０３８２】

一方、昇圧電位V_{PP}が十分に高い場合は、トランジスタ８０８中に十分な検出電流I_{det}が流れるため、基準電流I_{ref}　１よりも大きい比較電流I_{cmp}が流れる。そのため、出力ノード８０１は充電され、これによりＨレベルのイネーブル信号／ＧＥが

生成される。このＨレベルのイネーブル信号／ＧＥに応答して昇圧電位発生回路は不活性化される。

【０３８３】

この実施例３９から明らかなように、カレントミラー回路は出力ノード８０１よりもグランドノード２００側ではなく、検出ノード８０４側に設けられてもよい。

【０３８４】

［実施例４０］

図５８は、この発明の実施例４０による内部電位検出回路の構成を示す概念図である。図５８を参照して、この実施例４０では、図３４に示された抵抗要素８０３の代わりに可変抵抗要素８８７が設けられている。可変抵抗要素８８７は、たとえば並列に接続された複数の固定抵抗要素から構成される。各固定抵抗要素にはヒューズリンクが直列に接続され、いずれかのヒューズリンクをレーザービームで溶断することによってその抵抗値を適宜変更することができる。また、ヒューズリンクの代わりにスイッチング素子が固定抵抗要素と直列に接続されてもよい。この場合は、スイッチング素子が所定の制御信号に応答してオン／オフすることにより、上記ヒューズリンクの溶断と同様にその抵抗値を適宜変更することができる。さらに、プログラム素子を用いて上記スイッチング素子のオン／オフを制御すれば、アセンブリ工程後であっても任意にスイッチング素子のオン／オフを制御することができる。これらの手法は、他の実施例においてもこの実施例４０と同様に用いられ得る。

【０３８５】

この実施例４０によれば、抵抗要素８８７の値を適宜変更することができるので、この内部電位検出回路の検出レベルを所望の値に設定することができる。

【０３８６】

［実施例４１］

図５９は、この発明の実施例４１による内部電位検出回路の構成を示す概念図である。図５９を参照して、この実施例４１では、図３６に示された抵抗要素８０３の代わりに可変抵抗要素８８７が設けられている。この可変抵抗要素８８７の値は、上記実施例４０と同様に、適宜変更可能である。したがって、この可変抵抗要素８８７の値を適宜変更することによって、この内部電位検出回路の検出レベルを所望の値に設定することができる。

【０３８７】

［実施例４２］

図６０は、この発明の実施例４２による基板電位検出回路の全体構成を示す概念図である。図６０を参照して、この基板電位検出回路は、図４５に示された基板電位検出部８０に加えて、基準電位発生回路８９を備える。基準電位発生回路８９は、可変抵抗要素８９０と、抵抗要素８９０に一定の基準電流I_{ref2}を供給する定電流源８８０とを備える。この可変抵抗要素８９０の値は、図５８および図５９に示された可変抵抗要素８８７と同様に、適宜変更することができる。したがって、基準電位発生回路８９における出力ノード８８９に生成される基準電位V_{ref3}が適宜変更されることができる。この基準電位V_{ref3}は内部電位検出部８０におけるトランジスタ８０６および８０９のゲート電極に与えられているため、この基板電位検出部８０の検出レベルを所望の値に変更することができる。

【０３８８】

［実施例４３］

図６１は、この発明の実施例４３による昇圧電位検出回路の構成を示す概念図である。図６１を参照して、この昇圧電位検出回路は、図５１に示された昇圧電位検出部８１に加えて、基準電位V_{ref3}を発生する基準電位発生回路９０を備える。

【０３８９】

基準電位発生回路９０は、直列に接続されたＰチャネルＭＯＳトランジスタ８９１および８９２と、それらトランジスタ８９１，８９２へ一定の基準電流I_{ref2}を供給する定電流源８８８を備える。トランジスタ８９１は抵抗として機能し、その抵抗値は適宜変

更可能にされている。このようなトランジスタ８９１は、たとえば並列に接続された複数のＰチャネルＭＯＳトランジスタから構成され、各トランジスタと直列に接続されたヒューズリンクをレーザービームで溶断することによってその抵抗値を適宜変更することができる。また、トランジスタ８９２はダイオード接続され、それによりトランジスタ８９２のソース電位はグランド電位V_{SS}よりもトランジスタ８９２のしきい電圧だけ高くなる。

【０３９０】

この実施例４３によれば、トランジスタ８９１のドレイン抵抗をチューニングすることによって出力ノード８８９に生成される基準電位$V_{ref\ 3}$を適宜変化させることができる。基準電位$V_{ref\ 3}$は昇圧電位検出部８１におけるトランジスタ８０８および８１０のゲート電極に与えられているため、この昇圧電位検出部８１の検出レベルを所望の値に変化させることができる。

【０３９１】

図６１に示されたトランジスタ８９１および８９２の代わりに、図６０に示された可変抵抗８９０が用いられてもよい。また、図６０に示された可変抵抗要素８９０の代わりに、図６１に示されたトランジスタ８９１および８９２が用いられてもよい。さらに、トランジスタ８９２のようにダイオード接続されたトランジスタの数を変更することによって基準電位$V_{ref\ 3}$を変化させるように構成してもよい。

【０３９２】

［実施例４４］

図６２は、この発明の実施例４４による基板電位検出回路の全体構成を示す回路図である。図６２を参照して、この実施例４４における基準電位発生回路９１は、図６０に示された基準電位発生回路８９の構成に加えて、抵抗要素８９３およびＮチャネルＭＯＳトランジスタ８９４を備える。抵抗要素８９３は出力ノード８８９と可変抵抗要素８９０との間に接続される。トランジスタ８９４は抵抗要素８９３と並列に接続される。トランジスタ８９４のゲート電極には制御信号／ＣＮＴが与えられる。

【０３９３】

ノーマルモードではＨレベルの制御信号／ＣＮＴが与えられるため、トランジスタ８９４は導通状態となっている。したがって、この基板電位検出回路は図６０と同様に動作する。

【０３９４】

一方、Ｌレベルの制御信号／ＣＮＴが与えられると、トランジスタ８９４は非導通状態となるため、可変抵抗要素８９０に抵抗要素８９３が追加される。そのため、基準電位$V_{ref\ 3}$が上昇し、これにより内部電位検出部８０の検出レベルがノーマルモードのときよりも高くなる。したがって、このような基板電位検出回路によって基板電位発生回路が制御されると、ノーマルモードのときよりも浅い基板電位V_{BB}が生成される。制御信号／ＣＮＴがＨレベルに戻ったときは、基板電位発生回路によって生成される基板電位V_{BB}は元の深いレベルに戻る。

【０３９５】

［実施例４５］

図６３は、この発明の実施例４５による昇圧電位検出回路の全体構成を示す回路図である。図６３を参照して、この実施例４５における基準電位発生回路９２は、図６１に示された基準電位発生回路９０の構成に加えて、ＰチャネルＭＯＳトランジスタ８９６および８９７を備える。トランジスタ８９６は出力ノード８８９とトランジスタ８９１との間に接続される。トランジスタ８９６のゲート電極にはグランドノードV_{SS}が与えられる。したがって、このトランジスタ８９６は抵抗として機能する。トランジスタ８９７はトランジスタ８９６と並列に接続される。トランジスタ８９７のゲート電極には制御信号／ＣＮＴが与えられる。

【０３９６】

ノーマルモードではＨレベルの制御信号／ＣＮＴが与えられるため、トランジスタ８９７

は非導通状態となっている。したがって、トランジスタ８９１および８９２だけでなく、トランジスタ８９６もまた抵抗として機能する。

【０３９７】

一方、Ｌレベルの制御信号／ＣＮＴが与えられると、トランジスタ８９７は導通状態となるため、トランジスタ８９６のソース・ドレイン間は短絡される。したがって、トランジスタ８９６は実質的に削除されるので、基準電位V_{ref3}はノーマルモードのときよりも低くなる。この基準電位V_{ref3}は昇圧電位検出部８１におけるトランジスタ８０８および８１０のゲート電極に与えられるため、昇圧電位検出部８１の検出レベルはノーマルモードのときよりも低くなる。したがって、このような昇圧電位検出回路によって昇圧電位発生回路が制御されると、昇圧電位発生回路によって生成される昇圧電位V_{PP}も低くなる。制御信号／ＣＮＴがＬレベルからＨレベルへ戻ると、昇圧電位検出部８１の検出レベルも元通り高くなる。したがって、昇圧電位発生回路によって生成される昇圧電位V_{PP}も元通り高くなる。

【０３９８】

［実施例４６］

図６４は、この発明の実施例４６による内部電位検出回路の全体構成を示す回路図である。図６４を参照して、この内部電位検出回路は、図４５に示された基板電位検出部８０と、図５１に示された昇圧電位検出部８１と、図４７に示された基準電位発生回路５８とを備える。基準電位発生回路５８によって生成された基準電位V_{ref3}は基板電位検出部８０におけるトランジスタ８０６，８０７および８０９のゲート電極に与えられるとともに、昇圧電位検出部８１におけるトランジスタ８０８および８１０のゲート電極に与えられる。

【０３９９】

この実施例４６によれば、内部電位検出部８０および昇圧電位検出部８１が１つの基準電位発生回路５８を共有しているため、検出部８０，８１の各々に対応して１つの基準電位発生回路が設けられる場合と比較して、基準電位発生回路の数が少なくなる。そのため、この内部電位検出回路全体のレイアウト面積は小さくなる。

【０４００】

［実施例４７］

図６５は、この発明の実施例４７によるＤＲＡＭの一部構成を示すブロック図である。図６５を参照して、このＤＲＡＭは、ワード線駆動回路などを含む内部回路９３と、昇圧電位V_{PP}を発生しそれを内部回路９３へ供給する内部電位発生器９４と、内部回路９３へ供給するための内部電源電位$intV_{CC}$を外部電源電位$extV_{CC}$を降圧することによって生成する降圧回路３２と、降圧回路３２のための基準電位V_{refc}を発生する基準電位発生器９８と、図５１に示された昇圧電位検出回路８１とを備える。

【０４０１】

基準電位発生器９８は外部電源ノード３００および外部グランドノード４００の間に接続され、所定の基準電位V_{refc}を発生する。降圧回路３２は外部電源電位$extV_{CC}$を基準電位V_{refc}と等しい内部電源電位$intV_{CC}$まで降圧する。内部回路９３は内部電源ノード５００および内部グランドノード６００の間に接続され、所定の動作を行なう。昇圧電位発生器９４によって生成された昇圧電位V_{PP}は内部回路９３へ供給されるとともに、昇圧電位検出回路８１の検出ノード８０４にも供給される。内部回路９３では、昇圧電位V_{PP}がたとえばワード線駆動用の電位として用いられる。昇圧電位検出回路８１におけるトランジスタ８０８および８１０のゲート電極には基準電位発生器９８によって生成された基準電位V_{refc}が与えられる。したがって、この昇圧電位発生回路８１の検出レベルは基準電位V_{refc}によって決定される。昇圧電位検出回路８１からのイネーブル信号ＧＥは昇圧電位発生器９４へ供給される。検出ノード８０４に供給された昇圧電位V_{PP}がその検出レベルよりも低い場合はＨレベルのイネーブル信号ＧＥが生成され、これにより昇圧電位発生器９４は活性化される。昇圧電位V_{PP}がその検出レベルに達すると、イネーブルＧＥはＨレベルからＬレベルへ変化し、これにより昇圧電位発

生器９４は不活性化される。

【０４０２】

この実施例４７においては、外部電源ノード３００および基準電位発生器９８の出力ノードの間にＰチャネルＭＯＳトランジスタ９００が接続されている。このトランジスタ９００のゲート電極にはバーンイン信号／ＢＩＮが与えられる。ノーマルモードではバーンイン信号／ＢＩＮはＨレベルであるため、トランジスタ９００は非導通状態となっている。したがって、基準電位発生器９８によって生成された基準電位V_{refc}に等しい内部電源電位$intV_{CC}$が生成される。

【０４０３】

一方、バーンインモードではＬレベルのバーンイン信号／ＢＩＮがトランジスタ９００のゲート電極に与えられる。ここで、バーンインモードとは内部回路９３に通常よりも高い電源電圧を与え、それにより内部回路９３の加速試験を行なうモードである。したがって、Ｌレベルのバーンイン信号／ＢＩＮが与えられると、トランジスタ９００は導通状態となり、これにより基準電位V_{refc}は外部電源電位$extV_{CC}$へプルアップされる。降圧回路３２は外部電源電位$extV_{CC}$に等しい基準電位V_{refc}を基準とするため、外部電源電位$extV_{CC}$に等しい内部電源電位$intV_{CC}$が生成される。これにより内部回路９３には外部電源電位$extV_{CC}$が供給される。

【０４０４】

図６６は、外部電源電位$extV_{CC}$が０Ｖから７Ｖまで上昇したときの昇圧電位検出回路８１の検出レベルと基準電位V_{refc}とを示すグラフである。なお、図６６のグラフにおいて、実線で示される検出レベルは昇圧電位V_{PP}が低下したときの検出レベルであり、点線で示される検出レベルは昇圧電位V_{PP}が上昇したときの検出レベルである。

【０４０５】

基準電位発生器９８は、２．５～４．０Ｖの範囲の外部電源電位$extV_{CC}$が与えられる場合は、一定の基準電位V_{refc}（ここでは２．５Ｖ）を発生する。また、供給される外部電源電位$extV_{CC}$が２．５Ｖよりも低いと、基準電位発生器９８は供給される外部電源電位よりも高い基準電位V_{refc}を発生することはできないので、供給される外部電源電位$extV_{CC}$に等しい基準電位V_{refc}を発生する。さらに、供給される外部電源電位$extV_{CC}$が４Ｖよりも高いと、この基準電位発生器９８は、その供給された外部電源電位$extV_{CC}$よりも一定電圧だげ低い基準電位V_{refc}を発生する。したがって、図６６に示されるように、外部電源電位$extV_{CC}$が０Ｖから２．５Ｖまで上昇する間、基準電位V_{refc}は外部電源電位$extV_{CC}$の上昇に伴って上昇する。ノーマルモードでは外部電源電位$extV_{CC}$が２．５Ｖから４Ｖまで上昇する間、基準電位V_{refc}は一定である。さらに、外部電源電位$extV_{CC}$が４Ｖを超えると、基準電位V_{refc}は供給された外部電源電位$extV_{CC}$と一定の間隔を保ちながら再び上昇する。このような基準電圧発生器９８は、たとえば特開平４－２６３１９３号公報に開示されている。

【０４０６】

一方、バーンインモードではＬレベルのバーンイン信号／ＢＩＮがトランジスタ９００のゲート電極に与えられるため、基準電位V_{refc}が外部電源電位$extV_{CC}$と等しくなる。したがって、図６６に示されるようにバーンインモードにおける基準電位V_{refc}は外部電源電位$extV_{CC}$の上昇に伴って上昇する。

【０４０７】

昇圧電位検出回路８１の検出レベルはこのような基準電位V_{refc}によって決定されるため、検出レベルは基準電位V_{refc}よりも一定電圧だけ高くなる。すなわち、図６６に示されるように、ノーマルモードにおける検出レベルは外部電源電位$extV_{CC}$が２．５Ｖまでは外部電源電位$extV_{CC}$の上昇に伴って上昇する。外部電源電位$extV_{CC}$が２．５Ｖを超えると、ノーマルモードにおける検出レベルは一定になる。さらに、外部電源電位$extV_{CC}$が４．０Ｖを超えると、ノーマルモードにおける検出レベルは再び外部電源電位$extV_{CC}$に伴って上昇する。一方、バーンインモードにおける検出

レベルは外部電源電位ｅｘｔV_{CC}に伴って上昇する。

【０４０８】

このように実施例４７によれば、バーンインモードになると、昇圧電位検出回路８１の検出レベルも高くなるため、ノーマルモードにおける昇圧電位V_{PP}よりも高い昇圧電位V_{PP}が内部回路９３へ供給される。そのため、バーンインテストをより忠実に行なうことができる。

【０４０９】

［実施例４８］

図６７は、この発明の実施例４８によるＤＲＡＭの一部構成を示すブロック図である。図６７を参照して、この実施例４８では図６５と異なり、２つの基準電位発生器９７，９８と、２つの昇圧電位検出器９５，９６と、ＯＲゲート９９とを備える。基準電位発生器９７は外部電源電位ｅｘｔV_{CC}に基づいて一定の基準電位V_{ref}　１を発生する。基準電位発生器９８は図６５に示されたものと同じで、外部電源電位ｅｘｔV_{CC}に基づいてその外部電源電位ｅｘｔV_{CC}と所定の関係を有する基準電位V_{ref}　２を発生する。

【０４１０】

昇圧電位検出器９５は上記実施例と同様に昇圧電位V_{PP}を検出し、その検出された昇圧電位V_{PP}が所定の検出レベルに達しているか否かを判定する。昇圧電位V_{PP}が所定の検出レベルに達していないときは、Ｌレベルのイネーブル信号／ＧＥ１が生成される。この昇圧電位検出器９５の検出レベルは、基準電位発生器９７によって生成された基準電位V_{ref}　１によって決定される。

【０４１１】

もう１つの昇圧電位検出器９６もまた上記実施例と同様に構成され、昇圧電位発生器９４によって生成された昇圧電位V_{PP}を検出し、その検出された昇圧電位V_{PP}が所定の検出レベルに達しているか否かを判定する。昇圧電位V_{PP}が所定の検出レベルに達していないときは、Ｌレベルのイネーブル信号／ＧＥ２が生成される。この昇圧電位検出器９６の検出レベルは、基準電位発生器９８によって生成された基準電位V_{ref}　２によって決定される。

【０４１２】

昇圧電位検出器９５および９６からのイネーブル信号／ＧＥ１および／ＧＥ２はともにＯＲゲート９９へ与えられ、ＯＲゲート９９はイネーブル信号／ＧＥを昇圧電位発生器９４に供給する。昇圧電位発生器９４はイネーブル信号／ＧＥがＬレベルのとき活性化される。

【０４１３】

図６８は、外部電源電位ｅｘｔV_{CC}が上昇したときの各検出器の検出レベルと基準電位V_{ref}　１およびV_{ref}　２を示すグラフである。図６８に示されるように、基準電位V_{ref}　１は、供給される外部電源電位ｅｘｔV_{CC}が約２．５Ｖを超えると一定になる。基準電位V_{ref}　２は、供給される外部電源電位ｅｘｔV_{CC}が約２．５Ｖを超えると一定になり、さらに４Ｖを超えると再び上昇する。昇圧電位検出器９５の検出レベルは基準電位V_{ref}　１によって決定されるので、この検出レベルもまた外部電源電位ｅｘｔV_{CC}が約２．５Ｖを超えると一定になる。昇圧電位検出器９６の検出レベルは基準電位V_{ref}　２によって決定されるので、この検出レベルもまた外部電源電位ｅｘｔV_{CC}が約２．５Ｖを超えると一定となり、さらに４Ｖを超えると再び上昇する。

【０４１４】

外部電源電位ｅｘｔV_{CC}が３Ｖ程度で、かつ昇圧電位V_{PP}が昇圧電位検出器９６の検出レベルよりも低い場合は、イネーブル信号／ＧＥ１および／ＧＥ２ともにＬレベルとなる。したがって、Ｌレベルのイネーブル信号／ＧＥに応答して昇圧電位発生器９４は活性化される。外部電源電位ｅｘｔV_{CC}が３Ｖ程度で、かつ昇圧電位V_{PP}が昇圧電位検出器９５の検出レベルよりも低くかつ昇圧電位検出器９６の検出レベルよりも高い場合は、イネーブル信号／ＧＥ１はＬレベルとなり、かつイネーブル信号／ＧＥ２はＨレベルとなる。そのため、イネーブル信号／ＧＥはＨレベルとなるので、昇圧電位発生器９４は不活

性化される。

【０４１５】

また、外部電源電位ｅｘｔV_{CC}が６Ｖ程度で、かつ昇圧電位V_{PP}が昇圧電位検出器９５の検出レベルよりも低い場合は、イネーブル信号／ＧＥ１および／ＧＥ２ともにＬレベルとなる。したがって、イネーブル信号／ＧＥがＬレベルとなるため、昇圧電位発生器９４は活性化される。

【０４１６】

外部電源電位ｅｘｔV_{CC}が６Ｖ程度で、かつ昇圧電位検出器９６の検出レベルよりも低くかつ昇圧電位検出器９５の検出レベルよりも高い場合は、イネーブル信号／ＧＥ１はＨレベルとなり、かつイネーブル信号／ＧＥ２はＬレベルとなる。したがって、イネーブル信号／ＧＥはＨレベルとなるため、昇圧電位発生器９４は不活性化される。

【０４１７】

このように、昇圧電位検出器９５および９６の検出レベルは外部電源電位ｅｘｔV_{CC}と互いに異なる関係を有しているが、それらのイネーブル信号／ＧＥ１および／ＧＥ２はＯＲゲート９９を介してイネーブル信号／ＧＥとして昇圧電位発生器９４へ供給されるので、昇圧電位発生器９４は低い方の検出レベルによって制御される。したがって、外部電源電位ｅｘｔV_{CC}が約５．１Ｖを超えると、昇圧電位V_{PP}は約６Ｖにクランプされる。この実施例４８は昇圧電位V_{PP}が一定のレベルで制限される場合において特に有効なものである。

【０４１８】

［実施例４９］

図６９は、この発明の実施例４９によるＤＲＡＭの一部構成を示すブロック図である。図６９を参照して、このＤＲＡＭは、メモリセルアレイ、デコーダ、センスアンプなどを含む内部回路９３と、内部回路９３を構成するトランジスタへ基板電位V_{BB}を供給する基板電位発生器１０００と、基板電位発生器１０００を制御する基板電位検出器８０と、外部電源電位ｅｘｔV_{CC}に基づいて内部電源電位ｉｎｔV_{CC}を生成する降圧回路３２とを備える。

【０４１９】

内部回路９３は内部電源ノード５００および内部グランドノード６００の間に接続され、内部電源電位ｉｎｔV_{CC}に基づいて所定の動作をする。基板電位発生器１０００は外部電源ノード３００および外部グランドノード４００の間に接続され、所定の基板電位V_{BB}を発生する。基板電位検出器８０は上記実施例と同様に構成され、基板電位V_{BB}を検出し、その検出された基板電位V_{BB}が所定の検出レベルに達しているか否かを判定する。基板電位V_{BB}が所定の検出レベルに達していないと、基板電位発生器１０００は基板電位検出器８０からのイネーブル信号ＧＥに応答して活性化される。これにより一定の基板電位V_{BB}が内部回路９３へ供給される。

【０４２０】

内部回路９３が待機状態の場合は、内部回路９３の最低限の動作を保証するための電流が降圧回路３２から供給される。すなわち、内部回路９３が待機状態のとき、降圧回路３２の供給能力は低くされる。

【０４２１】

内部回路９３が待機状態の場合において、基板電位V_{BB}が所定の検出レベルよりも浅くなると、基板電位発生器１０００は動作し始める。一般に基板電位発生器１０００の消費電流は非常に大きいが、この基板電位発生器１０００は内部電源ノード５００ではなく、外部電源ノード３００に接続されているため、基板電位発生器１０００が動作しても内部電源電位ｉｎｔV_{CC}が低下することはない。

【０４２２】

［実施例５０］

図７０は、この発明の実施例５０によるＤＲＡＭの一部構成を示すブロック図である。図７０を参照して、この実施例５０では図６９と異なり、基板電位検出器８０が内部電源ノ

ード５００および内部グランドノード６００の間に接続されている。この実施例５０によれば、内部回路９３が待機状態のときに、基板電位発生器１０００が動作しても、この基板電位発生器１０００は外部電源ノード３００および外部グランドノード４００の間に接続されているため、内部電源電位ｉｎｔV_{CC}が低下することはない。この実施例５０から明らかなように、少なくとも消費電流の大きい基板電位発生器１０００が外部電源ノード３００と接続されていればよく、消費電流の小さい基板電位検出器８０は内部電源ノード５００と接続されていてもよい。

【０４２３】

［実施例５１］

図７１は、この発明の実施例５１によるＤＲＡＭの全体構成を示すブロック図である。図７１を参照して、このＤＲＡＭは、複数の内部回路９３１～９３ｎと、内部回路に対応して設けられた基板電位発生器１００１～１００ｎと、基板電位発生器に対応して設けられた複数の基板電位検出器８００１～８００ｎとを備える。内部回路９３１～９３ｎ、基板電位発生器１００１～１００ｎおよび基板電位検出器８００１～８００ｎは、シリコン基板などからなる１枚の半導体チップＣＨ上に形成されている。

【０４２４】

内部回路９３１を構成するトランジスタには、基板電位発生器１００１によって生成された負の基板電位V_{BB}１が与えられる。基板電位V_{BB}１は基板電位検出器８００１によって検出される。その検出された基板電位V_{BB}１が基板電位検出器８００１の検出レベルよりも浅い場合は、基板電位検出器８００１からのイネーブル信号ＧＥ１に応答して基板電位発生器１００１が活性化される。したがって、内部回路９３１には常に一定の基板電位V_{BB}１が供給される。

【０４２５】

他の内部回路についてもこの内部回路９３１と同様である。ただし、基板電位検出器８００１～８００ｎの検出レベルはそれぞれ異なっている。すべての検出レベルがそれぞれ異なっていてもよいが、いくつかの検出レベルは同じであってもよい。すなわち、いずれかの検出レベルが他の検出レベルと異なっていればよい。

【０４２６】

この実施例５１によれば、基板電位検出器８００１～８００ｎの検出レベルがそれぞれ異なっているため、内部回路９３１～９３ｎにはそれぞれ異なる基板電位V_{BB}１～V_{BB}ｎが供給される。したがって、浅い基板電位が供給される内部回路においては、その内部回路を構成するトランジスタは高速で動作する。一方、深い基板電位が供給される内部回路においては、その内部回路を構成するトランジスタ中にリーク電流はほとんど流れない。

【０４２７】

［実施例５２］

図７２は、この発明の実施例５２によるＤＲＡＭの全体構成を示すブロック図である。図７２を参照して、このＤＲＡＭにおいては、図７１の基板電位発生器１００１～１００ｎの代わりに昇圧電位発生器９４１～９４ｎが配置されている。また、図７１の基板電位検出器８００１～８００ｎの代わりに昇圧電位検出器８１０１～８１０ｎが配置されている。昇圧電位検出器８１０１～８１０ｎの検出レベルは、実施例５１と同様にそれぞれ異なっている。したがって、内部回路９３１～９３ｎには、それぞれ異なる昇圧電位V_{PP}１～V_{PP}ｎが供給される。

【０４２８】

内部回路に供給された昇圧電位は、その内部回路を構成するＰチャネルＭＯＳトランジスタの基板電位として用いられたり、あるいはその内部回路内の電源として用いられたりする。

【０４２９】

ＰチャネルＭＯＳトランジスタへ昇圧電位が基板電位として供給される場合、低い昇圧電位が供給される内部回路においては、その内部回路を構成するＰチャネルＭＯＳトランジ

スタは高速で動作する。一方、高い昇圧電位が供給される内部回路においては、その内部回路を構成するＰチャネルＭＯＳトランジスタ中にリーク電流はほとんど流れない。

【０４３０】

昇圧電位が内部回路内の電源として供給される場合、高い昇圧電位が供給される内部回路においては、その内部回路を構成するトランジスタは高速に動作する。内部回路に供給された昇圧電位はその内部回路のすべてにおいて電源として用いられてもよいが、その内部回路の一部において電源として用いられるのが好ましい。これは、昇圧電位発生器９４１～９４ｎの供給能力が一般的にさほど大きくないからである。

【０４３１】

［実施例５３］

図７３は、この発明の実施例５３によるＤＲＡＭの全体構成を示すブロック図である。図７３を参照して、この実施例５３では図７１と異なり、基板電位発生器１００１～１００ｎの代わりに内部グランド電位発生器１０１１～１０１ｎが配置されている。また、図７１の基板電位検出器８００１～８００ｎの代わりに内部電源電位検出器１０２１～１０２ｎが配置されている。内部グランド電位検出器１０２１～１０２ｎの検出レベルはそれぞれ異なっている。したがって、内部回路９３１～９３ｎには、それぞれ異なる内部グランド電位ｉｎｔV_{SS}１～ｉｎｔV_{SS}ｎが供給される。

【０４３２】

［実施例５４］

図７４は、この発明の実施例５４によるＤＲＡＭの全体構成を示すブロック図である。図７４を参照して、この実施例５４では図７１と異なり、基板電位発生器１００１～１００ｎの代わりに内部電源電位発生器１０３１～１０３ｎが配置されている。また、図７１の基板電位検出器８００１～８００ｎの代わりに内部電源電位検出器１０４１～１０４ｎが配置されている。内部電源電位検出器１０４１～１０４ｎの検出レベルはそれぞれ異なっている。したがって、内部回路９３１～９３ｎには、それぞれ異なる内部電源電位ｉｎｔV_{CC}１～ｉｎｔV_{CC}ｎが供給される。

【０４３３】

上述した実施例５３～５４から明らかなように、内部回路９３１～９３ｎへ供給される内部電位としては、たとえば基板電位、昇圧電位、内部グランド電位、内部電源電位などがある。また、図７３の実施例５３と図７４の実施例５４とを組合わせることも可能である。すなわち、内部回路９３１～９３ｎに対応して複数の内部電源電位発生器１０３１～１０３ｎおよび内部電源電位検出器１０４１～１０４ｎを配置するとともに、複数の内部グランド電位発生器１０１１～１０１ｎおよび内部グランド電位検出器１０２１～１０２ｎを配置してもよい。

【０４３４】

［実施例５５］

図７５は、この発明の実施例５５によるＤＲＡＭの全体構成を示すブロック図である。図７５を参照して、この実施例５５では図７３と異なり、内部グランド電位検出器１０２１～１０２ｎへチューニング信号ＴＵＮ１～ＴＵＮｎがそれぞれ供給されている。内部グランド電位検出器１０２１～１０２ｎの検出レベルはチューニング信号ＴＵＮ１～ＴＵＮｎに応答して変化する。したがって、内部グランド電位検出器１０２１～１０２ｎの検出レベルを適宜チューニングすることができる。なお、チューニングは各内部グランド電位検出器において独立して行なわれてもよい。また、１つのチューニング信号をいくつかの内部グランド電位検出器へ供給し、これによりそれらの内部グランド電位検出器の検出レベルがすべて同じになるように構成してもよい。

【０４３５】

［実施例５６］

図７６は、この発明の実施例５６によるＤＲＡＭの全体構成を示すブロック図である。図７６を参照して、このＤＲＡＭは、図７３の構成に加えて、複数の制御回路１０９１～１０９ｎを備える。各制御回路は、内部グランド電位検出器１０２１～１０２ｎの各々に対

応して設けられる。制御回路１０９１～１０９ｎから内部グランド電位検出器１０２１～１０２ｎへはそれぞれ時間的に変化する制御信号ＣＮＴ１～ＣＮＴｎが供給される。制御回路１０９１～１０９ｎは、たとえば半導体チップＣＨの外部から与えられる信号によって制御されてもよく、動作温度または外部電源電位によって制御されてもよい。制御回路は動作温度によって制御される場合、たとえば動作温度が所定のレベルを超えると、制御信号が内部グランド電位検出器へ与えられ、その制御信号に応答して内部グランド電位検出器の検出レベルが変化するように構成されてもよい。また、外部電源電位によって制御回路が制御される場合は、たとえば外部電源電位が所定のレベルを超えると、制御回路から内部グランド電位検出器へ制御信号か与えられ、その制御信号に応答して内部グランド電位検出器の検出レベルが変化するように構成されてもよい。さらに、このような検出レベルの変更は各内部グランド電位検出器において独立して行なわれてもよく、あるいはいくつかの内部グランド電位検出器において一括して行なわれてもよい。

【０４３６】

［実施例５７］

図７７は、この発明の実施例５７による内部電位検出回路の原理を示す概念図である。図７７を参照して、この内部電位検出回路は、出力ノード８０１と、一定の基準電流I_{ref1}を出力ノード８０１に供給する定電流源８０２と、出力ノード８０１と接地ノード２００との間に接続され、かつ検出されるべき電位に応答してその抵抗値が変化する抵抗素子８３０とを備える。ここで、抵抗素子８３０の抵抗値は、検出される電位が低下するにつれて大きくなる。したがって、抵抗素子８３０中に流れる検出電流I_{det}が減少する。これにより出力ノード８０１が充電され、Ｈレベルのイネーブル信号ＧＥが生成される。

【０４３７】

図７８は、図７７に示された内部電位検出回路の具体的構成を示す回路図である。ここで、図７７の抵抗素子８３０はＮチャネルＭＯＳトランジスタ８３１から構成され、そのゲート電極は検出ノード８０４に接続される。この検出ノード８０４には昇圧電位V_{PP}が与えられる。また、この内部電位検出回路には、カレントミラー回路８１４が設けられている。このカレントミラー回路８１４は、ダイオード接続されたＮチャネルＭＯＳトランジスタ８１５と、トランジスタ８１５のゲート電極と接続されたゲート電極を有するＮチャネルＭＯＳトランジスタ８１６とを備える。すなわち、図７８に示された内部電位検出回路では、検出電流I_{det}が出力ノード８０１から直接的に流れ出すのではなく、カレントミラー回路８１４によって生成された、検出電流I_{det}に等しい比較電流I_{cmp}が出力ノード８０１から直接的に流出する。

【０４３８】

この実施例５７による内部電位検出回路においては、検出ノード８０４に与えられた昇圧電位V_{PP}が低下すると、トランジスタ８３１の導通抵抗が増加し、それによりトランジスタ８３１中に流れる検出電流I_{det}が減少する。したがって、カレントミラー回路８１４によって生成される比較電流I_{cmp}も検出電流I_{det}と同様に減少する。このように、昇圧電位V_{PP}が所定の検出レベルよりも低下すると、比較電流I_{cmp}が基準電流I_{ref1}よりも小さくなり、これによりＨレベルのイネーブル信号ＧＥが出力ノード８０１に生成され、さらにこのＨレベルのイネーブル信号ＧＥに応答して昇圧電位発生回路（図示せず）が活性化される。

【０４３９】

この実施例５７による内部電位検出回路によれば、昇圧電位V_{PP}が所定レベルに達しているか否かが判別される。しかも、電源電位V_{CC}が変動しても出力ノード８０１には一定の基準電流I_{ref1}が供給されるため、この内部電位検出回路の検出レベルが変動することはない。したがって、この内部電位検出回路によって昇圧電位発生回路を制御すれば、電源電位V_{CC}の変動に依存することのない一定の昇圧電位V_{PP}が得られる。

【０４４０】

［実施例５８］

図７９は、この発明の実施例５８による内部電位検出回路の原理を示す概念図である。図７９を参照して、この内部電位検出回路は、出力ノード８０１と、出力ノード８０１に一定の基準電流（－I_{ref}　１）を供給する定電流源８０２と、電源ノード１００と出力ノード８０１との間に接続され、かつ検出されるべき電位に応答してその抵抗値が変化する抵抗要素８３０とを備える。

【０４４１】

図８０は、図７９に示される内部電位検出回路の具体的構成を示す回路図である。図８０を参照して、図７９の抵抗素子８３０はＰチャネルＭＯＳトランジスタ８３２から構成され、そのゲート電極は検出ノード８０４に接続される。この検出ノード８０４には基板電位V_{BB}が与えられる。また、この内部電位検出回路には、ＰチャネルＭＯＳトランジスタ８８３および８８４から構成されるカレントミラー回路８８２が設けられている。すなわち、図８０の内部電位検出回路では、検出電流I_{det}が出力ノード８０１に直接的に供給されるのではなく、検出電流I_{det}に応答してカレントミラー回路８８２によって生成された比較電流I_{cmp}が出力ノード８０１に直接的に供給される。

【０４４２】

この内部電位検出回路においては、検出ノード８０４に与えられた基板電位V_{BB}が上昇すると、トランジスタ８３２の導通抵抗が増加し、それにより検出電流I_{det}が減少する。この検出電流I_{det}に応答して比較電流I_{cmp}も減少するため、出力ノード８０１は基準電流I_{ref}　１によって放電される。したがって、基板電位V_{BB}が所定レベルよりも高くなると、比較電流I_{cmp}が基準電流I_{ref}　１よりも大きくなり、これによりイネーブル信号／ＧＥがＬレベルとなる。このＬレベルのイネーブル信号／ＧＥに応答して基板電位発生回路が活性化される。

【０４４３】

この実施例５８による内部電位検出回路によれば、基板電位V_{BB}が所定レベルに達しているか否かが判別される。しかも、接地電位V_{SS}が変動しても出力ノード８０１からは一定の基準電流I_{ref}　１が流出するため、この内部電位検出回路の検出レベルが変動することはない。したがって、この内部電位検出回路によって基板電位発生回路を制御すれば、接地電位V_{SS}の変動に依存することのない一定の基板電位V_{BB}が得られる。

【０４４４】

以上、この発明の実施例を詳述したが、この発明の範囲は上述した実施例に限定されることはない。したがって、この発明はその趣旨を逸脱しない範囲内で当業者が上述した実施例に追加、修正、改良などを加えた態様で実施し得るものである。

【０４４５】

【発明の効果】

請求項１に記載の基準電位発生回路によれば、基準電位が第２の第１導電型トランジスタと第２の第２導電型トランジスタとにフィードバックされているため、基準電位はほとんど変動せず、より安定したものとなる。しかも、電源が投入されると、出力ノードの電位は速やかに所定の基準電位に到達する。また、第２の第２導電型トランジスタおよび第３の第１導電型トランジスタと、第２の第１導電型トランジスタおよび第３の第２導電型トランジスタとが対称的に配置されているため、所望の基準電位を正確に発生することができる。さらに、第３の第１導電型トランジスタおよび第３の第２導電型トランジスタへ電流を供給するために第２の第１導電型トランジスタおよび第２の第２導電型トランジスタが用いられているため、抵抗が用いられる場合に比べてレイアウト面積が小さくなる。

【０４４６】

請求項２に記載の基準電位発生回路によれば、第１および第２の制御電位を適宜調節することができるので、所望の基準電位を発生することができる。また、第３の第１導電型トランジスタおよび第３の第２導電型トランジスタへ電流を供給するために、第２の第１導電型トランジスタおよび第２の第２導電型トランジスタが用いられているため、抵抗が用いられる場合に比べてレイアウト面積が小さくなる。

【０４４７】

請求項３に記載の基準電位発生回路によれば、第２の第２導電型トランジスタの構造が第３の第２導電型トランジスタの構造と同一にされ、かつ第２の第１導電型のトランジスタの構造が第３の第１導電型トランジスタの構造と同一にされているため、より正確な中間電位を発生することができる。

【０４４８】

請求項４に記載の基準電位発生回路によれば、出力ノードの電位が変動すると第１の第１導電型トランジスタおよび第１の第２導電型トランジスタだけでなく第４の第１導電型トランジスタおよび第４の第２導電型トランジスタにも電流が流れるため、より安定した基準電位を発生することができる。

【０４４９】

請求項５に記載の基準電位発生回路によれば、基準電位が第２の第２導電型トランジスタと第２の第１導電型トランジスタとにフィードバックされているため、より安定した基準電位を発生することができる。しかも、電源が投入されると、出力ノードの電位は速やかに所定の基準電位に到達する。

【０４５０】

請求項６に記載の基準電位発生回路によれば、出力ノードの電位が変動すると第１の第１導電型トランジスタおよび第１の第２導電型トランジスタだけでなく第４の第１導電型トランジスタおよび第４の第２導電型トランジスタにも電流が流れるため、より安定した基準電位を発生することができる。

【０４５１】

請求項７に記載の基準電位発生回路によれば、基準電位が第２の第１導電型トランジスタと第２の第２導電型トランジスタとにフィードバックされているため、より安定した基準電位を発生することができる。しかも、電源が投入されると、出力ノードの電位は速やかに所定の基準電位に到達する。また、第２の第２導電型トランジスタおよび第３の第１導電型トランジスタと、第２の第１導電型トランジスタおよび第３の第２導電型トランジスタとが対称的に配置されているため、所望の基準電位を正確に発生することができる。また、第３の第１導電型のトランジスタおよび第３の第２導電型トランジスタに電流を供給するために第２の第１導電型トランジスタおよび第２の第２導電型トランジスタが用いられているため、抵抗が用いられる場合に比べてレイアウト面積が小さくなる。さらに、第１の第１導電型トランジスタおよび第１の第２導電型トランジスタが第１のノードおよび第２のノードの間に直列接続されているため、第１の電位および第２の電位に基づいて第３の電位と第４の電位との中間電位を発生することができる。

【０４５２】

請求項８に記載の基準電位発生回路によれば、第３の電位は第１の基礎基準電位と等しくなり、第４の電位は第２の基礎基準電位と等しくなる。

【０４５３】

請求項９に記載の基準電位発生回路によれば、たとえ第１の出力ノードまたは第２の出力ノードから流失する電流が増加しても、その増加分の電流はフィード回路によって定電流源から普及されるため、常に安定した第１および第２の基礎基準電位を発生することができる。

【０４５４】

請求項１０に記載の基準電位発生回路によれば、第１の抵抗要素の値を適宜変化させると制御電位が変化するため、所望の基礎基準電位を発生することができる。

【０４５５】

請求項１１に記載の基準電位発生回路によれば、第１の抵抗要素における電圧降下と、第２の抵抗要素における電圧降下とが相殺されるため、基礎基準電位は温度変化に対して依存しなくなる。

【０４５６】

請求項１２に記載の基準電位発生回路によれば、たとえ第１の電位が上昇しても第２導電型トランジスタの一方導通電極および制御電極の間に与えられる電圧は一定であるため、

第１の電位に依存しない基準電位を発生することができる。
【０４５７】
請求項１３に記載の基準電位発生回路によれば、基板電位が所定の電位からずれると速やかに元に戻されるため、半導体基板には常に所定の基板電位を供給することができる。
【０４５８】
請求項１４に記載の基準電位発生回路によれば、基板電位供給回路のための制御信号にヒステリシスが持たされているため、基板電位供給手段が不用意に活性化されたり、非活性化されたりしない。
【０４５９】
請求項１５に記載の基準電位発生回路によれば、第１の抵抗要素の値を適宜変化させると、制御電位が変化するため、所望の基準電位を発生することができる。
【０４６０】
請求項１６に記載の基準電位発生回路によれば、第１の抵抗要素における電圧降下と、第２の抵抗要素における電圧降下とが相殺されるため、温度依存性を持たない基準電位を発生することができる。
【０４６１】
請求項１７に記載の基準電位発生回路によれば、たとえ第１の電位が上昇しても第１導電型トランジスタの一方導通電極および制御電極の間に与えられる電圧は一定であるため、第１の電位に対して依存性を持たない基準電位を発生することができる。
【０４６２】
請求項１８に記載の基準電位発生回路によれば、第２の抵抗要素の値を変化させると制御電位が変化するため、所望の基準電位を発生することができる。
【０４６３】
請求項１９に記載の基準電位発生回路によれば、たとえ第１の電位が上昇しても第１導電型トランジスタの一方導通電極および制御電極の間に与えられる電圧は一定であるため、第１の電位に対して依存性しない基準電位を発生することができる。
【０４６４】
請求項２０に記載の基準電位発生回路によれば、電源が投入されると速やかに第１の経路および／または第２の経路に電流が注入されるため、速やかに所定の基準電位を発生することができる。
【０４６５】
請求項２１に記載の基準電位発生回路によれば、第３のカレントミラー手段を構成する第２のトランジスタのチャネル長が第１のトランジスタのチャネル長よりも長いため、第２のトランジスタのソース・ドレイン間にかかる電圧が高くても第２のトランジスタ中には一定のドレイン電流が流れる。したがって、この基準電位発生回路は安定した基準電位を発生することができる。
【０４６６】
請求項２２に記載の電位検出回路によれば、所定の基準電流が供給される出力ノードへ所定電位に応答する比較電流が供給されるため、基準電流および比較電流の大小関係によって所定電位が所定の検出レベルに達しているか否かを判定することができる。
【０４６７】
請求項２３に記載の電位検出回路によれば、所定電位が所定の検出レベルよりも非常に高いかまたは低い場合、カレントミラー手段がオフ状態となるため、消費電力が低減される。
【０４６８】
請求項２４に記載の電位検出回路によれば、第１の基準電位に基づいて検出レベルが決定されるため、電源電位が変動しても検出レベルが変動することはない。
【０４６９】
請求項２５に記載の電位検出回路によれば、第１のトランジスタのしきい電圧の温度依存性が第２のトランジスタのドレイン抵抗の温度依存性によって相殺されるため、動作温度

が変動しても検出レベルが変動することはない。

【０４７０】

請求項２６に記載の電位検出回路によれば、所定電位が所定の検出レベルに達しているとき出力ノードに付加電流が供給されるため、検出レベルにヒステリシスが与えられる。そのため、出力信号にヒステリシスが生じることはない。

【０４７１】

請求項２７に記載の電位検出回路によれば、出力ノードの電位が増幅されるため、動作速度がさらに速くなる。

【０４７２】

請求項２８に記載の電位検出回路によれば、第３のトランジスタがソースホロワで接続されているため入力インピーダンスが高くなる。

【０４７３】

請求項２９に記載の電位検出回路によれば、可変抵抗手段が設けられているため、その抵抗値を変化させることによって検出レベルを所望の値に設定することができる。

【０４７４】

請求項３０に記載の電位検出回路によれば、第１の基準電位が変化可能にされているため、検出レベルを所望の値に設定することができる。

【０４７５】

請求項３１に記載の電位検出回路によれば、一定電流が可変抵抗手段に供給されているため、その抵抗値を変化させることによって検出レベルを所望の値に設定することができる。

【０４７６】

請求項３２に記載の電位検出回路によれば、可変抵抗手段に抵抗要素が追加されたり削除されたりするため、検出レベルを２段階で切換えることができる。

【０４７７】

請求項３３に記載の半導体集積回路装置によれば、１つの基準電位発生手段が第１および第２の内部電位検出手段によって共有されているため、レイアウト面積が低減される。

【０４７８】

請求項３４に記載の半導体集積回路装置によれば、テストモード信号に応答して検出レベルが変化するため、テストモードに応じた最適の内部電位が内部回路に供給される。

【０４７９】

請求項３５に記載の半導体集積回路装置によれば、内部回路がいずれかの検出レベルに達していないとき内部電位発生手段が活性化されるため、いかなる電源電位が供給される場合においても常に低い方の検出レベルに等しい内部電位が内部回路へ供給される。

【０４８０】

請求項３６に記載の半導体集積回路装置によれば、基板電位発生回路は外部電源電位に基づいて動作するため、降圧手段が待機状態のとき基板電位発生手段が動作しても、内部電源電位が低下することはない。

【０４８１】

請求項３７に記載の半導体集積回路装置によれば、複数の内部回路に対応して複数の内部電位発生手段および内部電位検出手段が設けられているため、内部回路の各々に安定した内部電位が供給される。

【０４８２】

請求項３８に記載の半導体集積回路装置によれば、それぞれの検出レベルが異なっているため、各内部回路の特性に応じた最適の内部電位を供給することができる。

【０４８３】

請求項３９に記載の半導体集積回路装置によれば、検出レベルが制御信号に応答して変化するため、各内部回路の状態に応じた最適の内部電位をその内部回路へ供給することができる。

【０４８４】

請求項４０に記載の電位検出回路によれば、検出されるべき電位に応答して抵抗手段の抵抗値が変化するため、この抵抗手段中に流れる電流と基準電流との大小関係によってその検出されるべき電位が所定の検出レベルに達しているか否かが判別され得る。

【０４８５】

請求項４１に記載の電位検出回路によれば、上記抵抗手段が検出されるべき電位をゲート電極に受けるトランジスタから構成されるため、上記電位検出回路を容易に実現することができる。

【図面の簡単な説明】

【図１】この発明の実施例１による中間電位発生回路の全体構成を示す回路図である。

【図２】図１に示された中間電位発生回路に電源が投入された当初において、各ノードの電位が時間経過に伴って変化する様子を表わしたグラフである。

【図３】図１に示された中間電位発生回路におけるトランジスタのしきい電圧のずれに対して、出力電位が変化する様子を表わしたグラフである。

【図４】この発明の実施例２による中間電位発生回路の全体構成を示すブロック図である。

【図５】この発明の実施例３による中間電位発生回路の全体構成を示す回路図である。

【図６】この発明の実施例４による中間電位発生回路の全体構成を示すブロック図である。

【図７】この発明の実施例５による中間電位発生回路におけるトランジスタの構造を示す断面図である。

【図８】この発明の実施例６による中間電位発生回路の全体構成を示す回路図である。

【図９】ＤＲＡＭにおけるメモリセルの構造を示す断面図である。

【図１０】階層電源方式における電源電位の関係を示すグラフである。

【図１１】この発明の実施例７による中間電位発生回路の全体構成を示す回路図である。

【図１２】この発明の実施例７による中間電位発生回路における基礎基準電位発生回路の構成を示す概念図である。

【図１３】図１２に示した基礎基準電位発生回路における定電流源の具体的構成を示す回路図である。

【図１４】図１２および図１３に示された基礎基準電位発生回路を用いた中間電位発生回路において、各電源電位の関係を示すグラフである。

【図１５】この発明の実施例８による中間電位発生回路の構成を示す回路図である。

【図１６】この発明の実施例９による中間電位発生回路の構成を示す回路図である。

【図１７】この発明の実施例１０による中間電位発生回路における基礎基準電位発生回路の構成を示す概念図である。

【図１８】図１７に示された基礎基準電位発生回路の具体的構成を示す回路図である。

【図１９】この発明の実施例１１による中間電位発生回路における基礎基準電位発生回路の全体構成を示す回路図である。

【図２０】この発明の実施例１２による中間電位発生回路における基礎基準電位発生回路の全体構成を示す回路図である。

【図２１】この発明の実施例１３による中間電位発生回路における基礎基準電位発生回路の全体構成を示す回路図である。

【図２２】この発明の実施例１４による中間電位発生回路における基礎基準電位発生回路の全体構成を示す回路図である。

【図２３】ＭＯＳトランジスタの一般的な動作特性を示すグラフである。

【図２４】この発明の実施例１５による中間電位発生回路における基礎基準電位発生回路の全体構成を示す回路図である。

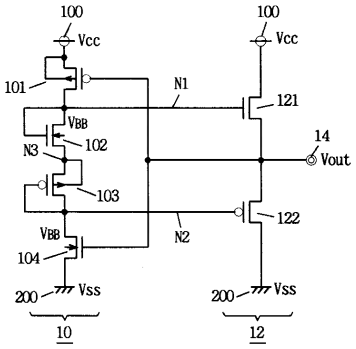
【図２５】この発明の実施例１６による中間電位発生回路における基礎基準電位発生回路の全体構成を示す回路図である。

【図２６】この発明の実施例１７による中間電位発生回路における基礎基準電位発生回路の全体構成を示す回路図である。

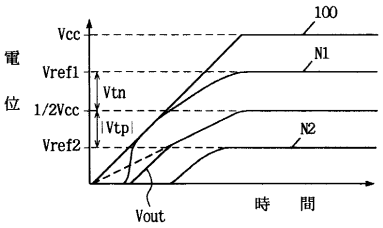
【図２７】この発明の実施例１８による中間電位発生回路における基礎基準電位発生回路の全体構成を示す回路図である。
【図２８】この発明の実施例１９による中間電位発生回路における基礎基準電位発生回路および基板電位検知回路の構成を示す回路図である。
【図２９】この発明の実施例２０による中間電位発生回路における基礎基準電位発生回路および基板電位検知回路の構成を示す回路図である。
【図３０】この発明の実施例２１による中間電位発生回路における一部構成を示す回路図である。
【図３１】この発明の実施例２２による中間電位発生回路における一部構成を示す回路図である。
【図３２】この発明の実施例２３による中間電位発生回路の全体構成を示す回路図である。
【図３３】この発明の実施例２４による中間電位発生回路の一部構成を示す回路図である。
【図３４】この発明の実施例２５による内部電位検出回路の構成を示す回路図である。
【図３５】図３４に示された内部電位発生回路の具体的構成を示す回路図である。
【図３６】この発明の実施例２６による内部電位検出回路の構成を示す回路図である。
【図３７】図３６に示された内部電位検出回路の具体的構成を示す回路図である。
【図３８】この発明の実施例２７による内部電位検出回路の構成を示す回路図である。
【図３９】この発明の実施例２８による内部電位検出回路の構成を示す回路図である。
【図４０】この発明の実施例２９による内部電位検出回路の構成を示す回路図である。
【図４１】この発明の実施例３０による内部電位検出回路の構成を示す回路図である。
【図４２】この発明の実施例３１による内部電位検出回路の構成を示す回路図である。
【図４３】この発明の実施例３２による内部電位検出回路の構成を示す回路図である。
【図４４】この発明の実施例３３による内部電位検出回路の構成を示す回路図である。
【図４５】図４４に示された内部電位検出回路の具体的構成を示す回路図である。
【図４６】この発明の実施例３４による基板電位検出回路の構成を示す回路図である。
【図４７】図４６に示された基板電位検出回路の全体構成を示す回路図である。
【図４８】図４６および図４７に示された基板電位検出回路の動作を示す波形図である。
【図４９】図４６および図４７に示された基板電位検出回路の検出レベルと電源電位との関係を示すグラフである。
【図５０】この発明の実施例３５による内部電位検出回路の構成を示す回路図である。
【図５１】図５０に示された内部電位検出回路の具体的構成を示す回路図である。
【図５２】この発明の実施例３６による昇圧電位検出回路の構成を示す回路図である。
【図５３】図５２に示された昇圧電位検出回路の全体構成を示す回路図である。
【図５４】図５２および図５３に示された昇圧電位検出回路の動作を示す波形図である。
【図５５】この発明の実施例３７による基板電位検出回路の全体構成を示す回路図である。
【図５６】この発明の実施例３８による基板電位検出回路の全体構成を示す回路図である。
【図５７】この発明の実施例３９による昇圧電位検出回路の構成を示す回路図である。
【図５８】この発明の実施例４０による内部電位検出回路の構成を示す回路図である。
【図５９】この発明の実施例４１による内部電位検出回路の構成を示す回路図である。
【図６０】この発明の実施例４２による基板電位検出回路の全体構成を示す回路図である。
【図６１】この発明の実施例４３による昇圧電位検出回路の全体構成を示す回路図である。
【図６２】この発明の実施例４４による基板電位検出回路の全体構成を示す回路図である。
【図６３】この発明の実施例４５による昇圧電位検出回路の全体構成を示す回路図である

。
【図６４】この発明の実施例４６による内部電位検出回路の全体構成を示す回路図である。
【図６５】この発明の実施例４７によるＤＲＡＭの一部構成を示すブロック図である。
【図６６】図６５に示されたＤＲＡＭにおいて、昇圧電位検出回路の検出レベルおよび基準電位と電源電位との関係を示すグラフである。
【図６７】この発明の実施例４８によるＤＲＡＭの一部構成を示すブロック図である。
【図６８】図６７に示されたＤＲＡＭにおいて、２つの昇圧電位検出器の検出レベルおよびそれらのための基準電位と外部電源電位との関係を示すグラフである。
【図６９】この発明の実施例４９によるＤＲＡＭの一部構成を示すブロック図である。
【図７０】この発明の実施例５０によるＤＲＡＭの一部構成を示すブロック図である。
【図７１】この発明の実施例５１によるＤＲＡＭの全体構成を示すブロック図である。
【図７２】この発明の実施例５２によるＤＲＡＭの全体構成を示すブロック図である。
【図７３】この発明の実施例５３によるＤＲＡＭの全体構成を示すブロック図である。
【図７４】この発明の実施例５４によるＤＲＡＭの全体構成を示すブロック図である。
【図７５】この発明の実施例５５によるＤＲＡＭの全体構成を示すブロック図である。
【図７６】この発明の実施例５６によるＤＲＡＭの全体構成を示すブロック図である。
【図７７】この発明の実施例５７による内部電位検出回路の原理を示す概念図である。
【図７８】図７７に示された内部電位検出回路の具体的構成を示す回路図である。
【図７９】この発明の実施例５８による内部電位検出回路の原理を示す概念図である。
【図８０】図７９に示された内部電位検出回路の具体的構成を示す回路図である。
【図８１】ＤＲＡＭの主要な構成を示す回路図である。
【図８２】図８１に示されたＤＲＡＭの動作を示すタイミングチャートである。
【図８３】従来の中間電位発生回路の全体構成を示す回路図である。
【図８４】図８３に示された中間電位発生回路に電源が投入された当初において、各ノードの電位が時間の経過に伴って変化する様子を表したグラフである。
【図８５】従来の他の中間電位発生回路の全体構成を示す回路図である。
【図８６】従来の昇圧電位検出回路の構成を示す回路図である。
【符号の説明】
１００　電源ノード、２００　グランドノード、３００　外部電源ノード、４００　外部グランドノード、５００　内部電源ノード、６００　内部グランドノード、１０，１６　基準電位発生段、１２，１８，２２，２４，４６　出力段、１４，５０，５２，８０１，ＮＹ，ＮＺ　出力ノード、２０　制御電位発生回路、３０　電源電圧変換回路、３２　降圧回路、３４　昇圧回路、３６，４４　中間電位発生部、３８，８０２，８８８　定電流源、４０，４２　出力抵抗、４８フィードバック回路、５４～５８　制御電位発生回路、５４５，５６１，５７１，５８１　制御ノード、６４，７０　基板電位検知回路、６６　ヒステリシス回路、６８　スタートアップ回路、８０３　抵抗要素、８０４　検出ノード、８１１，８１４，８８２　カレントミラー回路、８２，８５　作動増幅回路、８３０　抵抗素子、８８７，８９０　可変抵抗要素、９４，９４１～９４ｎ　昇圧電位発生器、９３，９３１～９３ｎ　内部回路、９５，９６　昇圧電位検出器、９７，９８　基準電位発生器、８０，１００１～１００ｎ　内部電位発生器、８００１～８００ｎ　基板電位検出器、８１０１～８１０ｎ　昇圧電位検出器、１０１１～１０１ｎ　内部グランド電位発生器、１０２１～１０２ｎ　内部グランド電位検出器、１０３１～１０３ｎ　内部電源電位発生器、１０４１～１０４ｎ内部電源電位検出器、１０９１～１０９ｎ　制御回路。

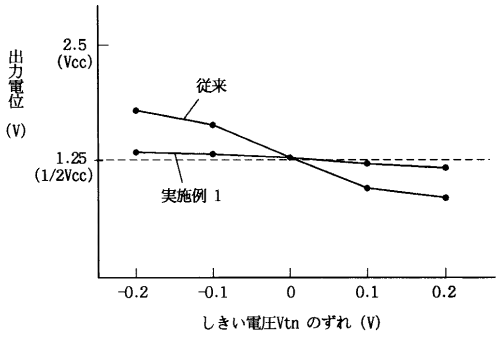
【図１】



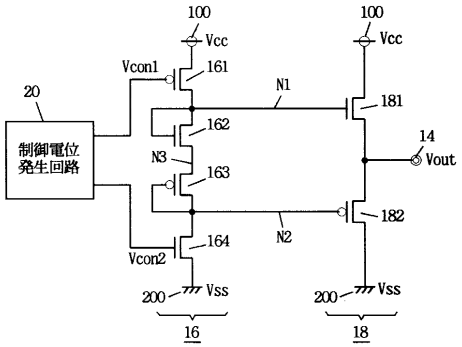
【図２】



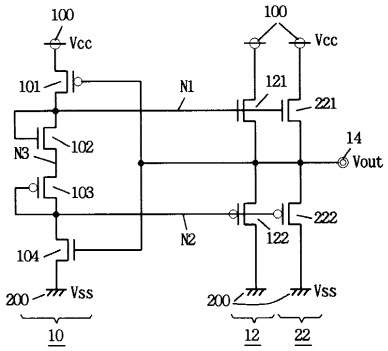
【図３】



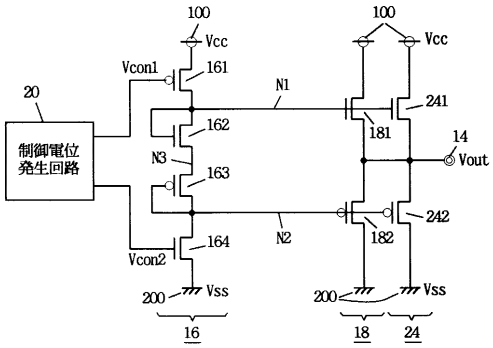
【図４】



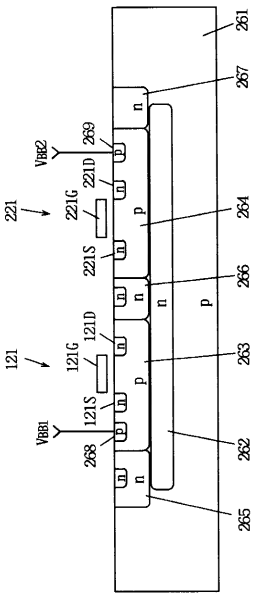
【図５】



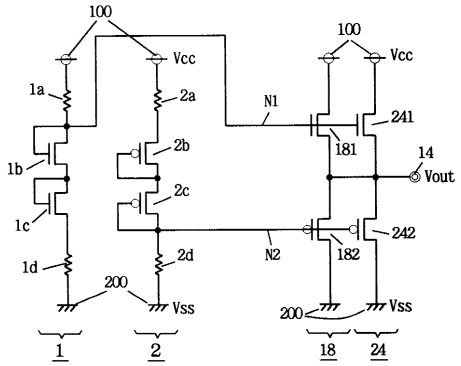
【図６】



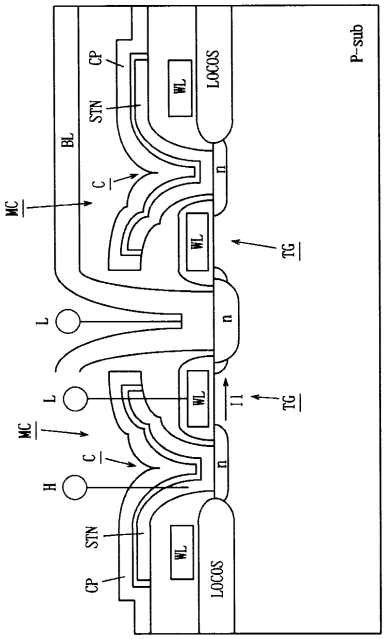
【図７】



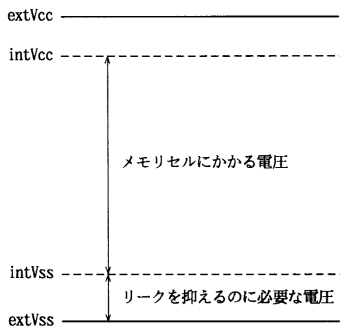
【図８】


100
Vcc
1a
2a
N1
241
181
2b
14
Vout
1b
2c
1c
242
182
N2
1d
2d
200
Vss
1
2
18
24

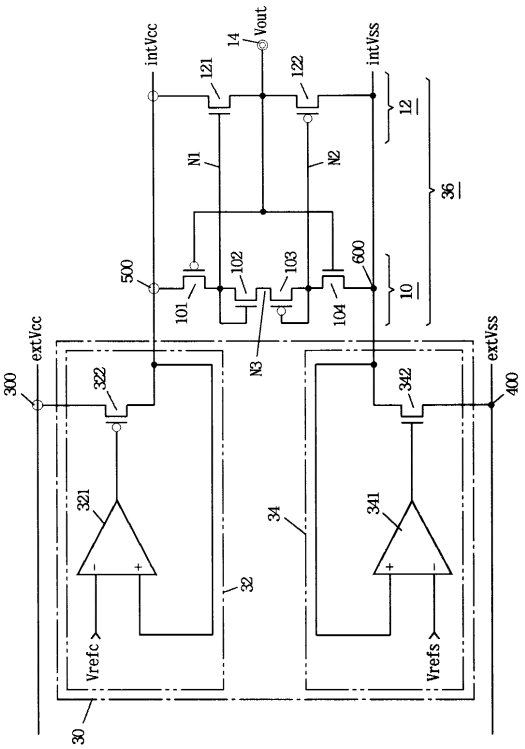
【図９】


P-sub
CP
STN
WL
LOCOS
BL
C
n
MC
TG
L
H
11

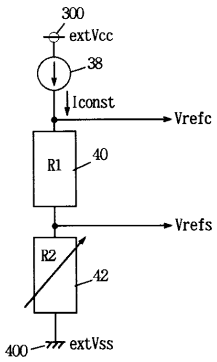
【図１０】


extVcc
intVcc
メモリセルにかかる電圧
intVss
リークを抑えるのに必要な電圧
extVss

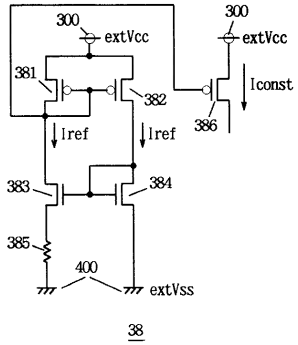
【図１１】


intVcc
14
Vout
intVss
121
122
12
N1
N2
36
500
102
103
600
10
101
104
N3
extVcc
extVss
300
322
342
400
321
341
34
32
Vrefc
Vrefs
30

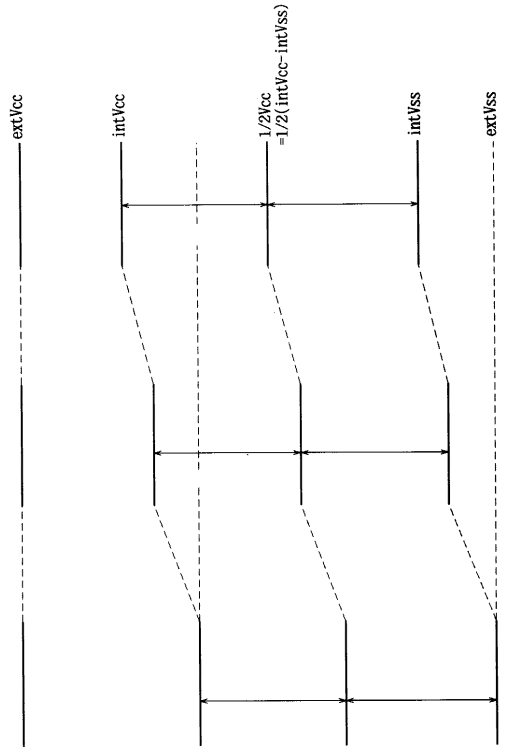
【図１２】



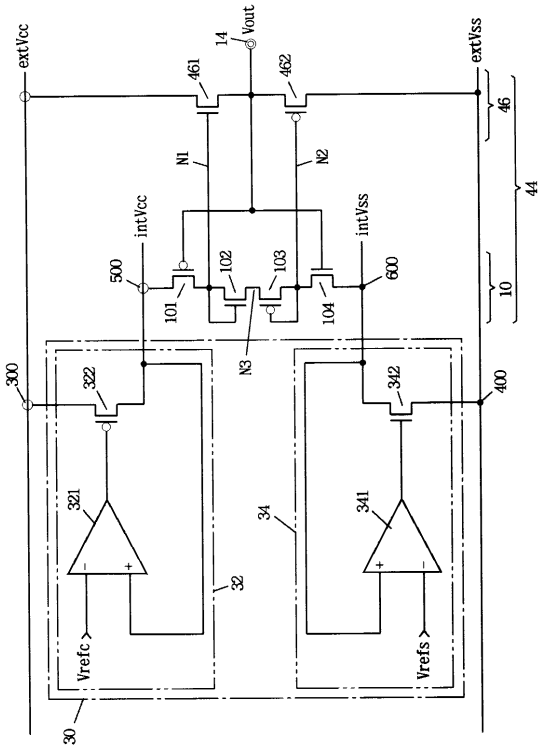
【図１３】



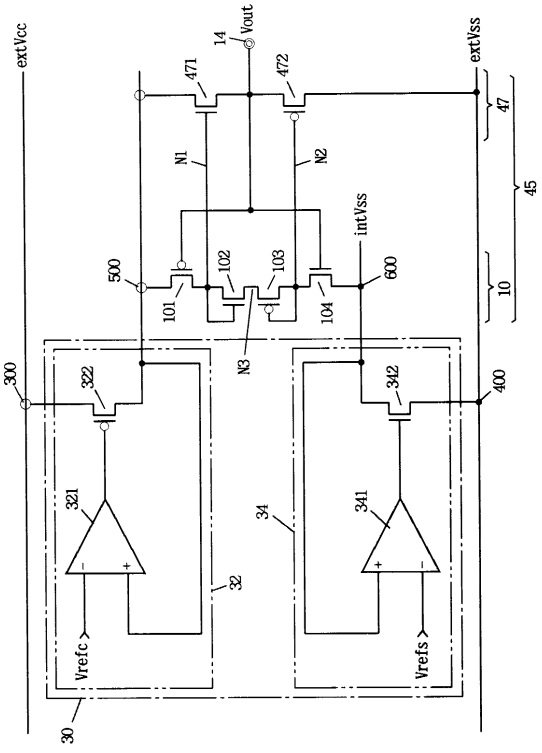
【図１４】



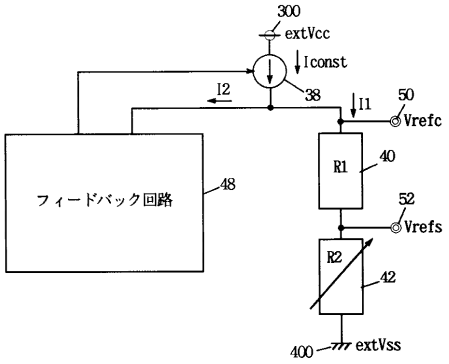
【図１５】



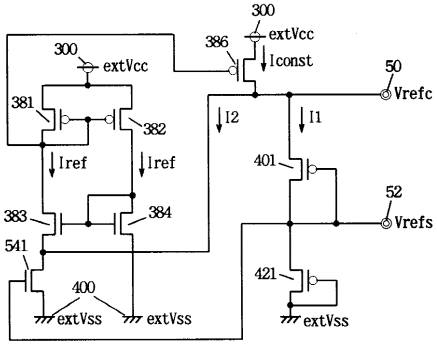
【図１６】



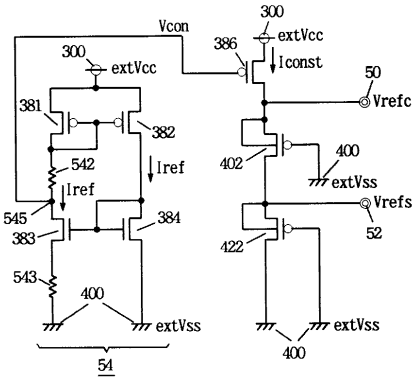
【図１７】



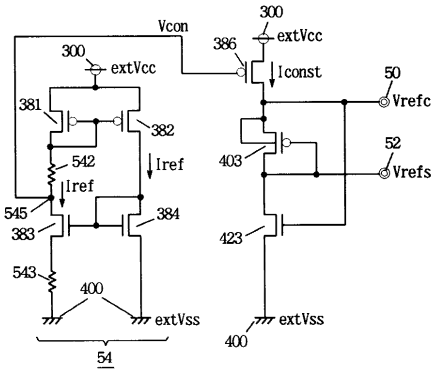
【図１８】



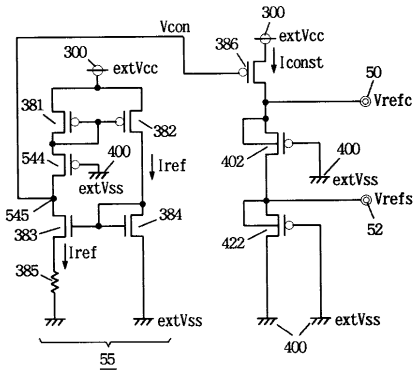
【図１９】



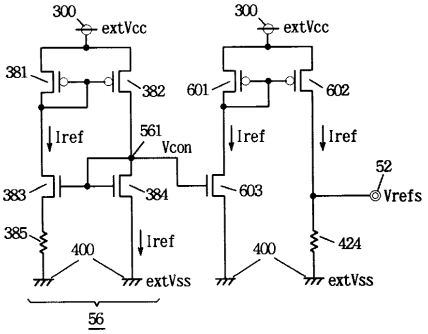
【図２０】



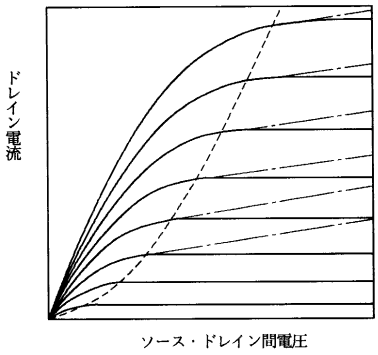
【図２１】



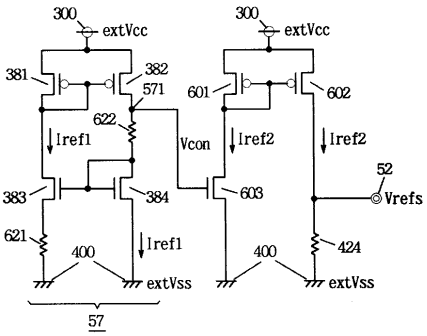
【図２２】



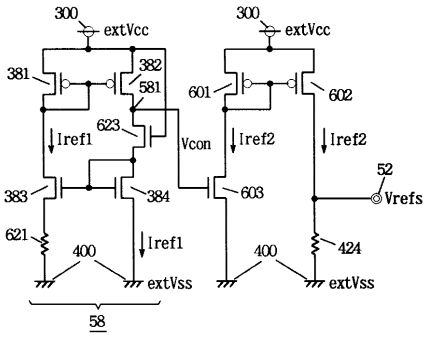
【図２３】



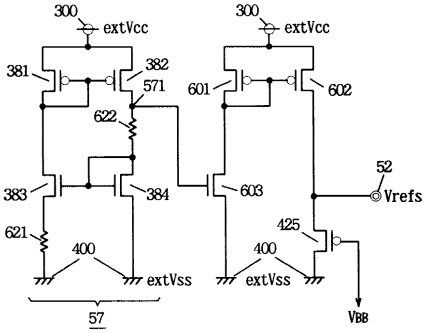
【図２４】



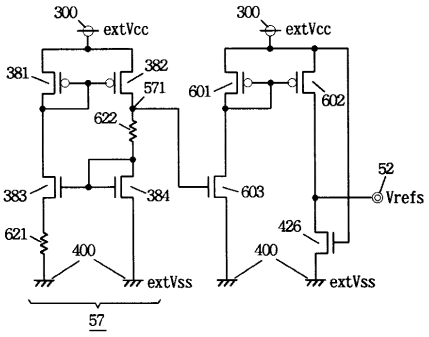
【図２５】



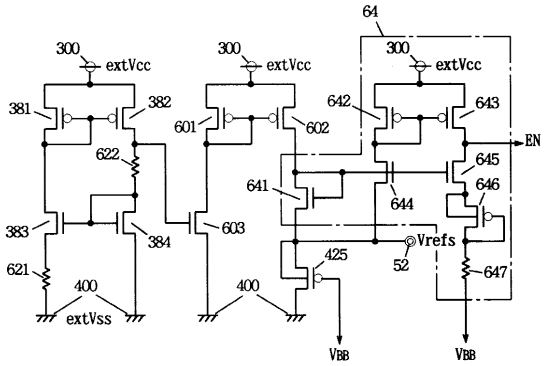
【図２６】



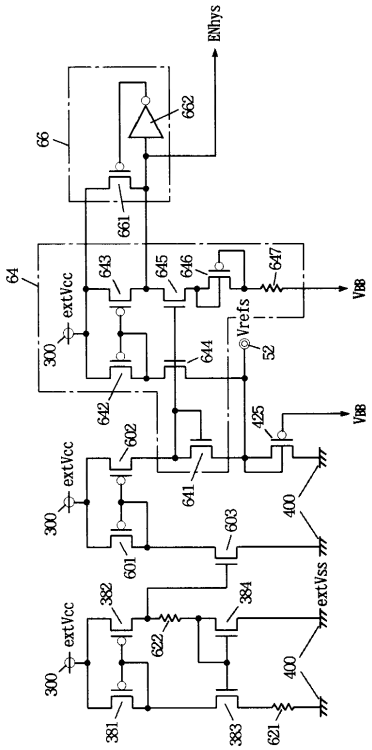
【図２７】



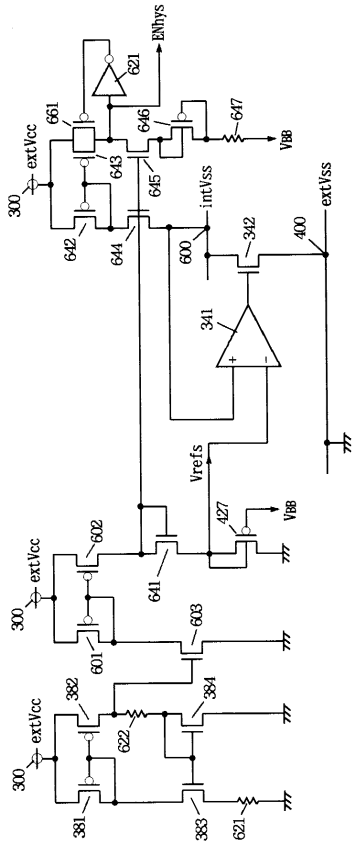
【図２８】



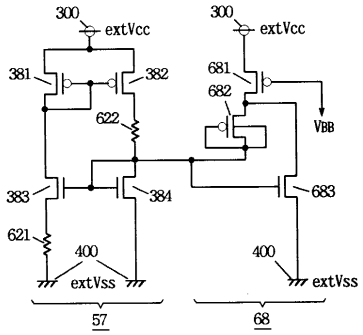
【図２９】



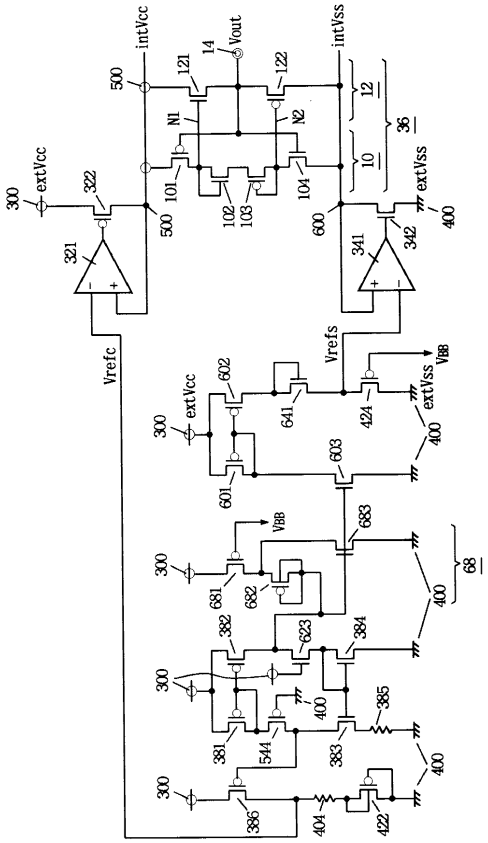
【図３０】



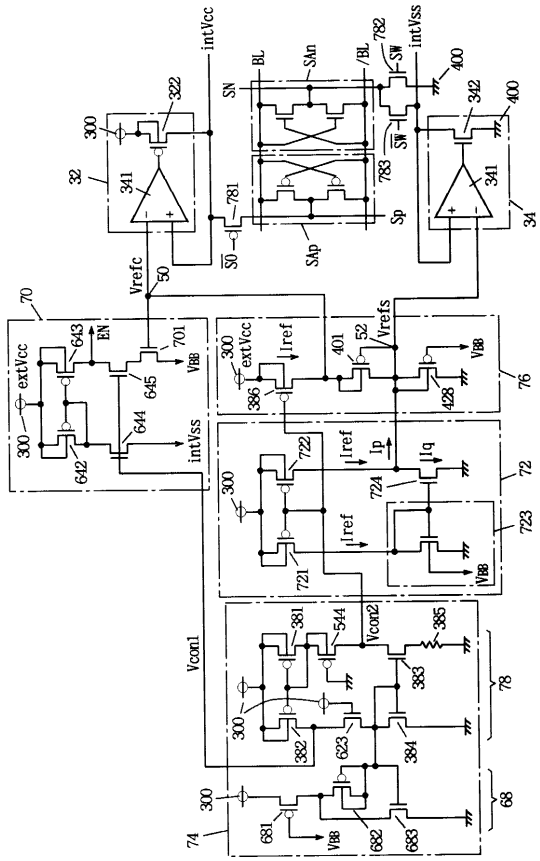
【図３１】



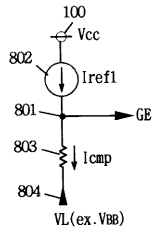
【図３２】



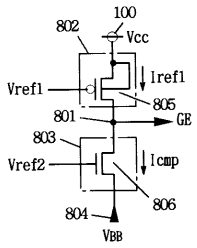
【図３３】



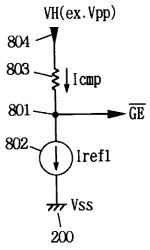
【図３４】



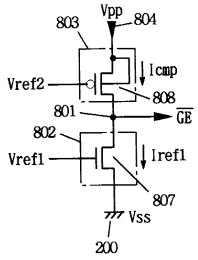
【図３５】



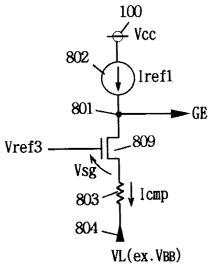
【図３６】



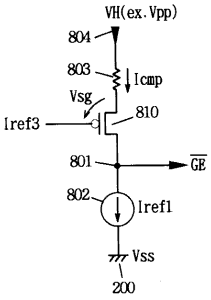
【図３７】



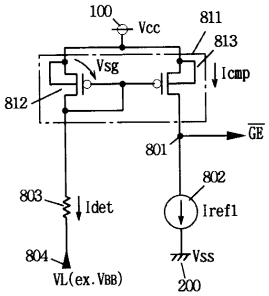
【図３８】



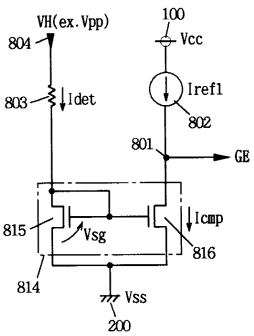
【図３９】



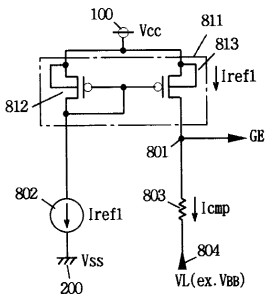
【図４０】



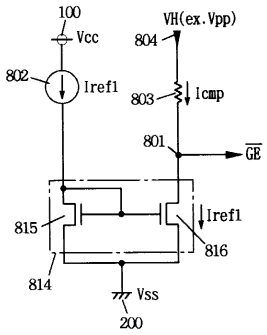
【図４１】



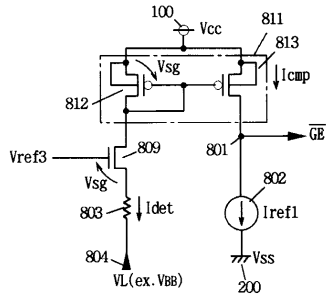
【図４２】



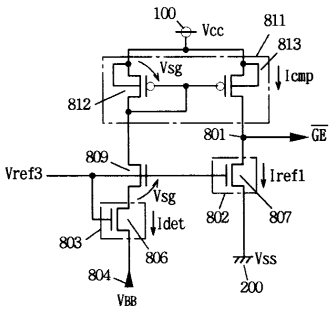
【図４３】



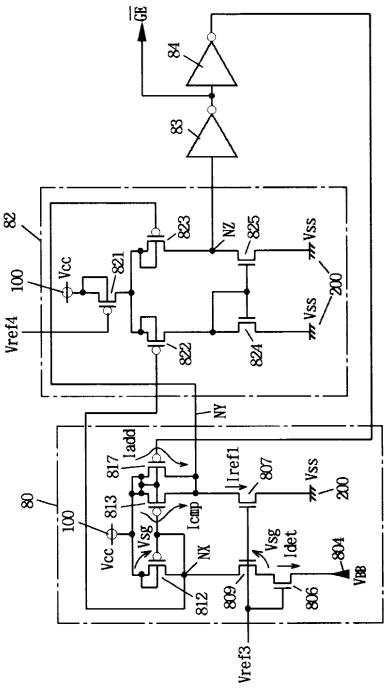
【図４４】



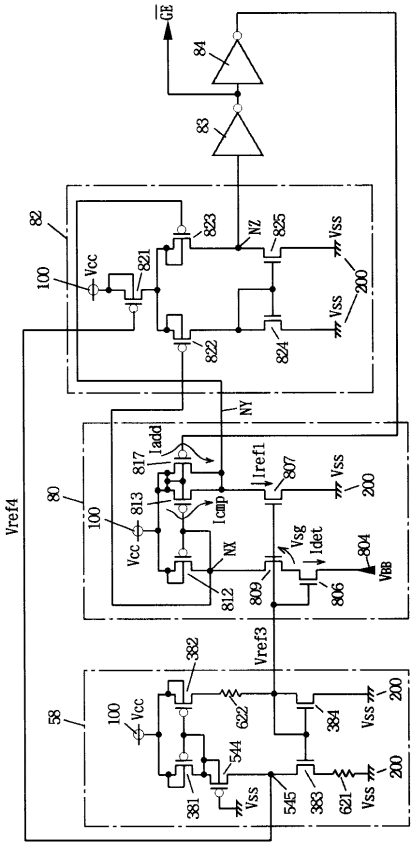
【図４５】



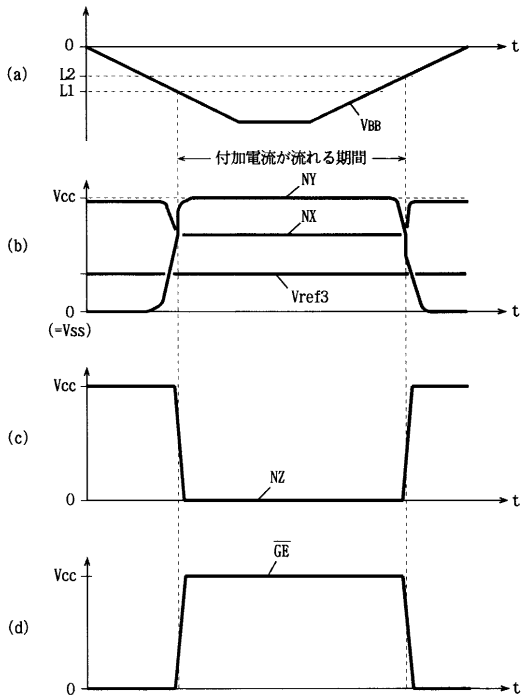
【図４６】



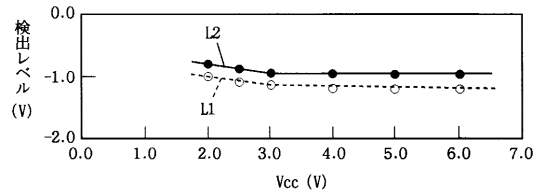
【図４７】



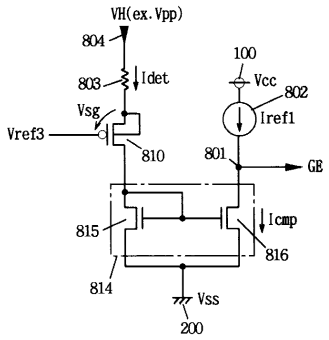
【図４８】



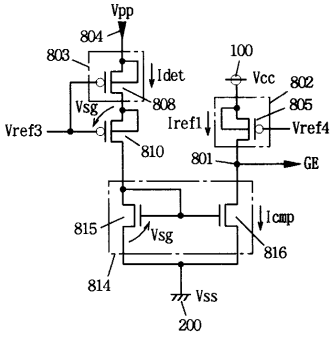
【図４９】



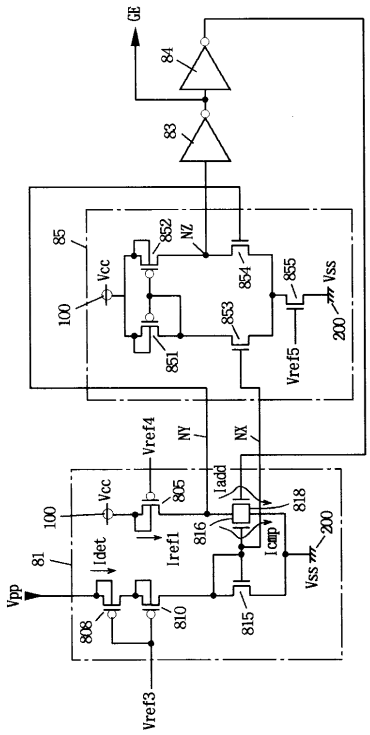
【図５０】



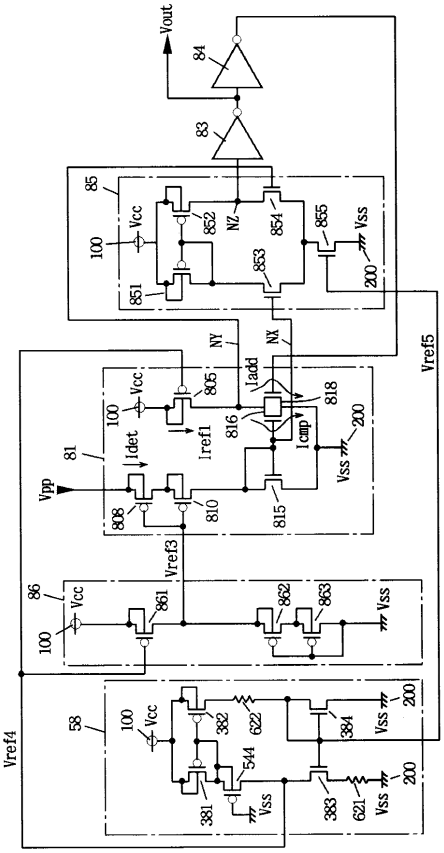
【図５１】



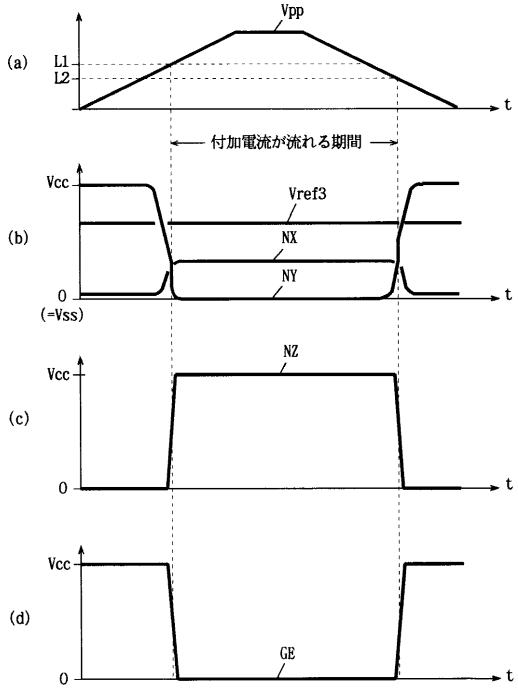
【図５２】



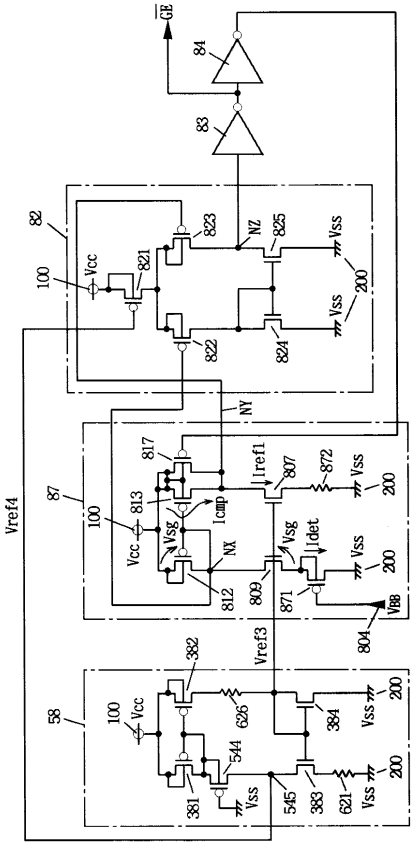
【図５３】



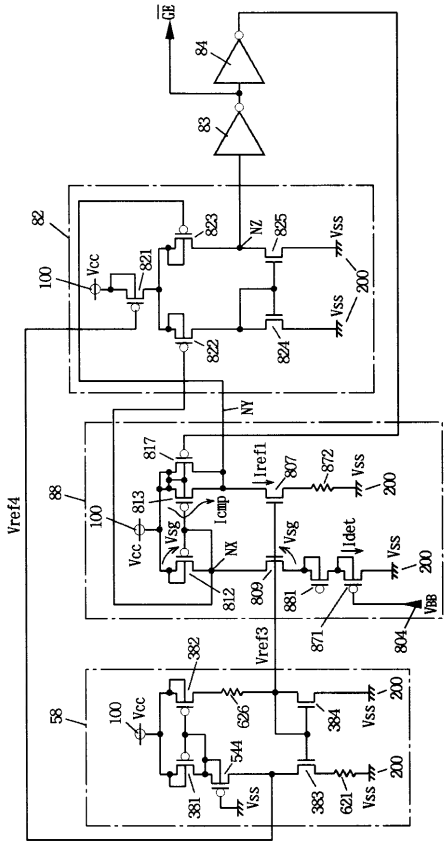
【図５４】



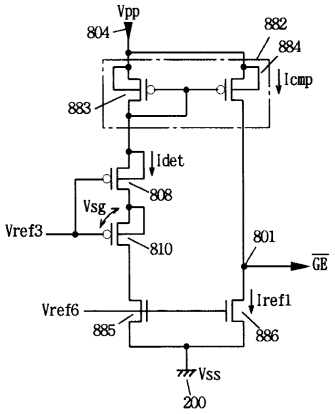
【図５５】



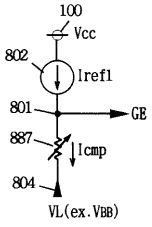
【図５６】



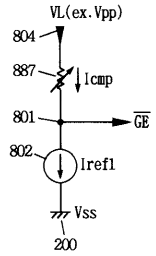
【図５７】



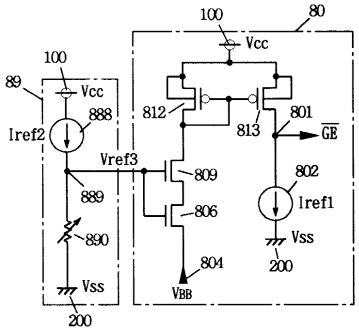
【図５８】



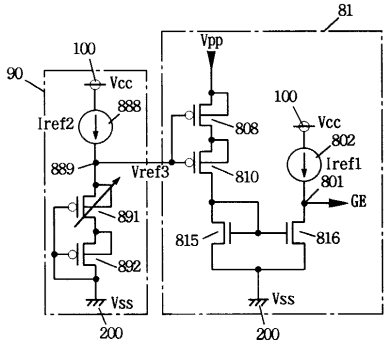
【図５９】



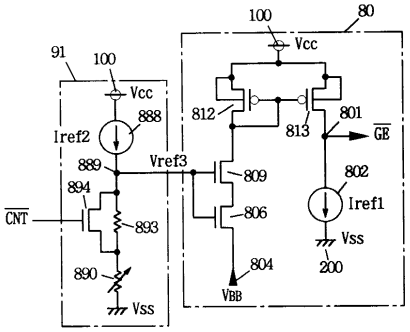
【図６０】



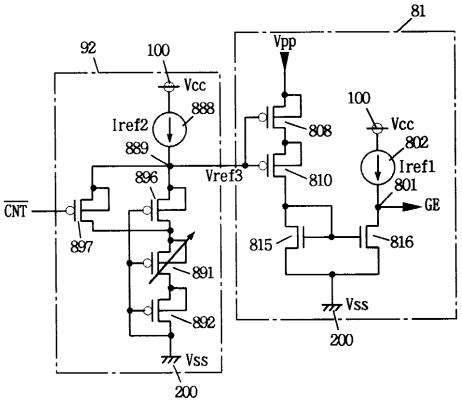
【図６１】



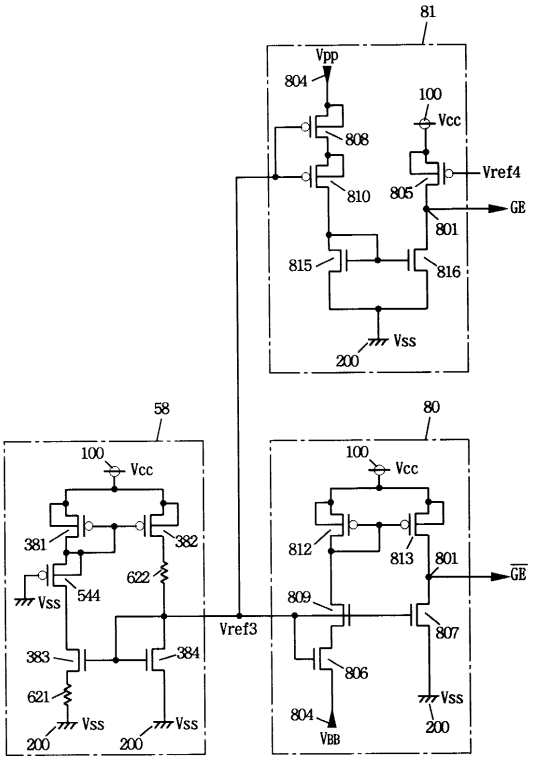
【図６２】



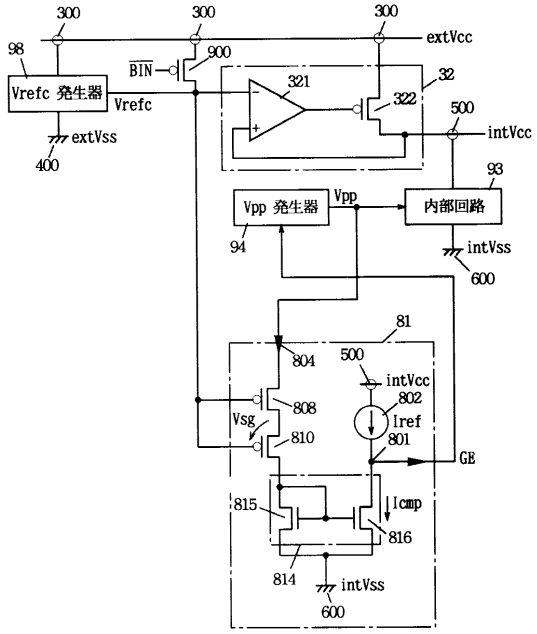
【図６３】



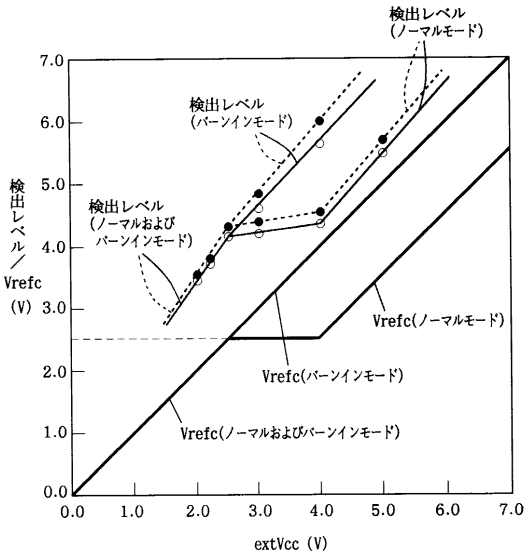
【図６４】



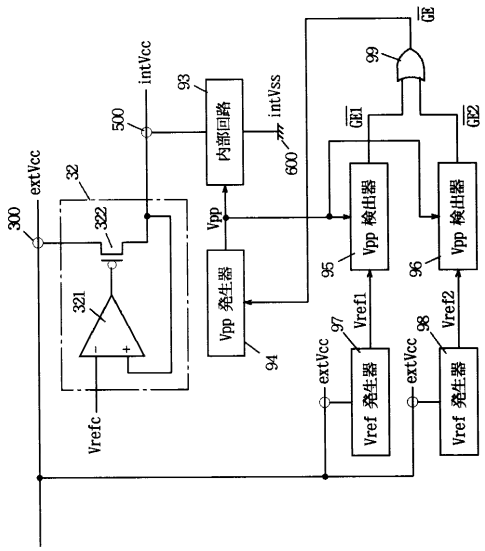
【図６５】



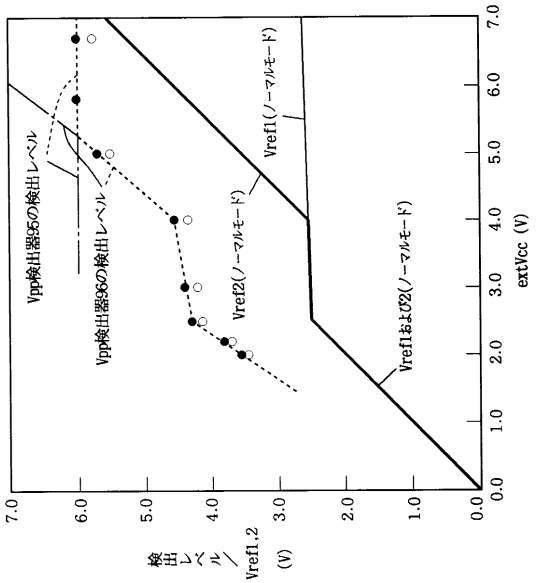
【図６６】



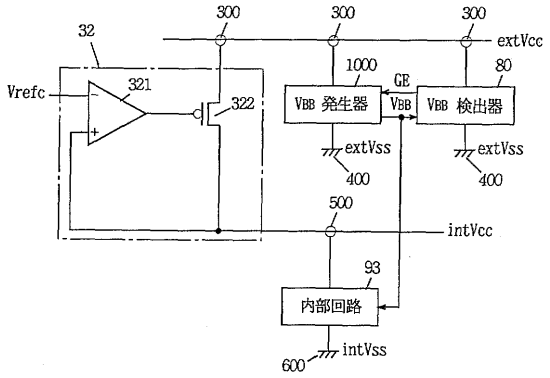
【図６７】



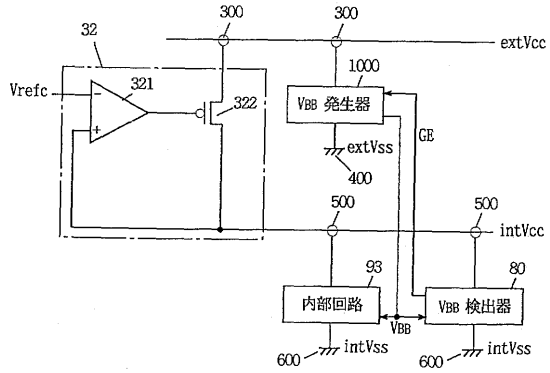
【図６８】



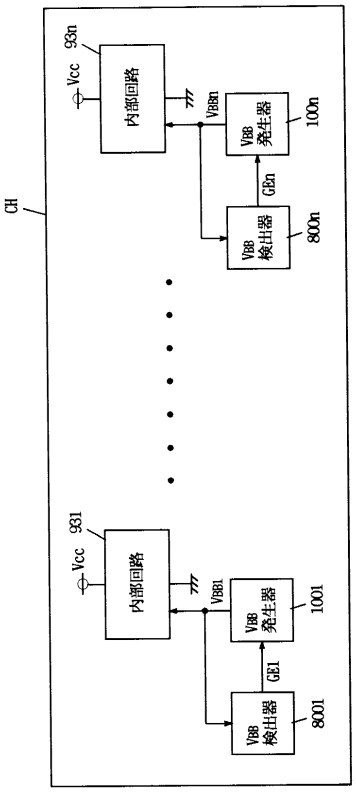
【図６９】



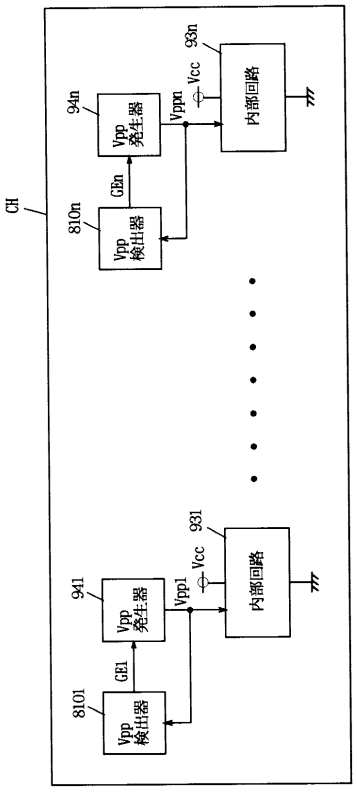
【図７０】



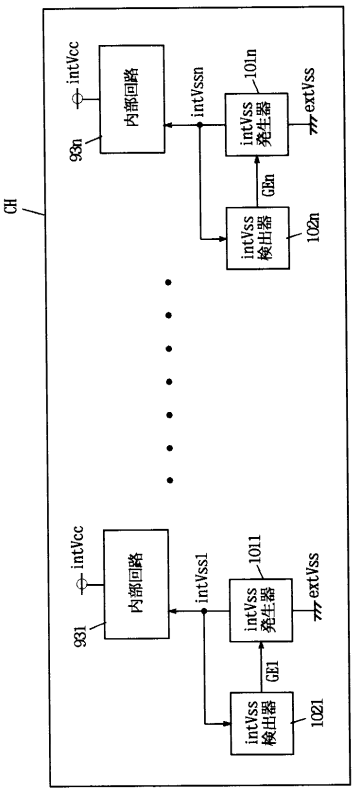
【図７１】



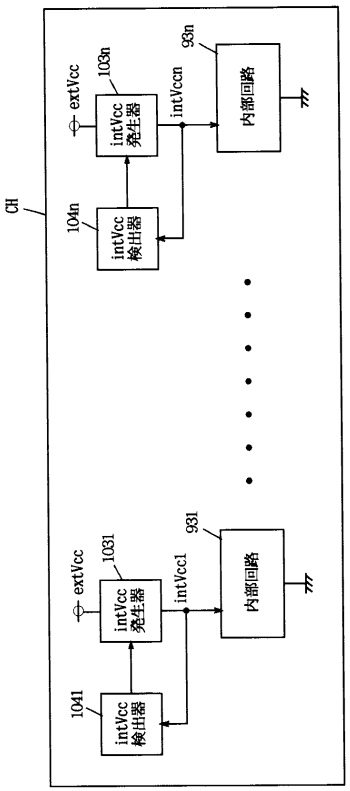
【図７２】



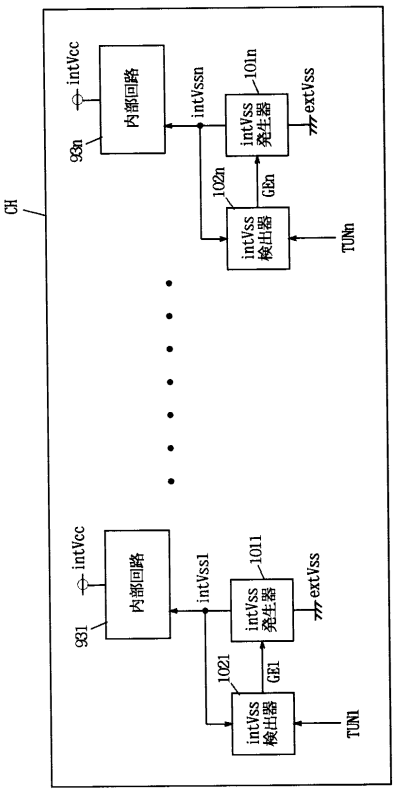
【図７３】



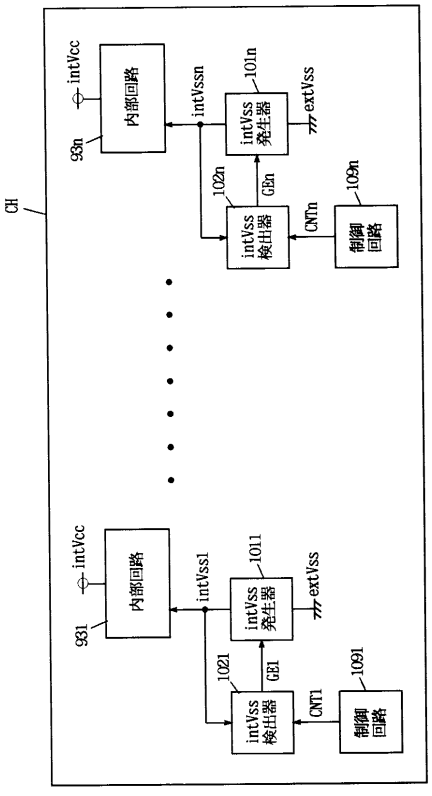
【図７４】



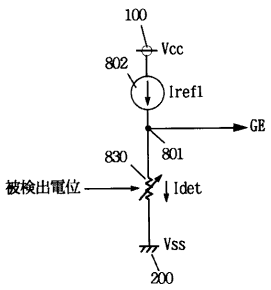
【図７５】



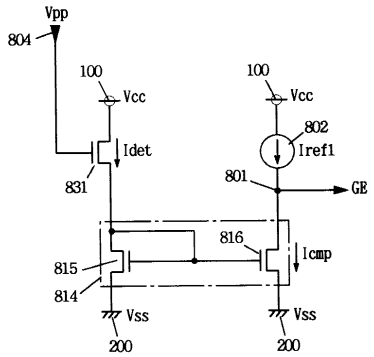
【図７６】



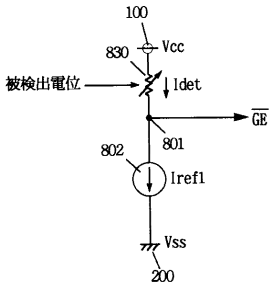
【図７７】



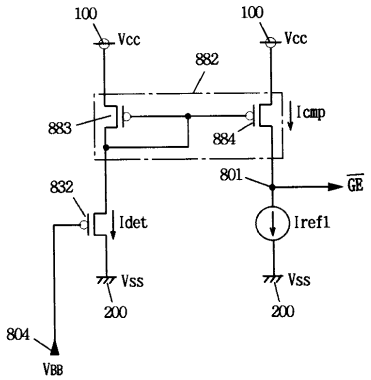
【図７８】



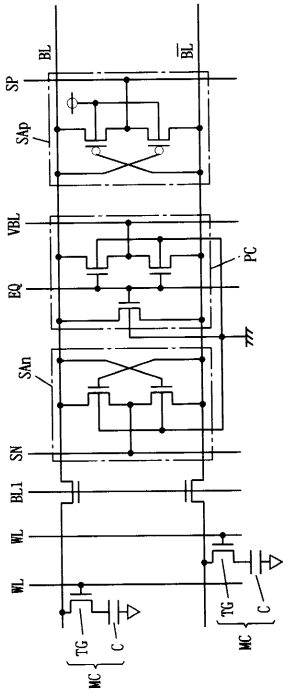
【図７９】



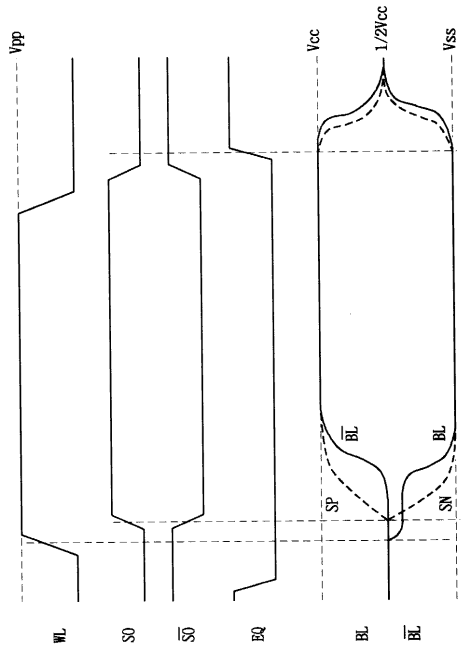
【図８０】



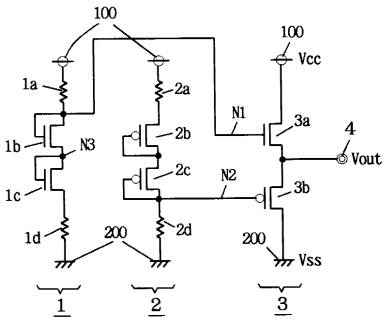
【図８１】



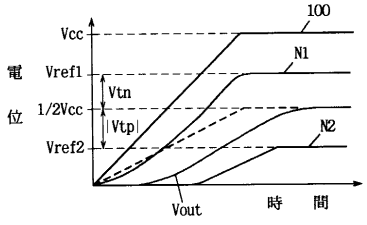
【図８２】



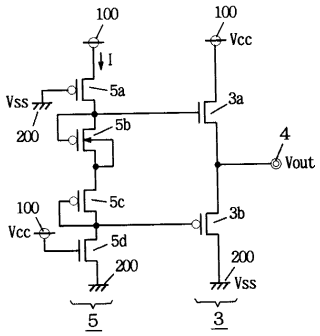
【図８３】



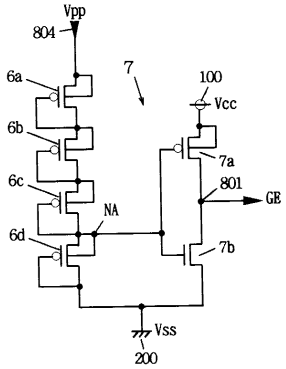
【図８４】



【図８５】


100
100
Vcc
I
Vss
5a
3a
200
5b
4
Vout
100
5c
3b
Vcc
5d
200
200
Vss
5
3

【図８６】


Vpp
804
7
6a
100
Vcc
6b
7a
6c
801
GE
NA
6d
7b
Vss
200

フロントページの続き

(72)発明者　小宮　祐一郎
兵庫県伊丹市瑞原４丁目１番地　三菱電機株式会社ユー・エル・エス・アイ開発研究所内

審査官　川端　修

(56)参考文献　特開平０６－２６５５８４（ＪＰ，Ａ）
特開平０５－３２７４５５（ＪＰ，Ａ）
特開平０５－１５０８４８（ＪＰ，Ａ）
特開平０４－３１５８９５（ＪＰ，Ａ）
特開平０４－２１２７８６（ＪＰ，Ａ）
特開平０４－２０９３９６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
G05F 3/24
G11C 11/407
H01L 21/822
H01L 27/04