

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-3235
(P2014-3235A)

(43) 公開日 平成26年1月9日(2014.1.9)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 7 1	5 F 0 8 3
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4	5 F 1 0 1
HO 1 L 29/792 (2006.01)		
HO 1 L 21/8247 (2006.01)		
HO 1 L 27/115 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号 特願2012-139021 (P2012-139021)
(22) 出願日 平成24年6月20日 (2012. 6. 20)

(71) 出願人 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100159651
弁理士 高倉 成男
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100109830
弁理士 福原 淑弘
(74) 代理人 100075672
弁理士 峰 隆司
(74) 代理人 100095441
弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置及びその製造方法

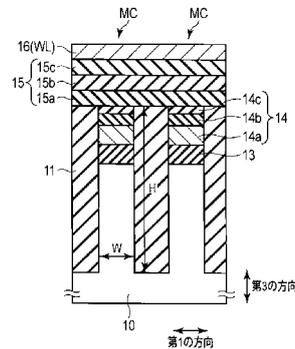
(57) 【要約】 (修正有)

【課題】 ハイブリッド構造において、書き込み特性とデータ保持特性の向上を図る不揮発性半導体記憶装置を提供する。

【解決手段】 不揮発性半導体記憶装置は、半導体層 10 上のトンネル絶縁層 13 と、トンネル絶縁層 13 上の電荷蓄積層 14 と、電荷蓄積層 14 上のブロック絶縁層 15 と、ブロック絶縁層 15 上のコントロールゲート電極 16 とを備える。電荷蓄積層 14 は、トンネル絶縁層 13 上のフローティングゲート層 14 a と、フローティングゲート層 14 a 上の界面絶縁層 14 b と、界面絶縁層 14 b 上のチャージトラップ層 14 c とを備える。界面絶縁層 14 b の伝導帯下端は、チャージトラップ層 14 c のトラップ準位よりも高く、チャージトラップ層 14 c の伝導帯下端よりも低い。

【選択図】 図 2

図 2



【特許請求の範囲】**【請求項 1】**

半導体層と、前記半導体層上の第 1 の絶縁層と、前記第 1 の絶縁層上の電荷蓄積層と、前記電荷蓄積層上の第 2 の絶縁層と、前記第 2 の絶縁層上のコントロールゲート電極とを具備し、

前記電荷蓄積層は、前記第 1 の絶縁層上のフローティングゲート層と、前記フローティングゲート層上の界面絶縁層と、前記界面絶縁層上のチャージトラップ層とを備え、

前記界面絶縁層の伝導帯下端は、前記チャージトラップ層のトラップ準位よりも高く、前記チャージトラップ層の伝導帯下端よりも低い不揮発性半導体記憶装置。

【請求項 2】

前記界面絶縁層は、前記チャージトラップ層を構成する第 1 の材料にアルカリ金属及びランタノイド系材料のうちの 1 つを添加した第 2 の材料を備える請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】

前記チャージトラップ層は、 HfO_2 、 HfSiO 、 ZrO_2 、及び、 ZrSiO のグループから選択される 1 つであり、前記アルカリ金属は、 Mg である請求項 2 に記載の不揮発性半導体記憶装置。

【請求項 4】

前記チャージトラップ層は、 HfO_2 、 HfSiO 、 ZrO_2 、及び、 ZrSiO のグループから選択される 1 つであり、前記ランタノイド系材料は、 La 及び Y のうちの 1 つである請求項 2 に記載の不揮発性半導体記憶装置。

【請求項 5】

請求項 1 に記載の不揮発性半導体記憶装置の製造方法において、

前記界面絶縁層は、第 1 の条件として、第 1 及び第 2 のガスを含む雰囲気中で形成され、前記チャージトラップ層は、第 2 の条件として、前記第 1 のガスを含み、前記第 2 のガスを含まない雰囲気中で形成され、

前記界面絶縁層及び前記チャージトラップ層は、同一チャンバー内で前記第 1 及び第 2 の条件の切り替えを行うことにより連続して形成される

不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】**【技術分野】****【0001】**

実施形態は、不揮発性半導体記憶装置及びその製造方法に関する。

【背景技術】**【0002】**

不揮発性半導体記憶装置、例えば、フラッシュメモリの製造方法においては、メモリセル部が一時的にフィン状に加工されるステップが存在する。また、メモリセルの微細化の進行により、このステップにおけるフィン状のメモリセル部のアスペクト比が高くなっており、フィン状のメモリセル部が倒壊するなどの問題が発生している。

【0003】

そこで、この問題を解決するため、メモリセルの電荷蓄積層を、フローティングゲート層とチャージトラップ層の積層により構成するハイブリッド構造の開発が進められている。ハイブリッド構造は、電荷蓄積層の高さを抑えることができる結果として、製造工程におけるフィン状のメモリセル部のアスペクト比を低減する技術として注目される。

【0004】

しかし、ハイブリッド構造を有するメモリセルにおいては、書き込み特性の向上とデータ保持特性の向上を同時に満たすことが難しい。

【先行技術文献】**【特許文献】****【0005】**

10

20

30

40

50

【特許文献 1】特開2011-142227号公報

【特許文献 2】特開2009-290199号公報

【特許文献 3】特開2011-142246号公報

【特許文献 4】特開2011-114057号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

実施形態は、ハイブリッド構造のメモリセルにおいて、書き込み特性の向上とデータ保持特性の向上を図る技術を提案する。

【課題を解決するための手段】

【0007】

実施形態によれば、不揮発性半導体記憶装置は、半導体層と、前記半導体層上の第1の絶縁層と、前記第1の絶縁層上の電荷蓄積層と、前記電荷蓄積層上の第2の絶縁層と、前記第2の絶縁層上のコントロールゲート電極とを備え、前記電荷蓄積層は、前記第1の絶縁層上のフローティングゲート層と、前記フローティングゲート層上の界面絶縁層と、前記界面絶縁層上のチャージトラップ層とを備え、前記界面絶縁層の伝導帯下端は、前記チャージトラップ層のトラップ準位よりも高く、前記チャージトラップ層の伝導帯下端よりも低い。

【0008】

前記不揮発性半導体記憶装置の製造方法において、前記界面絶縁層は、第1の条件として、第1及び第2のガスを含む雰囲気中で形成され、前記チャージトラップ層は、第2の条件として、前記第1のガスを含み、前記第2のガスを含まない雰囲気中で形成され、前記界面絶縁層及び前記チャージトラップ層は、同一チャンパー内で前記第1及び第2の条件の切り替えを行うことにより連続して形成される。

【図面の簡単な説明】

【0009】

【図1】実施例のメモリセルを示す平面図。

【図2】図1のII-II線に沿う断面図。

【図3】図1のIII-III線に沿う断面図。

【図4】実施例のメモリセルのエネルギーバンド図。

【図5】比較例のメモリセルのエネルギーバンド図。

【図6】書き込み特性を示す特性図。

【図7】データ保持特性を示す特性図。

【図8】実施例のメモリセルの製造方法を示す断面図。

【図9】実施例のメモリセルの製造方法を示す断面図。

【図10】界面絶縁層及びチャージトラップ層を連続形成する方法を示す図。

【図11】実施例のメモリセルの製造方法を示す断面図。

【図12】実施例のメモリセルの製造方法を示す断面図。

【図13】実施例のメモリセルの製造方法を示す断面図。

【図14】実施例のメモリセルの製造方法を示す断面図。

【発明を実施するための形態】

【0010】

以下、図面を参照しながら実施形態を説明する。

【0011】

まず、実施例に係わるメモリセルの前提となるハイブリッド構造について説明する。

【0012】

ハイブリッド構造のメモリセルの特徴は、電荷蓄積層が、電氣的にフローティング状態の導電層を備えるフローティングゲート層と、電荷を局所的にトラップする機能を持つ絶縁層を備えるチャージトラップ層との積層である点にある。

【0013】

10

20

30

40

50

また、ハイブリッド構造では、フローティングゲート層をトンネルバリア層側に配置し、チャージトラップ層をブロック絶縁層側に配置し、フローティングゲート層を、ブロック絶縁層側のチャージトラップ層により多くの電荷を蓄積させるためのバッファ層として機能させる。

【 0 0 1 4 】

さらに、フローティングゲート層とチャージトラップ層の間に、チャージトラップ層に蓄積された電荷をフローティングゲート層にリークさせないための界面絶縁層を配置する点も、ハイブリッド構造の特徴の一つである。

【 0 0 1 5 】

このようなハイブリッド構造は、電荷蓄積層がフローティングゲート層又はチャージトラップ層の単層である構造に比べて、電荷蓄積層の全エリアのうち、ブロック絶縁層に近いエリア内により多くの電荷を蓄積することができるため、電荷蓄積層の高さを低くしても、閾値電圧のばらつきを低減し、十分な読み出しマージンを確保することができる。

10

【 0 0 1 6 】

また、ハイブリッド構造によれば、例えば、素子分離絶縁層の上面と電荷蓄積層の上面とがほぼ同じであるフラットセル構造において、製造工程中に、メモリセル部が一時的にフィン状に加工されても、そのメモリセル部のアスペクト比を低減することができるため、フィン状のメモリセル部の倒壊を防止することができる。

【 0 0 1 7 】

しかし、コンベンショナルなハイブリッド構造では、書き込み特性の向上とデータ保持特性（リテンション特性）の向上を十分に図ることができない。

20

【 0 0 1 8 】

そこで、これら特性を十分に向上できない理由を検証したところ、その原因は、フローティングゲート層とチャージトラップ層の間にある界面絶縁層にあることが判明した。

【 0 0 1 9 】

界面絶縁層は、チャージトラップ層に蓄積された電荷がフローティングゲート層に容易に抜けることがないように、その伝導帯下端が、チャージトラップ層の伝導帯下端よりも高くなる材料、例えば、窒化シリコン層（SiNなど）を備えるのが一般的である。

【 0 0 2 0 】

しかし、この場合、チャージトラップ層に電荷を蓄積させるためには、フローティングゲート層内の電荷を、界面絶縁層のエネルギーバリアを越えて移動させなければならず、結果として、十分な書き込み特性が得られなくなる。

30

【 0 0 2 1 】

また、界面絶縁層に窒化シリコン層を用いた場合、窒化シリコン層に電荷をトラップする性質があることに起因して、チャージトラップ層に蓄積された電荷がフローティングゲート層に容易に抜けてしまう。これは、界面絶縁層を設けた本来の目的が実現できないことを意味し、結果として、十分な電荷保持特性が得られなくなる。

【 0 0 2 2 】

以下の実施例では、ハイブリッド構造において、書き込み特性の向上と電荷保持特性の向上を図るために必要な界面絶縁層の特性、さらには、その特性を実現するための材料について説明する。

40

【 0 0 2 3 】

[構造]

図 1 は、不揮発性半導体記憶装置を構成するメモリセルアレイ内のメモリセルを示している。図 2 は、図 1 の I I - I I 線に沿う断面図である。図 3 は、図 1 の I I I - I I I 線に沿う断面図である。

【 0 0 2 4 】

本例では、素子分離絶縁層 1 1 の上面と電荷蓄積層 1 4 の上面とがほぼ同じであるフラットセル構造について説明するが、メモリセル M C の構造は、これに限られない。また、メモリセル M C は、二次元構造を有していても、三次元構造を有していても、いずれであ

50

っても構わない。

【0025】

また、メモリセルMCは、電荷蓄積層14内の電荷量に応じて、2値データ(1ビットデータ)を記憶する2値メモリであってもよいし、4値データ(2ビットデータ)以上のデータを記憶する多値メモリであってもよい。

【0026】

半導体層(例えば、半導体基板)10は、例えば、シリコン層である。素子分離絶縁層11は、例えば、STI(Shallow Trench Isolation)であり、第1の方向に並び、第2の方向に延びる。素子分離絶縁層11は、例えば、酸化シリコン層であり、半導体層10の第3の方向にある表面上に設けられたトレンチ内に満たされる。

10

【0027】

アクティブエリアAAは、素子分離絶縁層11により挟まれた半導体層10のことである。アクティブエリアAAは、素子分離絶縁層11と同様に、第1の方向に並び、第2の方向に延びる。

【0028】

アクティブエリアAA内の半導体層10上には、例えば、直列接続された複数のメモリセルMCが配置される。本例では、メモリセルアレイは、NAND構造を有するが、これに限定されることはない。

【0029】

複数のメモリセルMCは、それぞれ、半導体層10の表面領域に配置される複数のソース/ドレイン領域12と、これらソース/ドレイン領域12間のチャンネル領域上に配置されるゲート絶縁層(トンネル絶縁層)13と、ゲート絶縁層13上に配置される電荷蓄積層14と、電荷蓄積層14上に配置されるブロック絶縁層15と、ブロック絶縁層15上に配置されるコントロールゲート電極16とを備える。

20

【0030】

コントロールゲート電極16は、第1の方向に延び、ワード線WLとして機能する。

【0031】

本例では、メモリセルMCは、ソース/ドレイン領域12を有するが、これを省略することも可能である。なぜなら、直列接続された複数のメモリセルMC間の距離が狭くなると、いわゆるフリンジ効果により、ソース/ドレイン領域12がなくても、複数のメモリセルMCのチャンネル領域を貫通する伝導経路を発生させることができるからである。

30

【0032】

電荷蓄積層14は、ゲート絶縁層13上に配置されるフローティングゲート層14aと、フローティングゲート層14a上に配置される界面絶縁層14bと、界面絶縁層14b上に配置されるチャージトラップ層14cとを備える。ハイブリッド構造の場合、フローティングゲート層14aは、キャリアがチャージトラップ層14c内に捕獲かつ保持され易くするための補助的な役割を担っている。

【0033】

ここで、本例では、書き込み特性の向上とデータ保持特性の向上を図るために、界面絶縁層14bは、以下の条件を満たす材料により構成する。

40

【0034】

- ・ 伝導帯下端がチャージトラップ層のトラップ準位よりも高い
- ・ 伝導帯下端がチャージトラップ層の伝導帯下端よりも低い
- ・ 電荷トラップ性を有しない

これについては、エネルギーバンドの説明で詳述する。

【0035】

また、本例では、複数のメモリセルMCは、フラットセル構造を有する。即ち、素子分離絶縁層11の上面と電荷蓄積層14の上面とがほぼ同じであり、ブロック絶縁層15の下地がフラットになっている。

【0036】

50

フラットセル構造では、素子分離絶縁層 1 1 を形成する前に、メモリセル部が一時的にフィン状に加工され、微細化が進行するにつれてメモリセル部のアスペクト比 (H/W) が大きくなることが知られている。

【0037】

しかし、本例によれば、書き込み特性の向上及びデータ保持特性の向上に起因して、電荷蓄積層 1 4 の高さ (第 3 の方向の幅) を小さくできるため、メモリセル部のアスペクト比の増加を抑制し、製造工程中にフィン状のメモリセル部が倒壊することも防止できる。

【0038】

これについては、製造方法の説明で詳述する。

【0039】

ブロック絶縁層 1 5 は、積層構造を有し、第 1 乃至第 3 の層を含む。第 1 の層 1 5 a は、書き込み時のリークを防止するための高い電位障壁を有する絶縁層であり、例えば、酸化シリコン層 (SiO_2) である。第 2 の層 1 5 b は、メモリセル MC のカップリング比を向上させるための高い誘電率を有する絶縁層であり、例えば、酸化ハフニウム層 (HfO_2) である。第 3 の層 1 5 c は、第 2 の層 1 5 b とコントロールゲート電極 1 6 との反応を防止するためのパuffa 層であり、例えば、酸化タンタル層 (TaO) である。

【0040】

本例では、ブロック絶縁層 1 5 は、3 層構造を有するが、これに限られない。例えば、ブロック絶縁層 1 5 は、単層であってもよい。また、電荷蓄積層 1 4 とブロック絶縁層 1 5 の間、及び、ブロック絶縁層 1 5 とコントロールゲート電極 1 6 の間の少なくとも一つに、界面層が存在していてもよい。

【0041】

図 4 は、実施例のメモリセルのエネルギーバンド図を示している。また、図 5 は、比較例のメモリセルのエネルギーバンド図を示している。

【0042】

これらの図において、縦方向がエネルギー、横方向が各層の位置を表している。

【0043】

実施例及び比較例は、界面絶縁層のバンド構造を除いて、全て同じである。即ち、両者は、前提条件として、半導体層、トンネル絶縁層、フローティングゲート層、チャージトラップ層、ブロック絶縁層及びコントロールゲート電極を、同じ構造及び同じ材料により構成し、界面絶縁層のみを異ならせて、その特性を比較したものである。

【0044】

比較例では、データ保持特性の向上のため、界面絶縁層の伝導帯下端をチャージトラップ層の伝導帯下端よりも高くする。例えば、チャージトラップ層が HfO_2 であるときは、界面絶縁層としては、 SiN を使用する。

【0045】

これに対し、実施例では、まず、書き込み特性の向上のため、界面絶縁層の伝導帯下端をチャージトラップ層の伝導帯下端よりも低くする。これにより、書き込み時に、フローティングゲート層 (例えば、 Si) からチャージトラップ層に移動するキャリアに対する電位障壁が低減され、書き込み特性が向上する。

【0046】

また、実施例では、データ保持特性の向上のため、界面絶縁層の伝導帯下端をチャージトラップ層のトラップ準位よりも高くする。即ち、チャージトラップ層に捕獲されているキャリアがフローティングゲート層に抜けることを防止するためには、界面絶縁層の伝導帯下端をチャージトラップ層のトラップ準位よりも高くすれば足り、比較例のように、界面絶縁層の伝導帯下端をチャージトラップ層の伝導帯下端よりも高くする必要はない。

【0047】

これにより、実施例では、書き込み特性の向上とデータ保持特性の向上とを両立することができる。

【0048】

10

20

30

40

50

尚、このような条件を満たす界面絶縁層の材料としては、例えば、チャージトラップ層が HfO_2 であるときは、 HfMgO を挙げることができる。即ち、 HfO_2 のトラップ準位は、 HfO_2 の伝導帯下端から約 0.65 eV 下に位置する。 HfMgO は、電荷トラップ性を有しないと共に、その伝導帯下端は、 HfO_2 の伝導帯下端とトラップ準位の間に存在する。

【0049】

実施例では、さらに、界面絶縁層とチャージトラップ層との関係を検証する。

【0050】

まず、製造方法の観点からすれば、界面絶縁層及びチャージトラップ層は、同じ材料を含んでいるのが望ましい。これにより、両者を同一チャンバー内で連続して形成することができるからである。

10

【0051】

そこで、そのような観点からチャージトラップ層の検証を行った結果、チャージトラップ層を構成する材料に、アルカリ金属又はランタノイド系材料を添加すると、電荷をトラップする機能が消滅すると共に、伝導帯下端の位置が低下することが判明した。

【0052】

即ち、そのような材料を界面絶縁層として使用すれば、書き込み特性及びデータ保持特性の向上と共に、製造方法の簡略化による製造コストの低減も実現できる。

【0053】

しかし、既に説明したように、界面絶縁層の伝導帯下端は、チャージトラップ層のトラップ準位よりも高くなければならない。

20

【0054】

界面絶縁層が、チャージトラップ層を構成する材料にアルカリ金属又はランタノイド系材料を添加した材料を備える場合において、界面絶縁層の伝導帯下端がチャージトラップ層のトラップ準位よりも高くなるような材料の組み合わせとしては、現時点で、以下のものを挙げることができる。

【0055】

・ チャージトラップ層

HfO_2 、 HfSiO 、 ZrO_2 、 ZrSiO など

・ 界面絶縁層

30

[チャージトラップ層を構成する材料に Mg (アルカリ金属) を添加した材料]

HfMgO 、 HfMgSiO 、 ZrMgO 、 ZrMgSiO など

[チャージトラップ層を構成する材料に La 又は Y (ランタノイド系材料) を添加した材料]

HfLaO 、 HfLaSiO 、 ZrLaO 、 ZrLaSiO 、 HfYO 、 HfYSiO 、 ZrYO 、 ZrYSiO など

但し、チャージトラップ層及び界面絶縁層を構成する材料の組成比は、上述の例に限られない。例えば、チャージトラップ層及び界面絶縁層が安定な状態を維持することを条件に、それらの組成比を適宜変更することは可能である。

【0056】

図6は、実施例と比較例の書き込み特性を比較する図である。

40

【0057】

ここでは、メモリセルの書き込み特性を、書き込み電圧 V_{pgm} と閾値電圧の変化量 V_{th} との関係で表している。

【0058】

同図によれば、書き込み電圧が同じである場合に、実施例の閾値電圧の変化量が、比較例の閾値電圧の変化量よりも大きくなるのが容易に理解できる。

【0059】

即ち、これは、同じ条件下で書き込みを行ったときに、実施例のメモリセルが、比較例のメモリセルに比べて、より多くの電荷をチャージトラップ層内に捕獲することができる

50

ことを意味する。

【0060】

このように、実施例によれば、書き込み特性を向上することができる。

【0061】

図7は、実施例と比較例のデータ保持特性を比較する図である。

【0062】

ここでは、メモリセルのデータ保持特性を、書き込み直後の時点からの経過時間 T_{ime} と閾値電圧の変化量 V_{th} との関係で表している。

【0063】

同図によれば、書き込み直後のメモリセルの閾値電圧が同じであると仮定した場合に、実施例の閾値電圧の変化量が、比較例の閾値電圧の変化量よりも小さくなることが容易に理解できる。

10

【0064】

即ち、これは、書き込み直後に、実施例と比較例のメモリセルを同じ環境下に置いたときに、実施例のメモリセルが、比較例のメモリセルに比べて、より多くの電荷をチャージトラップ層内に保持することができることを意味する。

【0065】

このように、実施例によれば、データ保持特性を向上することができる。

【0066】

[製造方法]

図1乃至図3の不揮発性半導体記憶装置の製造方法を説明する。

20

【0067】

図8乃至図14は、図1乃至図3の不揮発性半導体記憶装置の製造方法を示している。

【0068】

これらの図において、第1、第2及び第3の方向は、図1乃至図3の第1、第2及び第3の方向に対応する。また、第1及び第2の方向は、例えば、半導体基板としての半導体層10の表面に平行な方向であり、かつ、互いに直交する。第3の方向は、例えば、半導体基板としての半導体層10の表面に垂直な方向である。

【0069】

また、第1の方向は、例えば、コントロールゲート電極（ワード線）が延びる方向であり、かつ、メモリセルとしてのセルトランジスタ（FET: Field Effect Transistor）のチャンネル幅に平行な方向である。第2の方向は、例えば、ビット線が延びる方向であり、かつ、メモリセルとしてのセルトランジスタのチャンネル長に平行な方向である。

30

【0070】

さらに、これらの図において、図1乃至図3と同一の要素には同じ符号を付すことにより、図1乃至図3の構造と図8乃至図14の製造方法の対応関係を明確化する。

【0071】

まず、図8に示すように、例えば、熱酸化法により、半導体層10上にゲート絶縁層（例えば、酸化シリコン層）13を形成する。続けて、例えば、CVD法又はALD法により、ゲート絶縁層13上にフローティングゲート層（例えば、導電性ポリシリコン層）14aを形成する。

40

【0072】

次に、図9に示すように、フローティングゲート層14a上に、界面絶縁層14b及びチャージトラップ層14cを形成する。

【0073】

ここで、既に述べたように、例えば、界面絶縁層14bを、チャージトラップ層14cを構成する材料にアルカリ金属及びランタノイド系材料のうちの1つを添加した材料により構成することにより、界面絶縁層14b及びチャージトラップ層14cを、同一チャンパー内で連続して形成することが可能になる。

【0074】

50

例えば、図 10 に示すように、界面絶縁層 14 b は、第 1 の条件として、第 1 のガス (H f 、 Z r 、 S i の少なくとも 1 つを含むガス) 、第 2 のガス (アルカリ金属又はランタノイド系材料のうち 1 つを含むガス) 及び第 3 のガス (酸素を含むガス、例えば、 H_2O 又は O_3) を含む雰囲気中で形成される。

【 0075 】

また、チャージトラップ層 14 c は、第 2 の条件として、第 1 及び第 3 のガスを含み、第 2 のガスを含まない雰囲気中で形成される。

【 0076 】

この場合、界面絶縁層 14 b 及びチャージトラップ層 14 c は、同一チャンバー内で第 1 及び第 2 の条件の切り替えを行うことにより連続して形成することが可能である。

10

【 0077 】

ここで、第 1 及び第 2 の条件の切り替えは、界面絶縁層 14 b の形成後に、第 2 のガスの供給を止めるだけでよい。

【 0078 】

例えば、CVD法、ALD法又はPVD法により、第 1、第 2 及び第 3 のガスを含む雰囲気中で界面絶縁層 14 b を形成した後、第 2 のガスのみを止めて、引き続き、チャージトラップ層 14 c を形成することができる。

【 0079 】

尚、界面絶縁層 14 b 及びチャージトラップ層 14 c の形成に関しては、それらの厚さを一原子層単位で制御可能な方法を採用するのが望ましい。

20

【 0080 】

次に、図 11 に示すように、PEP (Photo Engraving Process) により、フローティングゲート層 14 a、界面絶縁層 14 b 及びチャージトラップ層 14 c を備える電荷蓄積層 14 上に、レジストパターン 21 を形成する。

【 0081 】

そして、このレジストパターン 21 をマスクにして、RIEにより、電荷蓄積層 14、ゲート絶縁層 13 及び半導体層 10 をエッチングする。その結果、複数のメモリセルの間には、素子分離トレンチ T が形成され、かつ、この素子分離トレンチ T により形成された複数のメモリセル部は、それぞれ、第 1 の方向の幅が W であり、第 2 の方向に伸び、第 3 の方向の高さが H であるフィン状となる。

30

【 0082 】

この後、レジストパターン 21 は除去される。

【 0083 】

尚、本例では、フィン状のメモリセル部のパターンニングを、レジストパターン 21 をマスクにして行ったが、レジストパターン 21 に代えて、ハードマスク層をマスクにしてもよい。

【 0084 】

次に、図 12 に示すように、例えば、CVD法により、素子分離トレンチ T を完全に満たす素子分離絶縁層 (例えば、酸化シリコン層) 11 を形成する。また、CMP (Chemical Mechanical Polishing) により、素子分離絶縁層 11 を研磨し、素子分離絶縁層 11 を素子分離トレンチ T 内のみに残存させる。

40

【 0085 】

その結果、STI (Shallow Trench Isolation) 構造の素子分離絶縁層 11 が形成される。

【 0086 】

次に、図 13 に示すように、例えば、CVD法又はALD法により、素子分離絶縁層 11 上及び電荷蓄積層 14 上に、ブロック絶縁層 (15 a , 15 b , 15 c) 15 を形成する。ブロック絶縁層 15 は、フラットな下地上に形成される。即ち、ブロック絶縁層 15 は、電荷蓄積層 14 の上面のみを覆い、電荷蓄積層の側面を覆わない。この構造は、既に述べたように、フラットセル構造と呼ばれ、メモリセルの第 1 の方向の幅を狭めて、メモ

50

リセルの微細化を図るのに有効である。

【0087】

また、例えば、CVD法又はALD法により、ブロック絶縁層15上にコントロールゲート電極16を形成する。

【0088】

次に、図14に示すように、例えば、PEP及びRIEにより、メモリセルのパターニングを行う。

【0089】

例えば、第1の方向に延びるライン&スペースパターンのレジストパターンをマスクにして、コントロールゲート電極16、ブロック絶縁層15、電荷蓄積層14及びゲート絶縁層13を順次エッチングすることにより、第2の方向に互いに分断された複数のメモリセルMCを形成する。

【0090】

尚、コントロールゲート電極16は、この時点で、第1の方向に延びるワード線WLとなる。

【0091】

最後に、メモリセルMCのコントロールゲート電極16をマスクにして、イオン注入により、半導体層10内に不純物を注入すると、ソース/ドレイン領域12がセルフアラインで形成される。

【0092】

以上の製造工程により、図1乃至図3の不揮発性半導体記憶装置が完成する。

【0093】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0094】

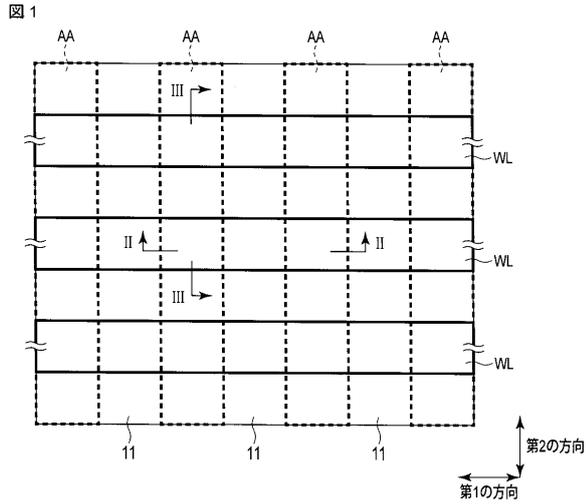
AA： アクティブエリア、 WL： ワード線、 10： 半導体層、 11： 素子分離絶縁層、 12： ソース/ドレイン領域、 13：ゲート絶縁層（トンネル絶縁層）、 14： 電荷蓄積層、 14a： フローティングゲート層、 14b： 界面絶縁層、 14c： チャージトラップ層、 15： ブロック絶縁層、 16： コントロールゲート電極、 21： レジストパターン。

10

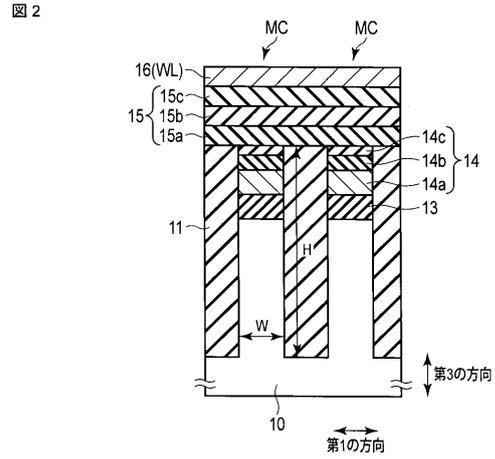
20

30

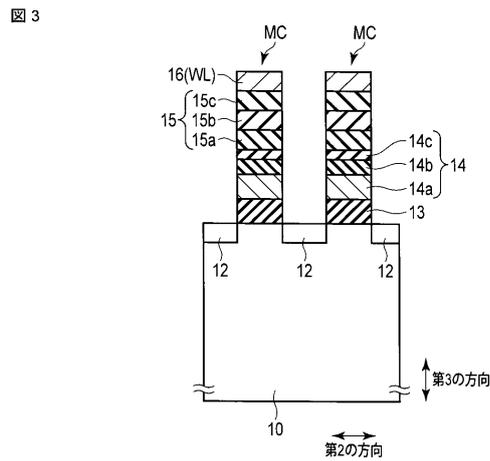
【 図 1 】



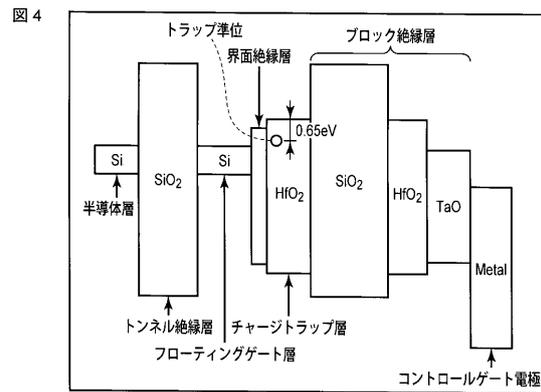
【 図 2 】



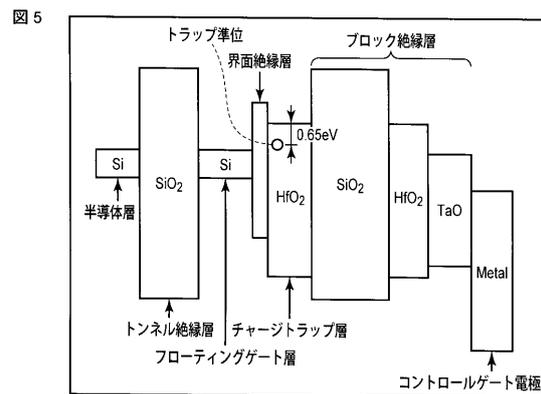
【 図 3 】



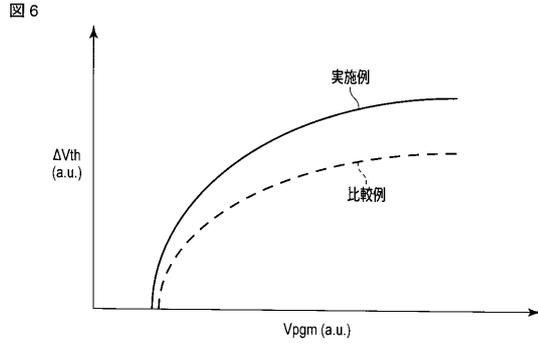
【 図 4 】



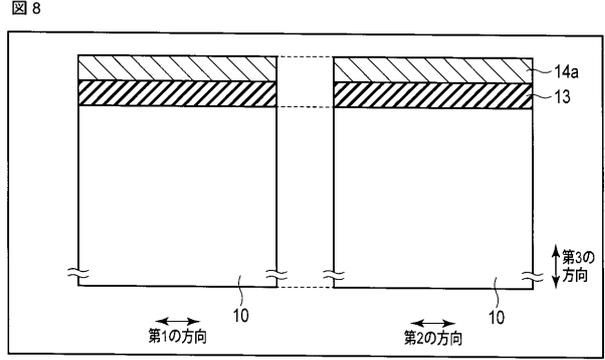
【 図 5 】



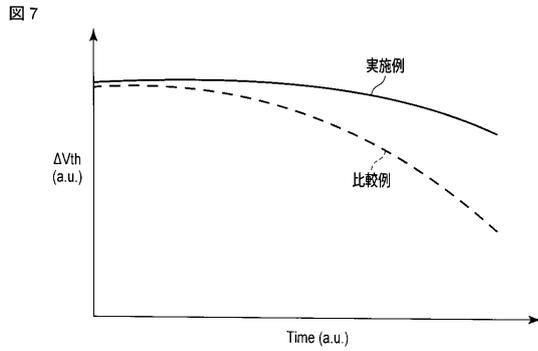
【 図 6 】



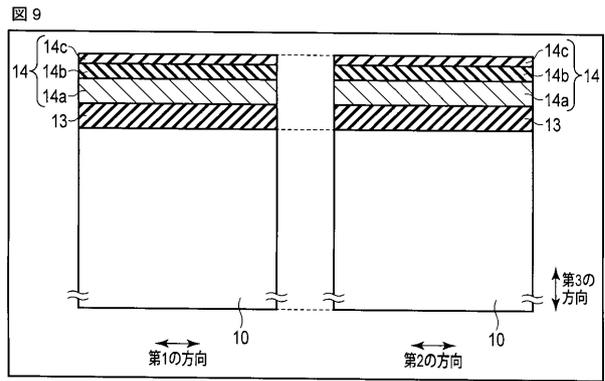
【 図 8 】



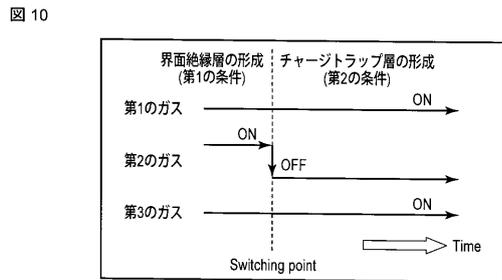
【 図 7 】



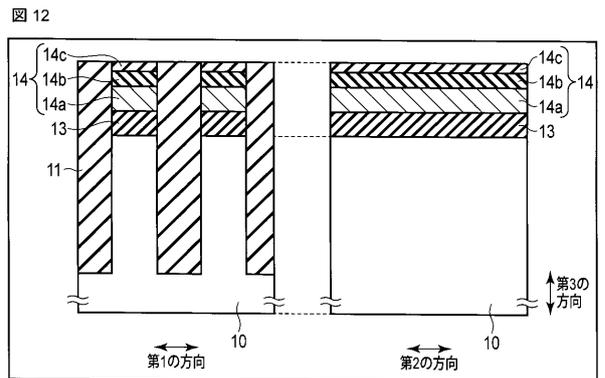
【 図 9 】



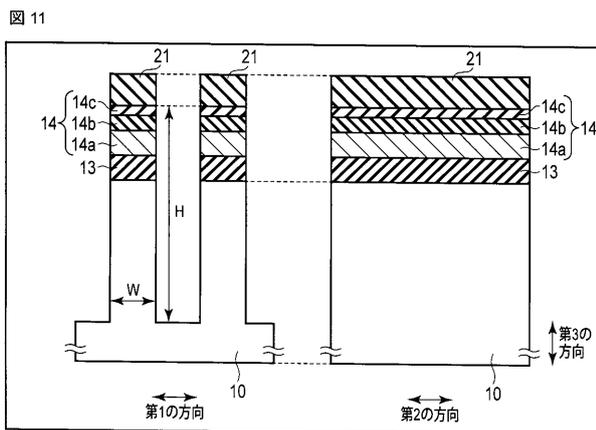
【 図 1 0 】



【 図 1 2 】

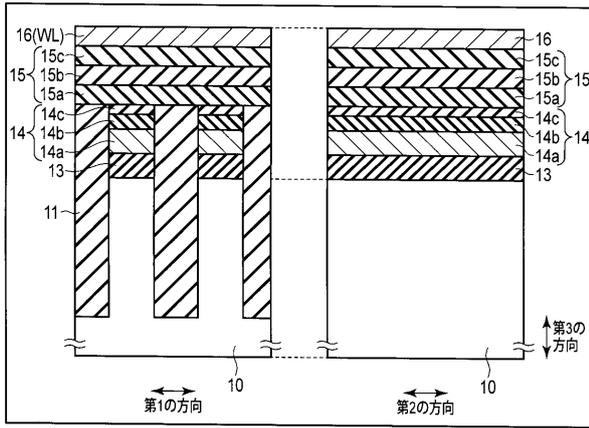


【 図 1 1 】



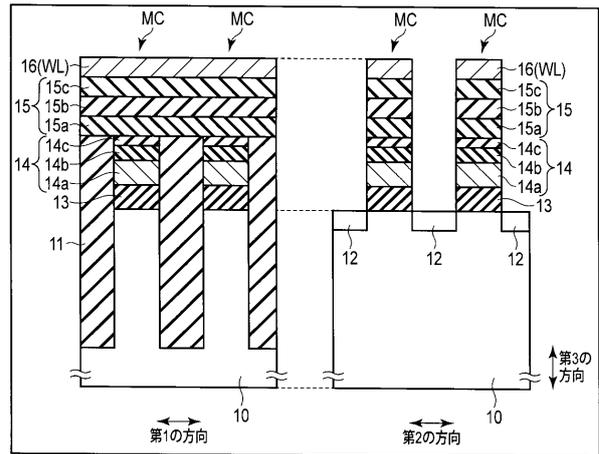
【 図 1 3 】

図 13



【 図 1 4 】

図 14



フロントページの続き

- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100172580
弁理士 赤穂 隆雄
- (74)代理人 100179062
弁理士 井上 正
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓

(72)発明者 佐藤 基之

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5F083 EP02 EP17 EP18 EP23 EP55 EP56 EP76 ER23 GA06 GA10
GA11 GA27 JA03 JA12 KA01 LA00 NA01 NA06 PR06 PR07
PR21 PR22 PR40 ZA21
5F101 BA26 BA29 BA36 BA42 BA45 BB05 BD02 BD30 BD33 BD34
BD35 BE07 BF02 BF05 BF09 BH02