



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0016134
(43) 공개일자 2009년02월13일

(51) Int. Cl.

G11C 11/4091 (2006.01) G11C 11/4074 (2006.01)

(21) 출원번호 10-2007-0080553

(22) 출원일자 2007년08월10일

심사청구일자 2007년08월10일

(71) 출원인

경상대학교산학협력단

경상남도 진주시 가좌동 900

(72) 발명자

정인영

경기 수원시 권선구 권선동 상록아파트 342동 902호

(74) 대리인

김영철, 김 순 영

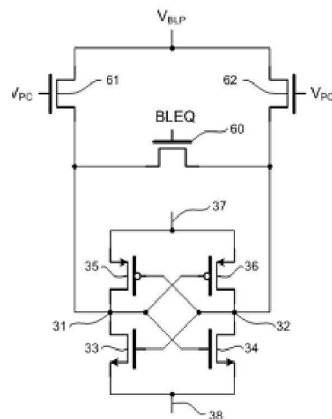
전체 청구항 수 : 총 14 항

(54) 비교기의 오프셋을 줄이기 위한 방법 및 그 장치

(57) 요약

본 발명은, 비교기의 두 입력 단자를 동일한 전압으로 프리차아지한 후 비교기를 인에이블시켜서 오프셋의 부호를 확인한 후, 비교기를 구성하는 트랜지스터 중 어느 하나 이상에 드레인 전류 특성을 변화시키는 스트레스 조건을 가하는 것을 특징으로 한다. 본 발명은 각기 다른 오프셋값을 가지는 복수 개의 비교기가 구비된 장치에서 오프셋 감소를 위한 본 발명에 의한 기본 작동을 반복하여 수행함으로써 복수 개의 비교기의 오프셋이 각각 0으로 수렴하는 효과를 얻을 수 있다. 본 발명이 DRAM의 비트 라인을 읽는 감지 증폭기에 적용되는 경우, 트랜지스터를 추가하지 않고 기존에 이미 구비된 트랜지스터들을 이용하여 단지 입력 전압만을 제어함으로써 구현될 수 있는 장점이 있다.

대표도 - 도6



특허청구의 범위

청구항 1

비교기의 두 입력 단자들을 동일한 전압으로 프리차아지하는 단계(S1);

상기 단계(S1)에 의하여 비교기의 두 입력 단자의 전압이 동일한 상태에서 비교기를 인에이블시켜서 그 출력 전압의 부호로부터 비교기의 옅셋 부호를 결정하는 단계(S2); 및

비교기를 구성하는 트랜지스터 중 어느 하나 또는 그 이상의 트랜지스터에서 그 채널 영역의 전하가 게이트 유전체에 포획되어 해당 트랜지스터의 드레인 전류 특성을 변화시키는 스트레스를 가하는 단계(S3)를 포함하는 것을 특징으로 하는 비교기의 옅셋을 줄이는 방법.

청구항 2

제1항에 있어서,

상기 단계(S3)는, 상기 해당 트랜지스터의 게이트-소스 전압을 상승시키는 것에 의하여 구현되는 것임을 특징으로 하는 비교기의 옅셋을 줄이는 방법.

청구항 3

제2항에 있어서,

상기 단계(S3)는, 상기 해당 트랜지스터의 문턱 전압의 절대치가 높아지고, 이에 의하여 드레인 전류가 감소하는 방향으로 전류 특성이 변화하는 것에 의하여 달성되는 것임을 특징으로 하는 비교기의 옅셋을 줄이는 방법.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 해당 트랜지스터는 단일 게이트 구조인 것임을 특징으로 하는 비교기의 옅셋을 줄이는 방법.

청구항 5

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 단계들 즉 단계(S1), 단계(S2) 및 단계(S3)를 반복하여 수행하는 것을 특징으로 하는 비교기의 옅셋을 줄이는 방법.

청구항 6

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 비교기는 크로스-커플 트랜지스터 형태의 구성을 적어도 하나 이상 포함하고 있는 것임을 특징으로 하는 비교기의 옅셋을 줄이는 방법.

청구항 7

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 비교기는 DRAM의 비트 라인 전압을 감지하는 감지 증폭기에 포함되어 있는 것임을 특징으로 하는 비교기의 옅셋을 줄이는 방법.

청구항 8

비교기의 두 입력 단자들을 동일한 전압으로 프리차아지하는 수단(M1); 및

상기 수단에 의하여 비교기의 두 입력 단자의 전압이 동일한 상태에서 비교기를 인에이블시켜서 그 출력 전압의 부호로부터 비교기의 옅셋 부호를 결정된 상태에서, 비교기를 구성하는 트랜지스터 중 어느 하나 또는 그 이상의 트랜지스터에서 그 채널 영역의 전하가 게이트 유전체에 포획되어 해당 트랜지스터의 드레인 전류 특성을 변화시키는 스트레스를 가하는 수단(M2)을 포함하는 것을 특징으로 하는 비교기의 옅셋을 줄이는 장치.

청구항 9

제8항에 있어서,

상기 수단(M2)는, 상기 해당 트랜지스터의 게이트-소스 전압을 상승시키는 수단을 포함하여 구성되는 것임을 특징으로 하는 비교기의 오프셋을 줄이는 장치.

청구항 10

제9항에 있어서,

상기 수단(M2)는, 비교기의 구동 전압 중 높은 전압(V_{dd})을 상승시키는 수단을 포함하여 구성되는 것임을 특징으로 하는 비교기의 오프셋을 줄이는 장치.

청구항 11

제9항에 있어서,

상기 수단(M2)는, 비교기의 구동 전압 중 높은 전압(V_{ss})을 하강시키는 수단을 포함하여 구성되는 것임을 특징으로 하는 비교기의 오프셋을 줄이는 장치.

청구항 12

제8항 내지 제11항 중 어느 한 항에 있어서,

상기 수단(M2)에 의하여 스트레스가 가하여지는 트랜지스터는 단일 게이트 구조인 것을 특징으로 하는 비교기의 오프셋을 줄이는 장치.

청구항 13

제8항 내지 제11항 중 어느 한 항에 있어서,

상기 비교기는 크로스-커플 트랜지스터 형태의 구성 회로를 적어도 하나 이상 포함하고 있는 것임을 특징으로 하는 비교기의 오프셋을 줄이는 장치.

청구항 14

제8항 내지 제11항 중 어느 한 항에 있어서,

상기 비교기는 DRAM의 비트 라인 전압을 감지하는 감지 증폭기에 포함되어 있는 것임을 특징으로 하는 비교기의 오프셋을 줄이는 장치.

명 세 서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 비교기에서 오프셋을 줄이기 위한 방법 및 그 장치에 관한 것이다.
- <2> 비교기는 DRAM 등과 같은 메모리 소자 내의 감지 증폭기에 사용되는 것이다. 비교기는 두 입력 전압을 비교하여 두 입력 전압의 차이에 따른 디지털 레벨의 출력 전압을 출력한다.
- <3> 도1은 비교기 회로를 도시한 것이고, 도2는 이상적인 비교기의 경우 출력 전압을 도시한 것이다.
- <4> 도2에서 보이는 바와 같이, 이상적인 비교기는, 두 입력 전압인 V_{IN+} 와 V_{IN-} 의 값을 비교하여 V_{IN+} 이 V_{IN-} 보다 작으면 $V_{OUT+} - V_{OUT-}$ 값을 음의 디지털 레벨을 출력하고, 반대로 V_{IN+} 이 V_{IN-} 보다 크면 $V_{OUT+} - V_{OUT-}$ 값을 양의 디지털 레벨을 출력한다. 이상적인 비교기는 도2에서 보이는 바와 같이 V_{IN+} 이 V_{IN-} 와 같아지는 순간, 즉 $V_{IN+} - V_{IN-}$ 이 0이 되는 순간, $V_{OUT+} - V_{OUT-}$ 값 역시 동시에 음의 디지털 레벨 출력값에서 양의 디지털 레벨 출력값으로 바뀌게 된다.

<5> 그러나 실제의 비교기에는 오프셋(offset)이라는 것이 존재하게 된다. 이는 주로 재료의 문제, 패턴 크기, 도핑 농도의 불균일성 등 공정 상의 여러 요인에 의한 것으로 알려져 있고, 비교기의 오프셋을 완전하게 제거하는 것은 거의 불가능한 것으로 알려져있다.

배 경 기 술

- <6> 비교기의 오프셋의 부호는 음의 오프셋과 양의 오프셋이 있다. 도3a는 음의 오프셋을 가지는 비교기의 출력 형태를, 도3b는 양의 오프셋을 가지는 비교기의 출력 형태를 각각 도시한 것이다.
- <7> 도3a에서 보이는 바와 같이 음의 오프셋을 가지는 비교기에서는, $V_{IN+} - V_{IN-}$ 이 0이 되는 순간에도 $V_{OUT+} - V_{OUT-}$ 값이 여전히 음의 디지털 레벨 출력값을 가지고, $V_{IN+} - V_{IN-}$ 이 V_{OS} 가 되어야만 비로소, $V_{OUT+} - V_{OUT-}$ 값이 여전히 음의 디지털 레벨 출력값에서 양의 디지털 레벨 출력값으로 변환된다.
- <8> 이와는 반대로, 도3b에서 보이는 바와 같이 양의 오프셋을 가지는 비교기에서는, $V_{IN+} - V_{IN-}$ 이 0이 되기도 전에 $V_{OUT+} - V_{OUT-}$ 값이 이미 양의 디지털 레벨 출력값을 가지게 되고, V_{IN+} 가 V_{IN-} 보다 V_{OS} 만큼 작은 상황에서, 즉, $V_{IN+} - V_{IN-}$ 이 $-V_{OS}$ 인 경우 이미 $V_{OUT+} - V_{OUT-}$ 값이 음의 디지털 레벨 출력값에서 양의 디지털 레벨 출력값으로 변환된 상황이다. 따라서, $V_{IN+} - V_{IN-}$ 이 0이 경우 $V_{OUT+} - V_{OUT-}$ 값이 양의 디지털 레벨 출력값을 가진다.
- <9> 도3a 및 도3b에서 비교기가 두 입력 전압의 차이를 잘못 판단하게 하는 정도를 나타내는 값인 V_{OS} 를 오프셋 전압이라고 한다.
- <10> 비교기의 오프셋 전압은 비교기가 사용되는 감지 증폭기에 영향을 미치게 된다. 감지 증폭기는 DRAM 등 메모리 소자에서, 미세한 전기적 신호를 디지털 레벨로 출력하는 역할을 하는 중요한 구성요소이다. 비교기의 오프셋 전압은 감지 증폭기 및 감지 증폭기를 포함하는 DRAM 등 메모리 소자의 성능에 중요한 영향을 미친다.
- <11> 비교기의 오프셋을 줄이기 위한 방법으로서, 본 발명자는, 대한민국 특허출원 제2007-31562호에서, 비교기를 구성하는 트랜지스터 중 어느 하나 또는 그 이상에 핫 캐리어를 발생시키는 스트레스 조건을 가하는 방법을 제안한 바 있다.
- <12> 본 발명에서는 핫 캐리어를 발생시키는 스트레스 조건을 가하는 방법과는 다른 방식으로 비교기의 오프셋을 줄이는 방법을 제안하고자 한다.

발명의 내용

해결 하고자하는 과제

- <13> 본 발명은 비교기의 오프셋 전압을 줄이는 방법을 방법 및 그 장치를 제공하기 위한 것이다.

과제 해결수단

- <14> 비교기의 오프셋 전압을 줄이기 위하여, 본 발명에서는, 비교기를 구성하는 트랜지스터 중 어느 하나 이상의 트랜지스터에서 그 채널 영역의 전하 중 일부가 게이트 유전체에 포획되어 해당 트랜지스터의 드레인 전류 특성을 변화하는 스트레스를 가하는 것을 특징으로 한다.
- <15> 도4를 참조하면서 이를 구체적으로 설명하기로 한다.
- <16> 도4는 래치형 비교기의 회로도이다. 래치형 비교기는 도4에 도시된 바와 같이 두 CMOS 인버터들 구비하되, 제1 인버터의 출력 단자를 제2인버터의 입력 단자에 연결하고, 제2인버터의 출력 단자를 제1인버터의 입력 단자에 연결하는 구조를 가진다. 따라서, 도4에서 31 노드 및 32 노드는 비교기의 입력 단자이기도 하면서 동시에 출력 단자가 된다. 이러한 구조를 크로스-커플 인버터(cross-coupled inverter) 구조라고 한다.
- <17> 본 발명에서 크로스-커플 구조의 트랜지스터 쌍은, 두 트랜지스터의 연결에 있어서 제1 트랜지스터의 출력(드레인) 단자가 제2 트랜지스터의 입력(게이트) 단자에 연결되고, 제2 트랜지스터의 출력(드레인) 단자가 제1 트랜지스터의 입력(게이트) 단자로 연결되는 형태를 가진다. 도4를 보면, 두 개의 NMOS 트랜지스터들(33, 34)은 크로스-커플 구조의 NMOS 트랜지스터 쌍을 이루고, 두 개의 PMOS 트랜지스터들(35, 36)은 크로스-커플 구조의 PMOS 트랜지스터 쌍을 이루는 것을 확인할 수 있다.

- <18> 도4에 도시된 래치형 비교기는 작은 입력의 차이를 포지티브 피드백을 통하여 증폭하여 출력하게 된다.
- <19> 본 발명을 설명하기에 앞서, 도4에 도시된 래치형 비교기의 작동 방법을 설명하고자 한다. 특히 도4와 같은 래치형 비교기가 DRAM에 사용되는 경우를 예를 들어서 설명한다.
- <20> 도4의 37 노드 및 38 노드의 전압이 high-Z 상태로 있거나 또는 중간 전압에 있게 되어 도4의 비교기는 디스에이블되어 있는 상태이다. 이 상태에서 비교 대상인 두 입력 전압(V_{IN+} , V_{IN-})이 31 노드 및 32 노드에 각각 연결되므로 31 노드 및 32 노드는 비교 대상인 두 입력 전압(V_{IN+} , V_{IN-})의 값을 각각 가지게 된다. 도4의 37 노드와 38 노드의 전압이 각각 V_{dd} 와 V_{ss} 가 되면 도4의 비교기가 인에이블된다. 도4의 비교기가 인에이블되면 31 노드 및 32 노드 중 조금이라도 높은 전압을 가지는 노드의 전압은 V_{dd} 로 상승하게 되고, 31 노드 및 32 노드 중 조금이라도 낮은 전압을 가지는 노드의 전압은 V_{ss} 로 하강하게 되어 31 노드의 전압과 32 노드의 전압이 바로 비교기의 출력 전압(V_{OUT+} , V_{OUT-})가 된다.
- <21> 즉, 도4의 비교기가 디스에이블 상태에서 31 노드 및 32 노드는 입력 전압 값을 받는 입력 단자들이지만, 도4의 비교기가 인에이블되면 31 노드 및 32 노드는 출력 전압값을 가지는 출력 단자들이 되는 것이다.
- <22> 읍셋 전압이 존재하지 않는 이상적인 비교기라면, 디스에이블 상태에서 31 노드와 32 노드의 전압 차이가 0인 경우를 기준으로 양 또는 음의 디지털 레벨의 출력 전압 값을 가지지만, 읍셋 전압이 존재하는 실제의 비교기에서는 그러하지 아니하다.
- <23> 예컨대, 도4의 비교기에서 음의 읍셋 전압(V_{OS})이 존재하는 경우, 도4의 비교기에서 31 노드의 입력 전압이 32 노드의 입력 전압보다 큰 경우에도 그 차이가 읍셋 전압(V_{OS})보다 작으면, 31 노드의 입력 전압이 32 노드의 입력 전압보다 큰 상황임에도 불구하고, 31 노드의 출력 값은 음의 디지털 레벨의 출력 전압 값을 가지고, 32 노드의 출력 값은 양의 디지털 레벨의 출력 전압 값을 가지는 오류가 발생하게 된다.
- <24> 마찬가지로, 도4의 비교기에서 양의 읍셋 전압(V_{OS})이 존재하는 경우, 도4의 비교기에서 31 노드의 입력 전압이 32 노드의 입력 전압보다 작은 경우에도 그 차이가 읍셋 전압(V_{OS})보다 작으면, 31 노드의 입력 전압이 32 노드의 입력 전압보다 작은 상황임에도 불구하고, 31 노드의 출력 값은 양의 디지털 레벨의 출력 전압 값을 가지고, 32 노드의 출력 값은 음의 디지털 레벨의 출력 전압 값을 가지는 오류가 발생하게 된다.
- <25> 본 발명은 이를 해결하기 위하여 다음과 같은 방법을 제시한다.
- <26> 먼저, 비교기의 두 입력 단자들인 V_{IN+} 및 V_{IN-} (도4의 경우 31 노드 및 32 노드)를 동일한 전압으로 프리차아징한다(단계 S1). 그런 다음 비교기를 인에이블시켜서 비교기의 출력 전압을 측정한다(단계 S2). 두 입력 단자의 전압이 동일하므로 이때 측정되는 비교기의 출력 전압 값의 부호는 바로 비교기의 읍셋 전압의 부호가 된다. 도3a 및 도3b에서 보이는 바와 같이, 두 입력 단자의 전압이 동일할 때의 출력 값의 부호가 바로 읍셋 전압의 부호가 되는 것임을 알 수 있다.
- <27> 다음으로 비교기를 구성하는 트랜지스터 중 어느 하나에 스트레스를 발생시키는 바이어스를 가한다(단계 S3). 여기서 '스트레스'라고 함은 트랜지스터의 일상적인 사용 환경보다 가혹한 수준의 전압조건, 온도조건 등을 일정한 시간 이상 가하는 것을 지칭한다. 스트레스의 결과로 트랜지스터의 소자의 각종 특성, 예컨대 문턱 전압, 각 단자의 전류크기, 기생 커패시턴스값 등이 변할 수 있다.
- <28> 여러 가지 스트레스 중 본 발명의 목적을 달성하기 위한 스트레스는 드레인 전류 특성을 변화시킬 수 있는 스트레스이다. 드레인 전류 특성을 변화시키는 스트레스의 예로서는 게이트-소스 단자 사이에 큰 절대값을 가지는 전압을 가해주는 바이어스 조건이 있다. 이러한 스트레스를 'FN 스트레스'라고도 하는데, 이러한 스트레스는 강한 수직 방향의 전계에 의하여 채널 영역의 축적층 또는 반전층의 전하 중 일부가 게이트 유전체에 포획되는 현상을 초래한다.
- <29> 'FN 스트레스' 외에 여러 메커니즘에 의하여 동일한 현상 즉, 채널 영역의 전하 중 일부가 게이트 유전체에 포획되는 현상이 발생할 수 있으며, 본 발명의 기술적 사상은 이러한 현상을 야기하는 모든 스트레스 조건을 포함하여 적용될 수 있는 것이다. 이하에서는, '채널 영역의 전하 중 일부가 게이트 유전체에 포획되는 현상을 야기하는 스트레스'를 모두 포함하여 포괄적으로 '본 발명에 의한 스트레스'라고 하기로 한다.
- <30> 본 발명에 의한 스트레스 중 FN 스트레스를 예를 들면, FN 스트레스에 의하여, NMOS에서는 채널 반전층의 전자

가 강한 수직방향의 전계에 의하여 터널링(tunnelling) 등의 메커니즘으로 게이트 유전체에 포획되어 NMOS 트랜지스터의 문턱전압을 높이고 드레인 전류를 감소시킨다. FN 스트레스는 PMOS에서도 채널 반전층의 정공(hole)이 강한 수직 방향의 전계에 의하여 터널링(tunnelling) 등의 메커니즘으로 게이트 유전체에 포획되어 PMOS 트랜지스터의 문턱 전압의 절대치를 높이고 드레인 전류를 감소시킨다. 참고로, 동일한 크기의 전계인 경우, PMOS는 NMOS에 비하여 게이트 유전체의 전하 포획 현상이 적게 발생하는 것으로 알려져 있다.

- <31> 전하 포획 등에 의한 소자의 특성 변화 정도는 메커니즘의 종류에 따라 수평 전계 또는 수직 전계의 크기와 밀접하게 연관되어 있다. FN 스트레스의 경우, 큰 값의 게이트 전압을 가하여 수직 방향의 전계를 증가시키면, 유전체 계면의 전하들의 터널링 현상이 촉진되어 전하 포획 속도가 증대되고 소자 특성 변화가 가속된다.
- <32> 본 발명에서는 '채널 영역의 전하 중 일부가 게이트 유전체에 포획되는 현상을 야기하는 스트레스'를 이용하므로, 본 발명은 플로팅 게이트나 ONO(산화막-질화막-산화막) 구조와 같이 전하를 저장하기 위한 특별한 형태의 게이트 및 게이트 유전체 구조보다는 보편적인 CMOS 공정에서 사용되는 단일 게이트 구조에 적용되는 것이 바람직하다.

효 과

- <33> 본 발명에 따르면, 비교기를 구성하는 트랜지스터 중 어느 하나 이상의 트랜지스터에서 그 채널 영역의 전하 중 일부가 게이트 유전체에 포획되어 해당 트랜지스터의 드레인 전류 특성을 변화하는 스트레스 조건을 가하여, 비교기의 오프셋을 줄일 수 있게 된다. 본 발명은 각기 다른 오프셋값을 가지는 복수 개의 비교기가 구비된 장치에서 오프셋 감소를 위한 본 발명에 의한 기본 작동을 반복하여 수행함으로써 복수 개의 비교기의 오프셋이 각각 0으로 수렴하는 효과를 얻을 수 있다.

발명의 실시를 위한 구체적인 내용

- <34> 이하에서는 도4를 참조하면서 본 발명에 의한 스트레스가 FN 스트레스의 경우의 실시예에 대하여, 비교기의 오프셋이 줄어드는 것을 소상하게 설명한다.
- <35> 도4와 같은 비교기에서, 오프셋 전압(V_{OS})가 음의 값이라고 가정하자. 오프셋 전압의 부호가 음의 값이므로, 단계(S2)에서 31 노드의 전압(즉, V_{OUT+})은 V_{SS} 가 되고, 32 노드의 전압(즉, V_{OUT-})은 V_{DD} 가 된다. 이 상태에서 NMOS(33) 및 PMOS(36)에 $V_{DD}-V_{SS}$ 에 해당되는 게이트-소스 전압이 걸리게 된다.
- <36> 본 실시예에서는 강한 게이트 유전체 전계에 의하여 FN 스트레스를 가속시키기 위하여 비교기의 통상적인 구동 전압인 V_{DD} 보다 큰 전압인 V_{pp} 를 37 노드에 인가한다. 이 경우 NMOS(33) 및 PMOS(36)에 $V_{pp}-V_{SS}$ 에 해당되는 강한 게이트-소스 전압이 걸리게 된다.
- <37> 이와 같이 NMOS(33) 및 PMOS(36)에 강한 게이트-소스 전압이 걸리면 강한 전계에 의하여 FN 스트레스 현상이 가속된다. 즉, 채널 영역의 전하가 유전체 내에 포획되는 빈도가 높아지게 된다. NMOS(33)에 이와 같은 채널 영역의 전자가 유전체에 포획되면 NMOS(33)의 문턱 전압을 높이게 되어 드레인 전류의 크기를 감소시키는 방향으로 소자의 전류 특성을 변화시킨다. 이를 스트레스 이전과 비교하면, 비교기의 정상적인 동작 시 31 노드의 전압(V_{OUT+})을 상대적으로 상승시켜서 오프셋 전압을 양의 방향으로 이동시키는 역할을 하여 결과적으로 음의 오프셋 전압을 상쇄시키게 된다.
- <38> 한편, PMOS(36)에도 역시 $V_{pp}-V_{SS}$ 에 해당되는 강한 게이트-소스 전압이 걸리게 되어 FN 스트레스가 발생된다. 이에 의해 PMOS(36)에서는 채널영역의 정공이 강한 전계에 의하여 유전체에 포획되는 현상이 발생하여 PMOS(36)의 문턱 전압의 절대치를 높이게 된다. 이에 따라서 PMOS(36)는 드레인 전류가 감소하는 방향으로 전류 특성이 변화된다. 이를 스트레스 이전과 비교하면, 비교기의 정상적인 동작 시 32 노드의 전압(V_{OUT-})을 상대적으로 하강시키는 방향으로 작용하게 되므로 결과적으로 음의 오프셋 전압을 상쇄시키게 된다.
- <39> 이와 같이 음의 오프셋을 가지는 비교기의 경우, 37 노드 전압을 상승시켜 도4의 NMOS(33)와 PMOS(36)에 강한 게이트-소스 전압을 걸리게 해주는 것만으로 비교기의 오프셋을 보정하는 효과가 있다.
- <40> 마찬가지로 양의 오프셋을 가지는 비교기의 경우에도, 37 노드의 전압을 상승시켜 도4의 NMOS(34)와 PMOS(35)에 강한 게이트-소스 전압을 걸리게 해주는 것만으로 역시 비교기의 오프셋을 보정하는 효과가 있다.
- <41> 본 발명에 의한 방법에서의 3가지 단계, 즉, 비교기의 두 입력 단자들(도4의 경우 31 노드 및 32 노드)의 입력

전압들(V_{IN+} 및 V_{IN-})을 동일한 전압으로 프리차아징하는 단계(단계 S1), 그런 다음 비교기를 인에이블시켜서 비교기의 출력 전압을 측정하는 단계(단계 S2) 및 비교기를 구성하는 트랜지스터 중 어느 하나 이상에 τ 대하여, 채널 영역의 채널 영역의 전하 중 일부가 게이트 유전체에 포획되어 옅색 전압을 상쇄하는 단계(단계 S3)를 기본적인 구성요소로 하여, 이 3 단계를 반복 수행함으로써 옅색 전압이 0에 수렴하도록 한다.

- <42> 도5는 본 발명에 따른 방법의 위 3단계를 반복 수행함으로써 각기 다른 옅색을 가지는 3개의 비교기의 옅색 전압이 반복 수행됨에 따라서, 3개의 비교기의 옅색 전압이 각각 점차 0으로 수렴하는 것을 보여주는 도면이다. 도5에서 가로축의 단위 구간은 본 발명에 의한 방법의 3단계를 하나의 패키지로 표시한 것이다.
- <43> 도5를 통하여 알 수 있는 바와 같이, 본 발명에 의한 방법은, 여러 개의 비교기를 구비하는 디바이스, 예컨대, DRAM의 비트 라인 감지 증폭기에 용이하게 적용될 수 있다는 것을 알 수 있다. 여러 개의 비교기에 동일하게 적용되는 스트레스 조건(예컨대, 스트레스 인가 시간)을 찾는 것은 용이한 일이 아니다. 그러나, 완화된 스트레스 조건으로 본 발명에 의한 방법을 여러 번 반복 수행함에 따라서, 여러개의 비교기를 구비하는 디바이스 내의 모든 비교기들의 옅색이 부계환 동작으로 적응적으로 0으로 수렴하게 된다.
- <44> 이하에서는, 본 발명에 의한 방법을 구현하기 위한 장치를 설명한다.
- <45> 도6는 본 발명의 의한 비교기의 옅색을 줄이는 장치의 일실시예를 도시한 것으로서, 래치형 비교기를 예를 들어 서 도시한 것이다.
- <46> 일반적인 래치형 비교기를 도시한 도4와 도6를 대비하여 보면, 두 입력 단자인 31 노드와 32 노드에 동일한 전압을 프리차아지하기 위한 수단들(61, 62) 및 31 노드와 32 노드를 연결하는 스위치(60)가 구비되어 있는 것을 확인할 수 있다.
- <47> 본 발명의 첫번째 단계(S1)에서는 비교기의 두 입력 단자들(31 노드 및 32 노드)의 입력 전압들(V_{IN+} 및 V_{IN-})을 동일한 전압으로 프리차아지하는 동작이 수행된다. 두 입력 단자의 전압이 프리차아지되고 동일하게 조정되는 것이 동시에 이루어지는 것이 바람직하지만, 경우에 따라서는 두 입력 단자의 전압을 동일하게 조정하는 과정만을 수행할 수도 있으며, 이처럼 두 입력 단자의 전압을 동일하게 조정하는 과정만을 수행하는 경우에는 두 입력 단자들인 31 노드와 32 노드를 연결하는 스위치(60)가 이를 수행한다. 또한, 비교기가 사용되는 상황에 따라서, 두 입력 단자들 중 어느 하나의 입력 단자에 고정된 전압이 입력되는 경우 해당 입력 단자의 전압을 프리차아지하기 위한 수단을 필요하지 않게 된다.
- <48> 정리하면, 본 발명에 의한 장치에서, 첫번째 단계(S1)을 수행하기 위하여는 비교기의 두 입력 단자들의 입력 전압들을 동일하게 조정하는 최소한 하나의 스위치가 구비되어야 한다.
- <49> 본 발명자는, 도6에 도시된 장치에서, 기존의 DRAM에서 비트 라인 센싱 등의 동작을 위하여 이미 구비되어 있는 트랜지스터들로 60, 61 및 62을 구성할 수 있음을 주목한다. 즉, 기존의 장치에 이미 구비되어 있는 트랜지스터를 이용하여 본 발명을 구현할 수 있는 큰 장점이 있다.
- <50> 본 발명의 둘째 단계(S2)는, 비교기의 두 입력 단자의 전압을 동일하게 조정된 상태에서, 비교기를 인에이블시켜서 비교기의 출력 전압을 측정하는 단계이므로 기존의 비교기 외에 별도의 장치가 추가로 필요하지 않다.
- <51> 본 발명의 셋째 단계(S3)는, 비교기를 구성하는 트랜지스터 중 어느 하나 또는 그 이상에 강한 게이트-소스 전압을 걸리게 하여 채널 영역의 전하 중 일부가 게이트 유전체에 포획되도록 되어 해당 트랜지스터의 드레인 전류 특성을 변화시키는 것인데,
- <52> 강한 게이트-소스 전압이 걸리게 하기 위하여, 비교기에 통상적인 구동 전압보다 큰 전압을 37 노드에 인가하거나, 37 노드의 전압을 상승시키는 수단(미도시)을 구비한다. 이 수단에 의하여 37 노드의 전압이 상승하면, 음의 옅색의 경우 NMOS(33)과 PMOS(36)에 강한 게이트-소스 전압이 걸리게 되고 이로 인하여, 위에서 상세하게 살펴본 바와 같이, 비교기의 옅색이 줄어드는 효과를 얻을 수 있다. 양의 옅색의 경우 NMOS(34)와 PMOS(35)에 강한 게이트-소스 전압이 걸리게 되고, 이로 인하여 위에서 상세하게 살펴본 바와 같이, 비교기의 옅색이 줄어든다.
- <53> 강한 게이트-소스 전압이 걸리게 하기 위한 다른 방법으로는 38 노드의 전압을 낮추는 방법도 있다. 이를 위하여 비교기에 통상적인 구동 전압보다 낮은 전압을 38 노드에 인가하거나, 38 노드의 전압을 하강시키는 수단(미도시)을 구비한다. 이 수단에 의하여 38 노드의 전압이 하강하면 마찬가지로, 음의 옅색의 경우 NMOS(33)과 PMOS(36)에 강한 게이트-소스 전압이 걸리게 되고 이로 인하여, 위에서 상세하게 살펴본 바와 같이, 비교기의

오프셋이 줄어드는 효과를 얻을 수 있다. 양의 오프셋의 경우 NMOS(34)와 PMOS(35)에 강한 게이트-소스 전압이 걸리게 되고, 이로 인하여 위에서 상세하게 살펴본 바와 같이, 비교기의 오프셋이 줄어든다.

산업이용 가능성

<54> 본 발명이 DRAM의 비트 라인을 읽는 감지 증폭기에 적용되는 경우, 트랜지스터를 추가하지 않고 기존에 이미 구비된 트랜지스터들을 이용하여 단지 입력 전압만을 제어함으로써 구현될 수 있는 장점이 있다.

도면의 간단한 설명

<55> 도1은 비교기 회로를 도시한 것이다.

<56> 도2는 이상적인 비교기의 경우 출력 전압을 도시한 것이다.

<57> 도3a는 음의 오프셋을 가지는 비교기의 출력 형태를, 도3b는 양의 오프셋을 가지는 비교기의 출력 형태를 각각 도시한 것이다.

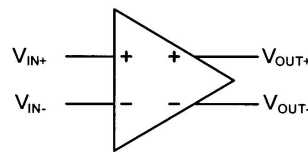
<58> 도4는 래치형 비교기의 회로도이다.

<59> 도5는 본 발명에 따른 방법의 위 3단계를 반복 수행함으로써 각기 다른 오프셋을 가지는 3개의 비교기의 오프셋 전압이 반복 수행됨에 따라서, 3개의 비교기의 오프셋 전압이 각각 점차 0으로 수렴하는 것을 보여주는 도면이다.

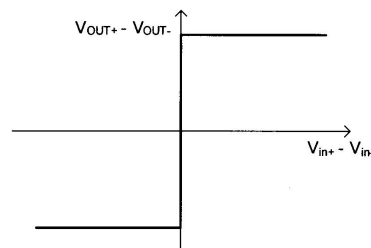
<60> 도6는 본 발명의 의한 비교기의 오프셋을 줄이는 장치의 일실시예를 도시한 것으로서, 래치형 비교기를 예를 들어서 도시한 것이다.

도면

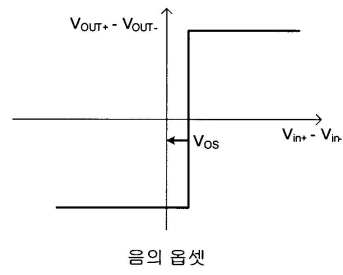
도면1



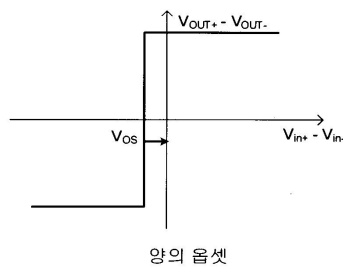
도면2



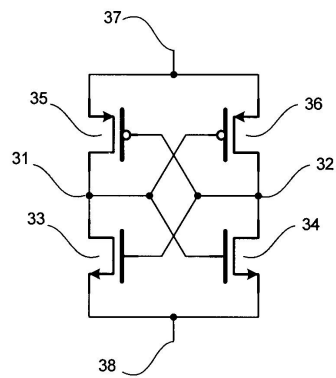
도면3a



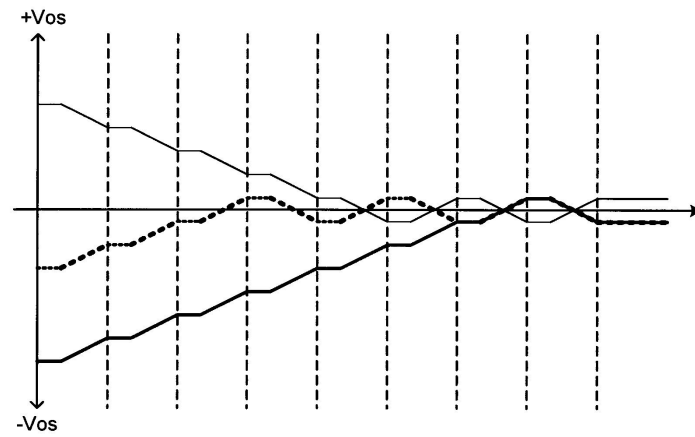
도면3b



도면4



도면5



도면6

