

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018 年 11 月 15 日 (15.11.2018)



(10) 国际公布号
WO 2018/205633 A1

(51) 国际专利分类号:
H03M 13/09 (2006.01)

CN]; 中国广东省珠海市前山金鸡西路,
Guangdong 519070 (CN)。

(21) 国际申请号: PCT/CN2017/118622

(72) 发明人: 杨卫平(YANG, Weiping); 中国广东省珠
海市前山金鸡西路, Guangdong 519070 (CN)。

(22) 国际申请日: 2017 年 12 月 26 日 (26.12.2017)

(25) 申请语言: 中文

(74) 代理人: 北京康信知识产权代理有限责
任公司(KANGXIN PARTNERS, P.C.); 中国北京
市海淀区知春路甲 48 号盈都大厦 A 座
16 层, Beijing 100098 (CN)。

(26) 公布语言: 中文

(30) 优先权:
201710330855.4 2017 年 5 月 11 日 (11.05.2017) CN

(81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,
JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(71) 申请人: 格力电器(武汉)有限公
司(GREE ELECTRIC APPLIANCES (WUHAN) CO.,
LTD) [CN/CN]; 中国湖北省武汉市经济
技术开发区东风大道 888 号, Hubei 430056
(CN)。珠海格力电器股份有限公司(GREE
ELECTRIC APPLIANCES, INC. OF ZHUHAI) [CN/

(54) Title: CYCLIC REDUNDANCY CHECK CIRCUIT AND METHOD AND APPARATUS THEREFOR, CHIP AND ELEC-
TRONIC DEVICE

(54) 发明名称: 循环冗余校验电路及其方法、装置以及芯片、电子设备

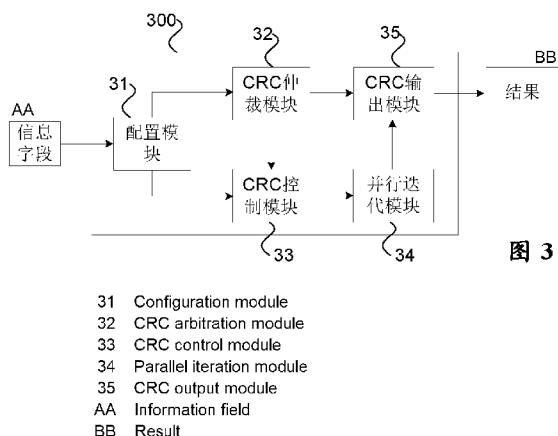


图 3

(57) Abstract: The present invention relates to the technical field of computers, in particular to a cyclic redundancy check circuit and a method and apparatus therefor, a chip and an electronic device, wherein the cyclic redundancy check circuit comprises: a configuration module configured to acquire configuration information and an information field; a CRC arbitration module configured to determine a generating polynomial according to the configuration information; a CRC control module configured to output a coefficients and information field corresponding to each power in a clock signal and the generating polynomial in response to the trigger of the CRC arbitration module; a parallel iteration module configured to, in response to the clock signal, perform parallel iteration processing on the information field according to the coefficient corresponding to each power in the generating polynomial so as to output an iteration result; and a CRC output module configured to encapsulate the information field according to the iteration result.

(57) 摘要: 本发明涉及计算机技术领域, 特别是涉及一种循环冗余校验电路及其方法、装置以及芯片、电子设备。其中该循环冗余校验电路包括: 配置模块设置为获取配置信息与信息字段; CRC 仲裁模块设置为根据配置信息确定生成多项式; CRC 控制模块设置为响应于 CRC 仲裁模块的触发, 输出时钟信号、生成多项式中各次幂对应的系数及信息字段; 并行迭代模块设置为响应于时钟信号, 根据生成多项式中各次幂对应的系数将信息字段进行并行迭代处理以输出迭代结果; CRC 输出模块设置为根据迭代结果封装信息字段。

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区
保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告 (条约第21条(3))。

循环冗余校验电路及其方法、装置以及芯片、电子设备

技术领域

本发明涉及计算机技术领域，具体而言，涉及一种循环冗余校验电路及其方法、装置以及芯片、电子设备。

背景技术

循环冗余校验码 (Cyclic Redundancy Check, CRC) 用于校验数据传输的正确性与完整性，CRC 运算具有很强的检错能力，易于用编码器或检测电路实现。

图 1 是传统技术提供一种 CRC8 串行移位电路的结构示意图。如图 1 所示，该电路的生成多项式为： $G = g_8X^8 + g_7X^7 + \dots + g_1X^1 + 1$ ，其能够进行移位以计算出 CRC 校验码。

发明人在实现本发明的过程中，发现传统技术至少存在以下问题：进行 CRC 计算时，每输入一位信息码 d ，便需要一个时钟周期，当输入 $d_0, d_1, \dots, d_{n-1}$ 共 n bit 信息码，则需要 n 个时钟周期。因此，进行 CRC 计算时，需要较多时间输入多位信息码，导致 CRC 计算时间比较冗长。

发明内容

本发明实施例的一个目的旨在提供一种循环冗余校验电路及其方法、装置以及芯片、电子设备，其解决了现有技术存在着 CRC 计算效率低下的问题。

为解决上述技术问题，本发明实施例提供以下技术方案：

在第一方面，本发明实施例公开一种循环冗余校验电路，所述电路包括：配置模块，设置为获取配置信息与信息字段；CRC 仲裁模块，设置为根据所述配置信息，确定生成多项式；CRC 控制模块，设置为响应于所述 CRC 仲裁模块的触发，输出时钟信号、所述生成多项式中各次幂对应的系数及信息字段；并行迭代模块，设置为响应于所述时钟信号，根据所述生成多项式中各次幂对应的系数，将所述信息字段进行并行迭代处理，以输出迭代结果；CRC 输出模块，设置为根据所述迭代结果，封装所述信息字段。

可选的, 所述配置信息包括 $j-1$ 位 CRC 初始值, 所述并行迭代模块包括 $i*j$ 个迭代单元; 第 $i-1$ 行第 0 列迭代单元设置为接收所述信息字段中对应位的信息值; 第 0 行第 $j-1$ 列迭代单元设置为响应于所述时钟信号, 根据所述 CRC 初始值及生成多项式中对应次幂的系数, 计算出第 0 行第 $j-1$ 列迭代单元的输出值; 第 i 行第 j 列迭代单元设置为响应于所述时钟信号, 根据第 $i-1$ 行第 $j-1$ 迭代单元的输出值与生成多项式中对应次幂的系数, 计算出第 i 行第 j 列迭代单元的输出值, i 与 j 皆为正整数。

可选的, 每个所述迭代单元至少包括一个乘法器与异或器; 第 $i-1$ 行第 $j-1$ 列的乘法器设置为将最高次幂对应的系数、最高位对应的 CRC 初始值及对应次幂的系数进行相乘, 并且输出相乘结果; 第 $i-1$ 行第 0 列的异或器设置为将相乘结果与所述信息字段中对应位的信息值进行异或, 输出第 $i-1$ 行第 0 列迭代单元的输出值; 第 0 行第 j 列的异或器设置为将相乘结果与第 $j-1$ 位对应 CRC 初始值进行异或, 输出第 0 行第 j 列迭代单元的输出值; 第 i 行第 j 列的异或器设置为将相乘结果与第 $i-1$ 行第 $j-1$ 迭代单元的输出值进行异或, 输出第 i 行第 j 列迭代单元的输出值。

可选的, 所述配置信息包括 CRC 类型与生成多项式的各项系数; 所述 CRC 仲裁模块设置为根据所述配置信息, 确定生成多项式, 包括: 所述 CRC 仲裁模块设置为根据所述 CRC 类型与生成多项式的各项系数, 确定生成多项式的类型与所述生成多项式中各次幂对应的系数。

可选的, 所述 CRC 类型包括以下任意一种: CRC4、CRC7、CRC8、CRC12、CRC16、CRC32。

在第二方面, 本发明实施例提供一种循环冗余校验方法, 所述方法包括: 获取配置信息与信息字段; 根据所述配置信息, 确定生成多项式与所述生成多项式中各次幂对应的系数; 根据所述生成多项式中各次幂对应的系数, 将所述信息字段进行并行迭代处理, 以输出迭代结果; 根据所述迭代结果, 封装所述信息字段。

可选的, 所述配置信息包括 CRC 初始值; 所述根据所述生成多项式中各次幂对应的系数, 将所述信息字段进行并行迭代处理, 以输出迭代结果, 包括: 根据所述生成多项式中各次幂对应的系数与 CRC 初始值, 将所述信息字段进行并行迭代处理, 以输出迭代结果。

可选的, 所述配置信息包括 CRC 类型与生成多项式的各项系数; 所述根据所述配置信息, 确定生成多项式与所述生成多项式中各次幂对应的系数, 包括: 根据所述 CRC 类型与生成多项式的各项系数, 确定生成多项式的类型与所述生成多项式中各次幂对应的系数。

在第三方面，本发明实施例提供一种循环冗余校验装置，所述装置包括：获取模块，设置为获取配置信息与信息字段；确定模块，设置为根据所述配置信息，确定生成多项式与所述生成多项式中各次幂对应的系数；迭代模块，设置为根据所述生成多项式中各次幂对应的系数，将所述信息字段进行并行迭代处理，以输出迭代结果；封装模块，设置为根据所述迭代结果，封装所述信息字段。

可选的，所述配置信息包括 CRC 初始值；所述迭代模块具体设置为：根据所述生成多项式中各次幂对应的系数与 CRC 初始值，将所述信息字段进行并行迭代处理，以输出迭代结果。

可选的，所述配置信息包括 CRC 类型与生成多项式的各项系数；所述确定模块具体设置为：根据所述 CRC 类型与生成多项式的各项系数，确定生成多项式的类型与所述生成多项式中各次幂对应的系数。

在第四方面，本发明实施例提供一种芯片，所述芯片包括如上述任一的循环冗余校验电路。

在第五方面，本发明实施例提供一种非易失性计算机可读存储介质，所述非易失性计算机可读存储介质存储有电子设备的可执行指令，所述可执行指令设置为使所述电子设备执行如上述任一的循环冗余校验方法。

在第六方面，一种电子设备，包括：至少一个处理器；以及与所述至少一个处理器通信连接的存储器；其中，所述存储器存储有可被所述至少一个处理器执行的指令，所述指令被所述至少一个处理器执行，以使所述至少一个处理器能够用于执行如上述任一的循环冗余校验方法。

在本发明各个实施例中，配置模块获取配置信息与信息字段，CRC 仲裁模块根据配置信息，确定生成多项式，CRC 控制模块响应于 CRC 仲裁模块的触发，输出时钟信号与生成多项式中各次幂对应的系数，并行迭代模块响应于时钟信号，根据生成多项式中各次幂对应的系数，将信息字段进行并行迭代处理，以输出迭代结果，CRC 输出模块根据迭代结果，封装信息字段。因此，一方面，其只需一个周期的时钟信号便可以完成信息字段的并行迭代处理，从而提高 CRC 计算的效率。另一方面，其可以灵活配置各类配置信息，以适应多种多样的 CRC 计算需求。

附图说明

一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，附图中具有相同参考数字标号的元件表示为类似的元件，

除非有特别申明，附图中的图不构成比例限制。

图 1 是传统技术提供一种 CRC8 串行移位电路的结构示意图；

图 2 是本发明实施例提供一种 CRC 校验的应用场景示意图；

图 3 是本发明实施例提供一种循环冗余校验电路的结构示意图；

图 4 是本发明实施例提供一种 CRC 校验的时序图；

图 5 是本发明实施例提供一种采用 CRC8 类型的并行迭代模块的结构示意图；

图 6 是本发明实施例提供一种采用 CRC8 类型并且迭代四位信息字段的并行迭代模块的结构示意图；

图 7 是图 6 的迭代表；

图 8 是本发明实施例提供一种循环冗余校验装置的结构示意图；

图 9 是本发明实施例提供一种循环冗余校验方法的流程示意图；

图 10 是本发明实施例提供一种电子设备的结构示意图；

具体实施方式

为了使本发明的目的、技术方案及优点更加清楚明白，以下结合附图及实施例，对本发明进行进一步详细说明。应当理解，此处所描述的具体实施例仅用以解释本发明，并不用于限定本发明。

CRC 校验原理是在一个 K 位二进制数据序列之后附加一个 (N-R) 位二进制校验码 (序列)，从而构成一个总长为 $N=K+R$ 位的二进制序列。附加在数据序列之后的校验码与数据序列的内容之间存在着某种特定的关系。若因干扰等原因使数据序列中的某一位或某些位发生错误，此种特定关系被破坏，特此，通过 CRC 校验算法或 CRC 校验电路校验此类关系，便可以校验数据序列的正确性。

当进行 CRC 校验时，发送方与接收方需要事先约定一个除数，即生成多项式，一般记作 $G(x)$ 。生成多项式的最高位与最低位必须是 1。常用的 CRC 码的生成多项式有：

$$\text{CRC8} = x^8 + x^5 + x^4 + 1;$$

$$\text{CRC-CCITT} = x^{16} + x^{12} + x^5 + 1;$$

$$\text{CRC16} = X_{16} + X_{15} + X_5 + 1;$$

$$\text{CRC12} = X_{12} + X_{11} + X_3 + X_2 + 1;$$

$$\text{CRC32} = X_{32} + X_{26} + X_{23} + X_{22} + X_{16} + X_{12} + X_{11} + X_{10} + X_8 + X_7 + X_5 + X_4 + X_2 + X_1 + 1;$$

进一步的,如上所述,为了进行差错校验,需要在 k 位的信息字段后添加的 $(N-R)$ 位冗余码。

进一步的,在 CRC 校验过程中,需要用到模 2 计算方法,所谓的模 2 计算方法是按位异或 (Exclusive OR) 运算,即相同为 0,相异为 1,也就是不考虑进位、借位的二进制加减运算。如: $10011011 + 11001010 = 01010001$ 。

CRC 校验码的计算原理如下:

设信息字段为 K 位,校验字段为 R 位,则码字长度为 $N (N=K+R)$ 。设双方事先约定了一个 R 次多项式 $g(x)$,则 CRC 码:

$$V(x) = A(x)g(x) = x^R m(x) + r(x)$$

其中: $m(x)$ 为 K 次信息多项式, $r(x)$ 为 $R-1$ 次校验多项式。

$r(x)$ 对应的代码即为冗余码,亦即,冗余码加在原信息字段后即形成 CRC 码。

$r(x)$ 的计算方法为:在 K 位信息字段的后面添加 R 个 0,再除以 $g(x)$ 对应的代码序列,得到的余数即为 $r(x)$ 对应的代码(应为 $R-1$ 位;若不足,而在高位补 0)。

例如:

信息字段代码为: 1011001; 对应 $m(x) = x^6 + x^4 + x^3 + 1$

假设生成多项式为: $g(x) = x^4 + x^3 + 1$; 则对应 $g(x)$ 的代码为: 11001

$x^4 m(x) = x^{10} + x^8 + x^7 + x^4$ 对应的代码记为: 10110010000;

采用多项式除法,得到余数为: 1010 (即校验字段为: 1010)

发送方: 发出的传输字段为:

1 0 1 1 0 0 1 1 0 1 0

信息字段 校验字段

接收方: 使用相同的生成码进行校验: 接收到的字段/生成码 (二进制除法), 如果能够除尽, 则正确。

为了进一步阐述 CRC 校验的工作原理，本发明实施例提供一种 CRC 校验的应用场景。如图 2 所示，该应用场景 200 包括以下元素：电子标签 21、读写器 22 及云端服务器 23。云端服务器 23 可以是一个物理服务器或者多个物理服务器虚拟而成的一个逻辑服务器。云端服务器 23 也可以是多个可互联通信的服务器组成的服务器群。

电子标签 21 由芯片和耦合元件构成，内置天线与读写器通讯。读写器 22 内嵌有 CRC 校验模块，当读写器 22 向电子标签 21 发送通信数据时，CRC 校验模块使用预设的生成多项式校验与封装该通信数据，从而使传输通信数据更加可靠。电子标签 21 接收到该通信数据之后，使用同样的生成多项式对该通信数据进行校验，并且校验成功，电子标签 21 向读写器 22 返回校验成功信息，读写器 22 将该校验成功信息发送至云端服务器 23 进行存储，以使用户在云端服务器 23 进一步开发该校验成功信息。

CRC 校验模块根据该通信数据计算 CRC 校验码时，需要一个时钟信息方可输入通信数据中一位信息码，导致读写器 22 未能够迅速响应电子标签 21 以完成读写过程。并且，CRC 校验模块未能够根据通信协议要求灵活配置对应的生成多项式以更加迅速或精确地计算出 CRC 校验码。

特此，本发明实施例提供一种循环冗余校验电路。如图 3 所示，该循环冗余校验电路 300 包括配置模块 31、CRC 仲裁模块 32、CRC 控制模块 33、并行迭代模块 34 及 CRC 输出模块 35。

配置模块 31 获取配置信息与信息字段。配置信息可以包括 CRC 类型、生成多项式、CRC 初始值、信息字段翻转处理信息及迭代结果异或与翻转处理信息，配置信息用于指示循环冗余校验电路 300 选择对应的配置信息完成 CRC 校验与输出数据的处理。CRC 类型包括以下任意一种：CRC4、CRC7、CRC8、CRC12、CRC16、CRC32。生成多项式包括生成多项式类型与该生成多项式中各次幂对应的系数，其中，生成多项式类型与 CRC 类型对应，并且用户可以根据协议或者产品需求自行定义生成多项式类型与生成多项式中各次幂对应的系数。CRC 初始值用于初始化并行迭代模块 34，其中，该 CRC 初始值可以是协议定义值或上一次并行迭代出的输出值，CRC 初始值的位数与并行迭代模块 34 的迭代位数关联。信息字段翻转处理信息用于指示配置模块 31 根据协议预先将信息字段的各个信息码进行翻转。迭代结果异或与翻转处理信息用于指示 CRC 输出模块 35 对迭代结果进行异或与翻转处理。

例如，配置信息包括信息字段翻转处理信息，配置模块 21 根据该信息字段翻转处理信息，对信息字段预先进行翻转处理，以便符合协议输出预处理的对应信息字段。

例如，配置信息包括 CRC 类型或生成多项式。当 CRC 类型是 CRC8($CRC8=X^8+X^5+X^4+1$)

时, 则 CRC 仲裁模块 32 选择 CRC8 对应的生成多项式进行校验, 并且确定 $g_0=1$, $g_1=g_2=g_3=g_4=0$, $g_5=g_6=1$, $g_7=0$, $g_8=1$ 。当 CRC 类型是 CRC16 时, 同理可得, 可以确定对应的生成多项式进行校验。当然, 用户可以不选择标准 CRC 类型, 而选择自定义的生成多项式进行校验, 例如, $g(x)=x^5+x^3+1$ 。此时, CRC 仲裁模块 32 根据该生成多项式, 确定 5 次幂的系数为 1, 3 次幂的系数为 1, 0 次幂的系数为 1, 1 次幂、2 次幂及 4 次幂的系数为 0。

再例如, 配置信息包括 CRC 初始值。当 CRC 初始值为 01010101 时, 并行迭代模块 34 同时接收 CRC 初始值的输入与信息字段进行迭代处理。

信息字段是发送方向接收方发送的通信数据, 其是二进制序列。

CRC 仲裁模块 32 根据配置信息, 确定生成多项式之后, 向 CRC 控制模块 33 发送触发信号, CRC 控制模块 33 根据该触发信号向并行迭代模块 34 发送时钟信号、生成多项式中各次幂对应的系数及信息字段, 并行迭代模块 34 响应于该时钟信号, 并行完成信息字段的输入, 并且根据生成多项式中各次幂对应的系数, 将信息字段进行并行迭代处理, 以输出迭代结果。CRC 输出模块 35 根据迭代结果, 封装信息字段。在封装该信息字段, 并且配置信息包括迭代结果异或与翻转处理信息时, CRC 输出模块 35 可以对迭代结果进行异或与翻转处理。

综上, 采用该循环冗余校验电路 300, 一方面, 如图 4 所示, 其只需一个周期 1T 的时钟信号便可以完成信息字段的并行迭代处理, 从而提高 CRC 计算的效率。另一方面, 其可以灵活配置各类配置信息, 以适应多种多样的 CRC 计算需求。

在一些实施例中, 配置信息包括 $j-1$ 位 CRC 初始值, 并且, 并行迭代模块 34 包括 $i*j$ 个迭代单元。其中, 第 $i-1$ 行第 0 列迭代单元设置为接收信息字段中对应位的信息值。第 0 行第 $j-1$ 列迭代单元设置为响应于时钟信号, 根据 CRC 初始值及生成多项式中对应次幂的系数, 计算出第 0 行第 $j-1$ 列迭代单元的输出值。第 i 行第 j 列迭代单元设置为响应于时钟信号, 根据第 $i-1$ 行第 $j-1$ 迭代单元的输出值与生成多项式中对应次幂的系数, 计算出第 i 行第 j 列迭代单元的输出值, i 与 j 皆为正整数。

每个迭代单元至少包括一个乘法器与异或器。第 $i-1$ 行第 $j-1$ 列的乘法器设置为将最高次幂对应的系数、最高位对应的 CRC 初始值及对应次幂的系数进行相乘, 并且输出相乘结果。第 $i-1$ 行第 0 列的异或器设置为将相乘结果与信息字段中对应位的信息值进行异或, 输出第 $i-1$ 行第 0 列迭代单元的输出值。第 0 行第 j 列的异或器设置为将相乘结果与第 $j-1$ 位对应 CRC 初始值进行异或, 输出第 0 行第 j 列迭代单元的输出值。第 i 行第 j 列的异或器设置为将相乘结果与第 $i-1$ 行第 $j-1$ 迭代单元的输出值

进行异或，输出第 i 行第 j 列迭代单元的输出值。

为了详细阐述并行迭代模块 34，本发明实施例以 CRC8 为例子，详细阐述并行迭代模块 34 的工作原理。如图 5 所示，CRC 初始值分别为： $R_0^0, R_0^1, \dots, R_0^5, R_0^6, R_0^7$ 。并行迭代模块 34 包括 $n \times 8$ 个迭代单元 341 ($i=n, j=1, 2, 3, 4, 5, 6, 7$)， n 是正整数。

其中，第 0 行第 0 列迭代单元设置为接收信息字段 ($d_0, d_1, \dots, d_{n-2}, d_{n-1}$) 中对应位的信息值。第 0 行第 $j-1$ 列迭代单元设置为响应于时钟信号，根据 CRC 初始值及生成多项式中对应次幂的系数 ($g_0, g_1, g_2, \dots, g_6, g_7, g_8$)，计算出第 0 行第 $j-1$ 列迭代单元的输出值。第 n 行第 j 列迭代单元设置为响应于时钟信号，根据第 $n-1$ 行第 $j-1$ 迭代单元的输出值与生成多项式中对应次幂的系数，计算出第 n 行第 j 列迭代单元的输出值， n 与 j 皆为正整数。

每个迭代单元 341 至少包括一个乘法器 3411 与异或器 3412。第 $i-1$ 行第 $j-1$ 列的乘法器 3411 设置为将最高次幂对应的系数 g_8 、最高位对应的 CRC 初始值 R_0^7 及对应次幂的系数 ($R_0^0, R_0^1, \dots, R_0^5, R_0^6$) 进行相乘，并且输出相乘结果。第 $n-1$ 行第 0 列的异或器 3412 设置为将相乘结果与信息字段中对应位的信息值进行异或，输出第 $n-1$ 行第 0 列迭代单元 341 的输出值。第 0 行第 j 列的异或器 3412 设置为将相乘结果与第 $j-1$ 位对应 CRC 初始值进行异或，输出第 0 行第 j 列迭代单元 341 的输出值。第 i 行第 j 列的异或器 3412 设置为将相乘结果与第 $i-1$ 行第 $j-1$ 迭代单元 341 的输出值进行异或，输出第 i 行第 j 列迭代单元 341 的输出值。

为了进一步详细阐述图 5 所示实施例的迭代过程，本发明实施例提供 4 位信息字段的迭代过程，如图 6 与图 7 所示，信息字段为 d_0, d_1, d_2, d_3 分别为 0011，CRC 初始值 $R_0^0, R_0^1, \dots, R_0^5, R_0^6, R_0^7$ 分别为 01010101，生成多项式中对应次幂的系数 $g_0, g_1, g_2, \dots, g_6, g_7, g_8$ 分别为 100001111。并行迭代模块 34 根据 CRC 初始值、生成多项式中对应次幂的系数与信息字段进行迭代，迭代结果 $R_4^0, R_4^1, R_4^2, R_4^3, R_4^4, R_4^5, R_4^6, R_4^7$ 分别为：01101111。

在一些实施例中，与上述各个实施例的不同点在于，配置信息包括 CRC 类型与生成多项式的各项系数。CRC 仲裁模块根据 CRC 类型与生成多项式的各项系数，确定生成多项式的类型与所述生成多项式中各次幂对应的系数。因此，CRC 仲裁模块既可以

根据 CRC 类型便可以确定生成多项式的各项系数，又可以根据协议自定义生成多项式的各项系数以确定各次幂对应的系数，从而实现灵活配置生成多项式。

作为本发明实施例的另一方面，本发明实施例提供一种芯片，其包括如图 2 至图 7 任一项所述的循环冗余校验电路。芯片通过该循环冗余校验电路，其只需一个周期 $1T$ 的时钟信号便可以完成信息字段的并行迭代处理，从而提高 CRC 计算的效率。另一方面，其可以灵活配置各类配置信息，以适应多种多样的 CRC 计算需求。

该芯片为通用处理器、数字信号处理器 (DSP)、专用集成电路 (ASIC)、现场可编程门阵列 (FPGA)、单片机、ARM (Acorn RISC Machine) 或其它可编程逻辑器件、分立门或晶体管逻辑、分立的硬件组件或者这些部件的任何组合。还有，嵌入式装置 112 还可以是任何传统处理器、控制器、微控制器或状态机。处理器也可以被实现为计算设备的组合，例如，DSP 和微处理器的组合、多个微处理器、一个或多个微处理器结合 DSP 核、或任何其它这种配置。

作为本发明实施例的又另一方面，本发明实施例提供一种循环冗余校验装置。该循环冗余校验装置可借助软件加通用硬件平台的方式来实现循环冗余校验。并且，与上述各个实施例的不同点在于，本发明实施例还可以通过灵活配置用于指示 CRC 校验的各类配置信息以满足各类应用需求。特此，如图 8 所示，该循环冗余校验装置 800 包括获取模块 81、确定模块 82、迭代模块 83 及封装模块 84。

获取模块 81 设置为获取配置信息与信息字段。确定模块 82 设置为根据配置信息，确定生成多项式与生成多项式中各次幂对应的系数。迭代模块 83 设置为根据生成多项式中各次幂对应的系数，将信息字段进行并行迭代处理，以输出迭代结果。封装模块 84 设置为根据迭代结果，封装信息字段。

配置信息可以包括 CRC 类型、生成多项式、CRC 初始值、信息字段翻转处理信息及迭代结果异或与翻转处理信息，配置信息用于指示循环冗余校验装置 800 选择对应的配置信息完成 CRC 校验与输出数据的处理。CRC 类型包括以下任意一种：CRC4、CRC7、CRC8、CRC12、CRC16、CRC32。生成多项式包括生成多项式类型与该生成多项式中各次幂对应的系数，其中，生成多项式类型与 CRC 类型对应，并且用户可以根据协议或者产品需求自行定义生成多项式类型与生成多项式中各次幂对应的系数。CRC 初始值用于初始化，其中，该 CRC 初始值可以是协议定义值或上一次并行迭代出的输出值，CRC 初始值的位数与并行迭代位数关联。信息字段翻转处理信息用于指示获取模块 81 根据协议预先将信息字段的各个信息码进行翻转。迭代结果异或与翻转处理信息用于指示封装模块 84 对迭代结果进行异或与翻转处理。

例如,配置信息包括信息字段翻转处理信息,获取模块 81 根据该信息字段翻转处理信息,对信息字段预先进行翻转处理,以便符合协议输出预处理的对应信息字段。

例如,配置信息包括 CRC 类型或生成多项式。当 CRC 类型是 CRC8($CRC8=X^8+X^5+X^4+1$) 时,则 CRC 仲裁模块 32 选择 CRC8 对应的生成多项式进行校验,并且确定 $g_0=1$, $g_1=g_2=g_3=g_4=0$, $g_5=g_6=1$, $g_7=0$, $g_8=1$ 。当 CRC 类型是 CRC16 时,同理可得,可以确定对应的生成多项式进行校验。当然,用户可以不选择标准 CRC 类型,而选择自定义的生成多项式进行校验,例如, $g(x)=x^5+x^3+1$ 。此时,确定模块 82 根据该生成多项式,确定 5 次幂的系数为 1, 3 次幂的系数为 1, 0 次幂的系数为 1, 1 次幂、2 次幂及 4 次幂的系数为 0。

再例如,配置信息包括 CRC 初始值。当 CRC 初始值为 01010101 时,迭代模块 83 同时接收 CRC 初始值的输入与信息字段进行迭代处理。

信息字段是发送方向接收方发送的通信数据,其是二进制序列。

综上,采用该循环冗余校验装置 800,一方面,其只需一个周期 1T 的时钟信号便可以完成信息字段的并行迭代处理,从而提高 CRC 计算的效率。另一方面,其可以灵活配置各类配置信息,以适应多种多样的 CRC 计算需求。

并且,由于循环冗余校验装置 800 的构思与上述各个实施例所述的循环冗余校验电路实现 CRC 校验的构思一样,在内容不互相冲突下,循环冗余校验装置 800 的实施例可以引用上述各个实施例的内容,在此不赘述。

在一些实施例中,配置信息包括 CRC 初始值,因此,迭代模块 83 具体设置为:根据生成多项式中各次幂对应的系数与 CRC 初始值,将信息字段进行并行迭代处理,以输出迭代结果。

在一些实施例中,配置信息包括 CRC 类型与生成多项式的各项系数,因此,确定模块 84 具体设置为:根据 CRC 类型与生成多项式的各项系数,确定生成多项式的类型与生成多项式中各次幂对应的系数。

作为本发明实施例的又另一方面,本发明实施例提供一种循环冗余校验方法。与上述各个实施例的不同点在于,本发明实施例还可以通过灵活配置用于指示 CRC 校验的各类配置信息以满足各类应用需求。如图 9 所示,该循环冗余校验方法 900 包括:

步骤 91、获取配置信息与信息字段;

步骤 92、根据配置信息,确定生成多项式与生成多项式中各次幂对应的系数;

步骤 93、根据生成多项式中各次幂对应的系数，将信息字段进行并行迭代处理，以输出迭代结果；

步骤 94、根据迭代结果，封装信息字段。

配置信息可以包括 CRC 类型、生成多项式、CRC 初始值、信息字段翻转处理信息及迭代结果异或与翻转处理信息，配置信息用于指示循环冗余校验装置 800 选择对应的配置信息完成 CRC 校验与输出数据的处理。CRC 类型包括以下任意一种：CRC4、CRC7、CRC8、CRC12、CRC16、CRC32。生成多项式包括生成多项式类型与该生成多项式中各次幂对应的系数，其中，生成多项式类型与 CRC 类型对应，并且用户可以根据协议或者产品需求自行定义生成多项式类型与生成多项式中各次幂对应的系数。CRC 初始值用于初始化，其中，该 CRC 初始值可以是协议定义值或上一次并行迭代出的输出值，CRC 初始值的位数与并行迭代位数关联。信息字段翻转处理信息用于根据协议预先将信息字段的各个信息码进行翻转。迭代结果异或与翻转处理信息用于对迭代结果进行异或与翻转处理。

例如，配置信息包括信息字段翻转处理信息，根据该信息字段翻转处理信息，对信息字段预先进行翻转处理，以便符合协议输出预处理的对应信息字段。

例如，配置信息包括 CRC 类型或生成多项式。当 CRC 类型是 CRC8($CRC8 = X^8 + X^5 + X^4 + 1$) 时，则 CRC 仲裁模块 32 选择 CRC8 对应的生成多项式进行校验，并且确定 $g_0=1$, $g_1=g_2=g_3=g_4=0$, $g_5=g_6=1$, $g_7=0$, $g_8=1$ 。当 CRC 类型是 CRC16 时，同理可得，可以确定对应的生成多项式进行校验。当然，用户可以不选择标准 CRC 类型，而选择自定义的生成多项式进行校验，例如， $g(x) = x^5 + x^3 + 1$ 。此时，根据该生成多项式，确定 5 次幂的系数为 1，3 次幂的系数为 1，0 次幂的系数为 1，1 次幂、2 次幂及 4 次幂的系数为 0。

再例如，配置信息包括 CRC 初始值。当 CRC 初始值为 01010101 时，同时接收 CRC 初始值的输入与信息字段进行迭代处理。

信息字段是发送方向接收方发送的通信数据，其是二进制序列。

综上，采用该循环冗余校验方法 900，一方面，其只需一个周期 $1T$ 的时钟信号便可以完成信息字段的并行迭代处理，从而提高 CRC 计算的效率。另一方面，其可以灵活配置各类配置信息，以适应多种多样的 CRC 计算需求。

在一些实施例中，配置信息包括 CRC 初始值。步骤 93 包括：根据生成多项式中各次幂对应的系数与 CRC 初始值，将信息字段进行并行迭代处理，以输出迭代结果。

在一些实施例中，配置信息包括 CRC 类型与生成多项式的各项系数。步骤 92 包括：

根据 CRC 类型与生成多项式的各项系数，确定生成多项式的类型与生成多项式中各次幂对应的系数。

通过以上的实施方式的描述，本领域的技术人员可以清楚地了解到各实施方式可借助软件加通用硬件平台的方式来实现循环冗余校验方法，当然也可以通过硬件实现。并且，由于循环冗余校验方法的构思与上述各个实施例所述的循环冗余校验装置实现循环冗余校验的构思一样，在内容不互相冲突下，循环冗余校验方法的实施例可以引用上述各个实施例的内容，在此不赘述。

作为本发明实施例的又一方面，本发明实施例提供一种电子设备。如图 10 所示，该电子设备 100 包括：存储介质 11 与处理器 12，处理器 12 和存储介质 11 可以通过总线或者其他方式连接，图 10 中以通过总线连接为例。该存储介质作为一种非易失性计算机可读存储介质，可用于存储非易失性软件程序、非易失性计算机可执行程序以及模块，如本发明实施例中的循环冗余校验方法对应的程序指令/模块。处理器 12 通过运行存储在存储器 11 中的非易失性软件程序、指令以及模块，从而执行循环冗余校验方法的各种功能应用以及数据处理，即实现上述方法实施例的循环冗余校验方法的各个模块的功能。

存储介质 11 可以包括高速随机存取存储器，还可以包括非易失性存储器，例如至少一个磁盘存储器件、闪存器件、或其他非易失性固态存储器件。在一些实施例中，存储介质 11 可选包括相对于处理器 12 远程设置的存储器，这些远程存储器可以通过网络连接至处理器 12。上述网络的实例包括但不限于互联网、企业内部网、局域网、移动通信网及其组合。

所述程序指令/模块存储在所述存储器 11 中，当被所述一个或者多个处理器 12 执行时，执行上述任意方法实施例中的循环冗余校验方法，例如，执行以上描述的各个步骤的功能。

本发明实施例还提供了一种非易失性计算机存储介质，非易失性计算机可读存储介质存储有电子设备的可执行指令，该可执行指令被一个或多个处理器执行，例如图 10 中的一个处理器 12，可使得上述一个或多个处理器可执行上述任意方法实施例中的循环冗余校验方法，例如，执行上述任意方法实施例中的循环冗余校验方法。

以上所描述的装置或设备实施例仅仅是示意性的，其中所述作为分离部件说明的单元模块可以是或者也可以不是物理上分开的，作为模块单元显示的部件可以是或者也可以不是物理单元，即可以位于一个地方，或者也可以分布到多个网络模块单元上。可以根据实际的需要选择其中的部分或者全部模块来实现本实施例方案的目的。

通过以上的实施方式的描述，本领域的技术人员可以清楚地了解到各实施方式可借助软件加通用硬件平台的方式来实现，当然也可以通过硬件。基于这样的理解，上述技术方案本质上或者说对相关技术做出贡献的部分可以以软件产品的形式体现出来，该计算机软件产品可以存储在计算机可读存储介质中，如 ROM/RAM、磁碟、光盘等，包括若干指令用以使得一台计算机设备（可以是个人计算机，服务器，或者网络设备等）执行各个实施例或者实施例的某些部分所述的方法。

最后应说明的是：以上实施例仅用以说明本发明的技术方案，而非对其限制；在本发明的思路下，以上实施例或者不同实施例中的技术特征之间也可以进行组合，步骤可以以任意顺序实现，并存在如上所述的本发明的不同方面的许多其它变化，为了简明，它们没有在细节中提供；尽管参照前述实施例对本发明进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本申请各实施例技术方案的范围

权利要求书

1、一种循环冗余校验电路，包括：

配置模块，设置为获取配置信息与信息字段；

CRC 仲裁模块，设置为根据所述配置信息，确定生成多项式；

CRC 控制模块，设置为响应于所述 CRC 仲裁模块的触发，输出时钟信号、所述生成多项式中各次幂对应的系数及信息字段；

并行迭代模块，设置为响应于所述时钟信号，根据所述生成多项式中各次幂对应的系数，将所述信息字段进行并行迭代处理，以输出迭代结果；

CRC 输出模块，设置为根据所述迭代结果，封装所述信息字段。

2、根据权利要求 1 所述的电路，其中，所述配置信息包括 $j-1$ 位 CRC 初始值，所述并行迭代模块包括 $i*j$ 个迭代单元；

第 $i-1$ 行第 0 列迭代单元设置为接收所述信息字段中对应位的信息值；

第 0 行第 $j-1$ 列迭代单元设置为响应于所述时钟信号，根据所述 CRC 初始值及生成多项式中对应次幂的系数，计算出第 0 行第 $j-1$ 列迭代单元的输出值；

第 i 行第 j 列迭代单元设置为响应于所述时钟信号，根据第 $i-1$ 行第 $j-1$ 迭代单元的输出值与生成多项式中对应次幂的系数，计算出第 i 行第 j 列迭代单元的输出值， i 与 j 皆为正整数。

3、根据权利要求 2 所述的电路，其中，每个所述迭代单元至少包括一个乘法器与异或器；

第 $i-1$ 行第 $j-1$ 列的乘法器设置为将最高次幂对应的系数、最高位对应的 CRC 初始值及对应次幂的系数进行相乘，并且输出相乘结果；

第 $i-1$ 行第 0 列的异或器设置为将相乘结果与所述信息字段中对应位的信息值进行异或，输出第 $i-1$ 行第 0 列迭代单元的输出值；

第 0 行第 j 列的异或器设置为将相乘结果与第 $j-1$ 位对应 CRC 初始值进行异或，输出第 0 行第 j 列迭代单元的输出值；

第 i 行第 j 列的异或器设置为将相乘结果与第 $i-1$ 行第 $j-1$ 迭代单元的输出值进行异或，输出第 i 行第 j 列迭代单元的输出值。

- 4、根据权利要求 1 至 3 任一项所述的电路，其中，所述配置信息包括 CRC 类型与生成多项式的各项系数；

所述 CRC 仲裁模块设置为根据所述配置信息，确定生成多项式，包括：

所述 CRC 仲裁模块设置为根据所述 CRC 类型与生成多项式的各项系数，确定生成多项式的类型与所述生成多项式中各次幂对应的系数。

- 5、根据权利要求 4 所述的电路，其中，所述 CRC 类型包括以下任意一种：CRC4、CRC7、CRC8、CRC12、CRC16、CRC32。

- 6、一种循环冗余校验方法，包括：

获取配置信息与信息字段；

根据所述配置信息，确定生成多项式与所述生成多项式中各次幂对应的系数；

根据所述生成多项式中各次幂对应的系数，将所述信息字段进行并行迭代处理，以输出迭代结果；

根据所述迭代结果，封装所述信息字段。

- 7、根据权利要求 6 所述的方法，其中，所述配置信息包括 CRC 初始值；

所述根据所述生成多项式中各次幂对应的系数，将所述信息字段进行并行迭代处理，以输出迭代结果，包括：

根据所述生成多项式中各次幂对应的系数与 CRC 初始值，将所述信息字段进行并行迭代处理，以输出迭代结果。

- 8、根据权利要求 6 或 7 所述的方法，其中，所述配置信息包括 CRC 类型与生成多项式的各项系数；

所述根据所述配置信息，确定生成多项式与所述生成多项式中各次幂对应的系数，包括：

根据所述 CRC 类型与生成多项式的各项系数，确定生成多项式的类型与所述生成多项式中各次幂对应的系数。

- 9、一种循环冗余校验装置，包括：

获取模块，设置为获取配置信息与信息字段；

确定模块，设置为根据所述配置信息，确定生成多项式与所述生成多项式中

各次幂对应的系数;

迭代模块, 设置为根据所述生成多项式中各次幂对应的系数, 将所述信息字段进行并行迭代处理, 以输出迭代结果;

封装模块, 设置为根据所述迭代结果, 封装所述信息字段。

10、根据权利要求 9 所述的装置, 其中, 所述配置信息包括 CRC 初始值;

所述迭代模块具体设置为: 根据所述生成多项式中各次幂对应的系数与 CRC 初始值, 将所述信息字段进行并行迭代处理, 以输出迭代结果。

11、根据权利要求 9 或 10 所述的装置, 其中, 所述配置信息包括 CRC 类型与生成多项式的各项系数;

所述确定模块具体设置为: 根据所述 CRC 类型与生成多项式的各项系数, 确定生成多项式的类型与所述生成多项式中各次幂对应的系数。

12、一种芯片, 包括如权利要求 1 至 5 任一项所述的循环冗余校验电路。

13、一种非易失性计算机可读存储介质, 所述非易失性计算机可读存储介质存储有电子设备的可执行指令, 所述可执行指令用于使所述电子设备执行如权利要求 6 至 8 任一项所述的循环冗余校验方法。

14、一种电子设备, 包括:

至少一个处理器; 以及

与所述至少一个处理器通信连接的存储器; 其中, 所述存储器存储有可被所述至少一个处理器执行的指令, 所述指令被所述至少一个处理器执行, 以使所述至少一个处理器能够用于执行如权利要求 6 至 8 任一项所述的循环冗余校验方法。

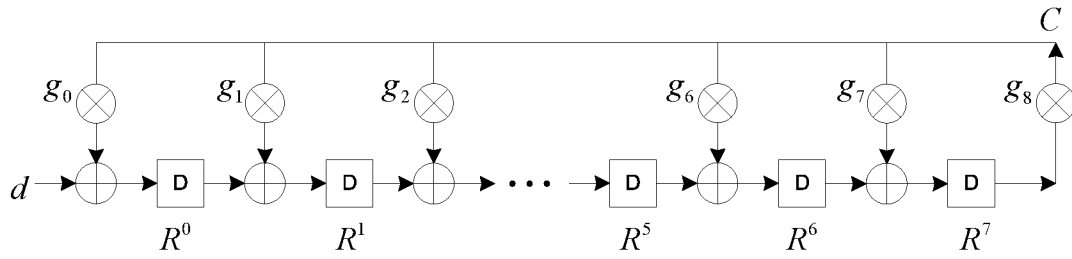


图 1

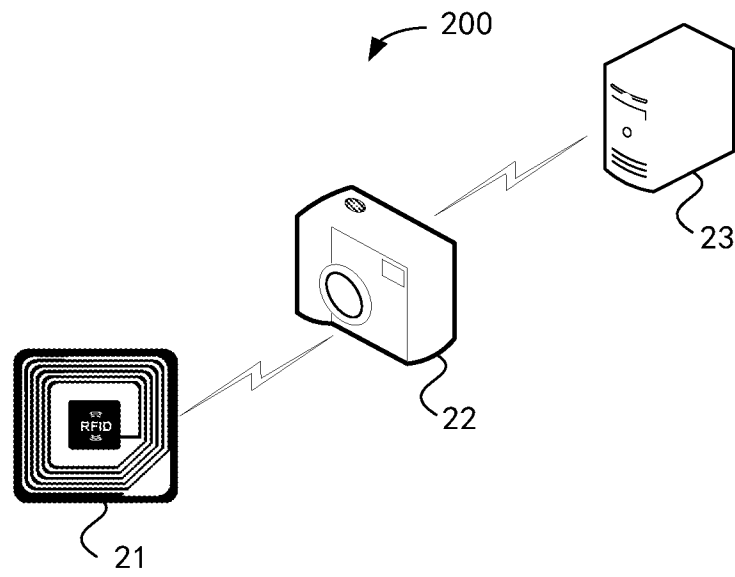


图 2

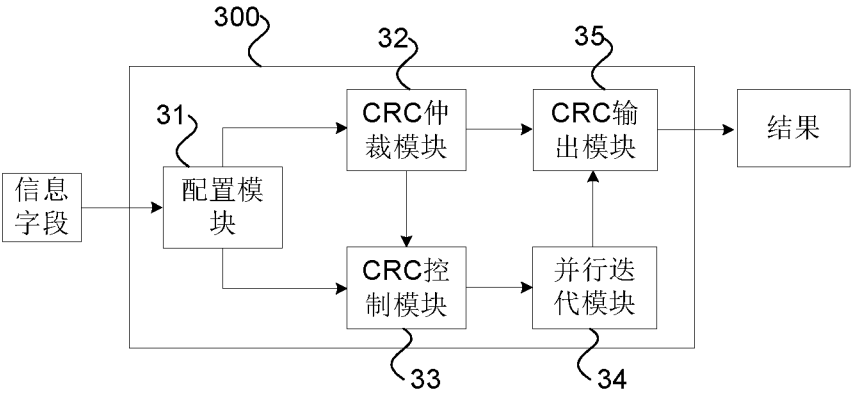


图 3

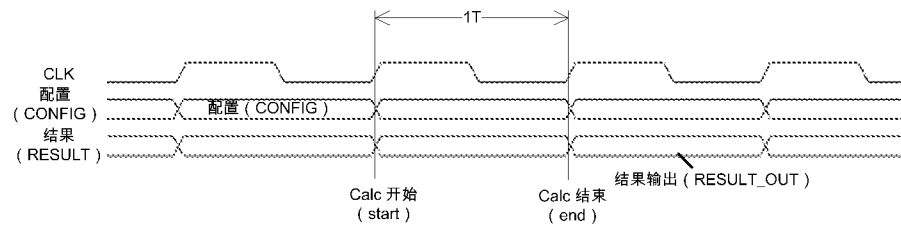


图 4

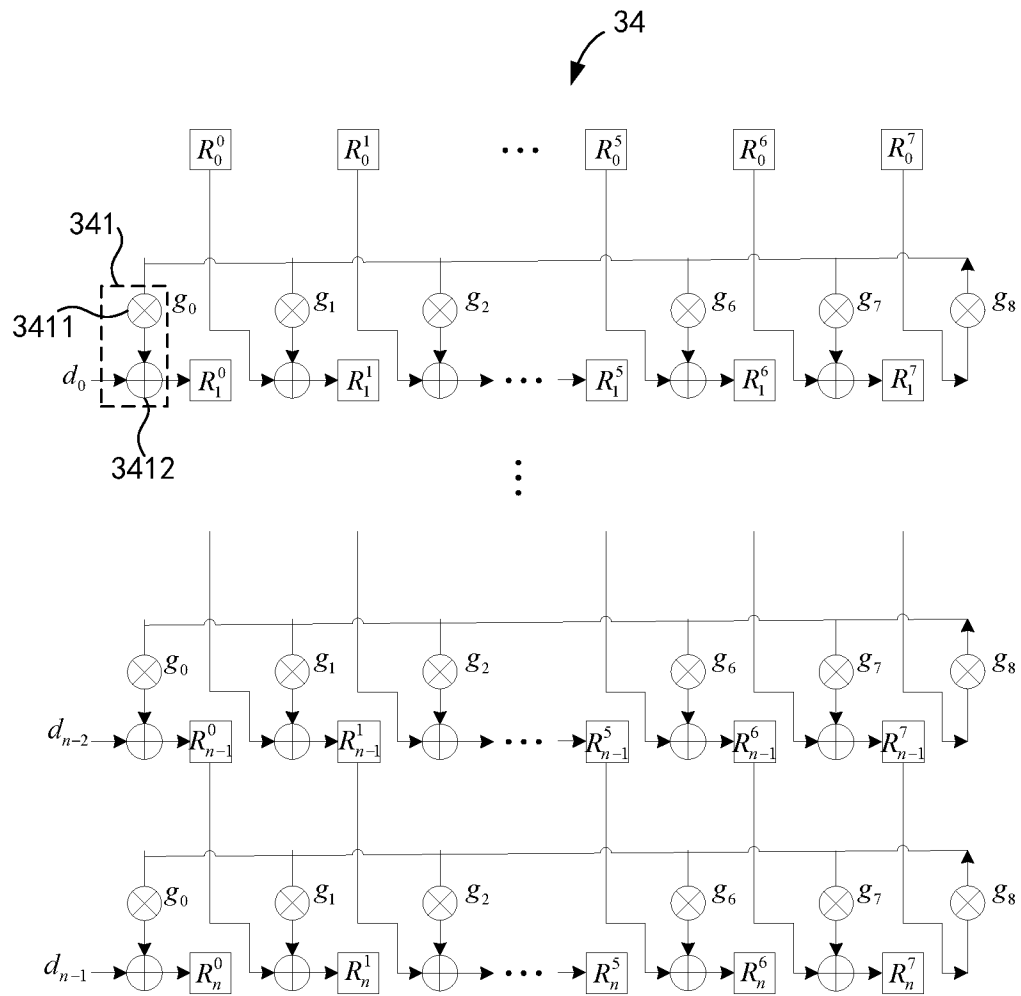


图 5

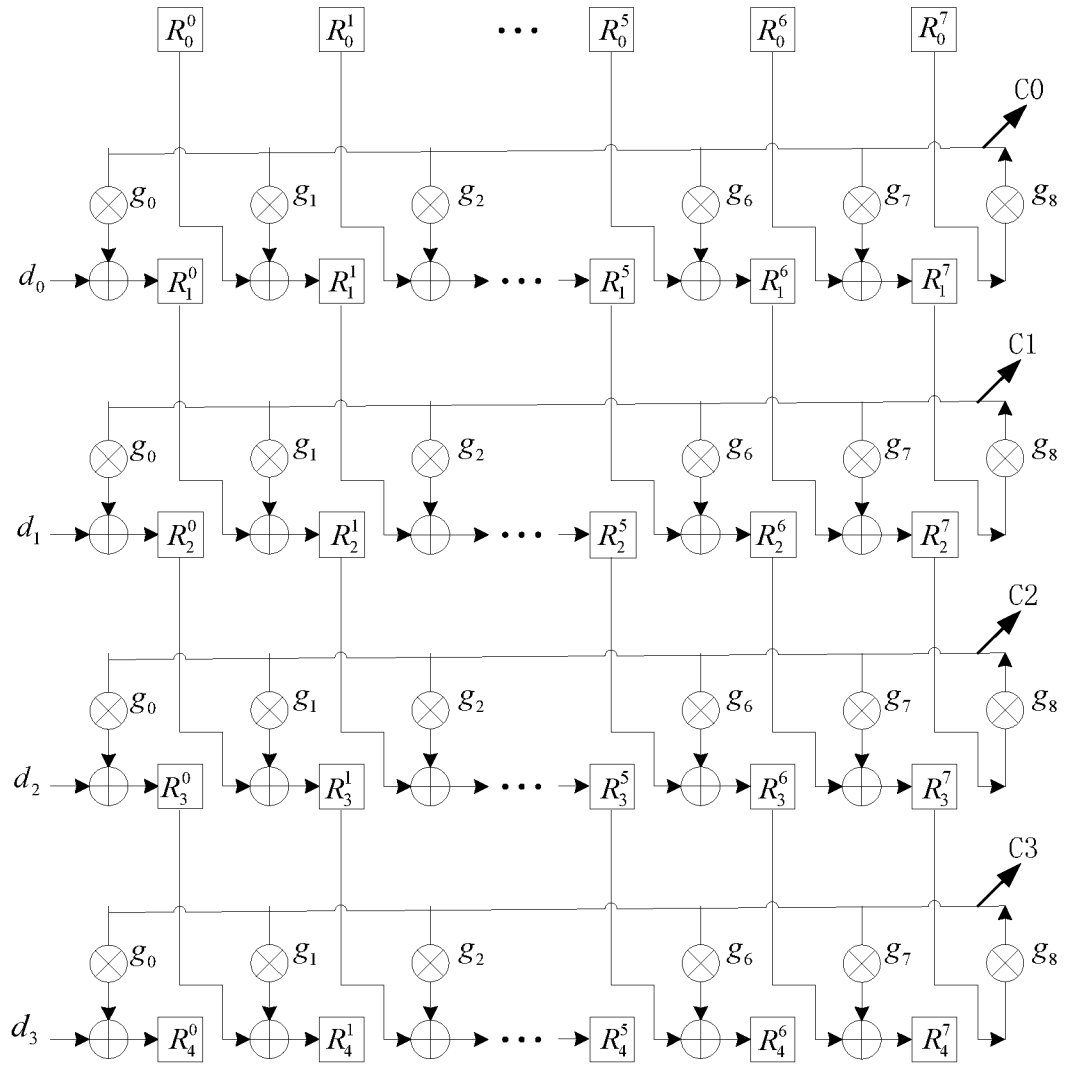


图 6

	g 0		g1		g2		g3		g4		g5		g6		g7		g 8	
	1		1		1		1		0		0		0		0		0	
d0		R0 0		R1 0		R2 0		R3 0		R4 0		R5 0		R6 0		R7 0		C0=g 8*R7 0
1		1		0		1		0		1		0		1		0		0
	g 0 * C 0		g1* C0		g2* C0		g3* C0		g4* C0		g5* C0		g6* C0		g7* C0			
	0		0		0		0		0		0		0		0			
d1		R0 1		R1 1		R2 1		R3 1		R4 1		R5 1		R6 1		R7 1		C1=g 8*R7 1
1		1		1		0		1		0		1		0		1		1
	g 0 * C 1		g1* C1		g2* C1		g3* C1		g4* C1		g5* C1		g6* C1		g7* C1			
	1		1		1		1		0		0		0		0			
		R0 2		R1 2		R2 2		R3 2		R4 2		R5 2		R6 2		R7 2		C2=g 8*R7 2
		0		0		0		1		1		0		1		0		0
	g 0 * C 2		g1* C2		g2* C2		g3* C2		g4* C2		g5* C2		g6* C2		g7* C2			
	0		0		0		0		0		0		0		0			
		R0 3		R1 3		R2 3		R3 3		R4 3		R5 3		R6 3		R7 3		C3=g 8*R7 3
		0		0		0		0		1		1		0		1		1
	g 0 * C 3		g1* C3		g2* C3		g3* C3		g4* C3		g5* C3		g6* C3		g7* C3			

	1		1		1		1		0		0		0		0			
		R0		R1		R2		R3		R4		R5		R6		R7		
		4		4		4		4		4		4		4		4		
		1		1		1		1		0		1		1		0		1

图 7

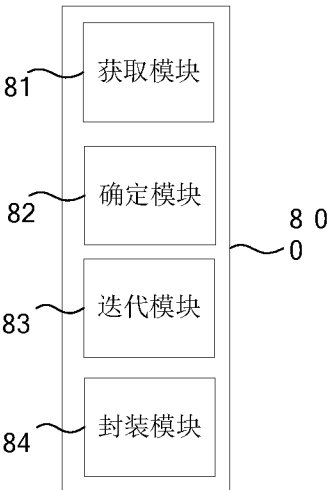


图 8

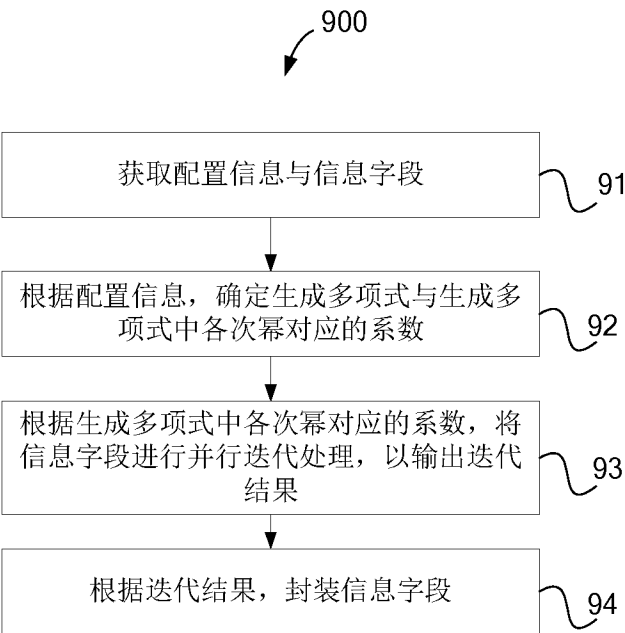


图 9

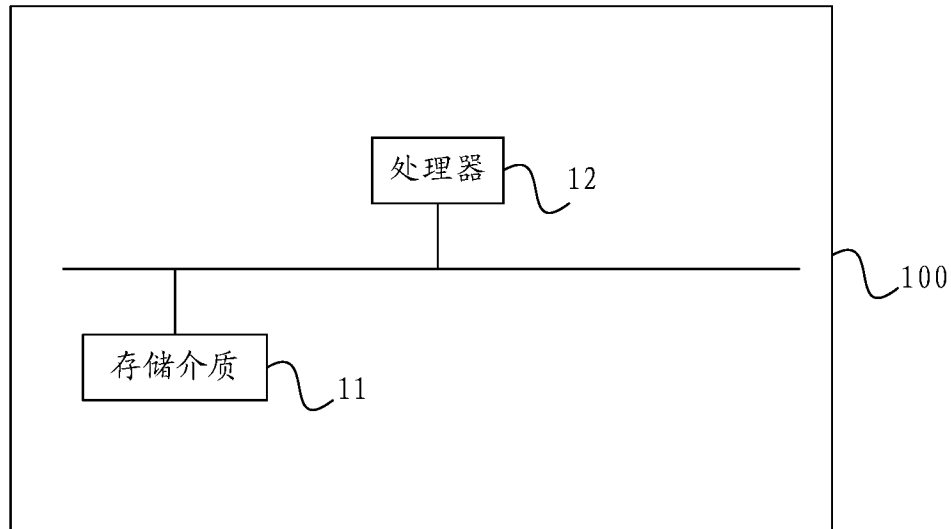


图 10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/118622

A. CLASSIFICATION OF SUBJECT MATTER

H03M 13/09 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; DWPI; CNABS; CNKI: CRC, 循环冗余, 并行, 迭代, parallel, iteration

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 103795502 A (H3C TECHNOLOGIES CO., LIMITED), 14 May 2014 (14.05.2014), description, paragraphs [0068]-[0081], and figures 1-5	1, 6-14
A	CN 103795502 A (H3C TECHNOLOGIES CO., LIMITED), 14 May 2014 (14.05.2014), entire document	2-5
A	CN 101795175 A (ZTE CORP.), 04 August 2010 (04.08.2010), entire document	1-14
A	CN 103199873 A (CHANGSHU INSTITUTE OF TECHNOLOGY), 10 July 2013 (10.07.2013), entire document	1-14
A	CN 102318250 A (HUAWEI TECHNOLOGIES CO., LTD.), 11 January 2012 (11.01.2012), entire document	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 06 March 2018	Date of mailing of the international search report 19 March 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer MA, Chi Telephone No. (86-10) 62411641

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/118622

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 103795502 A	14 May 2014	CN 103795502 B	12 April 2017
CN 101795175 A	04 August 2010	EP 2533450 B1	12 August 2015
		US 2012317466 A1	13 December 2012
		EP 2533450 A4	22 January 2014
		CN 101795175 B	19 March 2014
		US 8843810 B2	23 September 2014
		WO 2011103741 A1	01 September 2011
		EP 2533450 A1	12 December 2012
CN 103199873 A	10 July 2013	CN 103199873 B	30 March 2016
CN 102318250 A	11 January 2012	WO 2012109872 A1	23 August 2012
		CN 102318250 B	05 March 2014

国际检索报告

国际申请号

PCT/CN2017/118622

A. 主题的分类

H03M 13/09(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H03M

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS;DWPI;CNABS;CNKI:CRC, 循环冗余, 并行, 迭代, parallel, iteration

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 103795502 A (杭州华三通信技术有限公司) 2014年 5月 14日 (2014 - 05 - 14) 说明书[0068]-[0081]段及图1-5	1, 6-14
A	CN 103795502 A (杭州华三通信技术有限公司) 2014年 5月 14日 (2014 - 05 - 14) 全文	2-5
A	CN 101795175 A (中兴通讯股份有限公司) 2010年 8月 4日 (2010 - 08 - 04) 全文	1-14
A	CN 103199873 A (常熟理工学院) 2013年 7月 10日 (2013 - 07 - 10) 全文	1-14
A	CN 102318250 A (华为技术有限公司) 2012年 1月 11日 (2012 - 01 - 11) 全文	1-14

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 3月 6日

国际检索报告邮寄日期

2018年 3月 19日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

马驰

传真号 (86-10)62019451

电话号码 (86-10)62411641

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/118622

检索报告引用的专利文件				公布日 (年/月/日)			同族专利	公布日 (年/月/日)		
CN	103795502	A	2014年 5月 14日	CN	103795502	B		2017年 4月 12日		
CN	101795175	A	2010年 8月 4日	EP	2533450	B1		2015年 8月 12日		
				US	2012317466	A1		2012年 12月 13日		
				EP	2533450	A4		2014年 1月 22日		
				CN	101795175	B		2014年 3月 19日		
				US	8843810	B2		2014年 9月 23日		
				WO	2011103741	A1		2011年 9月 1日		
				EP	2533450	A1		2012年 12月 12日		
CN	103199873	A	2013年 7月 10日	CN	103199873	B		2016年 3月 30日		
CN	102318250	A	2012年 1月 11日	WO	2012109872	A1		2012年 8月 23日		
				CN	102318250	B		2014年 3月 5日		

表 PCT/ISA/210 (同族专利附件) (2009年7月)