

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月7日(07.05.2020)



(10) 国際公開番号

WO 2020/090183 A1

(51) 国際特許分類:

H01L 33/32 (2010.01) G09G 3/32 (2016.01)
G09F 9/33 (2006.01) H01L 33/00 (2010.01)
G09G 3/20 (2006.01)

(21) 国際出願番号: PCT/JP2019/031531

(22) 国際出願日: 2019年8月8日(08.08.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-207671 2018年11月2日(02.11.2018) JP

(71) 出願人: 株式会社ジャパンディスプレイ (JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).

(72) 発明者: 池田 雅延 (IKEDA, Masanobu); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).
伊東 理 (ITO, Osamu); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディ

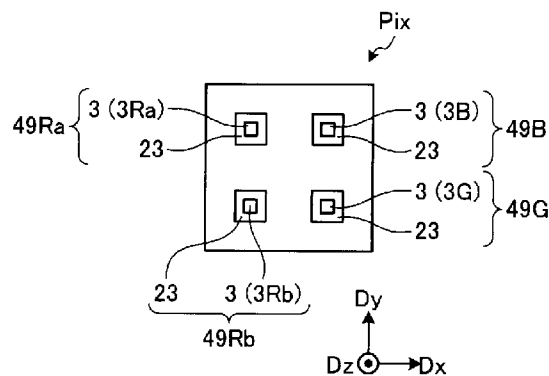
スプレイ内 Tokyo (JP). 金谷 康弘 (KANAYA, Yasuhiro); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 尾崎 匡史 (OZAKI, Tadafumi); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).

(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が関3丁目8番1号 虎の門三井ビルディング Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: This display device has: a substrate; a plurality of pixels that are provided to the substrate; and a plurality of first light-emitting elements and a plurality of second light-emitting elements that are provided to each of the plurality of pixels, wherein a light-emitting layer of each first light-emitting element includes gallium nitride (GaN) to which europium (Eu) has been added, and a light-emitting layer of each second light-emitting element is a multiple quantum well structure in which indium gallium nitride (InGaN) and gallium nitride (GaN) have been layered in a plurality of layers.

(57) 要約: 表示装置は、基板と、基板に設けられた複数の画素と、複数の画素の各々に設けられる複数の第1発光素子と複数の第2発光素子と、を有し、第1発光素子の発光層は、ユウロピウム (Eu) が添加された窒化ガリウム (GaN) を含み、第2発光素子の発光層は、窒化インジウムガリウム (InGaN) と窒化ガリウム (GaN) とが多層に積層された多重量子井戸構造である。

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称 : 表示装置

技術分野

[0001] 本発明は、表示装置に関する。

背景技術

[0002] 表示素子として無機発光ダイオード（マイクロLED（micro LED））を用いた表示装置が知られている。このような表示装置では、表示する色ごとに異なる種類のLEDが用いられる。特許文献1に記載されている赤色LEDは、発光層として窒化ガリウム（GaN）の多重量子井戸構造が適用されている。また、特許文献2に記載されている赤色LEDには、発光層として窒化ガリウム（GaN）にユウロピウム（Eu）が添加された材料が用いられている。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第2018／0097033号明細書

特許文献2：特許第5388041号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1の赤色LEDは、青色LEDや緑色LEDに比べて発光効率が低い。このため、赤色LEDの駆動電流を大きくする必要があり、消費電力が増大する可能性がある。また、特許文献2の赤色LEDでは、光のスペクトルの半値幅が、青色LEDや緑色LEDの光のスペクトルの半値幅に比べて小さい。このため、赤色のみが鮮やかに表示されて、良好に画像を表示することが困難となる可能性がある。

[0005] 本発明は、良好に画像を表示することができる表示装置を提供することを目的とする。

課題を解決するための手段

[0006] 本発明の一態様の表示装置は、基板と、前記基板に設けられた複数の画素と、複数の前記画素の各々に設けられる複数の第1発光素子と複数の第2発光素子と、を有し、前記第1発光素子の発光層は、ユウロピウム（Eu）が添加された窒化ガリウム（GaN）を含み、前記第2発光素子の発光層は、窒化インジウムガリウム（InGaN）と窒化ガリウム（GaN）とが多層に積層された多重量子井戸構造である。

図面の簡単な説明

[0007] [図1]図1は、実施形態に係る表示装置を模式的に示す平面図である。

[図2]図2は、複数の画素を示す平面図である。

[図3]図3は、画素回路を示す回路図である。

[図4]図4は、実施形態に係る表示装置の、2つの画素を拡大して示す平面図である。

[図5]図5は、図4のV-V'線に沿う断面図である。

[図6]図6は、図4のV1-V1'線に沿う断面図である。

[図7]図7は、実施形態に係る第1発光素子を示す断面図である。

[図8]図8は、実施形態に係る第2発光素子を示す断面図である。

[図9]図9は、各発光素子の発光強度と波長との関係を模式的に示すグラフである。

[図10]図10は、信号処理回路の構成を模式的に示すブロック図である。

[図11]図11は、入力階調値と、駆動される発光素子との関係を説明するための説明図である。

[図12]図12は、第1変形例に係る各発光素子の出力階調値の設定方法を説明するためのフローチャートである。

[図13]図13は、第2変形例に係る信号処理回路の構成を模式的に示すブロック図である。

[図14]図14は、第2変形例に係る各発光素子の出力階調値の設定方法を説明するためのフローチャートである。

[図15]図15は、第3変形例に係る各発光素子の出力階調値の設定方法を説

明するためのフローチャートである。

[図16A]図16Aは、第4変形例に係る1つの画素群における各発光素子の第1配置パターンを示す平面図である。

[図16B]図16Bは、1つの画素群における各発光素子の第2配置パターンを示す平面図である。

[図16C]図16Cは、1つの画素群における各発光素子の第3配置パターンを示す平面図である。

[図17A]図17Aは、第5変形例に係る2つの画素群における各発光素子の第4配置パターンを示す平面図である。

[図17B]図17Bは、2つの画素群における各発光素子の第5配置パターンを示す平面図である。

[図17C]図17Cは、2つの画素群における各発光素子の第6配置パターンを示す平面図である。

[図18]図18は、第6変形例に係る発光素子を示す断面図である。

発明を実施するための形態

[0008] 本発明を実施するための形態（実施形態）につき、図面を参照しつつ詳細に説明する。以下の実施形態に記載した内容により本発明が限定されるものではない。また、以下に記載した構成要素には、当業者が容易に想定できるもの、実質的に同一のものが含まれる。さらに、以下に記載した構成要素は適宜組み合わせることが可能である。なお、開示はあくまで一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

[0009] （実施形態）

図1は、実施形態に係る表示装置を模式的に示す平面図である。図1に示すように、表示装置1は、アレイ基板2と、画素 $P_{i \times}$ （画素群）と、駆動回路12と、駆動IC（Integrated Circuit）210と、カソード配線60と、を含む。アレイ基板2は、各画素 $P_{i \times}$ を駆動するための駆動回路基板であり、バックプレーン又はアクティブマトリクス基板とも呼ばれる。アレイ基板2は、基板21、複数のトランジスタ、複数の容量及び各種配線等を有する。

[0010] 図1に示すように、表示装置1は、表示領域AAと、周辺領域GAとを有する。表示領域AAは、複数の画素 $P_{i \times}$ と重なって配置され、画像を表示する領域である。周辺領域GAは、複数の画素 $P_{i \times}$ と重ならない領域であり、表示領域AAの外側に配置される。

[0011] 複数の画素 $P_{i \times}$ は、表示領域AAにおいて、第1方向 D_x 及び第2方向 D_y に配列される。なお、第1方向 D_x 及び第2方向 D_y は、基板21の表面に対して平行な方向である。第1方向 D_x は、第2方向 D_y と直交する。ただし、第1方向 D_x は、第2方向 D_y と直交しないで交差してもよい。第3方向 D_z は、第1方向 D_x 及び第2方向 D_y と直交する方向である。第3方向 D_z は、例えば、基板21の法線方向に対応する。なお、以下、平面視とは、第3方向 D_z から見た場合の位置関係を示す。

[0012] 駆動回路12は、駆動IC210からの各種制御信号に基づいて複数のゲート線（例えば、リセット制御信号線L5、出力制御信号線L6、画素制御信号線L7、初期化制御信号線L8（図3参照））を駆動する回路である。駆動回路12は、複数のゲート線を順次又は同時に選択し、選択されたゲート線にゲート駆動信号（例えば、画素制御信号SG）を供給する。これにより、駆動回路12は、ゲート線に接続された複数の画素 $P_{i \times}$ を選択する。

[0013] 駆動IC210は、表示装置1の表示を制御する回路である。駆動IC210は、基板21の周辺領域GAにCOG（Chip On Glass）として実装される。これに限定されず、駆動IC210は、基板21の周辺領域GAに接続された配線基板の上にCOF（Chip On Film）として実装されてもよい。

。配線基板は、例えば、フレキシブルプリント基板やリジット基板である。

[0014] カソード配線60は、基板21の周辺領域GAに設けられる。カソード配線60は、表示領域AAの複数の画素 P_{ix} 及び周辺領域GAの駆動回路12を囲んで設けられる。言い換えると、カソード配線60は、基板10上に形成された周辺回路と基板21の外縁との間に配置される。複数の発光素子3のカソード（カソード端子22t（図5参照））は、共通のカソード配線60に接続され、固定電位（例えば、グランド電位）が供給される。より具体的には、発光素子3のカソード端子22t（図5参照）は、カソード電極22を介して、カソード配線60に接続される。なお、カソード配線60は、基板10の3辺に沿って連続して形成される1つの配線に限らず、基板21上において、いずれかの辺においてスリットを有する2つの部分配線からなってもよく、基板21の少なくとも1つの辺に沿って配置される配線であれば良い。

[0015] 図2は、複数の画素を示す平面図である。図2に示すように、1つの画素 P_{ix} は、複数の画素49を含む。例えば、画素 P_{ix} は、第1画素49Raと、第2画素49Rbと、第3画素49Gと、第4画素49Bとを有する。第1画素49Raは、第1色としての原色の第1赤色を表示する。第2画素49Rbは、第1色としての原色の第2赤色を表示する。第3画素49Gは、第2色としての原色の緑色を表示する。第4画素49Bは、第3色としての原色の青色を表示する。第1赤色と第2赤色は、いずれも赤色の光であるが、発光強度及び光のスペクトルの半値幅が異なる。

[0016] 図2に示すように、1つの画素 P_{ix} において、第1画素49Raと第2画素49Rbは第2方向Dyで並ぶ。第1画素49Raと第4画素49Bは第1方向Dxで並ぶ。第2画素49Rbと第3画素49Gは第1方向Dxで並ぶ。また、第3画素49Gと第4画素49Bは第2方向Dyで並ぶ。なお、第1色、第2色、第3色は、それぞれ赤色、緑色、青色に限られず、補色などの任意の色を選択することができる。以下において、第1画素49Ra、第2画素49Rb、第3画素49G及び第4画素49Bをそれぞれ区別す

る必要がない場合、画素49という。

[0017] 画素49は、それぞれ発光素子3と、アノード電極23とを有する。具体的には、第1画素49Ra、第2画素49Rb、第3画素49G及び第4画素49Bは、それぞれ、第1発光素子3Ra、第2発光素子3Rb、第3発光素子3G及び第4発光素子3Bを有する。つまり、第1発光素子3Raと第2発光素子3Rbは第2方向Dyで並ぶ。第1発光素子3Raと第4発光素子3Bは第1方向Dxで並ぶ。第2発光素子3Rbと第3発光素子3Gは第1方向Dxで並ぶ。また、第3発光素子3Gと第4発光素子3Bは第2方向Dyで並ぶ。第1発光素子3Raは第1赤色の光を出射する。第2発光素子3Rbは第2赤色の光を出射する。第3発光素子3Gは、緑色の光を出射する。第4発光素子3Bは、青色の光を出射する。なお、以下において、第1発光素子3Ra、第2発光素子3Rb、第3発光素子3G及び第4発光素子3Bをそれぞれ区別する必要がない場合、発光素子3という。

[0018] 発光素子3は、平面視で、3 μ m以上、300 μ m以下程度の大きさを有する無機発光ダイオード(LED:Light Emitting Diode)チップであり、マイクロLED(micro LED)又はミニLED(mini LED)と呼ばれる。各画素にマイクロLEDを備える表示装置1は、マイクロLED表示装置とも呼ばれる。なお、マイクロLEDのマイクロは、発光素子3の大きさを限定するものではない。

[0019] なお、複数の発光素子3は、4色以上の異なる光を出射してもよい。なお、第1色、第2色、第3色は、それぞれ赤色、緑色、青色に限られず、補色などの任意の色を選択することができる。また、1つの画素Pixに配置される画素49の数は4に限らず、5以上であってもよく、5以上の画素49には、それぞれ異なる色が対応づけられていてもよい。さらに、画素49の配列は、これに限らず、第1画素49Ra、第2画素49Rb、第3画素49G及び第4画素49Bが第1方向Dx及び第2方向Dyのいずれか一方で並ぶように配列されていてもよい。

[0020] 図3は、画素回路を示す回路図である。図3は、1つの画素49に設けら

れた画素回路P I C Aを示しており、画素回路P I C Aは複数の画素4 9のそれぞれに設けられている。図3に示すように、画素回路P I C Aは、発光素子3と、5つのトランジスタと、2つの容量とを含む。具体的には、画素回路P I C Aは、駆動トランジスタD R T、出力トランジスタB C T、初期化トランジスタI S T、画素選択トランジスタS S T及びリセットトランジスタR S Tを含む。駆動トランジスタD R T、出力トランジスタB C T、初期化トランジスタI S T、画素選択トランジスタS S T及びリセットトランジスタR S Tは、それぞれn型T F T (Thin Film Transistor)で構成される。また、画素回路P I C Aは、第1容量C s 1及び第2容量C s 2を含む。

[0021] 発光素子3のカソード（カソード端子2 2 t）は、カソード電源線L 1 0に接続される。また、発光素子3のアノード（アノード端子2 3 t）は、駆動トランジスタD R T及び出力トランジスタB C Tを介してアノード電源線L 1に接続される。アノード電源線L 1には、アノード電源電位P V D Dが供給される。カソード電源線L 1 0には、カソード配線6 0及びカソード電極2 2に対応しカソード電源電位P V S Sが供給される。アノード電源電位P V D Dは、カソード電源電位P V S Sよりも高い電位である。

[0022] アノード電源線L 1は、画素4 9に、駆動電位であるアノード電源電位P V D Dを供給する。具体的には、発光素子3には、理想的にはアノード電源電位P V D Dとカソード電源電位P V S Sとの電位差（ $P V D D - P V S S$ ）により順方向電流（駆動電流）が供給され発光する。つまり、アノード電源電位P V D Dは、カソード電源電位P V S Sに対し、発光素子3を発光させる電位差を有している。発光素子3のアノード端子2 3 tはアノード電極2 3に接続され、アノード電極2 3とアノード電源線L 1との間に、第2容量C s 2が接続される。

[0023] 駆動トランジスタD R Tのソース電極は、アノード電極2 3を介して発光素子3のアノード端子2 3 tに接続され、ドレイン電極は、出力トランジスタB C Tのソース電極に接続される。駆動トランジスタD R Tのゲート電極

は、第1容量 C_{s1} 、画素選択トランジスタ SST のドレイン電極及び初期化トランジスタ IST のドレイン電極に接続される。

[0024] 出力トランジスタ $BC T$ のゲート電極は、出力制御信号線 $L6$ に接続される。出力制御信号線 $L6$ には、出力制御信号 BG が供給される。出力トランジスタ $BC T$ のドレイン電極は、アノード電源線 $L1$ に接続される。

[0025] 初期化トランジスタ IST のソース電極は、初期化電源線 $L4$ に接続される。初期化電源線 $L4$ には、初期化電位 V_{ini} が供給される。初期化トランジスタ IST のゲート電極は、初期化制御信号線 $L8$ に接続される。初期化制御信号線 $L8$ には、初期化制御信号 IG が供給される。すなわち、駆動トランジスタ DRT のゲート電極には、初期化トランジスタ IST を介して初期化電源線 $L4$ が接続される。

[0026] 画素選択トランジスタ SST のソース電極は、映像信号線 $L2$ に接続される。映像信号線 $L2$ には、映像信号 V_{sig} が供給される。画素選択トランジスタ SST のゲート電極には、画素制御信号線 $L7$ が接続されている。画素制御信号線 $L7$ には、画素制御信号 SG が供給される。

[0027] リセットトランジスタ RST のソース電極は、リセット電源線 $L3$ に接続される。リセット電源線 $L3$ には、リセット電源電位 V_{rst} が供給される。リセットトランジスタ RST のゲート電極は、リセット制御信号線 $L5$ が接続される。リセット制御信号線 $L5$ には、リセット制御信号 RG が供給される。リセットトランジスタ RST のドレイン電極は、アノード電極 23 （発光素子 3 のアノード端子 $23t$ ）及び駆動トランジスタ DRT のソース電極に接続される。リセットトランジスタ RST のリセット動作により、第1容量 C_{s1} 及び第2容量 C_{s2} に保持された電圧がリセットされる。

[0028] リセットトランジスタ RST のドレイン電極と、駆動トランジスタ DRT のゲート電極との間に、第1容量 C_{s1} が設けられる。画素回路 $PICA$ は、第1容量 C_{s1} 及び第2容量 C_{s2} により、駆動トランジスタ DRT の寄生容量とリーク電流とによるゲート電圧の変動を抑制することができる。

[0029] なお、以下の説明において、アノード電源線 $L1$ 及びカソード電源線 $L1$

0を単に電源線と表す場合がある。映像信号線L 2、リセット電源線L 3及び初期化電源線L 4を信号線と表す場合がある。リセット制御信号線L 5、出力制御信号線L 6、画素制御信号線L 7及び初期化制御信号線L 8をゲート線と表す場合がある。

[0030] 駆動トランジスタD R Tのゲート電極には、映像信号V s i g（または、階調信号）に応じた電位が供給される。つまり、駆動トランジスタD R Tは、出力トランジスタB C Tを介して供給されたアノード電源電位P V D Dに基づいて、映像信号V s i gに応じた電流を発光素子3に供給する。このように、アノード電源線L 1に供給されたアノード電源電位P V D Dは、駆動トランジスタD R T及び出力トランジスタB C Tによって降下するため、発光素子3のアノード端子2 3 tには、アノード電源電位P V D Dよりも低い電位が供給される。

[0031] 第2容量C s 2の一方の電極には、アノード電源線L 1を介してアノード電源電位P V D Dが供給され、第2容量C s 2の他方の電極には、アノード電源電位P V D Dよりも低い電位が供給される。つまり、第2容量C s 2の一方の電極には、第2容量C s 2の他方の電極よりも高い電位が供給される。第2容量C s 2の一方の電極は、例えば、アノード電源線L 1であり、第2容量C s 2の他方の電極は、駆動トランジスタD R Tのソースに接続されたアノード電極2 3及びこれに接続されたアノード接続電極2 4である。

[0032] 表示装置1において、駆動回路1 2（図1参照）は、複数の画素行を、先頭行（例えば、図1中の表示領域A Aにおいて、最上部に位置する画素行）から順番に選択する。駆動I C 2 1 0は、選択された画素行の画素4 9に映像信号V s i g（映像書き込み電位）を書き込み、発光素子3を発光させる。駆動I C 2 1 0は、1水平走査期間ごとに、映像信号線L 2に映像信号V s i gを供給し、リセット電源線L 3にリセット電源電位V r s tを供給し、初期化電源線L 4に初期化電位V i n iを供給する。表示装置1は、これらの動作が1フレームの画像ごとに繰り返される。

[0033] 次に、図4から図6を参照しつつ、各トランジスタ及び各配線の具体的な

構成例について説明する。図4は、実施形態に係る表示装置の、2つの画素を拡大して示す平面図である。

[0034] 図4は、第1方向D_xに隣り合う2つの画素49（例えば、第2画素49R_bと第3画素49G）について示す。図4に示すように、アノード電源線L₁、映像信号線L₂、リセット電源線L₃及び初期化電源線L₄は、第2方向D_yに延出する。リセット制御信号線L₅、出力制御信号線L₆、画素制御信号線L₇、初期化制御信号線L₈は、第1方向D_xに延出し、平面視で、アノード電源線L₁、映像信号線L₂、リセット電源線L₃及び初期化電源線L₄とそれぞれ交差する。また、第1方向D_xに隣り合う2つのアノード電源線L₁の間に接続配線L₉が設けられている。接続配線L₉は、駆動トランジスタDRT、画素選択トランジスタSST及び初期化トランジスタISTを接続する。

[0035] 図4では、各配線及び半導体層を区別するために、アノード電源線L₁、映像信号線L₂、リセット電源線L₃及び初期化電源線L₄に斜線を付している。リセット制御信号線L₅、出力制御信号線L₆、画素制御信号線L₇及び初期化制御信号線L₈を点線で示している。また、各半導体層61、65、71、75、79にも斜線を付している。アノード接続電極24は、2点鎖線で示している。

[0036] アノード電源線L₁、映像信号線L₂、リセット電源線L₃、初期化電源線L₄及び接続配線L₉は、各ゲート線（リセット制御信号線L₅、出力制御信号線L₆、画素制御信号線L₇、初期化制御信号線L₈）と異なる層に設けられた金属層で形成されている。

[0037] 各種配線の材料として、チタン（Ti）、モリブデン（Mo）、タングステン（W）、タンタル（Ta）、ニオブ（Nb）、インジウムスズ酸化物（ITO）、アルミニウム（Al）、銀（Ag）、Ag合金、銅（Cu）、カーボンナノチューブ、グラファイト、グラフェン又はカーボンナノバッドが用いられる。ここで、アノード電源線L₁、映像信号線L₂、リセット電源線L₃、初期化電源線L₄及び接続配線L₉のシート抵抗値は、各ゲート線

のシート抵抗値以下である。また、アノード電源線L1のシート抵抗値は、各信号線（映像信号線L2、リセット電源線L3、初期化電源線L4）及び接続配線L9のシート抵抗値以下である。例えば、アノード電源線L1のシート抵抗値は、 $30\text{ m}\Omega/\square$ 以上 $120\text{ m}\Omega/\square$ 以下である。各信号線及び接続配線L9のシート抵抗値は、 $120\text{ m}\Omega/\square$ 以上 $300\text{ m}\Omega/\square$ 以下である。また、各ゲート線のシート抵抗値は、 $300\text{ m}\Omega/\square$ 以上 $3000\text{ m}\Omega/\square$ 以下である。これにより、表示装置1は、アノード電源線L1に印加される駆動電圧の電圧降下を抑制し、表示性能の低下を抑制できる。

[0038] なお、各種配線は、それぞれ、単層に限定されず、積層膜で構成されていてもよい。例えば、各電源線及び信号線はTi/AI/TiあるいはMo/AI/Moの積層構造であってもよく、AIの単層膜であってもよい。また、Ti、AI、Moは合金でもよい。

[0039] 半導体層61、65、71、75、79は、例えば、アモルファスシリコン、微結晶酸化物半導体、アモルファス酸化物半導体、ポリシリコン、低温ポリシリコン（LTPS: Low Temperature Polycrystalline Silicone）又は窒化ガリウム（GaN）で構成される。酸化物半導体としては、IGZO、酸化亜鉛（ZnO）、ITZOが例示される。IGZOは、インジウムガリウム亜鉛酸化物である。ITZOは、インジウムスズ亜鉛酸化物である。半導体層61、65、71、75、79は、いずれも同じ材料、例えば、ポリシリコンで構成されていてもよい。

[0040] 図4に示すように、リセット電源線L3及び初期化電源線L4は、第1方向Dxに隣り合う2つの画素49で共有される。つまり、図4の左側に示す第2画素49Rbでは、初期化電源線L4は設けられず、映像信号線L2に沿ってリセット電源線L3が設けられている。図4の右側に示す第3画素49Gでは、リセット電源線L3は設けられず、映像信号線L2に沿って初期化電源線L4が設けられている。これにより、各画素49にリセット電源線L3及び初期化電源線L4を設けた場合に比べて、配線の数进行少なくて効率よく配線を配置することができる。

[0041] 駆動トランジスタDRTは、半導体層61、ソース電極62及びゲート電極64を有する。半導体層61、ソース電極62及びゲート電極64は、平面視で、少なくとも一部が重なって配置され、第1方向Dxに隣り合う2つのアノード電源線L1と、出力制御信号線L6と、画素制御信号線L7とで囲まれた領域に設けられる。半導体層61のうち、ゲート電極64と重なる領域の一部にチャンネル領域が形成される。駆動トランジスタDRTは、半導体層61と重なって1つのゲート電極64が設けられたシングルゲート構造である。

[0042] 半導体層61は、第1部分半導体層61aを有する。第1部分半導体層61aは、半導体層61と同層で、同じ半導体材料が用いられる。第1部分半導体層61aは、半導体層61から第1方向Dxに突出した部分である。第1部分半導体層61aの第1方向Dxの幅は、半導体層61のうち、出力トランジスタBCTの半導体層65と接続される部分での第1方向Dxの幅よりも大きい。半導体層61は、第1部分半導体層61aを介してソース電極62と接続される。半導体層61及び第1部分半導体層61aは、第1絶縁膜91（図5参照）及びゲート電極64と重なって設けられており、第1部分半導体層61aとゲート電極64との間に第1容量Cs1が形成される。なお、半導体層61と第1部分半導体層61aとは、それぞれ矩形状に形成されて接続部を介して電氣的に接続されていてもよい。

[0043] 出力トランジスタBCTは、半導体層65を有する。半導体層65は駆動トランジスタDRTの半導体層61と接続されており、出力制御信号線L6と平面視で交差する。半導体層65のうち、出力制御信号線L6と重なる領域にチャンネル領域が形成される。出力制御信号線L6のうち半導体層65と重なる部分が、出力トランジスタBCTのゲート電極66として機能する。半導体層65の一端側は、アノード電源線接続部L1aと電氣的に接続される。アノード電源線接続部L1aは、アノード電源線L1から第1方向Dxに分岐された部分である。これにより、駆動トランジスタDRT及び出力トランジスタBCTには、アノード電源線L1からアノード電源電位PVDD

が供給される。

[0044] 図4の右側に示す第3画素49Gでは、初期化トランジスタISTは、半導体層71を有する。図4の左側に示す第2画素49Rbでは、初期化トランジスタISTは、半導体層71Aを有する。半導体層71、71Aは、それぞれ、初期化制御信号線L8及び分岐信号線L8aと平面視で交差する。半導体層71、71Aのうち、初期化制御信号線L8及び分岐信号線L8aと重なる領域にチャネル領域が形成される。分岐信号線L8aは、初期化制御信号線L8から分岐され、第1方向Dxに延出する。初期化制御信号線L8及び分岐信号線L8aのうち半導体層71、71Aと重なる部分が、それぞれ初期化トランジスタISTのゲート電極74として機能する。つまり、初期化トランジスタISTは、半導体層71、71Aのそれぞれに重なって2つのゲート電極74が設けられたダブルゲート構造である。

[0045] 図4の右側に示す第3画素49Gでは、半導体層71は、第2方向Dyに延出し、一端が接続配線L9に電氣的に接続され、他端が初期化電源線接続部L4aに接続される。初期化電源線接続部L4aは、初期化電源線L4から第1方向Dxに分岐された部分である。また、図4の左側に示す第2画素49Rbでは、半導体層71Aは、第2方向Dyに延出する部分と、第1方向Dxに延出する部分とを有する。半導体層71Aのうち、第2方向Dyに延出する部分の一端が接続配線L9に電氣的に接続される。半導体層71Aのうち、第1方向Dxに延出する部分は、平面視でアノード電源線L1及び映像信号線L2と交差して第3画素49Gまで延出し、初期化電源線接続部L4aに電氣的に接続される。以上のような構成により、1つの初期化電源線L4は、2つの初期化トランジスタISTに電氣的に接続されて、第1方向Dxに隣り合う2つの画素49で共有される。

[0046] 画素選択トランジスタSSTは、半導体層75を有する。半導体層75は、第1方向Dxに延出し、2つの分岐信号線L7aと平面視で交差する。半導体層75のうち、2つの分岐信号線L7aと重なる領域にチャネル領域が形成される。2つの分岐信号線L7aは、画素制御信号線L7から第2方向

Dyに分岐された部分である。2つの分岐信号線L7aのうち半導体層75と重なる部分が、それぞれ画素選択トランジスタSSTのゲート電極78として機能する。つまり、画素選択トランジスタSSTは、半導体層75に重なって2つのゲート電極78が設けられたダブルゲート構造である。半導体層75の一端は、映像信号線接続部L2aに接続され、他端は接続配線L9に接続される。映像信号線接続部L2aは、映像信号線L2から第1方向Dxに分岐された部分である。

[0047] リセットトランジスタRSTは、半導体層79を有する。半導体層79は、第2方向Dyに延出し、リセット制御信号線L5及び分岐信号線L5aと平面視で交差する。半導体層79のうち、リセット制御信号線L5及び分岐信号線L5aと重なる領域にチャネル領域が形成される。分岐信号線L5aは、リセット制御信号線L5から分岐され、第1方向Dxに延出する。リセット制御信号線L5及び分岐信号線L5aのうち、半導体層79と重なる部分が、それぞれリセットトランジスタRSTのゲート電極として機能する。つまり、リセットトランジスタRSTは、ダブルゲート構造である。

[0048] リセット電源線L3には、第1方向Dxに延出するリセット電源線接続部L3a、L3b及びブリッジ部L3cが接続されている。リセット電源線接続部L3a、L3bはリセット電源線L3と同層の金属層で形成され、ブリッジ部L3cは、リセット電源線接続部L3a、L3bと異なる層、例えば各種ゲート線と同層の金属層で形成される。リセット電源線接続部L3aは第2画素49Rbに設けられ、リセット電源線接続部L3bは、第3画素49Gに設けられる。リセット電源線接続部L3aとリセット電源線接続部L3bとの間に、アノード電源線L1、映像信号線L2及び初期化電源線L4が設けられる。ブリッジ部L3cは、平面視でアノード電源線L1、映像信号線L2及び初期化電源線L4と交差して、リセット電源線接続部L3aとリセット電源線接続部L3bとを接続する。

[0049] 第2画素49Rbにおいて、半導体層79の一端はリセット電源線接続部L3aに接続される。また、第3画素49Gにおいて、半導体層79の一端

はリセット電源線接続部L 3 bに接続される。また、半導体層7 9の他端は、それぞれ駆動トランジスタD R Tの半導体層6 1に電氣的に接続される。つまり、リセットトランジスタR S Tの半導体層7 9の他端は、半導体層6 1、ソース電極6 2を介して発光素子3のアノード端子2 3 tに電氣的に接続される。以上のような構成により、1つのリセット電源線L 3は、2つのリセットトランジスタR S Tに電氣的に接続されて、第1方向D xに隣り合う2つの画素4 9で共有される。

[0050] 第1容量C s 1 (図3参照)は、半導体層6 1 (第1部分半導体層6 1 a)とゲート電極6 4との間に形成される。アノード接続電極2 4は、駆動トランジスタD R Tと電氣的に接続され、少なくともアノード電源線L 1と重なって配置される。アノード接続電極2 4と、アノード電源線L 1及びアノード電源線L 1に接続された各種配線との間に第2容量C s 2 (図3参照)が形成される。第2画素4 9 R bで形成される第2容量C s 2と、第3画素4 9 Gで形成される第2容量C s 2は、同程度の大きさであり、それぞれ例えば250 f F程度である。

[0051] また、本実施形態において、発光素子3に駆動電流を供給するための駆動トランジスタD R T及び出力トランジスタB C Tは、シングルゲート構造である。初期化トランジスタI S T、画素選択トランジスタS S T及びリセットトランジスタR S Tはダブルゲート構造である。これにより、初期化トランジスタI S T、画素選択トランジスタS S T及びリセットトランジスタR S Tのリーク電流を抑制することができる。

[0052] 次に、表示装置1の断面構成について説明する。図5は、図4のV-V'線に沿う断面図である。図6は、図4のV I-V I'線に沿う断面図である。なお、図6では、周辺領域G Aに設けられたカソード配線6 0及びトランジスタT rを模式的に示している。

[0053] 図5に示すように、発光素子3は、アレイ基板2の上に設けられる。アレイ基板2は、基板2 1、各種トランジスタ、各種配線及び各種絶縁膜を有する。基板2 1は絶縁基板であり、例えば、ガラス基板、樹脂基板又は樹脂フ

ィルム等が用いられる。

- [0054] 本明細書において、基板 2 1 の表面に垂直な方向において、基板 2 1 から平坦化膜 2 7 に向かう方向を「上側」とする。また、平坦化膜 2 7 から基板 2 1 に向かう方向を「下側」とする。
- [0055] 駆動トランジスタ D R T、出力トランジスタ B C T、初期化トランジスタ I S T、画素選択トランジスタ S S T 及びリセットトランジスタ R S T は、基板 2 1 の一方の面側に設けられる。基板 2 1 の一方の面に、アンダーコート膜 9 0、各ゲート線、第 1 絶縁膜 9 1、半導体層 6 1、6 5、7 1、7 5、第 2 絶縁膜 9 2、各信号線及び電源線、第 3 絶縁膜 9 3、アノード接続電極 2 4 及びシールド電極 2 6、第 4 絶縁膜 9 4 の順に積層される。
- [0056] アノード接続電極 2 4 及びシールド電極 2 6 の上に、第 4 絶縁膜 9 4 を介して、アノード電極 2 3 及び発光素子 3 が設けられる。
- [0057] 表示装置 1 において、アレイ基板 2 は、基板 2 1 からアノード電極 2 3 までの各層を含む。アレイ基板 2 には、平坦化膜 2 7、カソード電極 2 2 及び発光素子 3 は含まれない。
- [0058] アンダーコート膜 9 0、第 1 絶縁膜 9 1、第 2 絶縁膜 9 2 及び第 4 絶縁膜 9 4 は、シリコン酸化膜 (S i O)、シリコン窒化膜 (S i N) 又はシリコン酸化窒化膜 (S i O N) 等の無機絶縁材料が用いられる。また、各無機絶縁膜は、単層に限定されず積層膜であってもよい。また、アンダーコート膜 9 0 は設けられていなくてもよい。第 3 絶縁膜 9 3 及び平坦化膜 2 7 は、有機絶縁膜あるいは無機有機ハイブリッド絶縁膜 (S i - O 主鎖に、例えば有機基 (メチル基あるいはフェニル基) が結合した材料) である。
- [0059] ゲート電極 6 4、6 6、7 4、7 8 は、アンダーコート膜 9 0 を介して基板 2 1 の上に設けられる。第 1 絶縁膜 9 1 は、ゲート電極 6 4、6 6、7 4、7 8 を覆ってアンダーコート膜 9 0 の上に設けられる。半導体層 6 1、6 5、7 1、7 5 は、第 1 絶縁膜 9 1 の上に設けられる。第 2 絶縁膜 9 2 は、半導体層 6 1、6 5、7 1、7 5 を覆って第 1 絶縁膜 9 1 の上に設けられる。

- [0060] 図5に示す例では、各トランジスタは、いわゆるボトムゲート構造である。ただし、各トランジスタは、半導体層の上側にゲート電極が設けられたトップゲート構造でもよく、半導体層の上側及び下側の両方にゲート電極が設けられたデュアルゲート構造でもよい。
- [0061] 接続配線L 9、ソース電極6 2、7 2及びドレイン電極6 7は、第2絶縁膜9 2の上に設けられる。ソース電極6 2は第2絶縁膜9 2に設けられたコンタクトホールを介して第1部分半導体層6 1 a（半導体層6 1）と電氣的に接続される。
- [0062] ドレイン電極6 7は第2絶縁膜9 2に設けられたコンタクトホールを介して半導体層6 5と電氣的に接続される。また、初期化トランジスタI S Tのソース電極7 2は、第2絶縁膜9 2に設けられたコンタクトホールを介して半導体層7 1と電氣的に接続される。
- [0063] 接続配線L 9の一端側は、第2絶縁膜9 2に設けられたコンタクトホールを介して画素選択トランジスタS S Tの半導体層7 5と電氣的に接続される。接続配線L 9のうち、半導体層7 5と重なる部分がドレイン電極7 7として機能する。また、接続配線L 9の他端側は、第2絶縁膜9 2に設けられたコンタクトホールを介して初期化トランジスタI S Tの半導体層7 1と電氣的に接続される。接続配線L 9のうち、半導体層7 1と重なる部分がドレイン電極7 3として機能する。このような構成により、画素選択トランジスタS S Tのドレインと初期化トランジスタI S Tのドレインとが接続配線L 9を介して電氣的に接続される。
- [0064] 第3絶縁膜9 3は、ソース電極6 2、7 2及びドレイン電極6 7、7 3、7 7を覆って、第2絶縁膜9 2の上に設けられる。第3絶縁膜9 3の上にアノード接続電極2 4及びシールド電極2 6が設けられる。アノード接続電極2 4は、第3絶縁膜9 3に設けられたコンタクトホールを介してソース電極6 2と接続される。シールド電極2 6は、アノード電極2 3及び発光素子3の下に設けられる。
- [0065] 第4絶縁膜9 4は、アノード接続電極2 4及びシールド電極2 6を覆って

、第3絶縁膜93の上に設けられる。アノード電極23は第4絶縁膜94の上に設けられる。アノード電極23は、第4絶縁膜94に設けられたコンタクトホールを介してアノード接続電極24と電氣的に接続される。

[0066] 発光素子3は、アノード電極23の上に設けられ、発光素子3のアノード端子23tとアノード電極23が接続される。これにより、発光素子3のアノード端子23tは、駆動トランジスタDRTのソース電極62と電氣的に接続される。

[0067] 平坦化膜27は、発光素子3の少なくとも側面3aを覆って第4絶縁膜94の上に設けられる。カソード電極22は、平坦化膜27の上に設けられ、発光素子3のカソード端子22tと接続される。カソード電極22は、表示領域AAから周辺領域GAに亘って設けられており、複数の画素49の発光素子3と電氣的に接続される。

[0068] 図6に示すように、基板21の周辺領域GAには、複数のトランジスタとして、駆動回路12（図1参照）に含まれるトランジスタTr及びカソード配線60が設けられる。カソード配線60は、アノード電源線L1と同層に設けられ、周辺領域GAにおいて第2絶縁膜92の上に設けられる。図5に示すカソード電極22は、第3絶縁膜93、第4絶縁膜94及び平坦化膜27に設けられたコンタクトホールを介して、カソード配線60と電氣的に接続される。また、図3に示すカソード電源線L10は、カソード配線60及びカソード電極22を含む。

[0069] トランジスタTrは、半導体層81、ソース電極82、ドレイン電極83及びゲート電極84を含む。トランジスタTrは、画素回路PICAに含まれる各トランジスタと同様の層構成を有しており、詳細な説明は省略する。半導体層81は、第2絶縁膜92の上、すなわち、各半導体層61、65、71、75、79と同層に設けられている。ただし、トランジスタTrは、画素49の各トランジスタと異なる層に設けられていてもよい。

[0070] 図6に示すように、アノード電源線L1、映像信号線L2及びリセット電源線L3は、第2絶縁膜92の上に設けられる。アノード電源線L1の幅は

、映像信号線L 2 及びリセット電源線L 3 のそれぞれの幅よりも大きい。また、アノード電源線L 1 の厚さ t 2 は、ゲート電極 6 4 の厚さ t 1 （図 5 参照）よりも厚い。また、アノード電源線L 1 の厚さ t 2 は、映像信号線L 2 及びリセット電源線L 3 の厚さと等しい。これにより、アノード電源線L 1 の抵抗値を小さくすることができる。なお、アノード電源線L 1 の厚さ t 2 は、映像信号線L 2 及びリセット電源線L 3 の厚さと異なってもよい。

[0071] 各配線の層構成は適宜変更できる。例えば、アノード電源線L 1 と、映像信号線L 2 及びリセット電源線L 3 等の各信号線とが、異なる層に設けられていてもよい。

[0072] アノード電源線L 1 と各種ゲート線との間に形成される容量は、デカップリングコンデンサとして用いられる。これにより、デカップリングコンデンサは、アノード電源電位 P V D D の変動を吸収して、駆動 I C 2 1 0 を安定して動作させることができる。また、デカップリングコンデンサは、表示装置 1 で発生する電磁ノイズが外部に漏れることを抑制できる。

[0073] なお、上述した図 3 に示す画素回路 P I C A の構成は適宜変更することができる。例えば 1 つの画素 4 9 での配線の数及びトランジスタの数は異なってもよい。

[0074] 図 7 は、実施形態に係る第 1 発光素子を示す断面図である。本実施形態の表示装置 1 において、第 1 発光素子 3 R a は、アノード端子 2 3 t が下側に設けられカソード端子 2 2 t が上側に設けられた、いわゆるフェースアップ構造である。

[0075] 図 7 に示すように、第 1 発光素子 3 R a は、複数の部分発光素子 3 s と、複数の部分発光素子 3 s を覆う保護層 3 9 と、 p 型電極 3 7 と、 n 型電極 3 8 と、を有する。複数の部分発光素子 3 s は、 p 型電極 3 7 と n 型電極 3 8 との間に、それぞれ柱状に形成される。複数の部分発光素子 3 s は、 n 型クラッド層 3 3 と、発光層 3 4 と、 p 型クラッド層 3 5 と、を有する。 n 型電極 3 8 は、 n 型クラッド層 3 3 に電氣的に接続される。 p 型電極 3 7 は p 型クラッド層 3 5 に電氣的に接続される。 p 型電極 3 7 の上に、 p 型クラッド

層 3 5、発光層 3 4、n 型クラッド層 3 3 の順に積層される。n 型クラッド層 3 3 及び p 型クラッド層 3 5 は、例えば、窒化ガリウム (Ga N)、アルミニウムインジウム燐 (Al I n P) 等の化合物半導体を用いられる。第 1 発光素子 3 R a の発光層 3 4 は、ユウロピウム (Eu) が添加された窒化ガリウム (Ga N) である。

[0076] n 型電極 3 8 は、ITO (Indium Tin Oxide) 等の透光性の導電性材料である。n 型電極 3 8 は、第 1 発光素子 3 R a のカソード端子 2 2 t であり、カソード電極 2 2 に接続される。また、p 型電極 3 7 は、第 1 発光素子 3 R a のアノード端子 2 3 t であり、Pt 層 3 7 a と、メッキにより形成された厚膜 Au 層 3 7 b と、を有する。厚膜 Au 層 3 7 b は、アノード電極 2 3 の載置面 2 3 a に接続される。

[0077] 保護層 3 9 は、例えば SOG (Spin on Glass) である。保護層 3 9 の側面が、第 1 発光素子 3 R a の側面 3 a となる。平坦化膜 2 7 は、保護層 3 9 の側面を囲んで設けられる。

[0078] 図 8 は、実施形態に係る第 2 発光素子を示す断面図である。第 2 赤色の光を出射する第 2 発光素子 3 R b は、第 1 赤色の光を出射する第 1 発光素子 3 R a と異なる構造を有する。具体的には、図 8 に示すように、第 2 発光素子 3 R b の発光層 3 4 A は、窒化インジウムガリウム (In Ga N) と窒化ガリウム (Ga N) とが多層に積層された多重量子井戸構造である。なお、第 3 発光素子 3 G 及び第 4 発光素子 3 B は、第 1 発光素子 3 R a 及び第 2 発光素子 3 R b と同様の積層構造を有し、第 1 発光素子 3 R a と同様に単層の発光層 3 4 を有してもよいし、第 2 発光素子 3 R b と同様に多層の発光層 3 4 を有してもよい。

[0079] 図 9 は、各発光素子の発光強度と波長との関係を模式的に示すグラフである。第 1 発光素子 3 R a、第 2 発光素子 3 R b、第 3 発光素子 3 G 及び第 4 発光素子 3 B からそれぞれ出射される光のスペクトルにおいて、極大発光波長は、それぞれ 620 nm、645 nm、530 nm、450 nm 程度である。

[0080] 第1発光素子3R aの極大発光波長は、第2発光素子3R bの極大発光波長の近傍にあり、第1発光素子3R a及び第2発光素子3R bはいずれも赤色の光（第1赤色、第2赤色）を出射する。第1赤色の光のスペクトルの波長領域は、第2赤色の光のスペクトルの波長領域と重なる。また、第1赤色の光のスペクトルの半値幅は、第2赤色の光のスペクトルの半値幅よりも小さい。第1赤色の光のスペクトルの発光強度は、第2赤色の光のスペクトルの発光強度よりも大きい。本実施形態では、異なる光のスペクトルを有する第1発光素子3R a及び第2発光素子3R bにより赤色を表示することで、良好に画像を表示することができる。

[0081] 次に、図10及び図11を参照しつつ、各発光素子の出力階調値の設定方法について説明する。図10は、信号処理回路の構成を模式的に示すブロック図である。図11は、入力階調値と、駆動される発光素子との関係を説明するための説明図である。

[0082] 図10に示すように、信号処理回路100は、第1処理回路110と、メモリ115と、バッファ125とを有する。信号処理回路100は、映像信号Vsigに基づいて4つの画素49の各々の出力階調値SoRa、SoRb、SoG、SoBを演算する。映像信号Vsigは画素Pixごとの入力階調値SiR、SiG、SiBを含む。入力階調値SiR、SiG、SiBは、それぞれ赤色、緑色、青色の階調値である。出力階調値SoRaは、第1画素49Raに対応する階調値である。出力階調値SoRbは、第2画素49Rbに対応する階調値である。出力階調値SoGは、第3画素49Gに対応する階調値である。出力階調値SoBは、第4画素49Bに対応する階調値である。信号処理回路100は、例えば図1に示す駆動IC210に含まれていてもよいし、駆動IC210と別の回路チップとして基板21に設けられていてもよい。以下において、出力階調値SoRa、SoRb、SoG、SoBをそれぞれ区別する必要がない場合、出力階調値Soという。また、入力階調値SiR、SiG、SiBをそれぞれ区別する必要がない場合、入力階調値Siという。

- [0083] バッファ125は、入力階調値 S_i を記憶する回路である。なお、バッファ125は、1フレーム分の映像信号 V_{sig} に含まれる入力階調値 S_{iR} 、 S_{iG} 、 S_{iB} を含む入力階調値 S_i を記憶してもよいし、1フレーム分の映像信号 V_{sig} のうち、一部の映像信号 V_{sig} に含まれる入力階調値 S_i を取り込んでもよい。
- [0084] メモリ115は、入力階調値 S_{iR} 、 S_{iG} 、 S_{iB} と、4つの画素49の各々の出力階調値 S_{oRa} 、 S_{oRb} 、 S_{oG} 、 S_{oB} との関係を示す情報を示すデータLUTを含む。データLUTは、例えば、ルックアップテーブル (Look Up Table) のようなテーブルデータである。
- [0085] データLUTは、入力階調値 S_{iR} が0以上第1しきい値 L_{th} (図11参照) 以下の範囲では、第1発光素子3Raのみを点灯させる出力階調値 S_{oRa} 、 S_{oRb} が対応付けられている。すなわち、入力階調値 S_{iR} が0以上第1しきい値 L_{th} 以下の範囲では、出力階調値 S_{oRb} は0 (階調値0) である。また、データLUTは、入力階調値 S_{iR} が第1しきい値 L_{th} よりも大きく、第2しきい値 H_{th} (図11参照) よりも小さい範囲では、第1発光素子3Ra及び第2発光素子3Rbの両方を点灯させる出力階調値 S_{oRa} 、 S_{oRb} が対応付けられている。第2しきい値 H_{th} は、第1しきい値 L_{th} よりも大きい階調値である。また、データLUTは、入力階調値 S_{iR} が第2しきい値 H_{th} 以上の範囲では、第1発光素子3Raのみを点灯させる出力階調値 S_{oRa} 、 S_{oRb} が対応付けられている。すなわち、入力階調値 S_{iR} が第2しきい値 H_{th} 以上の範囲では、出力階調値 S_{oRb} は0 (階調値0) である。なお、第2しきい値 H_{th} は、入力階調値 S_{iR} の最大階調値 m (例えば、 $m=255$) 以下の所定の数値である。
- [0086] 第1処理回路110は、メモリ115から読み出したデータLUTを参照して、入力階調値 S_{iR} 、 S_{iG} 、 S_{iB} に対応する出力階調値 S_{oRa} 、 S_{oRb} 、 S_{oG} 、 S_{oB} を特定する。第1処理回路110は、出力階調値 S_{oRa} 、 S_{oRb} 、 S_{oG} 、 S_{oB} を画素 P_{ix} に出力する。各画素49は、出力階調値 S_{oRa} 、 S_{oRb} 、 S_{oG} 、 S_{oB} に基づいて点灯する。

[0087] 図11に示すように、入力階調値 S_{iR} が0以上第1しきい値 L_{th} 以下の範囲では、出力階調値 S_{oRa} 、 S_{oRb} に基づいて、第1発光素子 $3Ra$ が点灯し、第2発光素子 $3Rb$ は点灯しない。入力階調値 S_{iR} が第1しきい値 L_{th} よりも大きく、第2しきい値 H_{th} よりも小さい範囲では、出力階調値 S_{oRa} 、 S_{oRb} に基づいて、第1発光素子 $3Ra$ 及び第2発光素子 $3Rb$ の両方が点灯する。入力階調値 S_{iR} が第2しきい値 H_{th} 以上の範囲では、出力階調値 S_{oRa} 、 S_{oRb} に基づいて、第1発光素子 $3Ra$ のみが点灯し、第2発光素子 $3Rb$ は点灯しない。

[0088] このように、本実施形態では、低階調及び高階調の表示では、発光効率が高い第1発光素子 $3Ra$ のみを点灯させることで、駆動電流の増大を抑制して良好に表示を行うことができる。また、中間階調の表示では、第1発光素子 $3Ra$ 及び第2発光素子 $3Rb$ の両方を点灯させることで、良好に表示を行うことができる。また、第2発光素子 $3Rb$ に供給される駆動電流の増大を抑制することができるので、第2画素 $49Rb$ で形成される第2容量 C_{s2} を、他の画素 49 と同程度の大きさにすることができる。

[0089] (第1変形例)

図12は、各発光素子の出力階調値の設定方法を説明するためのフローチャートである。第1実施形態では、信号処理回路100は、あらかじめ定められたデータ LUT に基づいて出力階調値 S_{oRa} 、 S_{oRb} 、 S_{oG} 、 S_{oB} を演算するが、これに限定されない。図12に示すように、まず、信号処理回路100は、1フレーム画像を取り込む(ステップST1)。具体的には、バッファ125は、1フレーム分の映像信号 $Vsig$ を取り込んで、赤色、緑色、青色のそれぞれに対応する入力階調値 S_{iR} 、 S_{iG} 、 S_{iB} を記憶する。

[0090] 第1処理回路110は、画素 P_{ix} ごとに、入力階調値 S_{iR} が0より大きいか判断する(ステップST2)。言い換えると、画素 P_{ix} ごとに、赤色の表示があるかどうかを判断する。入力階調値 S_{iR} が0である場合(ステップST2、No)、第1処理回路110は、出力階調値 S_{oRa} 、 S_{oR}

bとして階調値0を設定する（ステップST3）。なお、階調値0は画素P_ixを非点灯状態とする階調値である。設定された出力階調値S_oR_a、S_oR_bは画素P_ixに出力され、第1発光素子3R_a及び第2発光素子3R_bは非点灯状態となる。一方で、入力階調値S_iRが0より大きい場合（ステップST2、Yes）、すなわち入力階調値S_iRが1以上の値である場合、第1処理回路110は、入力階調値S_iRと、第1しきい値L_th及び第2しきい値H_thとを比較する（ステップST4）。

[0091] 入力階調値S_iRが0よりも大きく第1しきい値L_th以下の場合、あるいは入力階調値S_iRが第2しきい値H_th以上の場合（ステップST4、Yes）、第1処理回路110は、第1発光素子3R_aのみを点灯させる出力階調値S_oR_a、S_oR_bを設定する（ステップST5）。より具体的には、出力階調値S_oR_aとして入力階調値S_iRに基づく0より大きい値（階調値S_ioR_a）を設定し、出力階調値S_oR_bとして階調値0を設定する。設定された出力階調値S_oR_a、S_oR_bは画素P_ixに出力され、第1発光素子3R_aが点灯し、第2発光素子3R_bは非点灯状態となる。

[0092] 入力階調値S_iRが第1しきい値L_thよりも大きく、第2しきい値H_thよりも小さい場合（ステップST4、No）、第1処理回路110は、第1発光素子3R_a及び第2発光素子3R_bを点灯させる出力階調値S_oR_a、S_oR_bを設定する（ステップST6）。より具体的には、出力階調値S_oR_aとして入力階調値S_iRに基づく0より大きい値（階調値S_ioR_a）を設定し、出力階調値S_oR_bとして入力階調値S_iRに基づく階調値S_ioR_bを設定する。階調値S_ioR_bは、0より大きい値を有する。設定された出力階調値S_oR_a、S_oR_bは画素P_ixに出力され、第1発光素子3R_a及び第2発光素子3R_bが点灯する。

[0093] ステップST3、ステップST5、または、ステップST6の処理が完了した場合、第1処理回路110は、入力階調値S_iGが0より大きいかを判断する（ステップST7）。言い換えると、第1処理回路110は、緑色の表示があるかどうかを判断する。入力階調値S_iGが0である場合（ステッ

プST7、No)、第1処理回路110は、出力階調値S_{OG}として階調値0を設定する(ステップST8)。設定された出力階調値S_{OG}は画素P_ixに出力され、第3発光素子3Gは非点灯状態となる。入力階調値S_iGが0より大きい場合(ステップST7、Yes)、すなわち入力階調値S_iGが1以上の値である場合、第1処理回路110は、入力階調値S_iGに基づく階調値(階調値S_{io}G)を出力階調値S_{OG}として設定する(ステップST9)。設定された出力階調値S_{OG}は、画素P_ixに出力され、第3発光素子3Gが点灯する。

[0094] ステップST8又はステップST9の処理が完了した場合、第1処理回路110は、入力階調値S_iBが0より大きいかを判断する(ステップST10)。言い換えると、第1処理回路110は、青色の表示があるかどうかを判断する。入力階調値S_iBが0である場合(ステップST10、No)、第1処理回路110は、出力階調値S_{OB}として階調値0を設定する(ステップST11)。設定された出力階調値S_{OB}は画素P_ixに出力され、第4発光素子3Bは非点灯状態となる。入力階調値S_iBが0より大きい場合(ステップST10、Yes)、すなわち入力階調値S_iBが1以上の値である場合、第1処理回路110は、入力階調値S_iBに基づく階調値(階調値S_{io}B)を出力階調値S_{OB}として設定する(ステップST12)。設定された出力階調値S_{OB}は、画素P_ixに出力され、第4発光素子3Bが点灯する。

[0095] ステップST11又はステップST12の処理が完了した場合、第1処理回路110は、1フレーム分の全ての画素P_ixの出力階調値S_{ORa}、S_{ORb}、S_{OG}、S_{OB}が設定されたかを判断する(ステップST13)。全ての画素P_ixの出力階調値S_oが設定されていない場合(ステップST13、No)、次の画素P_ixに対して、ステップST2からの処理を実行する。全ての画素P_ixの出力階調値S_oが設定されている場合(ステップST13、Yes)、出力階調値S_oの設定処理を完了する。なお、設定処理が完了してから出力階調値S_{ORa}、S_{ORb}、S_{OG}、S_{OB}が画素P

$i \times$ に出力され、それぞれの画素 $P i \times$ に配置された発光素子3は、設定された出力階調値 $S o R a$ 、 $S o R b$ 、 $S o G$ 、 $S o B$ に基づいて、点灯制御される。

[0096] なお、出力階調値 $S o$ が設定されてから画素 $P i \times$ に出力されるタイミングは、1フレームの全ての画素の出力階調値 $S o$ の設定が完了してからでもよいし、共通するゲート線に接続される1ラインの画素群の設定が完了した段階で画素 $P i \times$ に出力されてもよい。また、画素 $P i \times$ 単位で出力階調値 $S o$ が設定された順に、順次、画素 $P i \times$ に出力されてもよい。

[0097] (第2変形例)

図13は、第2変形例に係る信号処理回路の構成を模式的に示すブロック図である。図14は、第2変形例に係る各発光素子の出力階調値の設定方法を説明するためのフローチャートである。図13に示すように、信号処理回路100Aは、さらに第2処理回路120を備える。以下の説明では、隣り合う2つの画素 $P i \times$ を、第1画素群 $P i \times 1$ 、第2画素群 $P i \times 2$ と表す。信号処理回路100Aは、第1画素群 $P i \times 1$ の入力階調値 $S i R$ 、 $S i G$ 、 $S i B$ に基づいて、第1画素群 $P i \times 1$ の各画素49に加え第2画素群 $P i \times 2$ の一部の画素49を点灯させる。

[0098] 第1処理回路110は、図12で示す処理と同様の処理を行い、出力階調値 $S o R a$ 、 $S o R b 1$ 、 $S o G$ 、 $S o B$ を第2処理回路120へ出力する。第2処理回路120は、第1処理回路110から受け取った出力階調値 $S o R b 1$ に対応する駆動電流と、所定のしきい値電流とを比較し、比較結果に基づく出力階調値 $S o R b 2$ を設定する。信号処理回路100Aは、設定された出力階調値 $S o R b 2$ を画素 $P i \times$ に出力する。具体的には、第2処理回路120は、出力階調値 $S o R b 1$ に基づいて、第2発光素子3Rbに供給される駆動電流を演算する。そして、第2処理回路120は、第2発光素子3Rbの駆動電流が所定のしきい値電流を超えないように、出力階調値 $S o R b 2$ を設定する。より具体的には、駆動電流が所定のしきい値電流を超える場合、出力階調値 $S o R b 1$ を、基準階調値 $S o t R b$ と、保持階調

値 S_{orRb} に分け、基準階調値 S_{otRb} を出力階調値 S_{ORb2} として設定する。基準階調値 S_{otRb} は、しきい値電流又はしきい値電流以下の駆動電流に対応する階調値であって、出力階調値 S_{ORb2} として設定され、第1画素群 P_{ix1} の第2発光素子 $3Rb1$ に出力される。また、保持階調値 S_{orRb} は、メモリ115に入力される。

[0099] 第2処理回路120は、メモリ115に保持階調値 S_{orRb} が保持されている場合、保持階調値 S_{orRb} 及び第2画素群 P_{ix2} の入力階調値 S_{iR} に基づく階調値 S_{ioRb} に基づいて、出力階調値 S_{ORb2} を設定する。なお、第1画素群 P_{ix1} の入力階調値 S_{iR} に対応する階調値 S_{ioRb} を基準階調値 S_{otRb} と保持階調値 S_{orRb} とに分ける場合は、第2発光素子 $3Rb1$ を出力階調値 S_{ORb1} で発光させた場合の輝度と、第2発光素子 $3Rb1$ と、第2画素群 P_{ix2} の第2発光素子 $3Rb2$ とをそれぞれ基準階調値 S_{otRb} と保持階調値 S_{orRb} で発光させた場合の輝度が実質的に等しくなるように設定される。そして、第2画素群 P_{ix2} の入力階調値 S_{iR} に基づく階調値 S_{ioRb} と、第1画素群 P_{ix1} の入力階調値 S_{iR} に基づく階調値 S_{ioRb} から分けられた保持階調値 S_{orRb} とに基づいて、第2画素群 P_{ix2} の第2発光素子 $3Rb2$ に対する出力階調値 S_{ORb2} が設定される。

[0100] 図14のステップST21からステップST26及びステップST7からステップST13は、図12と同様であるため、詳細な説明は省略する。図14に示すように、ステップST23、ステップST25の処理が完了した後に、第2処理回路120は、第1処理回路110から出力階調値 S_{ORb1} を受け取り、メモリ115に保持階調値 S_{orRb} が保持されているかを判断する（ステップST31）。メモリ115に保持階調値 S_{orRb} が保持されている場合（ステップST31、Yes）、第2処理回路120は、保持階調値 S_{orRb} を出力階調値 S_{ORb2} として設定する（ステップST32）。設定された出力階調値 S_{ORb2} は画素 P_{ix} に出力され、画素 P_{ix} に含まれる第2発光素子 $3Rb$ が点灯する。また、メモリ115に保

持階調値 S_{orRb} が保持されていない場合（ステップ $ST31$ 、 No ）、第2処理回路120は、出力階調値 S_{Ob1} （階調値0）を出力階調値 S_{Ob2} として設定する（ステップ $ST33$ ）。設定された出力階調値 S_{Ob2} は画素 P_{ix} に出力され、画素 P_{ix} に含まれる第2発光素子 $3Rb$ が非点灯状態となる。

[0101] ステップ $ST26$ の処理が完了した後に、第2処理回路120は、第1処理回路110から出力階調値 S_{Ob1} を受け取り、メモリ115に保持階調値 S_{orRb} が保持されているかを判断する（ステップ $ST34$ ）。メモリ115に保持階調値 S_{orRb} が保持されている場合（ステップ $ST34$ 、 Yes ）、第2処理回路120は、出力階調値 S_{Ob1} （入力階調値 S_{iR} に基づく階調値 S_{iOb} ）に保持階調値 S_{orRb} を加算する（ステップ $ST35$ ）。メモリ115に保持階調値 S_{orRb} が保持されていない場合（ステップ $ST34$ 、 No ）、第2処理回路120は、出力階調値 S_{Ob1} （階調値 S_{iOb} ）に対応する駆動電流がしきい値電流以下か判断する（ステップ $ST36$ ）。

[0102] 出力階調値 S_{Ob1} に対応する駆動電流がしきい値電流以下である場合（ステップ $ST36$ 、 Yes ）、第2処理回路120は、出力階調値 S_{Ob1} を出力階調値 S_{Ob2} として設定する（ステップ $ST37$ ）。設定された出力階調値 S_{Ob2} は画素 P_{ix} に出力され、画素 P_{ix} に含まれる第2発光素子 $3Rb$ が点灯する。

[0103] なお、ステップ $ST35$ の処理が完了した場合も同様に、第2処理回路120は、保持階調値 S_{orRb} が加算された出力階調値 S_{Ob1} （階調値 $S_{iOb} + \text{保持階調値 } S_{orRb}$ ）に対応する駆動電流がしきい値電流以下であるかを判断する（ステップ $ST36$ ）。出力階調値 S_{Ob1} に対応する駆動電流がしきい値電流以下である場合（ステップ $ST36$ 、 Yes ）、第2処理回路120は、保持階調値 S_{orRb} が加算された出力階調値 S_{Ob1} を出力階調値 S_{Ob2} として設定する（ステップ $ST37$ ）。設定された出力階調値 S_{Ob2} は画素 P_{ix} に出力され、保持階調値 S_{orRb}

R_bが加算された出力階調値S_oR_b1に対応する階調で、画素P_ixに含まれる第2発光素子3R_bが点灯する。

[0104] 出力階調値S_oR_b1に対応する駆動電流がしきい値電流より大きい場合（ステップST36、No）、第2処理回路120は、出力階調値S_oR_b1（階調値S_ioR_b）より小さい基準階調値S_otR_bを出力階調値S_oR_b2として設定する（ステップST38）。より具体的には、第2処理回路120は、出力階調値S_oR_b1に基づき、基準階調値S_otR_bと保持階調値S_orR_bを演算し、基準階調値S_otR_bを出力階調値S_oR_b2として設定する。ステップST38の処理が完了した後に、第2処理回路120は、保持階調値S_orR_bをメモリ115に記録する（ステップST39）。設定された出力階調値S_oR_b2は画素P_ixに出力され、画素P_ixに含まれる第2発光素子3R_bが点灯する。

[0105] なお、ステップST35の処理が完了した場合も同様に、第2処理回路120は、保持階調値S_orR_bが加算された出力階調値S_oR_b1（階調値S_ioR_b+保持階調値S_orR_b）に対応する駆動電流がしきい値電流より大きい場合（ステップST36、No）、第2処理回路120は、保持階調値S_orR_bが加算された出力階調値S_oR_b1より小さい基準階調値S_otR_bを出力階調値S_oR_b2として設定する（ステップST38）。より具体的には、第2処理回路120は、保持階調値S_orR_bが加算された出力階調値S_oR_b1に基づき、基準階調値S_otR_bと保持階調値S_orR_bを演算し、基準階調値S_otR_bを出力階調値S_oR_b2として設定する（ステップST38）。ステップST38の処理が完了した後に、第2処理回路120は、保持階調値S_orR_bをメモリ115に記録する（ステップST39）。設定された出力階調値S_oR_b2は画素P_ixに出力され、画素P_ixに含まれる第2発光素子3R_bが点灯する。

[0106] ステップST32、ステップST33、ステップST37又はステップST39の処理が完了した後は、図12と同様に、信号処理回路100Aは、ステップST7からステップST13の処理を実施する。なお、各ステップ

S Tの実施順は適宜変更可能であり、例えば、ステップS T 3 8及びステップS T 3 9は同時に実施してもよいし、ステップS T 3 9をステップS T 3 8より先に実施してもよい。また、ステップS T 3 6において、出力階調値S o R b 1に対応する駆動電流としきい値電流を比較しているが、これに限らず、しきい値電流に対応する基準階調値S o t R bを記録し、出力階調値S o R b 1が基準階調値S o t R b以下かを判定してもよい。なお、基準階調値S o t R bは、全ての画素P i xに共通の値であってもよいし、画素P i x毎に異なる値を有してもよい。

[0107] 第2変形例では、第1画素群P i x 1の入力階調値S iに基づいて演算された第2発光素子3 R bに供給される駆動電流がしきい値電流よりも大きい場合に、第1画素群P i x 1の第2発光素子3 R bが入力階調値S i Rに対応する階調値S i o R b 1より低い出力階調値（基準階調値S o t R b）で点灯し、保持階調値S o r R bが保持される。隣接する第2画素群P i x 2の出力階調値S oを設定する際に、保持階調値S o r R bが加算されることで、第2発光素子3 R bが入力階調値S i Rに対応する階調値S i o R b 2より高い出力階調値（階調値S i o R b 2 + 保持階調値S o r R b）で点灯する。これによって、隣接する第1画素群P i x 1、第2画素群P i x 2の2つの第2発光素子3 R bにより合計の発光強度を維持しつつ、第1画素群P i x 1の第2発光素子3 R bに流れる駆動電流を抑制することができる。

[0108] （第3変形例）

図15は、第3変形例に係る各発光素子の出力階調値の設定方法を説明するためのフローチャートである。第2変形例において、第1処理回路110が、ステップS T 22からステップS T 26の処理を行い、第2処理回路120がステップS T 31からステップS T 39の処理を行うとしたが、これに限られない。第1処理回路110及び第2処理回路120が行う処理を入れ替えてもよい。第3変形例において、第1処理回路110がメモリ115に保持階調値S o r R bが保持されているか否かを判定する。なお、各ステップS Tにおいて、第2変形例と共通する記載は省略する。

- [0109] 第1処理回路110は、1フレーム分の入力階調値 S_i を取り込み（ステップST121）、保持階調値 S_{orRb} がメモリ115に保持されているか否かを判断する（ステップST122）。保持階調値 S_{orRb} が保持されていない場合（ステップST122、No）、第1処理回路110は、図12のステップST2からステップST6までと同様の処理を行う。具体的には、入力階調値 S_iR が0である場合（ステップST123、No）、及び、入力階調値 S_iR が第1しきい値 L_{th} 以下、若しくは、入力階調値 S_iR が第2しきい値 H_{th} 以上である場合（ステップST125、Yes）は、第1処理回路110は、第2処理回路120を介さずに、出力階調値 S_{orRb2} として階調値0を設定する（ステップST124、ステップST126）。また、入力階調値 S_iR が第1しきい値 L_{th} より大きく、第2しきい値 H_{th} より小さい場合（ステップST125、No）は、第1処理回路110は、入力階調値 S_iR に基づく階調値 S_{iorb} を出力階調値 S_{orRb1} として第2処理回路120に出力する（ステップST127）。
- [0110] 保持階調値 S_{orRb} がメモリ115に保持されている場合（ステップST122、Yes）、第1処理回路110は、保持階調値 S_{orRb} を加算した上で、ステップST123からステップST127と同様の処理を実施する。第1処理回路110は、入力階調値 S_iR が0より大きいかを判断する（ステップST128）。具体的には、入力階調値 S_iR が0である場合（ステップST128、No）、及び、入力階調値 S_iR が第1しきい値 L_{th} 以下、若しくは、入力階調値 S_iR が第2しきい値 H_{th} 以上である場合（ステップST130、Yes）は、第1処理回路110は、第2処理回路120を介さずに、出力階調値 S_{orRb2} として保持階調値 S_{orRb} を設定する（ステップST129、ステップST131）。また、入力階調値 S_iR が第1しきい値 L_{th} より大きく、第2しきい値 H_{th} より小さい場合（ステップST130、No）は、第1処理回路110は、入力階調値 S_iR に基づく階調値 S_{iorb} に保持階調値 S_{orRb} を加算した値を出力階調値 S_{orRb1} として第2処理回路120に出力する（ステップST13

2)。

[0111] 第2処理回路120は、第1処理回路110から出力階調値S o R b 1を受け取ると(ステップS T 1 3 2、ステップS T 1 2 7)、図14のステップS T 3 6からステップS T 3 9と同様の処理を実施する。具体的には、第2処理回路120は、出力階調値S o R b 1に対応する駆動電流がしきい値電流以下かを判断する(ステップS T 1 3 3)。出力階調値S o R b 1に対応する駆動電流がしきい値電流以下である場合(ステップS T 1 3 3、Y e s)、第2処理回路120は、出力階調値S o R b 1を出力階調値S o R b 2として設定する(ステップS T 1 3 4)。出力階調値S o R b 1に対応する駆動電流がしきい値電流より大きい場合(ステップS T 1 3 3、N o)、第2処理回路120は、出力階調値S o R b 1に基づいて、基準階調値S o t R bと保持階調値S o r R bに分け、基準階調値S o t R bを出力階調値S o R b 2として設定し(ステップS T 1 3 5)、保持階調値S o r R bをメモリ115に記録する(ステップS T 1 3 6)。

[0112] ステップS T 1 2 4、ステップS T 1 2 6、ステップS T 1 2 9、ステップS T 1 3 1、ステップS T 1 3 4又はステップS T 1 3 6の処理が完了した後は、図12と同様に、信号処理回路100Aは、ステップS T 7からステップS T 1 3の処理を実施する。

[0113] このように、保持階調値S o r R bが保持されているか否かを第1処理回路110で処理することで、一部のステップS T (ステップS T 1 2 4、ステップS T 1 2 6、ステップS T 1 2 9、ステップS T 1 3 1)で第2処理回路120を介さずに処理を完了することででき、処理を簡素化することができる。

[0114] (第4変形例)

図16Aから図16Cは、1つの画素群における各発光素子の配置パターンの変形例を示す平面図である。実施形態では、1画素P i xにおいて、図2に示すように、第1発光素子3 R a、第2発光素子3 R b、第3発光素子3 G、第4発光素子3 Bが配置されとしたが、各発光素子3の配置パター

ンはこれに限られない。図16Aは、第4変形例に係る1つの画素群における各発光素子の第1配置パターンを示す平面図である。図16Aに示すように、第1配置パターンAP1では、第1発光素子3Raと第2発光素子3Rbは第2方向Dyで並ぶ。第1発光素子3Raと第3発光素子3Gは第1方向Dxで並ぶ。第2発光素子3Rbと第4発光素子3Bは第1方向Dxで並ぶ。また、第3発光素子3Gと第4発光素子3Bは第2方向Dyで並ぶ。

[0115] なお、第1配置パターンAP1において、第1発光素子3Raと第2発光素子3Rbとの配置を入れ替えてもよいし、あるいは、第3発光素子3Gと第4発光素子3Bとの配置を入れ替えてもよい。第2発光素子3Rbと第1方向Dx又は第2方向に隣り合う位置には、波長が近い第1発光素子3Ra又は第3発光素子3Gが設けられることが好ましい。

[0116] 図16Bは、1つの画素群における各発光素子の第2配置パターンを示す平面図である。図16Bに示すように、第2配置パターンAP2では、第1発光素子3Raと第2発光素子3Rbは第1方向Dxで並ぶ。第1発光素子3Raと第3発光素子3Gは第2方向Dyで並ぶ。第2発光素子3Rbと第4発光素子3Bは第2方向Dyで並ぶ。また、第3発光素子3Gと第4発光素子3Bは第1方向Dxで並ぶ。

[0117] なお、第2配置パターンAP2において、第1発光素子3Raと第2発光素子3Rbとの配置を入れ替えてもよいし、あるいは、第3発光素子3Gと第4発光素子3Bとの配置を入れ替えてもよい。また、第1発光素子3Raと第2発光素子3Rbとの配置を入れ替えて、且つ、第3発光素子3Gと第4発光素子3Bとの配置を入れ替えてもよい。つまり、第1発光素子3Raと第2発光素子3Rbとは、第1方向Dxに並び、第2発光素子3Rbと、第3発光素子3G又は第4発光素子3Bとは、第2方向Dyに並ぶ。第2発光素子3Rbと第1方向Dx又は第2方向に隣り合う位置には、波長が近い第1発光素子3Ra又は第3発光素子3Gが設けられることが好ましい。

[0118] 図16Cは、1つの画素群における各発光素子の第3配置パターンを示す平面図である。図16Cに示すように、第3配置パターンAP3では、第1

発光素子 3 R a と第 4 発光素子 3 B は第 1 方向 D x で並ぶ。第 1 発光素子 3 R a と第 3 発光素子 3 G は第 2 方向 D y で並ぶ。第 4 発光素子 3 B と第 2 発光素子 3 R b は第 2 方向 D y で並ぶ。また、第 3 発光素子 3 G と第 2 発光素子 3 R b は第 1 方向 D x で並ぶ。言い換えると、第 1 発光素子 3 R a と第 2 発光素子 3 R b が第 1 方向 D x 及び第 2 方向 D y のいずれとも交差する斜め方向に配列される。

[0119] なお、第 3 配置パターン A P 3 において、第 1 発光素子 3 R a と第 2 発光素子 3 R b との配置を入れ替えてもよいし、あるいは、第 3 発光素子 3 G と第 4 発光素子 3 B との配置を入れ替えてもよい。また、第 1 発光素子 3 R a と第 2 発光素子 3 R b との配置を入れ替えて、且つ、第 3 発光素子 3 G と第 4 発光素子 3 B との配置を入れ替えてもよい。つまり、第 1 発光素子 3 R a と、第 3 発光素子 3 G 又は第 4 発光素子 3 B の一方とは、第 1 方向 D x に並び、第 2 発光素子 3 R b と、第 3 発光素子 3 G 又は第 4 発光素子 3 B の一方とは、第 2 方向 D y に並ぶ。

[0120] (第 5 変形例)

図 1 7 A から図 1 7 C は、2 つの画素群における各発光素子の配置パターンの変形例を示す平面図である。実施形態及び第 4 変形例において、各発光素子の配置パターンについて記載したが、マトリクス状に配置された画素 P i x の全てがこの配置である場合、各第 1 発光素子 3 R a、第 2 発光素子 3 R b、第 3 発光素子 3 G、第 4 発光素子 3 B は、それぞれ、一定の方向に配置されることとなる。このような場合、特に第 2 発光素子 3 R b のような非点灯状態となりやすい画素が一方向に配列されていると、スジムラとして視認される可能性がある。そこで、第 5 変形例では、各発光素子 3 の配置パターンが異なる 2 種類の画素 P i x を配置する。このようにすることで、スジムラの視認を抑制することができる。

[0121] 図 1 7 A は、第 5 変形例に係る 2 つの画素群における各発光素子の第 4 配置パターンを示す平面図である。図 1 7 A に示すように、第 4 配置パターン A P 4 において、第 1 方向 D x に並ぶ 2 つの第 1 画素群 P i x 1 及び第 2 画

素群 $P_{i \times 2}$ は、発光素子 3 の配置が異なる。図 17 A 左側の第 1 画素群 $P_{i \times 1}$ は、図 16 A に示す第 1 配置パターン A P 1 と同じ発光素子 3 の配置であり、図 17 A 右側の第 2 画素群 $P_{i \times 2}$ は、第 1 画素群 $P_{i \times 1}$ の第 1 発光素子 3 R a と第 2 発光素子 3 R b とを入れ替えた構成である。このように、複数の画素 $P_{i \times}$ ごとに発光素子 3 の配置が異なってもよい。

[0122] 図 17 B は、2つの画素群における各発光素子の第 5 配置パターンを示す平面図である。図 17 B に示すように、第 5 配置パターン A P 5 において、第 1 画素群 $P_{i \times 1}$ 及び第 2 画素群 $P_{i \times 2}$ は、図 16 B に示す第 2 配置パターン A P 2 と同様の発光素子 3 の配置である。図 17 B 左側の第 1 画素群 $P_{i \times 1}$ は、図 16 B に示す第 2 配置パターン A P 2 において、第 1 発光素子 3 R a と第 2 発光素子 3 R b との配置を入れ替えて、且つ、第 3 発光素子 3 G と第 4 発光素子 3 B との配置を入れ替えた構成である。図 17 B 右側の第 2 画素群 $P_{i \times 2}$ は、第 1 画素群 $P_{i \times 1}$ の第 1 発光素子 3 R a と第 2 発光素子 3 R b との配置を入れ替えた構成である。

[0123] 図 17 C は、2つの画素群における各発光素子の第 6 配置パターンを示す平面図である。図 17 C に示すように、第 6 配置パターン A P 6 において第 1 画素群 $P_{i \times 1}$ 及び第 2 画素群 $P_{i \times 2}$ は、図 16 C に示す第 3 配置パターン A P 3 と同様の発光素子 3 の配置である。図 17 C 左側の第 1 画素群 $P_{i \times 1}$ は、図 16 C に示す第 3 配置パターン A P 3 と同じ発光素子 3 の配置である。図 17 C 右側の第 2 画素群 $P_{i \times 2}$ は、第 1 画素群 $P_{i \times 1}$ の第 1 発光素子 3 R a と第 2 発光素子 3 R b との配置を入れ替えた構成である。

[0124] (第 6 変形例)

図 18 は、第 6 変形例に係る発光素子を示す断面図である。表示装置 1 において、発光素子 3 はフェースアップ構造に限定されず、発光素子 3 の下部が、アノード電極 2 3 及びカソード電極 2 2 に接続される、いわゆるフェースダウン構造であってもよい。

[0125] 図 18 に示すように、発光素子 3 A は、透光性基板 3 1 の上に、バッファ層 3 2、n 型クラッド層 3 3、発光層 3 4、p 型クラッド層 3 5、p 型電極

36の順に積層される。発光素子3Aは、透光性基板31が上側に、p型電極36が下側になるように実装される。また、n型クラッド層33において、カソード電極22と対向する面側には、発光層34から露出した領域が設けられている。この領域にn型電極38Aが設けられている。

[0126] p型電極36は、発光層からの光を反射する金属光沢のある材料で形成される。p型電極36はバンプ39Aを介してアノード電極23に接続される。n型電極38Aはバンプ39Bを介してカソード電極22に接続される。絶縁膜97はカソード電極22及びアノード電極23を覆っており、絶縁膜97の開口部分でバンプ39A、39Bは、それぞれアノード電極23及びカソード電極22と接続される。

[0127] 発光素子3Aでは、p型クラッド層35とn型クラッド層33とが直接接合せずに、間に別の層（発光層34）が導入されている。これにより、電子や正孔といったキャリアを発光層34の中に集中させることができ、効率よく再結合（発光）させることが可能となる。本変形例においても、第1発光素子3Raにおいて、ユウロピウム（Eu）が添加された窒化ガリウム（GaN）が、発光層34として採用される。また、第2発光素子3Rbにおいて、数原子層からなる井戸層と障壁層とを周期的に積層させた多重量子井戸構造（MQW構造）が、発光層34として採用される。なお、第3発光素子3G及び第4発光素子3Bは、第1発光素子3Raと同様に単層の発光層34を有してもよいし、第2発光素子3Rbと同様に多層の発光層34を有してもよい。

[0128] 以上、本発明の好適な実施の形態を説明したが、本発明はこのような実施の形態に限定されるものではない。実施の形態で開示された内容はあくまで一例にすぎず、本発明の趣旨を逸脱しない範囲で種々の変更が可能である。本発明の趣旨を逸脱しない範囲で行われた適宜の変更についても、当然に本発明の技術的範囲に属する。上述した各実施形態及び各変形例の要旨を逸脱しない範囲で、構成要素の種々の省略、置換及び変更のうち少なくとも1つを行うことができる。

符号の説明

- [0129] 1 表示装置
- 2 アレイ基板
- 3、3 A 発光素子
- 3 R a 第1発光素子
- 3 R b 第2発光素子
- 3 G 第3発光素子
- 3 B 第4発光素子
- 1 2 駆動回路
- 2 1 基板
- 4 9 R a 第1画素
- 4 9 R b 第2画素
- 4 9 G 第3画素
- 4 9 B 第4画素
- 6 1、6 5、7 1、7 1 A、7 5、7 9 半導体層
- 6 4、6 6、7 4、7 8 ゲート電極
- 6 2、7 2 ソース電極
- 6 7、7 3、7 7 ドレイン電極
- 6 1 a 第1部分半導体層
- 2 1 0 駆動IC
- 9 1 第1絶縁膜
- 9 2 第2絶縁膜
- 9 3 第3絶縁膜
- 9 4 第4絶縁膜
- 1 0 0 信号処理回路
- 1 1 0 第1処理回路
- 1 1 5 メモリ
- 1 2 0 第2処理回路

1 2 5 バッファ
D R T 駆動トランジスタ
B C T 出力トランジスタ
I S T 初期化トランジスタ
S S T 画素選択トランジスタ
R S T リセットトランジスタ
P V D D アノード電源電位
P V S S カソード電源電位
L 1 アノード電源線
L 2 映像信号線
L 3 リセット電源線
L 4 初期化電源線
L 5 リセット制御信号線
L 6 出力制御信号線
L 7 画素制御信号線
L 8 初期化制御信号線
L 9 接続配線

請求の範囲

- [請求項1] 基板と、
前記基板に設けられた複数の画素と、
複数の前記画素の各々に設けられる複数の第1発光素子と複数の第2発光素子と、を有し、
前記第1発光素子の発光層は、ユウロピウム（Eu）が添加された窒化ガリウム（GaN）を含み、
前記第2発光素子の発光層は、窒化インジウムガリウム（InGaN）と窒化ガリウム（GaN）とが多層に積層された多重量子井戸構造である
表示装置。
- [請求項2] 前記第1発光素子は第1赤色の光を出射し、
前記第2発光素子は第2赤色の光を出射し、
前記第1赤色の光のスペクトルの半値幅は、前記第2赤色の光のスペクトルの半値幅よりも小さい
請求項1に記載の表示装置。
- [請求項3] 緑色の光を出射する第3発光素子と、
青色の光を出射する第4発光素子と、を備え、
前記第1発光素子と前記第2発光素子とは、第1方向に並び、
前記第2発光素子と、前記第3発光素子又は前記第4発光素子とは、前記第1方向と交差する第2方向に並び
請求項1又は請求項2に記載の表示装置。
- [請求項4] 緑色の光を出射する第3発光素子と、
青色の光を出射する第4発光素子と、を備え、
前記第1発光素子と、前記第3発光素子又は前記第4発光素子の一方とは、第1方向に並び、
前記第2発光素子と、前記第3発光素子又は前記第4発光素子の前記一方とは、前記第1方向と交差する第2方向に並び

請求項 1 又は請求項 2 に記載の表示装置。

[請求項5] 前記画素の入力階調値が第 1 しきい値以下の場合に前記第 1 発光素子が点灯し、

前記画素の入力階調値が前記第 1 しきい値よりも大きく、且つ、前記第 1 しきい値よりも大きい第 2 しきい値よりも小さい場合に前記第 1 発光素子及び前記第 2 発光素子が点灯する

請求項 1 から請求項 4 のいずれか 1 項に記載の表示装置。

[請求項6] 前記画素の入力階調値が前記第 2 しきい値以上の場合に前記第 1 発光素子が点灯する

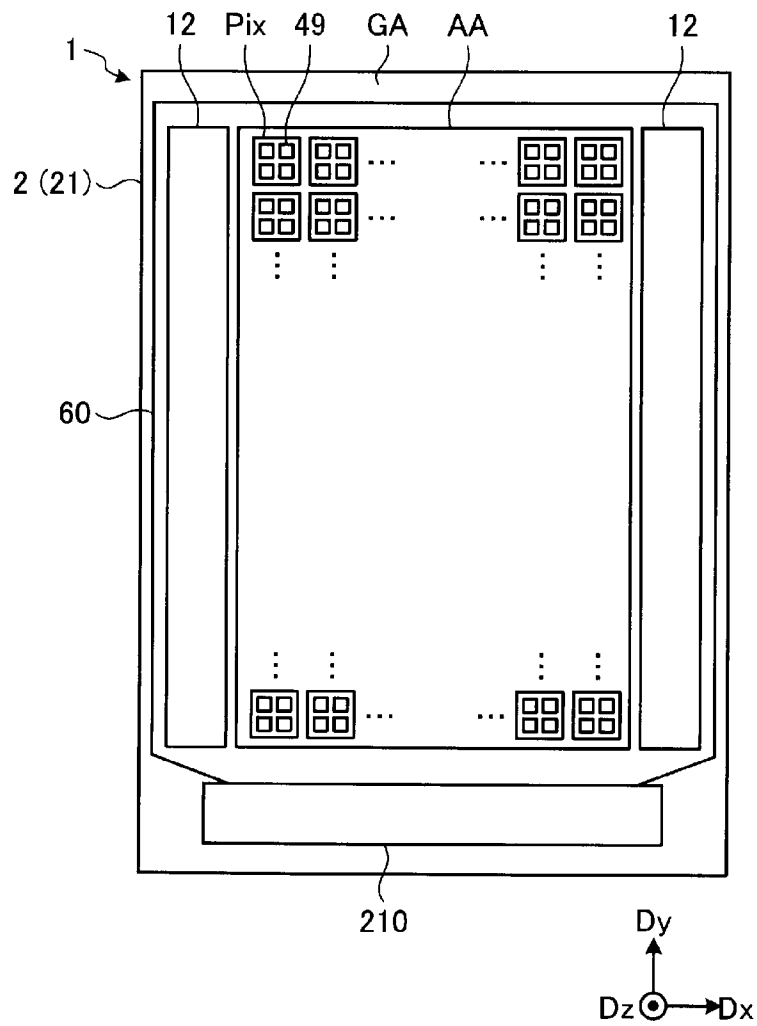
請求項 5 に記載の表示装置。

[請求項7] 前記第 1 発光素子及び前記第 2 発光素子をそれぞれ有し、隣り合って配列された第 1 画素群及び第 2 画素群を有し、

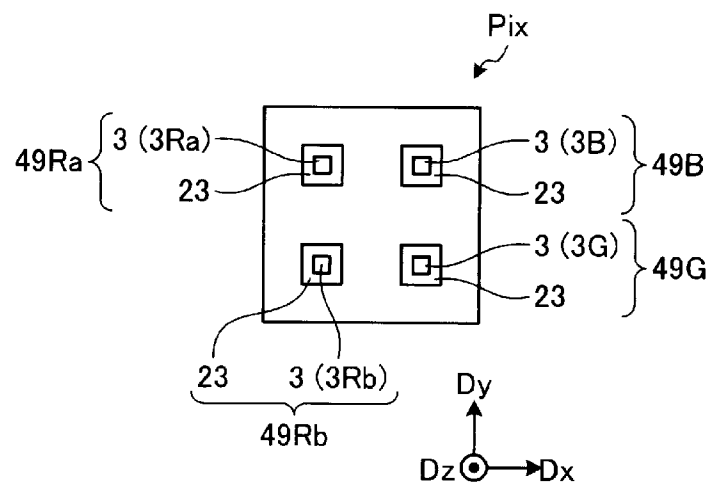
前記第 1 画素群の入力階調値に基づいて演算された前記第 2 発光素子に供給される駆動電流がしきい値電流よりも大きい場合に、前記第 1 画素群の前記第 2 発光素子が入力階調値に対応する階調値より低い出力階調値で点灯し、前記第 2 画素群の前記第 2 発光素子が入力階調値に対応する階調値より高い出力階調値で点灯する

請求項 1 から請求項 4 のいずれか 1 項に記載の表示装置。

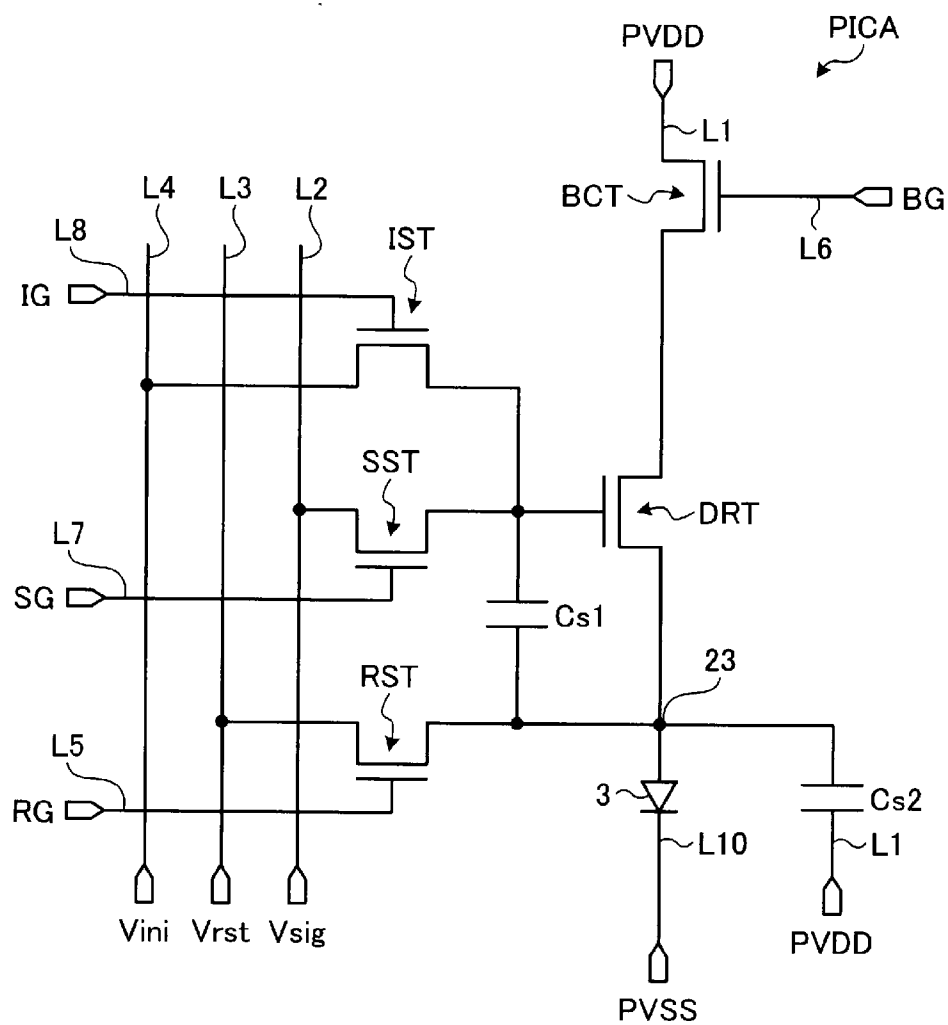
[図1]



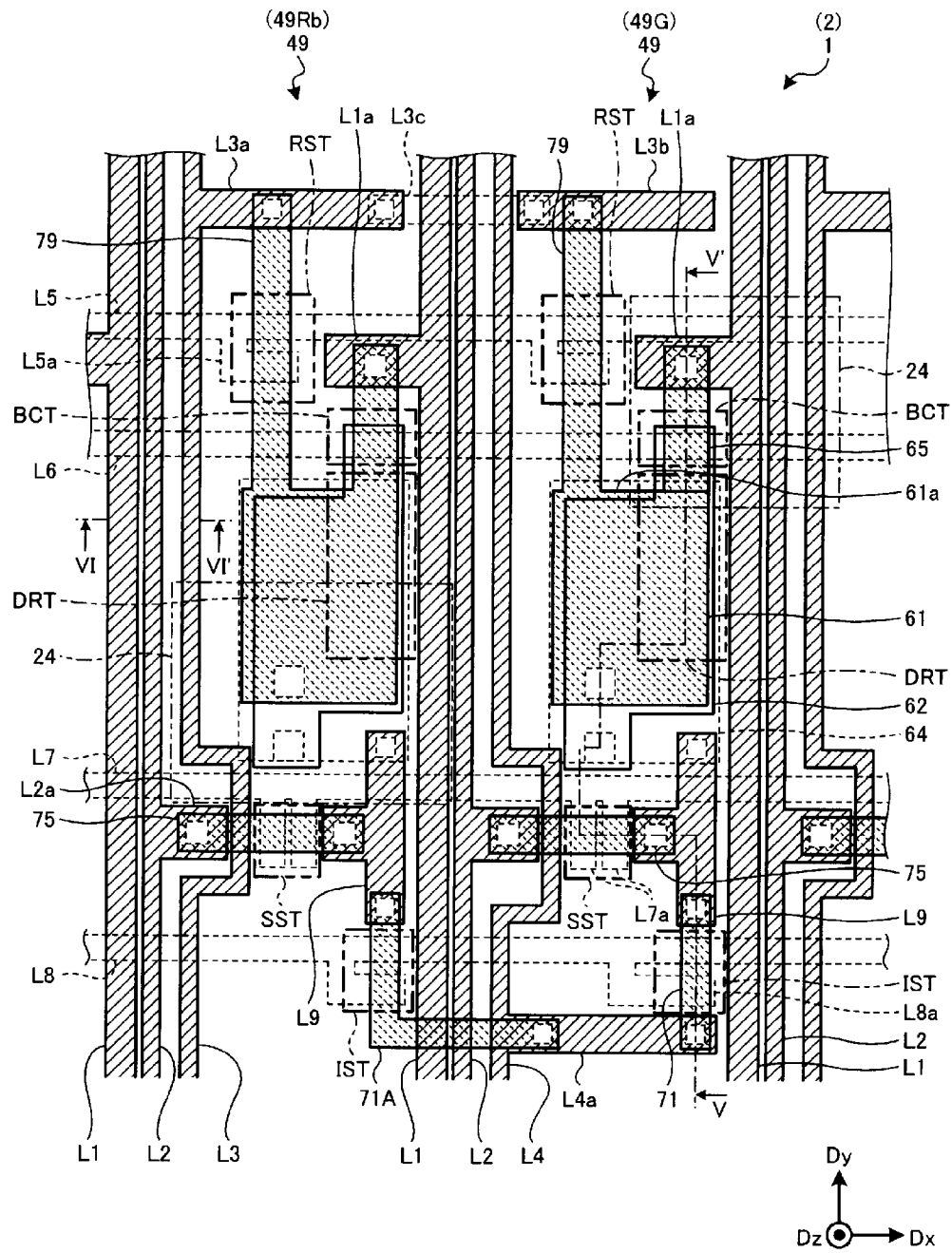
[図2]



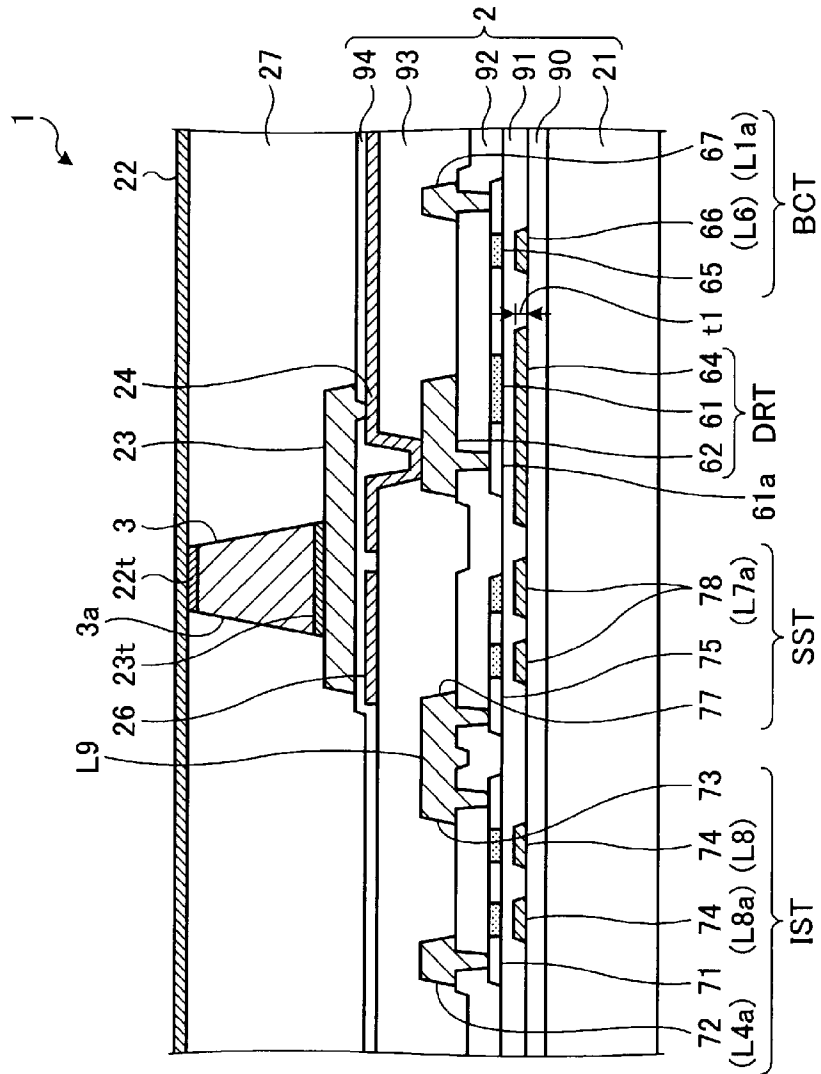
[図3]



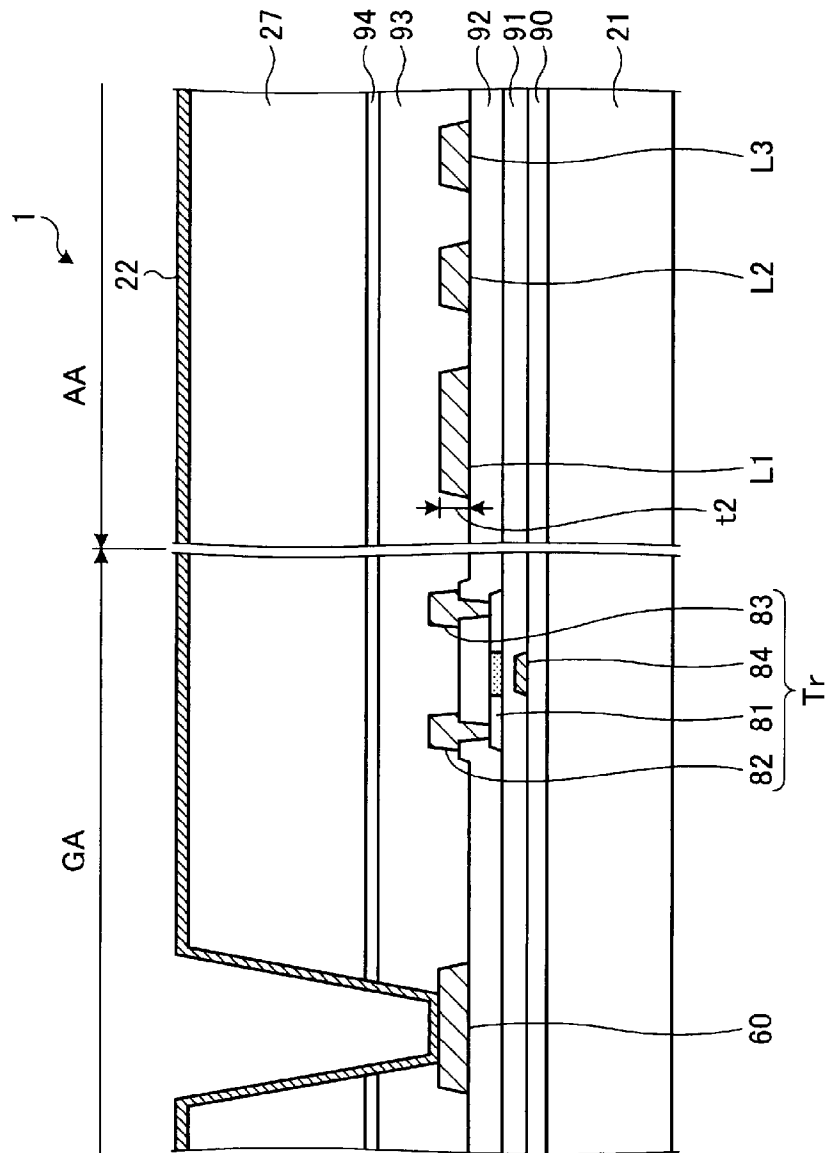
[図4]



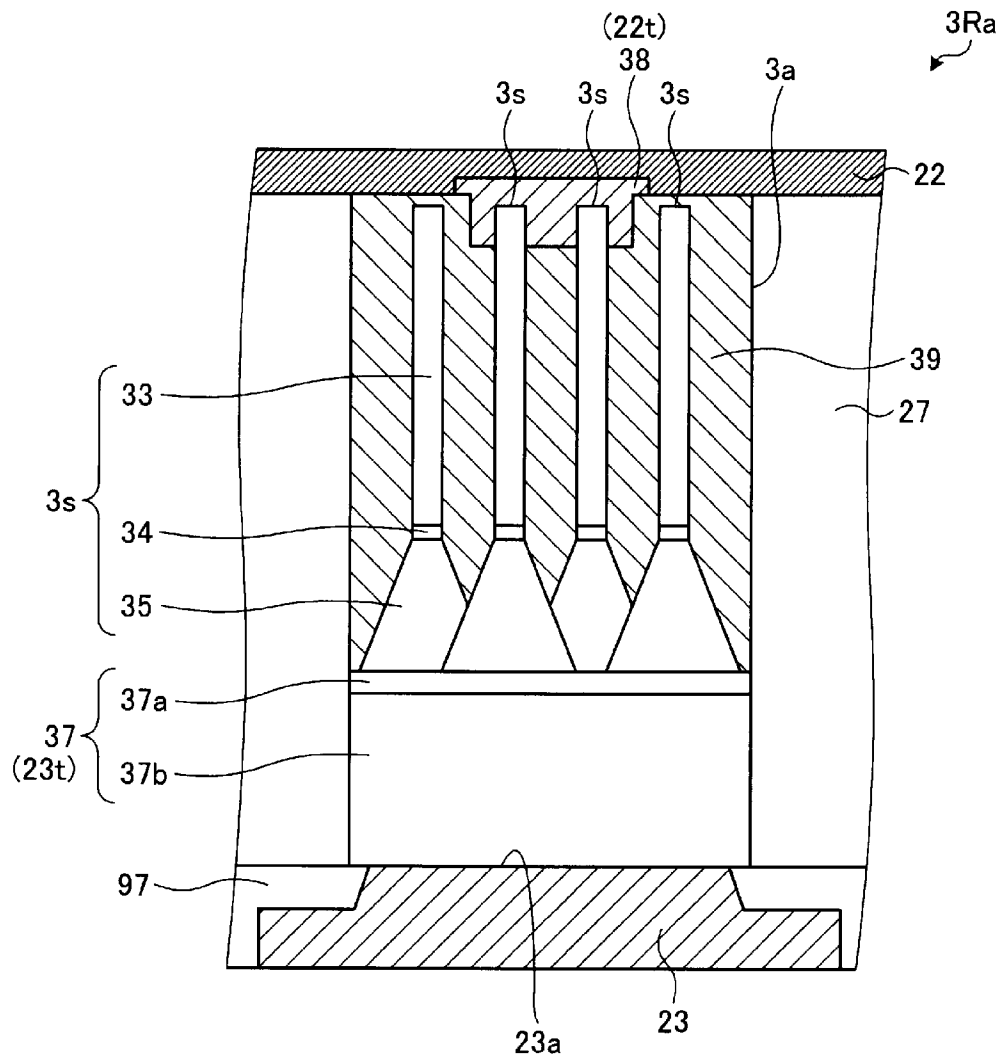
[図5]



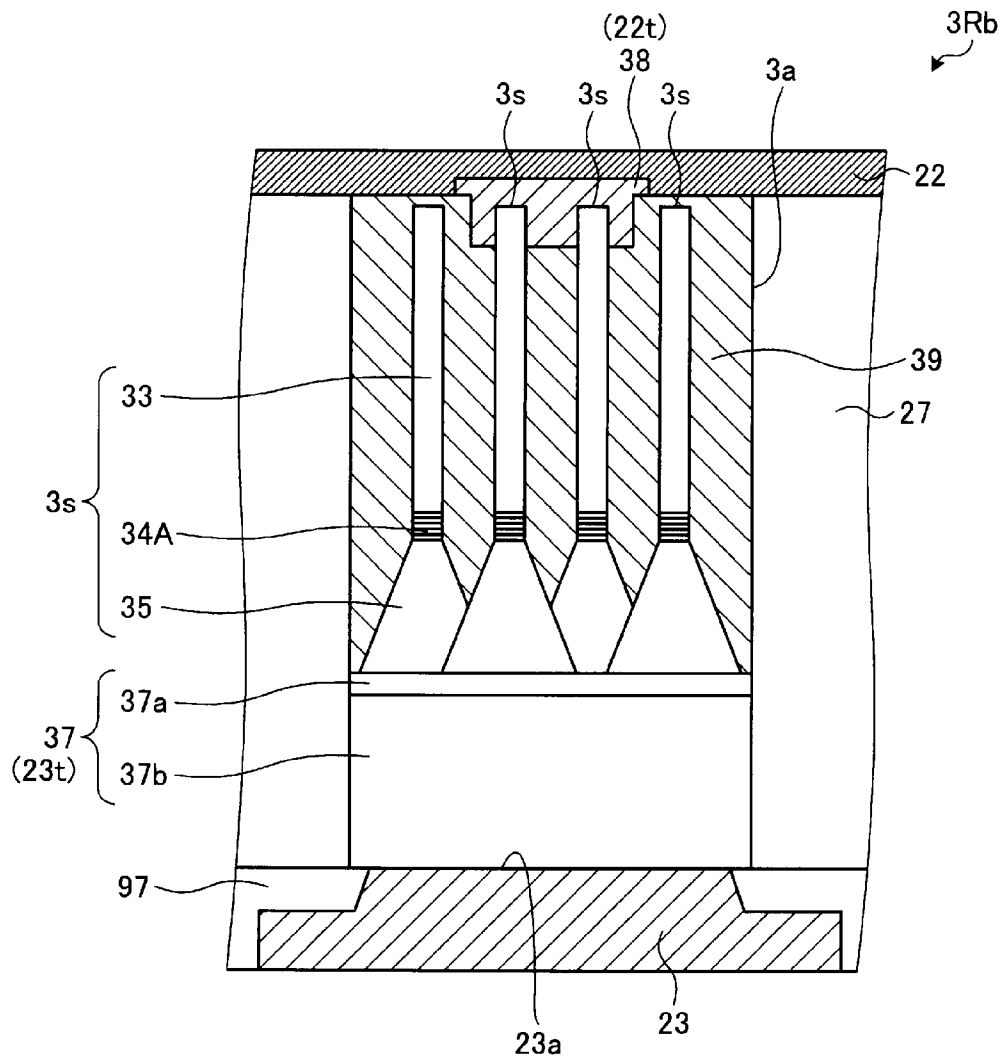
[図6]



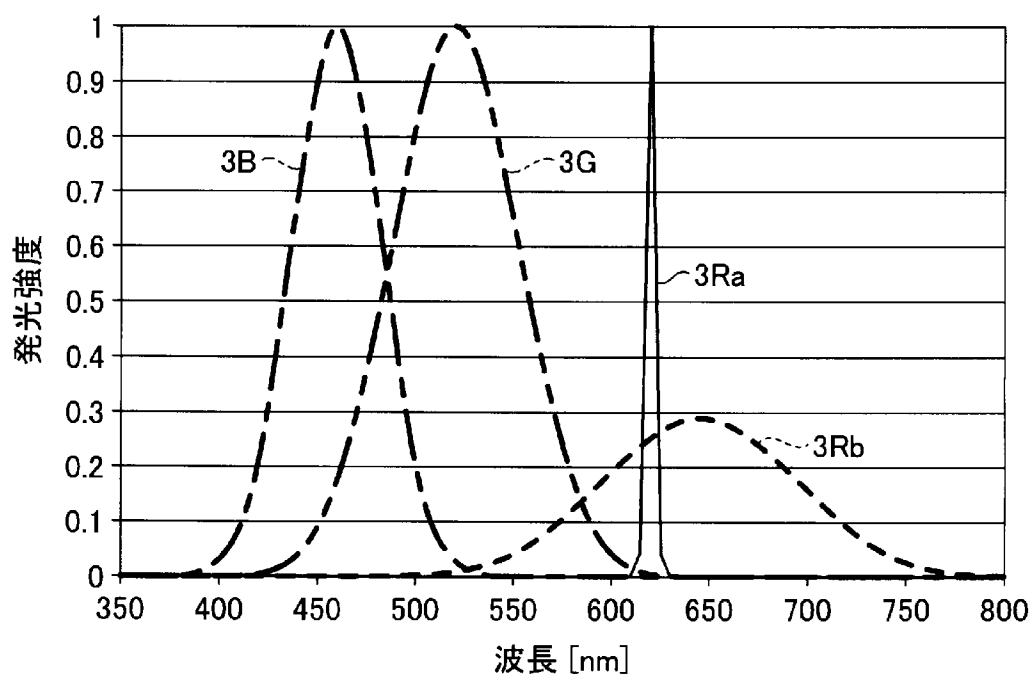
[図7]



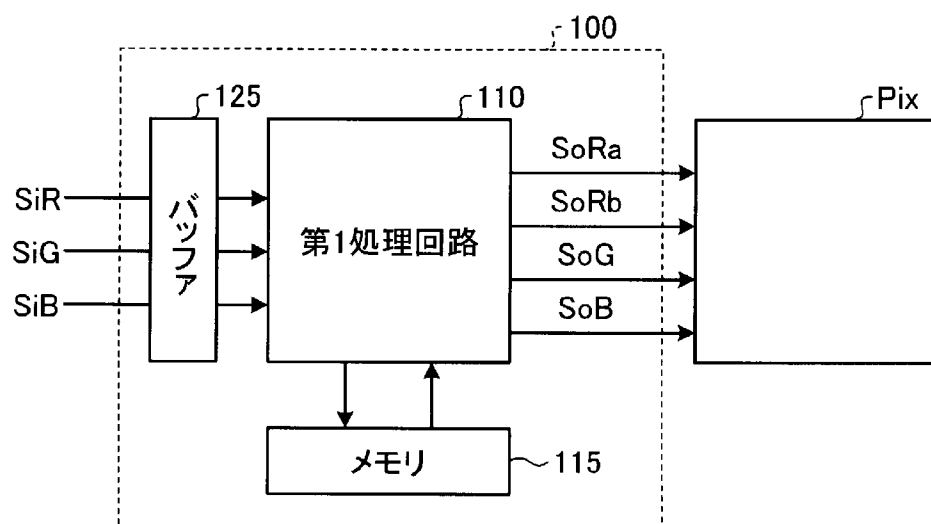
[図8]



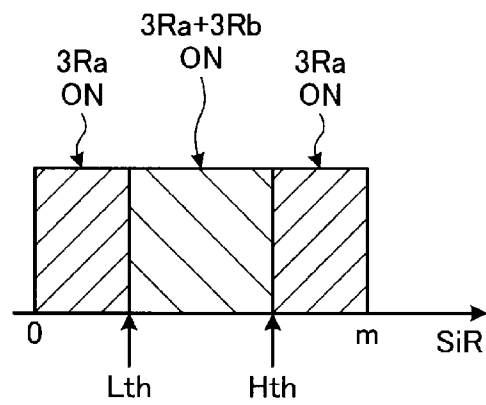
[図9]



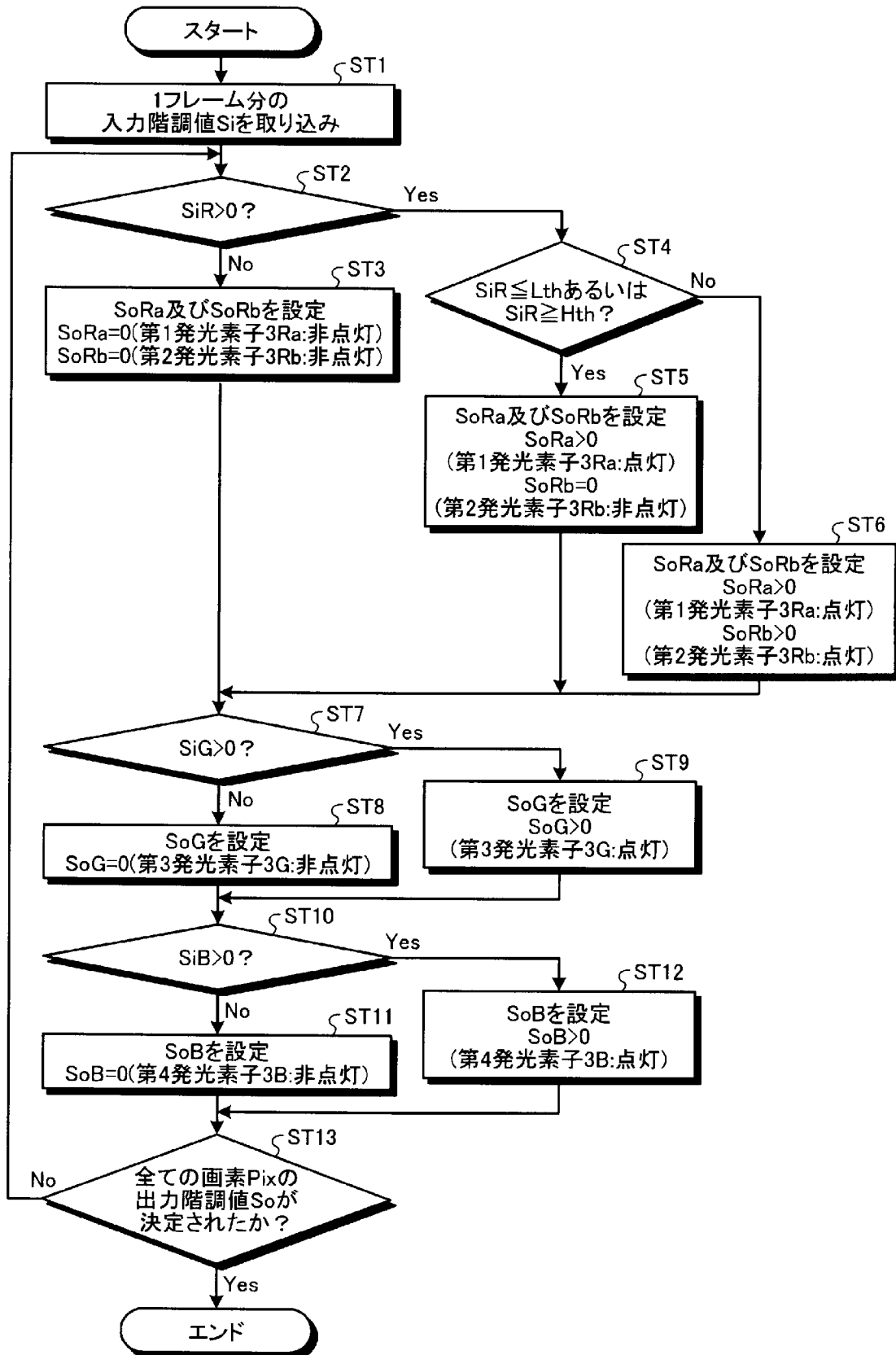
[図10]



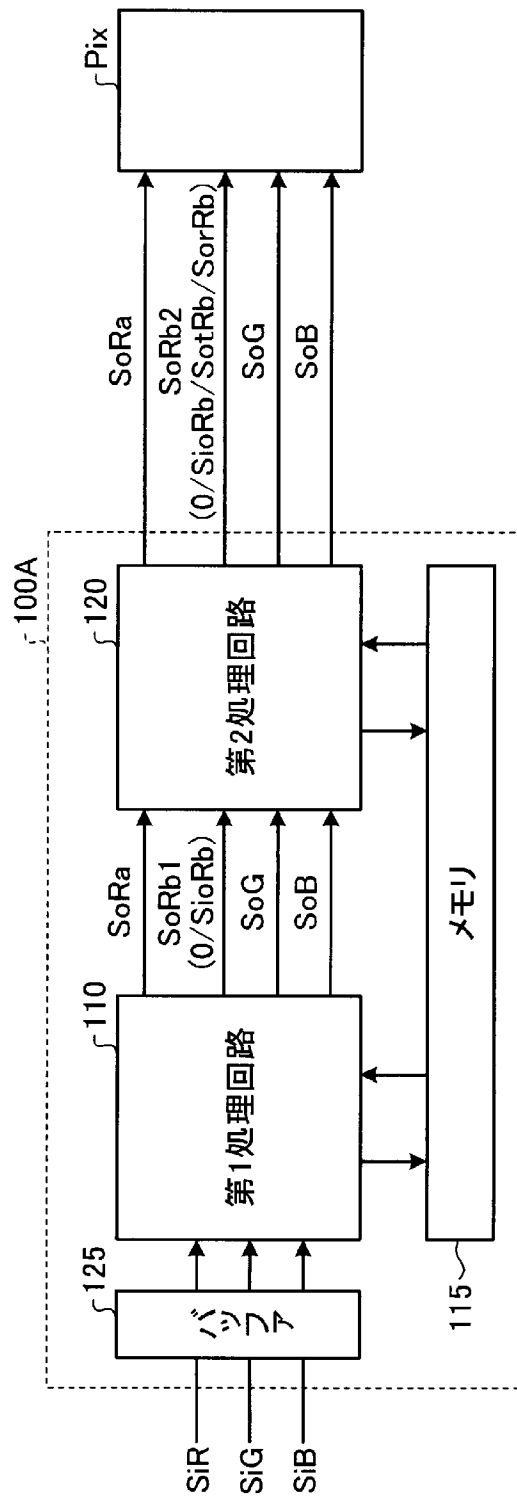
[図11]



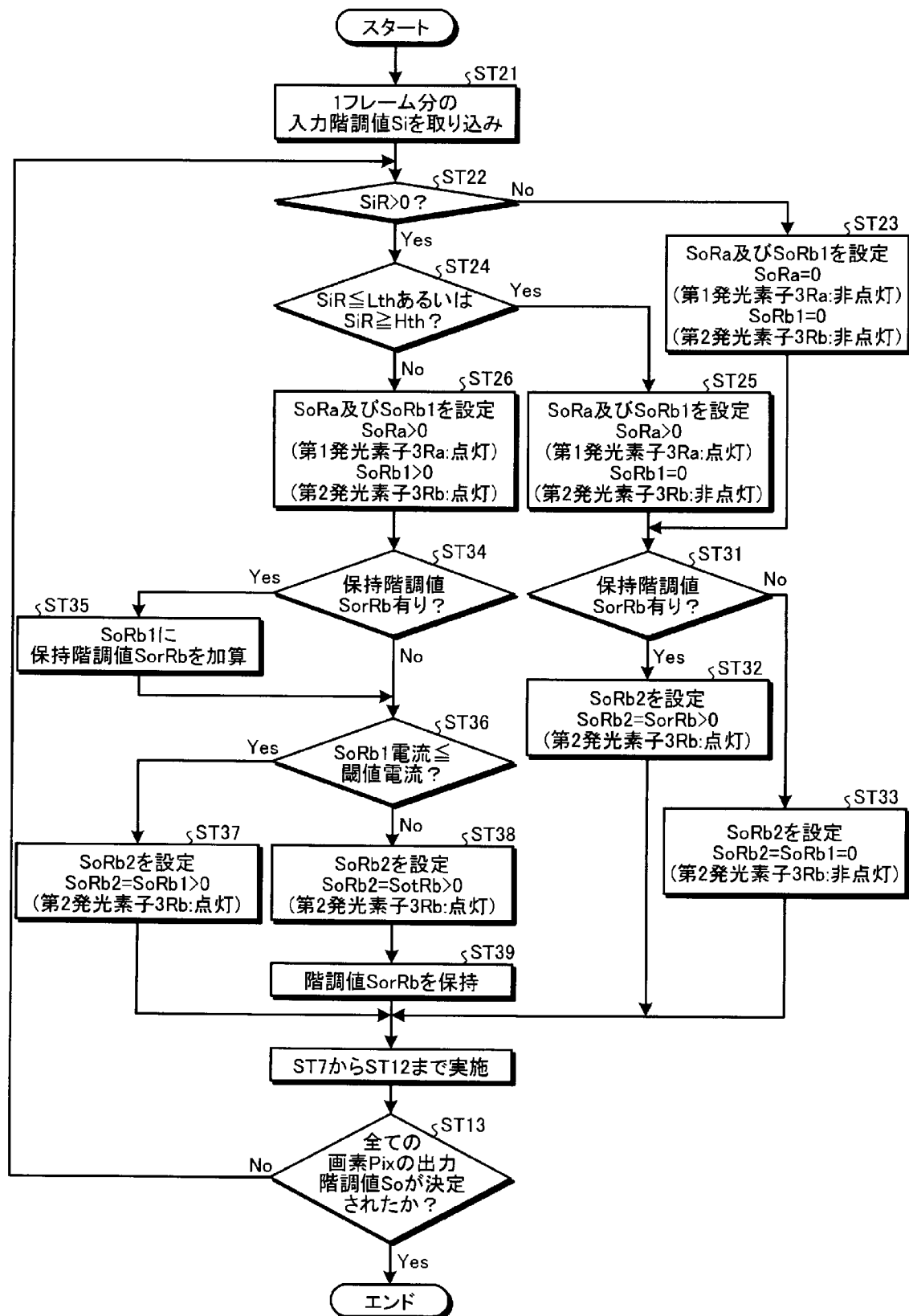
[図12]

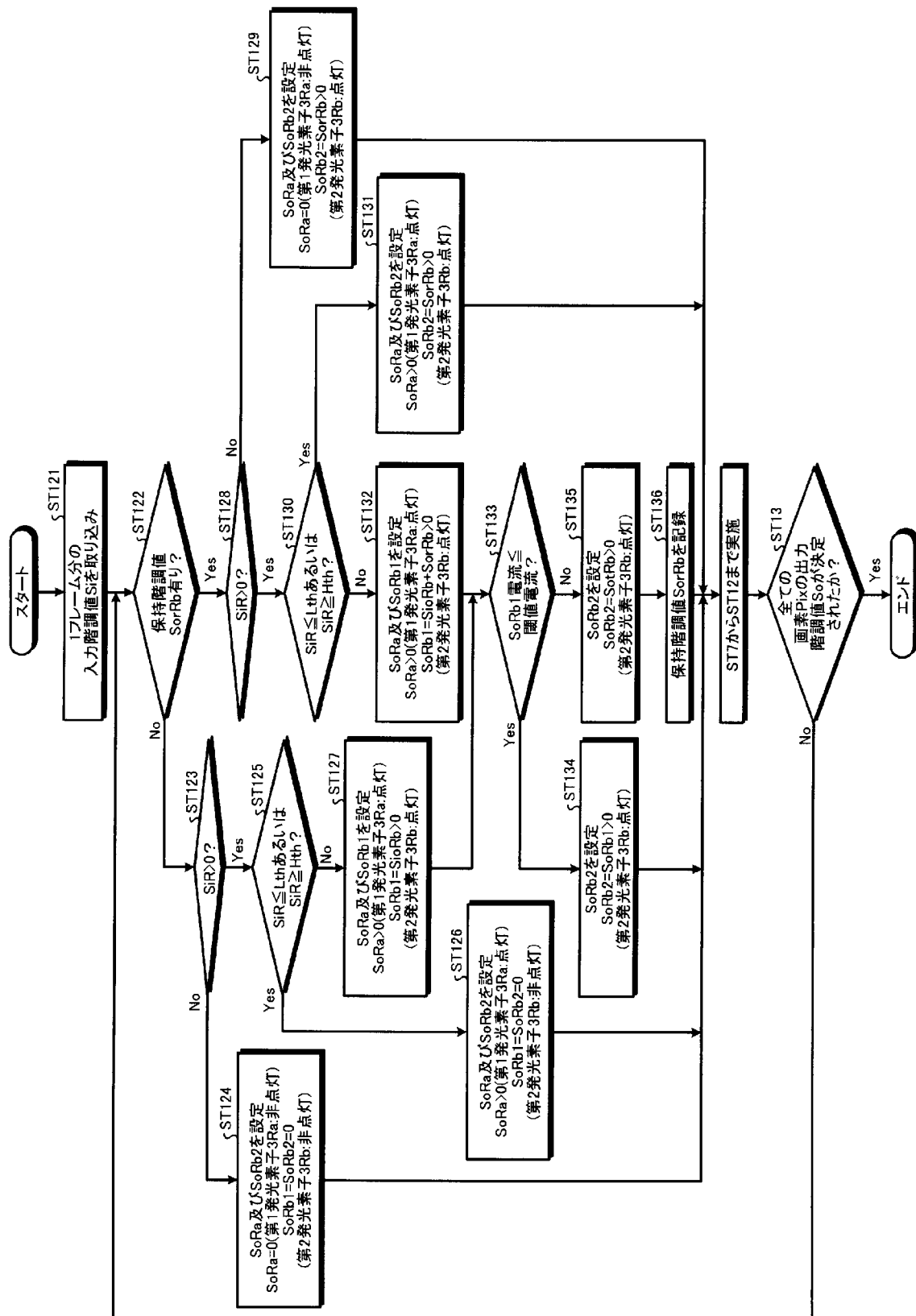


[図13]

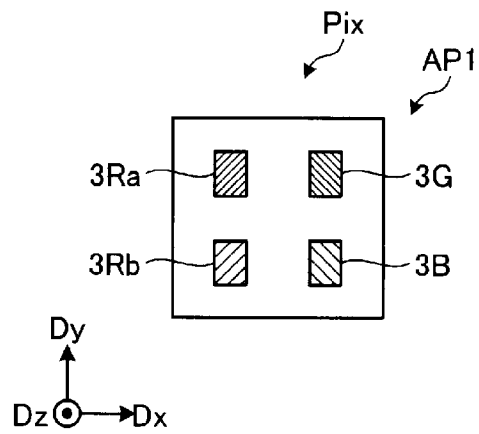


[図14]

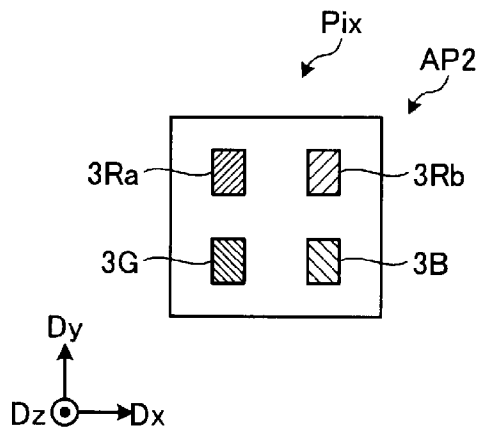




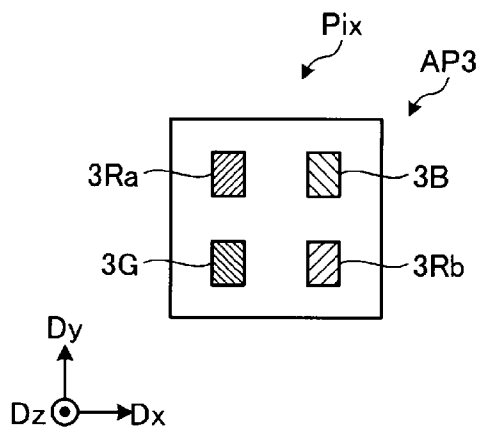
[図16A]



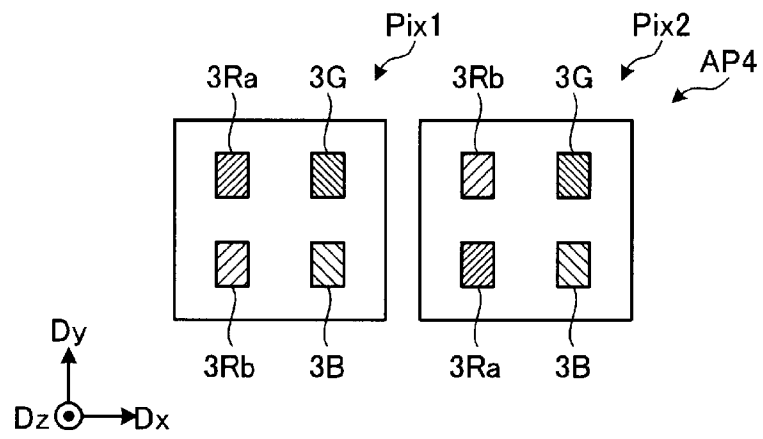
[図16B]



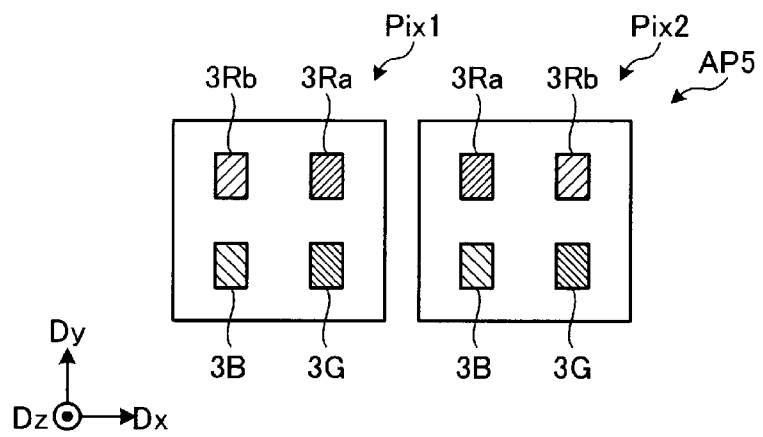
[図16C]



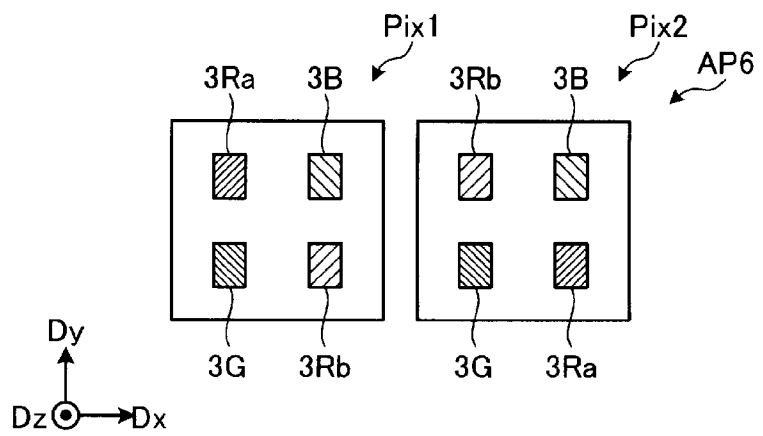
[図17A]



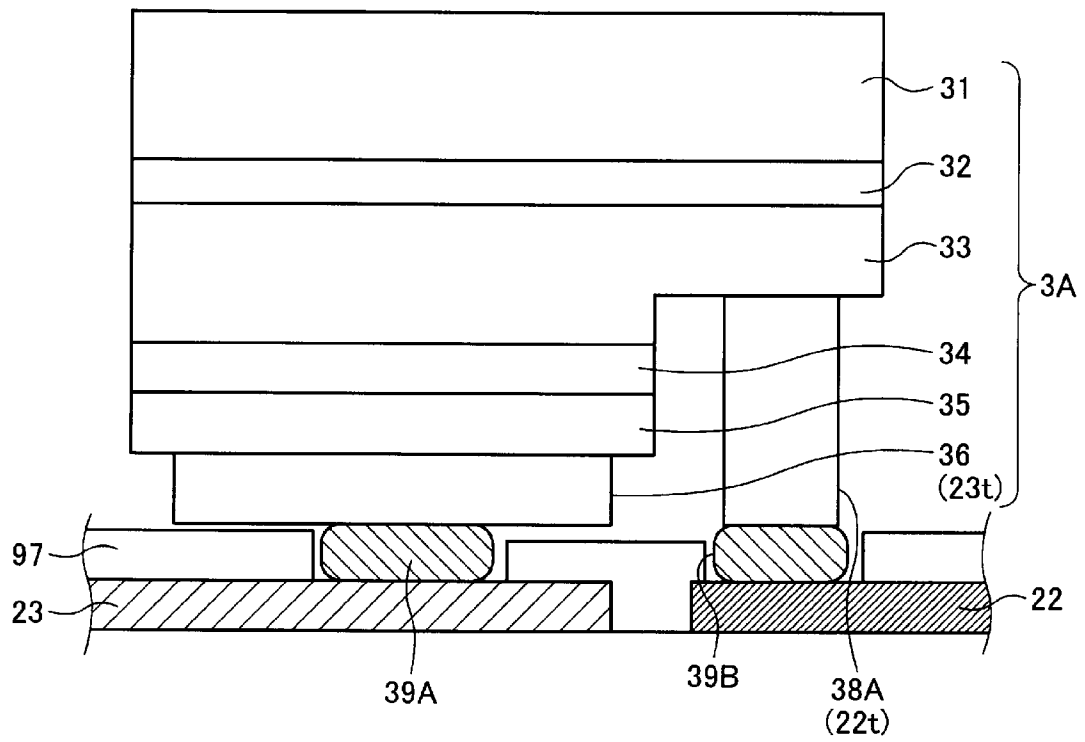
[図17B]



[図17C]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/031531

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L33/32 (2010.01) i, G09F9/33 (2006.01) i, G09G3/20 (2006.01) i, G09G3/32 (2016.01) i, H01L33/00 (2010.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L33/00-33/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-177019 A (CITIZEN ELECTRONICS) 05 October 2015, entire text, all drawings (Family: none)	1-7
A	JP 2003-515956 A (KONINKLIJKE PHILIPS ELECTRONICS N. V.) 07 May 2003, entire text, all drawings & US 2003/0067773 A1 & EP 2940732 A1 & CN 1355936 A	1-7

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
30.10.2019

Date of mailing of the international search report
12.11.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/031531

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-65137 A (TOSHIBA LIGHTING & TECHNOLOGY CORPORATION) 26 March 2009, entire text, all drawings (Family: none)	1-7
A	JP 2013-120848 A (OSAKA UNIVERSITY) 17 June 2013, entire text, all drawings (Family: none)	1-7
A	US 2018/0097033 A1 (AHMED, K. et al.) 05 April 2018, entire text, all drawings & US 2019/0131345 A1	1-7
A	JP 2010-503228 A (AGENCY FOR SCIENCE, TECHNOLOGY AND RESEARCH) 28 January 2010, entire text, all drawings & US 2010/0025653 A1 & WO 2008/030183 A1 & KR 10-2009-0086942 A & CN 101589478 A & TW 200824153 A	1-7

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L33/32(2010.01)i, G09F9/33(2006.01)i, G09G3/20(2006.01)i, G09G3/32(2016.01)i,
H01L33/00(2010.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L33/00-33/64

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-177019 A（シチズン電子株式会社）2015.10.05, 全文全図 （ファミリーなし）	1-7
A	JP 2003-515956 A（コーニンクレッカ フィリップス エレクトロ ニクス エヌ ヴィ）2003.05.07, 全文全図 & US 2003/0067773 A1 & EP 2940732 A1 & CN 1355936 A	1-7

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

30.10.2019

国際調査報告の発送日

12.11.2019

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

村井 友和

2 K

3207

電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-65137 A (東芝ライテック株式会社) 2009. 03. 26, 全文全図 (ファミリーなし)	1-7
A	JP 2013-120848 A (国立大学法人大阪大学) 2013. 06. 17, 全文全図 (ファミリーなし)	1-7
A	US 2018/0097033 A1 (AHMED, Khaled et al.) 2018. 04. 05, 全文全 図 & US 2019/0131345 A1	1-7
A	JP 2010-503228 A (エージェンシー フォー サイエンス, テクノ ロジー アンド リサーチ) 2010. 01. 28, 全文全図 & US 2010/0025653 A1 & WO 2008/030183 A1 & KR 10-2009-0086942 A & CN 101589478 A & TW 200824153 A	1-7