



(12) 发明专利申请

(10) 申请公布号 CN 113544847 A

(43) 申请公布日 2021. 10. 22

(21) 申请号 202080018984.X

(22) 申请日 2020.03.09

(30) 优先权数据

2019-046508 2019.03.13 JP

(85) PCT国际申请进入国家阶段日

2021.09.06

(86) PCT国际申请的申请数据

PCT/JP2020/010054 2020.03.09

(87) PCT国际申请的公布数据

W02020/184517 JA 2020.09.17

(71) 申请人 松下知识产权经营株式会社

地址 日本大阪府

(72) 发明人 吉田和司 萩原洋右 田浦巧

(74) 专利代理机构 中科专利商标代理有限责任公司 11021

代理人 李新红

(51) Int.Cl.

H01L 27/04 (2006.01)

H01G 4/33 (2006.01)

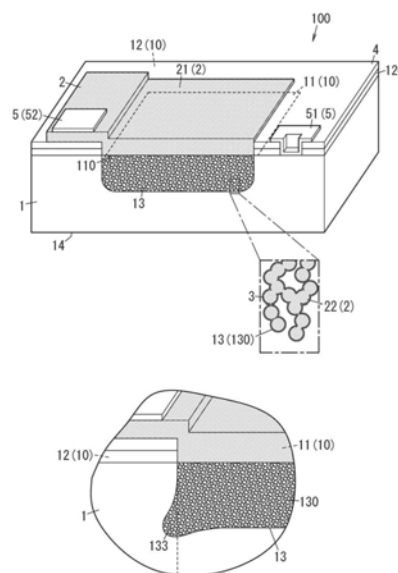
权利要求书2页 说明书15页 附图16页

(54) 发明名称

电容器及其制造方法

(57) 摘要

电容器100包括硅衬底1、导体层2和电介质层3。硅衬底1包括：具有电容产生区域11和非电容产生区域12的主表面10；和在电容产生区域11中沿厚度方向设置的多孔部13。导体层2包括覆盖电容产生区域11的表面110的至少一部分的表面层部21和填充多孔部13的细孔130的至少一部分的填充部22。电介质层3插入在细孔130的内表面和填充部22之间。



1. 一种电容器,所述电容器包括:

具有主表面的硅衬底,所述主表面包括电容产生区域和非电容产生区域,所述硅衬底具有在所述电容产生区域中沿厚度方向设置的多孔部;

导体层,所述导体层具有至少覆盖所述电容产生区域的表面的一部分的表面层部和填充在所述多孔部的细孔的至少一部分中的填充部;以及

设置在所述细孔的内表面和所述填充部之间的电介质层。

2. 权利要求1所述的电容器,所述电容器还包括

设置在所述非电容产生区域上的无机绝缘层。

3. 权利要求2所述的电容器,其中

所述无机绝缘层至少包含氮化硅。

4. 权利要求1至3中任一项所述的电容器,其中

所述多孔部部分地具有无细孔的非多孔部。

5. 权利要求4所述的电容器,其中

在平面图中,所述非多孔部将所述电容产生区域分为多个部分。

6. 权利要求1至5中任一项所述的电容器,其中

所述多孔部的表面积为所述电容产生区域的面积的200倍以上。

7. 权利要求1至6中任一项所述的电容器,其中

所述硅衬底具有位于所述主表面的相反侧的第二主表面,所述第二主表面具有在所述硅衬底的厚度方向上位于所述电容产生区域之下的区域,所述区域具有朝所述主表面凹陷的腔体。

8. 权利要求1至7中任一项所述的电容器,其中

所述导体层包括选自由多晶硅、铂和钌组成的组中的至少一种元素。

9. 权利要求1至8中任一项所述的电容器,其中

所述多孔部具有在所述主表面侧开口的非通孔或凹槽中的至少一种。

10. 权利要求1至9中任一项所述的电容器,其中

所述多孔部的一部分在位于所述硅衬底的所述主表面的相反侧的第二主表面侧暴露。

11. 权利要求1至10中任一项所述的电容器,其中

所述多孔部的一部分延伸到在厚度方向上位于所述硅衬底的所述非电容产生区域之下的部分中。

12. 权利要求1至11中任一项所述的电容器,其中

所述细孔沿着与所述主表面相交的方向从在所述电容产生区域中的多个位置延伸。

13. 一种用于制造电容器的方法,所述方法包括:

在具有包括电容产生区域和非电容产生区域的硅衬底的所述非电容产生区域上提供掩蔽层的步骤;

通过阳极氧化过程,通过在未被所述掩蔽层覆盖的所述电容产生区域中形成细孔,从而在所述电容产生区域中在所述硅衬底的厚度方向上形成多孔部的步骤;

在所述细孔的内表面上形成电介质层的步骤;以及

形成导体层的步骤,所述导体层包括填充在所述细孔的至少一部分中的填充部和至少覆盖所述电容产生区域的表面的一部分的表面层部。

14. 权利要求13所述的方法,其中
所述多孔部为第一多孔部,
所述细孔为第一细孔,并且
所述方法还包括将第二多孔部的至少一部分从所述第一细孔去除的去除步骤。
15. 权利要求14所述的方法,其中
所述去除步骤包括氧化所述第二多孔部以得到氧化物的步骤和通过蚀刻去除所述氧化物的步骤。

电容器及其制造方法

技术领域

[0001] 本公开涉及电容器以及用于制造所述电容器的方法。本公开具体地涉及包括硅衬底、电介质层和导体层的电容器以及用于制造所述电容器的方法。

背景技术

[0002] 专利文献1公开了一种电子装置,所述电子装置包括通过在采用诸如蚀刻之类的方法在衬底中形成的沟槽中交替提供导电层和电介质层而形成的沟槽式电容器。在专利文献1的电子装置中,衬底具有大量沟槽式电容器以提高电容值(静电电容)。

[0003] 然而,在专利文献1的电子装置中,在一些情况下不能令人满意地提高静电电容。

[0004] 引用清单

[0005] 专利文献

[0006] 专利文献1:JP 2009-515353 A

[0007] 发明概述

[0008] 本公开的一个目的是提供一种具有容易提高的静电电容的电容器以及提供一种用于制造所述电容器的方法。

[0009] 根据本公开的一个方面的电容器包括硅衬底、导体层和电介质层。硅衬底具有包括电容产生区域和非电容产生区域的主表面,并且硅衬底在电容产生区域中具有沿厚度方向设置的多孔部。导体层具有至少覆盖电容产生区域的表面的一部分的表面层部和填充在所述多孔部的细孔的至少一部分中的填充部。电介质层设置在细孔的内表面和填充部之间。

[0010] 用于制造根据本发明的一个方面的电容器的方法包括:在硅衬底的非电容产生区域上提供掩蔽层的步骤,所述硅衬底具有包括电容产生区域和非电容产生区域在内的主表面。用于制造所述电容器的方法包括:通过阳极氧化过程,通过在未被掩蔽层覆盖的电容产生区域中形成细孔,从而在电容产生区域中在硅衬底的厚度方向上形成多孔部的步骤。用于制造所述电容器的方法还包括:在细孔的内表面上形成电介质层的步骤。用于制造所述电容器的方法还包括:形成包括填充在细孔的至少一部分中的填充部和至少覆盖电容产生区域的表面的一部分的表面层部的导体层。

[0011] 附图简述

[0012] 图1A是示意性示出根据本公开的一个实施方案的电容器的一个示例的透视图;

[0013] 图1B是示出图1A的电容器的主要部分的放大图;

[0014] 图2A至图2D是示意性示出用于制造根据本公开的实施方案的电容器的方法的一个示例的透视图;

[0015] 图3A至图3C是示意性示出用于制造根据本公开的实施方案的电容器的方法的示例的透视图;

[0016] 图4是示意性示出用于制造根据本公开的实施方案的电容器的方法的示例的透视图;

[0017] 图5A至图5E是示意性示出用于制造根据本公开的实施方案的电容器的方法的示例的透视图；

[0018] 图6A是示出在阳极氧化过程后的硅衬底的主要部分的放大图；

[0019] 图6B是示出在热氧化过程后的硅衬底的主要部分的放大图；

[0020] 图6C是示出在氧化物去除后的硅衬底的主要部分的放大图；

[0021] 图6D是示出在电介质层形成后的硅衬底的主要部分的放大图；

[0022] 图7A是在阳极氧化过程后通过用扫描电子显微镜(SEM)拍摄硅衬底的主要部分的图像得到的照片(放大倍数:3000)；

[0023] 图7B是在第二多孔部去除后通过用SEM拍摄硅衬底的主要部分的图像得到的照片(放大倍数:3000)；

[0024] 图8A是示意性示出图1A的电容器的一个变化方案的透视图；

[0025] 图8B是示出图8A的电容器的多孔部的主要部分的放大图；

[0026] 图9是示出图1A的电容器的变化方案的多孔部的主要部分的放大截面图；以及

[0027] 图10是示意性示出图1A的电容器的一个变化方案的透视图。

[0028] 实施方案描述

[0029] 1. 第一实施方案

[0030] (1) 概要

[0031] 如图1A和1B所示,根据本实施方案的电容器100包括硅衬底1、导体层2和电介质层3。硅衬底1具有包括电容产生区域11和非电容产生区域12的主表面10。硅衬底1具有在电容产生区域11中沿厚度方向设置的多孔部13。导体层2具有至少覆盖电容产生区域11的表面的一部分的表面层部21和填充在多孔部13的细孔130的至少一部分中的填充部22。电介质层3设置在细孔130的内表面和填充部22之间。

[0032] 在本实施方案的电容器100中,硅衬底1可以构成第一电极,并且导体层2可以构成与第一电极不同的第二电极,因此,在硅衬底1、电介质层3和导体层2彼此堆叠的部分处产生静电电容。通常,可以通过增大电极(第一电极和第二电极)的表面积来提高电容器100的静电电容。在本实施方案的电容器100中,在硅衬底1的主表面10中的电容产生区域11中沿厚度方向设置的多孔部13和填充在多孔部13中的填充部22容易确保第一电极和第二电极的表面积,这可以提高电容器100的静电电容。

[0033] 此外,在本实施方案的电容器100中,未使硅衬底1的整个主表面10都成为多孔的,而是在电容产生区域11中形成多孔部13,因此,与使整个主表面10都成为多孔的情况相比,可以抑制硅衬底1的强度降低。

[0034] (2) 细节

[0035] 以下将详细地描述本实施方案的电容器100和用于制造电容器100的方法。

[0036] (2.1) 电容器

[0037] 如上所述,本实施方案的电容器100包括硅衬底1、导体层2和电介质层3。本实施方案的电容器100还包括无机绝缘层4和接触端子5。以下将描述本实施方案的电容器100中包括的这些部件中的每一个。

[0038] <硅衬底>

[0039] 硅衬底1是构成如上所述的电极的构件,并且本实施方案的硅衬底1构成第一电

极。因此,硅衬底1具有导电性。

[0040] 硅衬底1没有特别限制,只要其是由硅制成且通常用于例如制造集成电路的衬底即可。硅衬底1可以是p型半导体,或者可以是n型半导体。当硅衬底1是p型半导体时,可以用少量诸如硼或铝之类的元素对硅衬底1进行掺杂(可以将少量诸如硼或铝之类的元素加入到硅衬底1中)。备选地,当硅衬底1是n型半导体时,可以用少量诸如磷或砷之类的元素对硅衬底1进行掺杂(可以将少量诸如磷或砷之类的元素加入到硅衬底1中)。

[0041] 硅衬底1的厚度没有特别限制,但是优选地大于或等于例如400 μm 且小于或等于1000 μm 。

[0042] 硅衬底1在平面图(在硅衬底1的厚度方向上观看)中具有矩形形状,但是硅衬底1在平面图中的形状不限于此示例。例如,硅衬底1在平面图中可以具有三角形形状,可以具有与三角形形状相比具有更多顶点的多边形形状,或者可以具有圆形形状。注意,平面图意指在其厚度方向上观看硅衬底1。

[0043] 如图1A和1B所示,硅衬底1具有主表面10(主表面10在下文中也被称为第一主表面10)和位于主表面10的相反侧的第二主表面14。

[0044] 在本实施方案的硅衬底1中,第一主表面10包括电容产生区域11和非电容产生区域12。电容产生区域11是在电容器100中形成的目的在于产生静电电容的区域。因此,非电容产生区域12是第一主表面10除了电容产生区域11之外的区域,但并不是不产生静电电容的区域。在非电容产生区域12中,可以产生静电电容。此外,在本实施方案中,非电容产生区域12具有被氧化的表面。也就是说,非电容产生区域12的表面由硅衬底1的氧化物制成,并且由例如氧化硅(SiO_2)制成。因此,本实施方案的电容器100包括在非电容产生区域12上的由氧化硅制成的氧化涂层120。

[0045] 电容产生区域11的尺寸取决于第一主表面10的尺寸,但是优选地大于或等于例如 $4 \times 10^2 \mu\text{m}^2$,并且优选地小于或等于 1mm^2 。

[0046] 在本实施方案中,多孔部13在第一主表面10的电容产生区域11中沿厚度方向设置(参见图1A和1B)。本实施方案的多孔部13具有细孔130。在本实施方案中,细孔130是纵向细长的孔(参见图6A和6D)。具体地,细孔130沿着与主表面10相交的方向(在本实施方案中,硅衬底1的厚度方向)从在电容产生区域11中的多个位置延伸。换言之,细孔130是在多孔部13中形成的从第一主表面10的电容产生区域11朝第二主表面14延伸的多个微细非通孔。因此,细孔130中包括的多个非通孔在第一主表面10的电容产生区域11中开口。如上所述,在本实施方案中,细孔130沿着硅衬底1的厚度方向延伸。多个细孔130大致彼此平行地排列。这可以增大多孔部13中包括的细孔130的内表面的表面积,从而提高电容器100的静电电容。

[0047] 此外,细孔130中包括的所述多个非通孔全部都可以彼此相连,或者细孔130中包括的所述多个非通孔可以包括不连接的(独立的)非通孔。多孔部13可以设置在整个电容产生区域11中,或者可以设置在电容产生区域11的一部分中。此外,非电容产生区域12几乎没有细孔130中包括的微细非通孔的开口,但是细孔130中包括的微细非通孔中的一些可以设置在非电容产生区域12的下方(在厚度方向上位于硅衬底1的非电容产生区域12之下的部分处)。例如,如图1B所示,多孔部13具有从在厚度方向上位于硅衬底1的电容产生区域11之下的部分延伸到在厚度方向上位于硅衬底1的非电容产生区域12之下的所述部分中的角部

133。也就是说，角部133可以设置在非电容产生区域12下方，并且角部133可以在厚度方向上位于非电容产生区域12之下。此外，角部133是多孔部13的一部分，因此，在本实施方案中，多孔部13的所述一部分可以延伸到在厚度方向上位于硅衬底1的非电容产生区域12之下的所述部分中。也就是说，多孔部13的所述一部分可以在厚度方向上位于硅衬底1的非电容产生区域12之下。此外，多孔部13的所述一部分可以存在于在厚度方向上位于硅衬底1的非电容产生区域12之下的所述部分中。

[0048] 多孔部13的厚度(从电容产生区域11的表面110到多孔部13的底部的距离)优选地大于或等于 $30\mu\text{m}$ 。在此情况下，容易确保细孔130的内表面的表面积，并且容易提高电容器100的静电电容。注意，多孔部13的厚度意指在沿硅衬底1的厚度方向的方向上从第一主表面10到细孔130的底部的距离的平均值。此外，例如，多孔部13的厚度优选地小于或等于 $50\mu\text{m}$ 。在此情况下，当在多孔部13中形成导体层2(填充部22)时，可以抑制多孔部13被损坏。例如，可以调整在之后描述的多孔部形成步骤中用于进行阳极氧化过程的时间长短来调整多孔部13的厚度。

[0049] 此外，多孔部13中的细孔130中的一些可以延伸通过第二主表面14。也就是说，多孔部13的一部分可以在位于硅衬底1的主表面10的相反侧的第二主表面14处暴露。在此情况下，多孔部13的厚度的最大值等于硅衬底1的厚度。

[0050] 在图1A和1B所示的电容器100中，多孔部13设置在整個电容产生区域11中。此外，如上所述，多孔部13包括多个微细非通孔。细孔130中包括的非通孔的直径的平均值优选地大于或等于 100nm 。在此情况下，容易确保多孔部13的强度，并且当用之后描述的导体层2(填充部22)填充多孔部13的细孔130时，可以抑制多孔部13被损坏。另外，细孔130中包括的非通孔的直径的平均值优选地小于或等于 $5\mu\text{m}$ 。在此情况下，容易增大细孔130的内表面的表面积，并且容易提高电容器100的静电电容。此外，细孔130中包括的非通孔的直径的平均值特别优选地大于或等于 $1\mu\text{m}$ 且小于或等于 $4\mu\text{m}$ 。在此情况下，能够实现同时确保电容器100的静电电容和多孔部13的强度。

[0051] 在本实施方案中，多孔部13的表面放大率优选地大于或等于200。多孔部13的表面放大率意指多孔部13的实际表面积(细孔130的内表面的总表面积)与看到的多孔部13的表面的面积(电容产生区域11的面积)的比率。也就是说，多孔部13的表面积优选为电容产生区域11的面积200倍以上。在此情况下，可以提高电容器100的静电电容。多孔部13的表面放大率优选地小于或等于5000。也就是说，多孔部13的表面积优选为电容产生区域11的面积5000倍以下。在此情况下，容易确保多孔部13的强度，并且当用之后描述的导体层2(填充部22)填充多孔部13的细孔130时，可以抑制多孔部13被损坏。为了同时实现电容器100的静电电容和多孔部13的强度，多孔部13的表面放大率特别优选地大于或等于500且小于或等于2000。也就是说，多孔部13的表面积优选为电容产生区域11的面积500倍以上且2000倍以下。

[0052] <导体层>

[0053] 如上所述，导体层2是构成电极的构件，并且本实施方案的导体层2构成与第一电极不同的第二电极。因此，导体层2具有导电性。

[0054] 导体层2优选地由导电材料制成。适合于制造本实施方案的电容器100的导电材料的实例包括多晶硅、铂和钌。因此，本实施方案的导体层2优选地包括选自多晶硅、铂和钌

组成的组中的至少一种元素。这些材料是具有低电阻值的材料,因此可以提高导体层2的导电性。导体层2特别优选地含有多晶硅。在此情况下,可以减小电容器100的等效串联电阻(ESR)。此外,将多晶硅包含到导体层2中可以减小硅衬底1和导体层2之间的线性膨胀系数差,并且即使在电容器100的温度升高时,也可以抑制由于线性膨胀系数差引起应力。此外,当导体层2包含多晶硅时,多晶硅优选地掺杂有杂质(掺杂剂)。在此情况下,可以减小多晶硅的带隙,这可以提高导体层2的导电性。掺杂剂的实例包括硼(B)、磷(P)和砷(As)。

[0055] 本实施方案的导体层2包括表面层部21和填充部22(参见图1A和1B)。

[0056] 在电容产生区域11中,表面层部21覆盖多孔部13的表面的至少一部分。换言之,表面层部21设置在多孔部13的细孔130中所包括的大量非通孔的开口上,并且封闭这些开口。因为多孔部13的表面是电容产生区域11的表面110,所以表面层部21覆盖电容产生区域11的表面110的至少一部分。表面层部21可以覆盖电容产生区域11的整个表面110,或者不是必需覆盖电容产生区域11的整个表面110,也就是说,表面层部21不是必需覆盖电容产生区域11的表面110的一部分。表面层部21的厚度优选地大于或等于 $1\mu\text{m}$ 。在此情况下,可以提高表面层部21的强度,由此也可以提高与表面层部21相连的填充部22的强度,因此可以提高导体层2的强度。此外,表面层部21的厚度优选地小于或等于 $200\mu\text{m}$ 。在此情况下,可以抑制电容器100的等效串联电阻(ESR)增加。

[0057] 填充部22填充在多孔部13中包括的细孔130的至少一部分中。因此,细孔130中包括的大量非通孔中的至少一些被作为导体层2的一部分的填充部22填充。也就是说,细孔130不必完全被填充部22填充,而是可以具有未被填充部22填充的部分。在本实施方案的电容器100中,填充部22优选地与表面层部21连续。具体地,填充部22和表面层部21优选地在细孔130中所包括的大量微细非通孔的开口处彼此连续。

[0058] 在本实施方案的电容器100中,导体层2也设置在非电容产生区域12的一部分上。在非电容产生区域12上的导体层2和硅衬底1之间设置绝缘涂层,所述绝缘涂层也可以是非电容产生区域12中产生静电电容。此外,在本实施方案的电容器100中,在非电容产生区域12的导体层2和表面层部21彼此连续。在本实施方案中,表面层部21和填充部22彼此连续,因此,在非电容产生区域12上的导体层2、表面层部21和填充部22彼此连续。设置在非电容产生区域12上的导体层2可以但不一定与表面层部21齐平。在本实施方案的电容器100中,在非电容产生区域12上的导体层2和表面层部21彼此不齐平,在它们之间的边界处提供水平差,并且表面层部21低于在非电容产生区域12上的导体层2。例如,表面层部21和在非电容产生区域12上的导体层2之间的水平差的尺寸优选地大于或等于 $0.2\mu\text{m}$ 且小于或等于 $2.0\mu\text{m}$ 。

[0059] <电介质层>

[0060] 电介质层3是绝缘涂层。此外,在本实施方案的电容器100中,电介质层3设置在多孔部13中所包括的细孔130的内表面和作为导体层2的一部分且填充在细孔130中的填充部22之间。

[0061] 电介质层3的材料没有特别限制,只要其具有绝缘性即可,但是优选为例如氧化硅(SiO_2)。在此情况下,电介质层3可以通过氧化在作为硅衬底1的一部分的多孔部13中所包括的细孔130的内表面来形成。另外,电介质层3可以是氧化物/氮化物/氧化物膜(ONON膜)。如图6D所示,ONON膜包括第一硅氧化物膜31(SiO_2)、氮化物膜33(Si_3N_4)和第二硅氧化物膜32

(SiO₂)。将第一硅氧化物膜31、氮化物膜33和第二硅氧化物膜32依次堆叠而形成ONO膜。电介质层3的材料的其他实例包括氧化钛、氧化锆、氧化钪、氧化钒、氧化钨、氧化铌、氧化钽和氧化铝。

[0062] 例如,电介质层3的厚度优选地大于或等于10nm。在此情况下,容易使细孔130的内表面与填充部22绝缘。此外,例如,电介质层3的厚度优选地小于或等于500nm。在此情况下,可以容易地用填充部22填充细孔130,容易提高填充部22的强度,并且还容易提高导体层2的强度。

[0063] <无机绝缘层>

[0064] 本实施方案的电容器100包括无机绝缘层4。无机绝缘层4是由无机材料制成的绝缘涂层。无机绝缘层4用于抑制在构成第一电极的硅衬底1和构成第二电极的导体层2之间形成短路(短接)。

[0065] 在本实施方案的电容器100中,无机绝缘层4设置在非电容产生区域12上。因此,在非电容产生区域12中,容易使硅衬底1和导体层2彼此绝缘。无机绝缘层4可以设置在非电容产生区域12的整个表面上,或者不必设置在非电容产生区域12的整个表面上。在本实施方案的电容器100中,无机绝缘层4设置在非电容产生区域12的整个表面上。例如,无机绝缘层4的厚度优选地大于或等于0.5μm。在此情况下,可以抑制无机绝缘层4在之后描述的形成多孔部13的步骤中被损坏。此外,无机绝缘层4的厚度的上限值没有特别限制,但是例如,优选地小于或等于2.0μm。

[0066] 无机绝缘层4的材料没有特别限制,只要无机绝缘层4由具有绝缘性的无机材料制成即可。在本实施方案中,无机绝缘层4优选地至少包含氮化硅(SiN)。在此情况下,可以令人满意地确保无机绝缘层4的绝缘性,也可以抑制无机绝缘层4在之后描述的形成多孔部13的步骤中被损坏,进一步地,可以减小硅衬底1和无机绝缘层4之间的线性膨胀系数差,因此可以抑制电容器100翘曲。自然地,无机绝缘层4可以含有除了氮化硅以外的组分。

[0067] 在本实施方案的电容器100中,无机绝缘层4设置在非电容产生区域12上方的导体层2和硅衬底1之间。也就是说,硅衬底1(非电容产生区域12)、无机绝缘层4和导体层2依次堆叠。因此,在本实施方案的电容器100中,可以在非电容产生区域12的具有导体层2的部分处产生静电电容。

[0068] <接触端子>

[0069] 本实施方案的电容器100包括接触端子5。例如,当电容器100安装在衬底上时,接触端子5可以用于将衬底和电容器100彼此连接。接触端子5的材料没有特别限制,只要其是用于电子部件的接触点等并且具有出色的导电性的材料即可,并且所述材料的实例包括金、银、铜、铂和钨。在本实施方案中,接触端子5优选地由钛制成,并且优选地镀金。在此情况下,能够同时实现接触端子5的强度和导电性。接触端子5在平面图中的形状没有特别限制。

[0070] 本实施方案的接触端子5包括第一接触端子51和第二接触端子52。第一接触端子51和第二接触端子52都设置在硅衬底1上方,并且在硅衬底1上方暴露于外部。

[0071] 第一接触端子51与硅衬底1欧姆接触,由此第一接触端子51与构成第一电极的硅衬底1电连接。具体地,第一接触端子51设置在无机绝缘层4中所形成的通孔中,并且第一接触端子51的一部分设置在无机绝缘层4上。在本实施方案的电容器100中,第一接触端子51

的设置在无机绝缘层4中所形成的通孔中的部分比第一接触端子51的设置在无机绝缘层4上的部分凹陷更多。此外,在本实施方案的电容器100中,由氧化硅制成的氧化涂层120设置在硅衬底1的表面上,并且第一接触端子51穿过氧化涂层120与硅衬底1欧姆接触。因此,第一接触端子51和硅衬底1可以彼此电连接。第一接触端子51的设置在无机绝缘层4上的部分的厚度优选地大于或等于200nm且小于或等于500nm以确保强度和连接可靠性。

[0072] 第二接触端子52与导体层2欧姆接触,由此第二接触端子52与构成第二电极的导体层2电连接。具体地,第二接触端子52设置在非电容产生区域12上方所设置的导体层2上。因此,第二接触端子52与在非电容产生区域12上的导体层2欧姆接触,由此第二接触端子52与在非电容产生区域12上的导体层2电连接。此外,在本实施方案的电容器100中,在非电容产生区域12上方的导体层2和表面层部21彼此连续,并且表面层部21和填充部22彼此连续。因此,在本实施方案的电容器100中,第二接触端子52与表面层部21电连接,并且第二接触端子52与填充部22电连接。第二接触端子52的厚度优选地大于或等于200nm且小于或等于500nm以确保强度和连接可靠性。

[0073] 第一接触端子51和第二接触端子52之间的高度差优选地小于或等于 $2.0\mu\text{m}$ 。在此情况下,第一接触端子51和第二接触端子52容易设置在衬底等上。

[0074] (2.2) 用于制造电容器的方法

[0075] 以下将描述用于制造本实施方案的电容器100的方法。用于制造本实施方案的电容器100的方法包括掩蔽步骤、多孔部形成步骤、电介质层形成步骤和导体层形成步骤。将参照图2A至2D、图3A至3D、图4和图5A至5E描述这些步骤。

[0076] <掩蔽步骤>

[0077] 掩蔽步骤包括在具有包括电容产生区域11和非电容产生区域12在内的主表面10的硅衬底1的非电容产生区域12上提供掩蔽层40。具体地,通过以下方法形成掩蔽层40。

[0078] 首先,如图2A所示准备硅衬底1。

[0079] 然后,如图2B所示,对硅衬底1进行热氧化过程。这形成在硅衬底1的第一主表面10上的由氧化硅制成的氧化涂层120和在第二主表面14上的由氧化硅制成的氧化涂层140,其可以确保硅衬底1的第一主表面10和第二主表面14的绝缘性。热氧化过程的条件优选为,例如,在氧气气氛中,加热温度高于或等于 1000°C 且低于或等于 1200°C 。在本实施方案中,在整个第一主表面10上形成氧化涂层120。此氧化涂层120可以确保硅衬底1的第一主表面10的绝缘性。

[0080] 接下来,如图2C所示,在设置于第一主表面10上的氧化涂层120上形成掩蔽层40。在本实施方案中,在氧化涂层120的整个表面上形成掩蔽层40。掩蔽层40优选地采用不太可能因为之后的阳极氧化过程而劣化和改变性质的涂层。例如,掩蔽层40优选为金属比如铬或金的涂层,由作为用于制造印刷线路板等的抗蚀剂材料使用的有机树脂制成的涂层,或者由氮化硅制成的涂层。在本实施方案中,掩蔽层40特别优选为由氮化硅制成的涂层。在此情况下,在电容器100中存在包括氮化硅的掩蔽层的情况下,可以减小硅衬底1和掩蔽层40之间的线性膨胀系数差,由此可以抑制电容器100翘曲。在以下描述中,将描述其中掩蔽层40由氮化硅制成的实例。当掩蔽层40由氮化硅制成时,掩蔽层40可以通过例如化学气相沉积(CVD)或等离子体CVD制备。

[0081] 接下来,如图2D所示,通过公知的方法去除(图案化)掩蔽层40的与电容产生区域

11重叠的部分。此时,氧化涂层120的与电容产生区域11重叠的部分也被去除。这可以留下在非电容产生区域12上的掩蔽层40。此外,可以暴露第一主表面10的电容产生区域11。此外,在非电容产生区域12中,氧化涂层120和掩蔽层40依次堆叠。用于将掩蔽层40图案化的方法没有特别限制,但是例如,可以采用等离子体蚀刻。

[0082] 此外,在掩蔽步骤中,优选地去除形成在第二主表面14上的氧化涂层140(参见图2D)。

[0083] 此外,在上述方法中,从形成在整个第一主表面10上的掩蔽层40去除与电容产生区域11重叠的部分以留下在非电容产生区域12上的掩蔽层40,但是这不应被解释为限制性的。例如,可以仅在非电容产生区域12上直接形成掩蔽层40。在此情况下,必须去除氧化涂层120的与电容产生区域11重叠的部分。

[0084] <多孔部形成步骤>

[0085] 多孔部形成步骤包括:通过阳极氧化过程,通过在未被掩蔽层40覆盖的电容产生区域11中形成细孔130,从而在电容产生区域11中在硅衬底1的厚度方向上形成多孔部13。具体地,通过以下方法形成多孔部13。

[0086] 首先,如图3A所示,在第二主表面14上形成背面电极141。背面电极141是在对硅衬底1进行阳极氧化过程时使用的电极,并且背面电极141是导电涂层。因此,硅衬底1和背面电极141优选地彼此欧姆接触,由此硅衬底1和背面电极141优选地彼此电连接。在本实施方案中,优选地在整个第二主表面14上形成背面电极141。

[0087] 然后,如图3B所示,对硅衬底1进行阳极氧化过程。具体地,将硅衬底1放入混合液中,并且使电流在设置于第二主表面14上的背面电极141和包含酸的混合液之间流动。这在暴露的电容产生区域11中形成细孔130。与此相比,在被掩蔽层40覆盖的非电容产生区域12中没有形成细孔130。在电容产生区域11中形成细孔130使得在电容产生区域11中在硅衬底1的厚度方向上形成多孔部13。在本实施方案中,用于阳极氧化过程的混合液优选为氢氟酸(HF)和乙醇的混合液。在此情况下,容易在硅衬底1中形成多孔部13。

[0088] 接下来,如图3C所示,去除设置在第二主表面14上的背面电极141。

[0089] 如上所述,增大多孔部13的表面积(细孔130的内表面的表面积)可以提高电容器100的静电电容,其中多孔部13的表面积受细孔130中包括的微细非通孔的直径和深度影响。非通孔的直径和深度可以通过例如以下参数(a)至(c)可控。

[0090] (a) 硅衬底1的电导率,即硅衬底1中含有的杂质的量。

[0091] (b) 混合液中的氢氟酸的浓度。

[0092] (c) 由在背面电极141和混合液之间流动的电流的值相对于电容产生区域11面积所表示的电流密度(A/cm^2)。

[0093] 例如,在本实施方案中,混合物中的氢氟酸的浓度优选地大于或等于1重量%且小于或等于80重量%,优选大于或等于20重量%且小于或等于40重量%。在此情况下,可以抑制掩蔽层40由于氢氟酸而劣化和改变性质,并且可以将细孔130中包括的非通孔的直径的平均值调整为在100nm至5 μm 的范围内(包括端点值)。

[0094] 此外,当对硅衬底1进行阳极氧化过程时,电场倾向于集中在与多孔部13的角部133对应的部分上。因此,如图1B所示,多孔部13的角部133从在厚度方向上位于硅衬底1的电容产生区域11之下的部分延伸到在厚度方向上位于硅衬底1的非电容产生区域12之下的

部分中。

[0095] 此外,当硅衬底1是n型半导体时,优选地用光照射硅衬底1,然后对其进行阳极氧化过程。具体地,优选地在对硅衬底1进行热氧化过程之前用光照射硅衬底1。

[0096] 优选地,在使硅衬底1成为多孔的之后并且在电介质层形成步骤之前,进行杂质扩散以在多孔部13的细孔130的内表面上形成杂质的高浓度区域。杂质扩散方法的实例包括热扩散。杂质的实例包括磷(P)和硼(B)。如上所述,在细孔130的内表面上形成杂质的高浓度区域可以减小电容器100的等效串联电阻(ESR)。此外,使得不太可能形成耗尽层(电绝缘区域),从而可以抑制电容器100的静电电容减小。

[0097] <电介质层形成步骤>

[0098] 电介质层形成步骤包括在细孔130的内表面上形成电介质层3。具体地,对其中已经在上述多孔部形成步骤中形成了多孔部13的硅衬底1进行热氧化过程。这使得多孔部13中包括的细孔130的内表面被氧化。因为多孔部13是硅衬底1的一部分,所以细孔130的内表面的氧化形成了由氧化硅制成的涂层,由此提供电介质层3(参见图4)。此外,必须进行热氧化过程,以使得电介质层3可以确保至少细孔130的内表面的绝缘性。热氧化过程的条件优选为,例如,在氧气气氛中,加热温度高于或等于800℃且低于或等于1200℃。此外,可以进一步使用通过化学气相沉积(CVD)形成的氮化硅作为电介质。

[0099] <导体层形成步骤>

[0100] 导体层形成步骤包括:形成包括填充在细孔130的至少一部分中的填充部22和至少覆盖电容产生区域11的表面110的一部分的表面层部21的导体层2。具体地,通过以下方法形成导体层2。

[0101] 首先,如图5A所示,在硅衬底1的整个第一主表面10上形成导体层2。也就是说,导体层2形成为覆盖电容产生区域11和非电容产生区域12。如上所述,导体层2包括选自多晶硅、铂和钌组成的组中的至少一种元素。例如,当导体层2包括多晶硅时,可以通过化学气相沉积(CVD)形成导体层2。当通过CVD形成由多晶硅制成的导体层2时,细孔130的至少一部分被多晶硅填充。由填充在细孔130中的多晶硅制成的层作为导体层2的填充部22。此外,由多晶硅制成的层也形成在电容产生区域11的表面110上。形成在表面110上的由多晶硅制成的层作为导体层2的表面层部21。此外,在整个第一主表面10上形成导体层2也在非电容产生区域12上形成由多晶硅制成的层。在通过CVD形成由多晶硅制成的导体层2时的温度没有特别限制,但是优选地,例如,高于或等于400℃且低于或等于900℃。

[0102] 然后,如图5B所示,将形成在整个第一主表面10上的导体层2中所包括的且与非电容产生区域12重叠的部分中的一部分去除。这暴露了设置在非电容产生区域12的掩蔽层40。此外,在本实施方案中,在非电容产生区域12上留下导体层2的一部分。因此,在非电容产生区域12中其上留有导体层2的部分处,不暴露掩蔽层40,并且氧化涂层120、掩蔽层40和导体层2依次堆叠。用于去除导体层2的方法没有特别限制,但是可以使用例如半导体激光。

[0103] 接下来,如图5C所示,部分地去除在非电容产生区域12中暴露的氧化涂层120和掩蔽层40。这可以暴露在非电容产生区域12中的硅衬底1。此外,可以确保非电容产生区域12的被掩蔽层40和氧化涂层120覆盖的部分的绝缘性。此外,设置在非电容产生区域12上的掩蔽层40作为图1A和1B所示的电容器100中包括的无机绝缘层4。因此,如在本实施方案中那样,当掩蔽层40由氮化硅制成时,得到包含氮化硅的无机绝缘层4。

[0104] 接下来,如图5D所示,将整个第一主表面10用由作为接触端子5的材料使用的金属制成的层50覆盖。然后,如图5E所示,去除层50,使得留下层50的一部分,由此形成第一接触端子51和第二接触端子52。具体地,在由金属制成的层50中,留下位于在非电容产生区域12上的硅衬底1的暴露部分及其周边部分上的部分,由此制备第一接触端子51。此外,在由金属制成的层50中,留下位于设置在非电容产生区域12上方的导体层2上的部分,由此制备第二接触端子52。

[0105] 通过上述步骤,制备了图1A和1B所示的电容器100。

[0106] 2. 第二实施方案

[0107] (1) 概要

[0108] 接下来,将参照附图描述用于制造第二实施方案的电容器100的方法。在第二实施方案中,用与第一实施方案中的附图标记相同的附图标记来表示与第一实施方案中的部件类似的部件,并且可以省略其详细描述。

[0109] 在上述用于制造第一实施方案的电容器100的方法中,在阳极氧化过程之后,如图6A和7A所示,另一个多孔部13b(所谓的纳米多孔)可以在多孔部13(所谓的大孔)的细孔130中。在第二实施方案中,从细孔130去除另一个多孔部13b。也就是说,用于制造第二实施方案的电容器100的方法与用于制造第一实施方案的电容器100的方法的不同之处在于还包括去除多孔部13b的去除步骤。

[0110] 根据第二实施方案,从细孔130去除多孔部13b使得容易在细孔130中形成电介质层3(参见图6D)。注意,图6A至6D是有助于理解描述的示意图。

[0111] (2) 细节

[0112] 以下将参照附图详细地描述用于制造第二实施方案的电容器100的方法。

[0113] 在第二实施方案中,第一实施方案的多孔部13和细孔130分别被称为第一多孔部13a和第一细孔130a。

[0114] 如图6A所示,第一多孔部13a是所谓的大孔的。第一多孔部13a具有多个第一细孔130a。多个第一细孔130a沿着与主表面10相交的方向(在本实施方案中,硅衬底1的厚度方向)从在电容产生区域11中的多个位置延伸。也就是说,每个第一细孔130a都是纵向细长的孔。

[0115] 长度(第一细孔130a的沿着硅衬底1的厚度方向的长度)的平均值没有特别限制,但是优选地例如大于或等于30 μm 且小于或等于50 μm 。第一细孔130a的孔径(在垂直于硅衬底1的厚度方向的表面中的孔径)的平均值没有特别限制,但是例如大于或等于100nm且小于或等于5 μm 。如上所述,第一多孔部13a具有多个微米级第一细孔130a,因此是大孔的。

[0116] 与此相比,第二多孔部13b是所谓的纳米多孔的。第二多孔部13b具有多个第二细孔130b。第二细孔130b是随机取向的。每个第二细孔130b的孔径都略小于每个第一细孔130a的孔径。具体地,第二细孔130b的孔径的平均值没有特别限制,但是例如大于或等于30nm且小于或等于500nm。每个第二细孔130b的孔径都能够通过公知的手段比如SEM图像观察来测量。如上所述,第二多孔部13b具有多个纳米级第二细孔130b,因此是纳米多孔的。

[0117] 如图6A和7A所示,在用于制造第一实施方案的电容器100的方法中,在阳极氧化过程之后,第二多孔部13b可以在第一多孔部13a的第一细孔130a中。也就是说,在多个第一细孔130a中,可以存在相应的第二多孔部13b。第二多孔部13b中的每个都具有多个略小于第

一细孔130a的第二细孔130b。每个第二多孔部13b的整体形状与第二多孔部13b存在于其中的第一细孔130a的形状大致相同。

[0118] 用于制造第二实施方案的电容器100的方法还包括去除在第一细孔130a中的第二多孔部13b的至少一部分的去除步骤。在图6C中,去除在第一细孔130a中的整个第二多孔部13b。例如,第二多孔部13b的一部分可以保留在各第一细孔130a的底部。

[0119] 如上所述,如图6D所示,从第一细孔130a去除第二多孔部13b使得容易在第一细孔130a中形成电介质层3。在图6D中,电介质层3被显示为ONO膜(第一硅氧化物膜31/氮化物膜33/第二硅氧化物膜32),但是不限于此实例。

[0120] 此外,如图6D所示,甚至在第一细孔130a中形成电介质层3之后,仍存在中空部134,因此,容易用填充部22填充中空部134。填充部22具有导电性。这可以提高电容器100的静电电容。

[0121] 此处,用于从各第一细孔130a去除第二多孔部13b的手段没有特别限制。以下作为具体实例描述第一去除手段和第二去除手段。

[0122] 第一去除手段是利用与蚀刻溶液(蚀刻剂)的反应速度差的手段。第一多孔部13a和第二多孔部13b在表面积方面彼此不同。第二多孔部13b的表面积大于第一多孔部13a的表面积。因此,与第一多孔部13a相比,第二多孔部13b更容易通过蚀刻溶液去除。蚀刻溶液没有特别限制,但是蚀刻溶液的实例包括四甲基氢氧化铵(TMAH)水溶液、氢氟酸和氢氧化钾(KOH)水溶液。

[0123] 图7A是通过在阳极氧化过程后用SEM拍摄硅衬底1的主要部分的图像得到的照片(对应于图6A)。由此照片可以清楚地看出,确认了第一多孔部13a的第一细孔130a被第二多孔部13b填充。图7B中示出了在通过使用TMAH作为蚀刻溶液从第一细孔130a去除第二多孔部13b之后的照片(对应于图6C)。

[0124] 与此相比,如图6B和6C所示,第二去除手段是在使第二多孔部13b成为氧化物15之后去除第二多孔部13b的手段。也就是说,该去除步骤包括氧化第二多孔部13b以得到氧化物15的步骤(氧化步骤)和通过蚀刻去除氧化物15的步骤(氧化物去除步骤)。

[0125] 在氧化步骤中,进行热氧化过程。例如,热氧化过程的条件是在氧气气氛中,加热温度高于或等于1000℃且低于或等于1200℃。加热时间是约60分钟。

[0126] 如上所述,第二多孔部13b的表面积大于第一多孔部13a的表面积。因此,第二多孔部13b的与氧气接触的面积大于第一多孔部13a的与氧气接触的面积,因此,第二多孔部13b更容易被氧化。也就是说,氧气进入第二多孔部13b的第二细孔130b,并且将第二多孔部13b化学改变为氧化物15(具体为氧化硅)。与此相比,第一多孔部13a难以被氧化,并且仍为非氧化物(具体为硅)。

[0127] 在氧化物去除步骤中,使用显示出对氧化物15的选择性比对非氧化物的选择性更高的蚀刻溶液,以通过此蚀刻溶液选择性地去除氧化物15(参见图6C)。蚀刻溶液没有特别限制,但是蚀刻溶液的实例包括氢氟酸。氢氟酸是氟化氢的水溶液,并且通常被称为氢氟酸。

[0128] 如上所述,在第二去除手段中,将第二多孔部13b改变为氧化物15,由此,如图6C所示,容易从第一细孔130a去除第二多孔部13b。

[0129] 然后,如图6D所示,从第一细孔130a去除第二多孔部13b使得容易在第一细孔130a

中形成电介质层3。此外,如图6D所示,甚至在第一细孔130a中形成电介质层3之后,仍存在中空部134,因此,容易用填充部22填充中空部134。这可以提高电容器100的静电电容。

[0130] 3.变化方案

[0131] 电容器100的构造以及用于制造电容器100的方法不特别限于上述实施方案。

[0132] 例如,图1A和1B所示的电容器100具有整体由细孔130构成的多孔部13,但是这不应被解释为限制性的。

[0133] 例如,如图8A所示,多孔部13可以部分地具有无细孔130的非多孔部131。因为非多孔部131没有细孔130,所以非多孔部131不被导体层2(填充部22)填充。因此,设置非多孔部131可以抑制多孔部13由于当在细孔130中形成导体层2(填充部22)时的应力而被损坏。也就是说,非多孔部131可以提高多孔部13的强度。

[0134] 非多孔部131的形状没有特别限制,但是如图8A和8B所示,例如,非多孔部131可以在平面图中将电容产生区域11分为多个部分。例如,当非多孔部131各自具有被配置成将多孔部13分为多个部分的壁形状时,非多孔部131可以在平面图中将电容产生区域11分为多个部分。这样的非多孔部131也可以提高多孔部13的强度。此外,通过分割多孔部13得到的各部分起相应电容器的作用,并且将各电容器彼此并联可以降低电容器100的等效串联电阻(ESR)。此外,图8A和8B所示的非多孔部131各自具有壁形状,但是非多孔部131中的每个都可以具有例如柱形状。

[0135] 例如,多孔部13可以具有在第一主表面10侧具有开口的非通孔或凹槽中的至少一种。非通孔和凹槽没有细孔130,并且非通孔和凹槽被导体层2(填充部22)填充。此外,在非通孔和凹槽的内表面上形成电介质层3,因此,电介质层3设置在非通孔和凹槽的各内表面与导体层2(填充部22)之间。具有非通孔或凹槽中的至少一种的多孔部13使得气体能够容易进入细孔130,因此,容易通过CVD用导体层2(填充部22)填充细孔130。非通孔或凹槽可以通过例如对硅衬底1的电容产生区域11进行干法蚀刻来形成。非通孔和凹槽可以在硅衬底1中形成多孔部13之前形成,或者可以在硅衬底1中形成多孔部13之后形成。例如,图9所示的多孔部13具有沟槽132作为在第一主表面10侧开口的非通孔或凹槽。沟槽132被导体层2(填充部22)填充。多孔部13可以具有一个沟槽132,但是优选地具有多个沟槽132。注意,图9所示的沟槽132是示意性示出的,并且细孔130的尺寸与沟槽132的尺寸的比率不限于图9所示的比率。

[0136] 自然地,多孔部13可以同时具有上述非多孔部131和在第一主表面10侧开口的非通孔或凹槽中的至少一种。

[0137] 例如,在图1A和1B所示的电容器100中,在非电容产生区域12上的无机绝缘层4中形成通孔,并且将在通孔中暴露的硅衬底1和第一接触端子51彼此电连接,但是这不应被解释为限制性的。例如,如图10所示,硅衬底1具有位于第一主表面10的相反侧的第二主表面14,第二主表面14具有在硅衬底1的厚度方向上位于电容产生区域11之下的区域,并且所述区域具有朝第一主表面10凹陷的腔体142。在腔体142的表面上形成由金属制成的接触端子5(第三接触端子53)来代替第一接触端子51,由此,与图1A和1B所示的电容器100相比,第一电极(第三接触端子53)和第二电极(第二接触端子52)之间的距离可以更短。

[0138] 例如,在图1A和1B所示的电容器100中,在非电容产生区域12上设置包含氮化硅的无机绝缘层4,并且无机绝缘层4设置在非电容产生区域12上方的导体层2和硅衬底1之间,

但是这不应被解释为限制性的。例如,电容器100不是必需包括无机绝缘层4。例如,为了制造电容器100,优选地使用金属比如铬或金或者有机树脂作为掩蔽层40,并且优选地在阳极氧化过程之后(在形成多孔部13之后)且在形成导体层2之前去除掩蔽层40。金属比如铬或金和有机树脂与硅衬底1的线性膨胀系数差大于氮化硅与硅衬底1的线性膨胀系数差。因此,当电容器100中不包括由金属比如铬或金或者有机树脂制成的掩蔽层40时,可以抑制由于掩蔽层40和硅衬底1之间的线性膨胀系数差引起翘曲。

[0139] 4. 方面

[0140] 由上述实施方案可以看出,本公开包括以下方面。注意,在以下描述中仅为了澄清与实施方案的对应关系而添加附图标记。

[0141] 第一方面的电容器(100)包括硅衬底(1)、导体层(2)和电介质层(3)。硅衬底(1)具有包括电容产生区域(11)和非电容产生区域(12)的主表面(10),并且硅衬底(1)具有在电容产生区域(11)中沿厚度方向设置的多孔部(13)。导体层(2)具有至少覆盖电容产生区域(11)的表面(110)的一部分的表面层部(21)和填充在多孔部(13)的细孔(130)的至少一部分中的填充部(22)。电介质层(3)设置在细孔(130)的内表面和填充部(22)之间。

[0142] 在此情况下,在硅衬底(1)的主表面(10)中的电容产生区域(11)中沿厚度方向设置的多孔部(13)和填充在多孔部(13)中的填充部(22)容易确保电极的表面积,其提高电容器(100)的静电电容。此外,多孔部(13)形成在电容产生区域(11)中,因此,与使整个主表面(10)成为多孔的情况相比,抑制了硅衬底(1)的强度降低。

[0143] 涉及第一方面的第二方面的电容器(100)还包括设置在非电容产生区域(12)上的无机绝缘层(4)。

[0144] 在此情况下,在具有无机绝缘层(4)的部分处确保了硅衬底(1)的绝缘性。

[0145] 在根据涉及第二方面的第三方面的电容器(100)中,无机绝缘层(4)至少包含氮化硅。

[0146] 在此情况下,减小了无机绝缘层(4)和硅衬底(1)之间的线性膨胀系数差。

[0147] 在涉及第一方面至第三方面中任一项的第四方面的电容器(100)中,多孔部(13)部分地具有没有细孔(130)的非多孔部(131)。

[0148] 在此情况下,提高了多孔部(13)的强度,并且抑制多孔部(13)由于在用导体层(2)填充细孔(130)时的应力而被损坏。

[0149] 在涉及第四方面的第五方面的电容器(100)中,在平面图中,非多孔部(131)将电容产生区域(11)分为多个部分。

[0150] 在此情况下,提高了多孔部(13)的强度,并且抑制多孔部(13)由于在用导体层(2)填充细孔(130)时的应力而被损坏。

[0151] 涉及第一方面至第五方面中任一项的第六方面的电容器(100),多孔部(13)的表面积为电容产生区域(11)的面积200倍以上。

[0152] 在此情况下,提高了电容器(100)的静电电容。

[0153] 在涉及第一方面至第六方面中任一项的第七方面的电容器(100)中,硅衬底(1)具有位于第一主表面(10)的相反侧的第二主表面(14),第二主表面(14)具有在硅衬底(1)的厚度方向上位于电容产生区域(11)之下的区域,并且所述区域具有朝第一主表面(10)凹陷的腔体(142)。

[0154] 在此情况下,减小了构成第一电极的硅衬底(1)和构成第二电极的导体层(2)之间的电极间距离。

[0155] 在涉及第一方面至第七方面中任一项的第八方面的电容器(100)中,导体层(2)包括选自自由多晶硅、铂和钌组成的组中的至少一种元素。

[0156] 在此情况下,提高了导体层(2)的导电性。

[0157] 在涉及第一方面至第八方面中任一项的第九方面的电容器(100)中,多孔部(13)具有在主表面(10)侧开口的非通孔或凹槽中的至少一种。

[0158] 在此情况下,容易用导体层(2)(填充部(22))填充多孔部(13)的细孔(130)。

[0159] 在涉及第一方面至第九方面中任一项的第十方面的电容器(100)中,多孔部(13)的一部分在硅衬底(1)的位于主表面(10)的相反侧的第二主表面(14)侧暴露。

[0160] 在此情况下,多孔部(13)的厚度的最大值等于硅衬底(1)的厚度。

[0161] 在涉及第一方面至第十方面中任一项的第十一方面的电容器(100)中,多孔部(13)的一部分延伸到在厚度方向上位于硅衬底(1)的非电容产生区域(12)之下的部分中。

[0162] 在此情况下,多孔部(13)的体积增大,因此,细孔(130)的内表面的表面积增大,这提高了电容器(100)的静电电容。

[0163] 在涉及第一方面至第十一方面中任一项的第十二方面的电容器(100)中,细孔(130)沿着与主表面(10)相交的方向从在电容产生区域(11)中的多个位置延伸。

[0164] 在此情况下,多孔部(13)中包括的细孔(130)的内表面的表面积增大,这提高了电容器(100)的静电电容。

[0165] 第十三方面的用于制造电容器(100)的方法包括掩蔽步骤、多孔部形成步骤、电介质层形成步骤和导体层形成步骤。掩蔽步骤包括:在具有包括电容产生区域(11)和非电容产生区域(12)在内的主表面(10)的硅衬底(1)的非电容产生区域(12)上提供掩蔽层(40)。细孔形成步骤包括:通过阳极氧化过程,通过未被掩蔽层(40)覆盖的电容产生区域(11)中形成细孔(130),在电容产生区域(11)中在硅衬底(1)的厚度方向上形成多孔部(13)。多孔部形成步骤包括在细孔(130)的内表面上形成电介质层(3)。导体层形成步骤包括:形成包括填充在细孔(130)的至少一部分中的填充部(22)和至少覆盖电容产生区域(11)的表面(110)的一部分的表面层部的导体层。

[0166] 在此情况下,当在多孔部形成步骤中进行阳极氧化过程时,通过掩蔽层(40)保护非电容产生区域(12),因此,抑制非电容产生区域(12)由于混合液而被损坏或改变性质。

[0167] 在涉及第十三方面的第十四方面的用于制造电容器(100)的方法中,多孔部(13)为第一多孔部(13a),细孔(130)为第一细孔(130a),并且所述方法还包括从第一细孔(130a)去除第二多孔部(13b)的至少一部分的去除步骤。

[0168] 在此情况下,从第一细孔(130a)去除第二多孔部(13b)使得容易在第一细孔(130a)中形成电介质层(3)和填充部(22)。

[0169] 在涉及第十四方面的第十五方面的用于制造电容器(100)的方法中,去除步骤包括氧化多孔部(13b)以得到氧化物(15)的步骤和通过蚀刻去除氧化物(15)的步骤。

[0170] 在此情况下,对第二多孔部(13b)的氧化使得能够容易地从第一细孔(130a)去除第二多孔部(13b)。

[0171] 附图标记列表

- [0172] 1 硅衬底
- [0173] 10 第一主表面
- [0174] 11 电容产生区域
- [0175] 110 表面
- [0176] 12 非电容产生区域
- [0177] 13 多孔部
- [0178] 130 细孔
- [0179] 131 非多孔部
- [0180] 14 第二主表面
- [0181] 142 腔体
- [0182] 2 导体层
- [0183] 21 表面层部
- [0184] 22 填充部
- [0185] 3 电介质层
- [0186] 4 无机绝缘层
- [0187] 40 掩蔽层

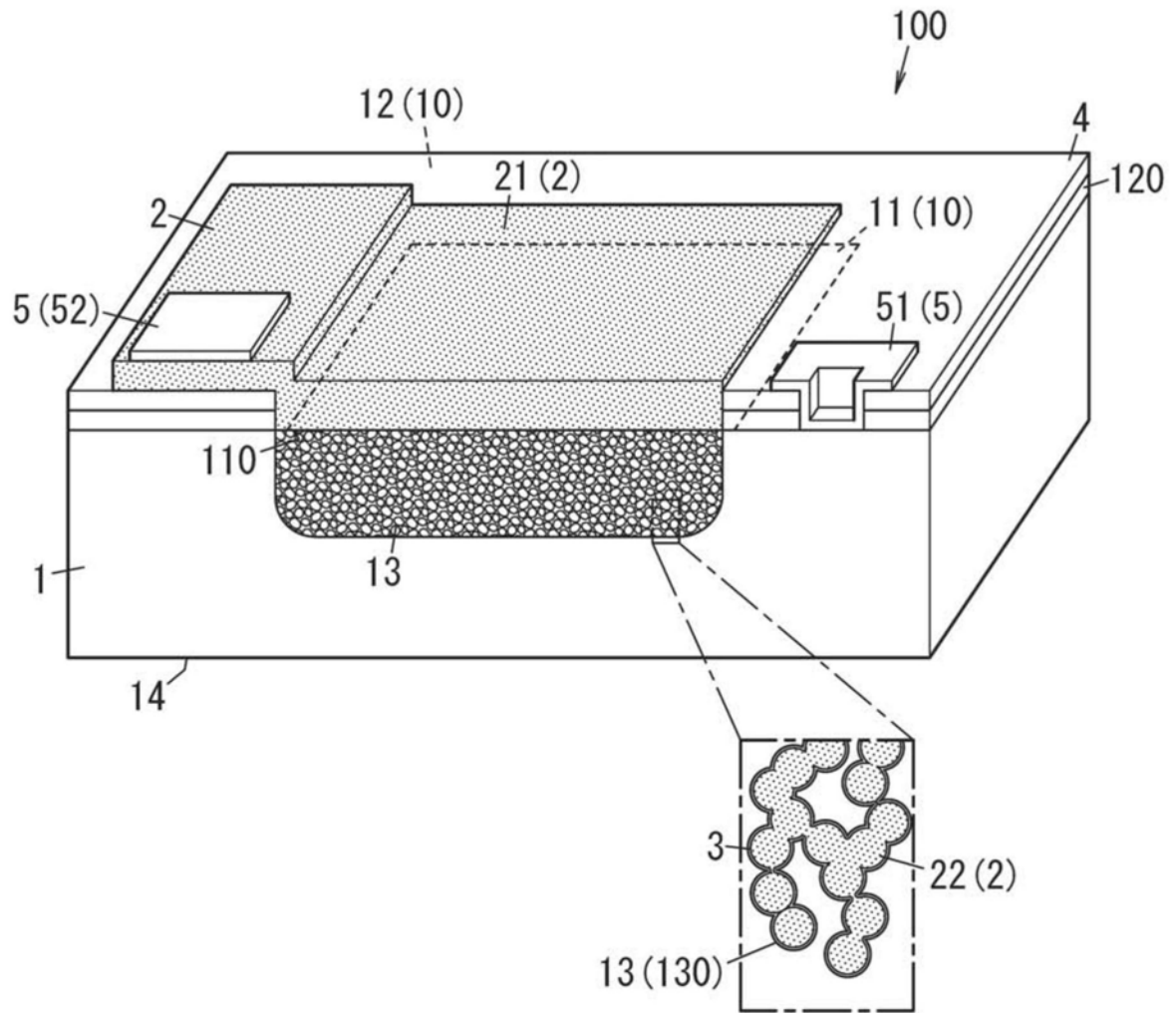


图1A

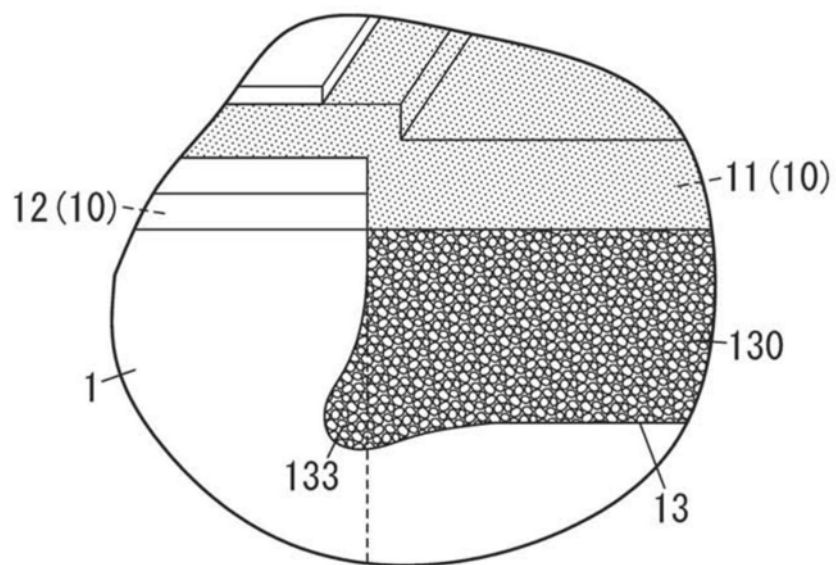


图1B

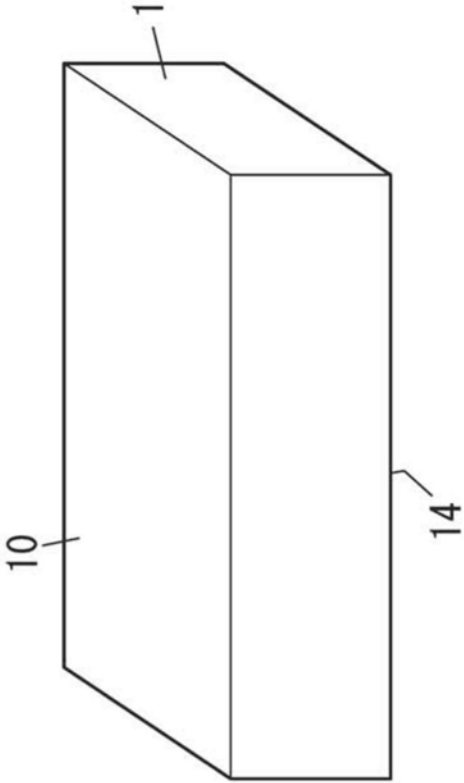


图2A

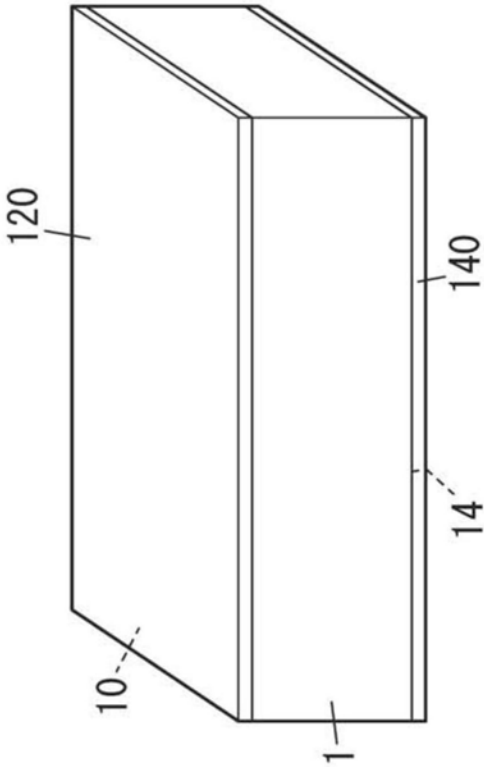


图2B

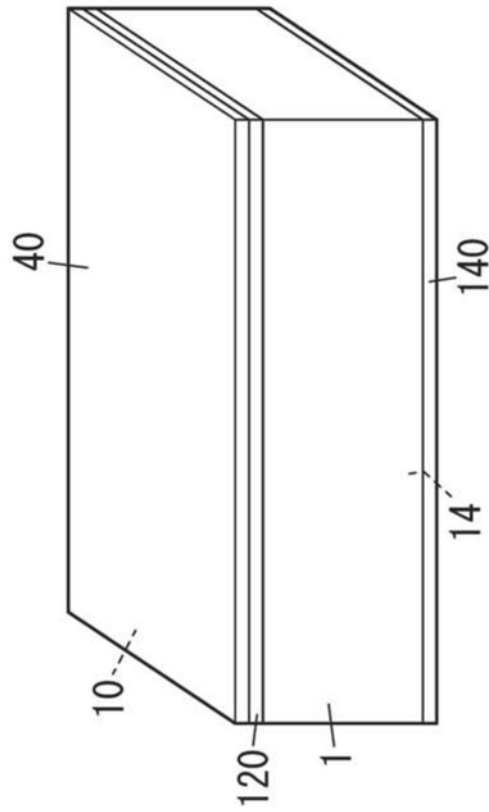


图2C

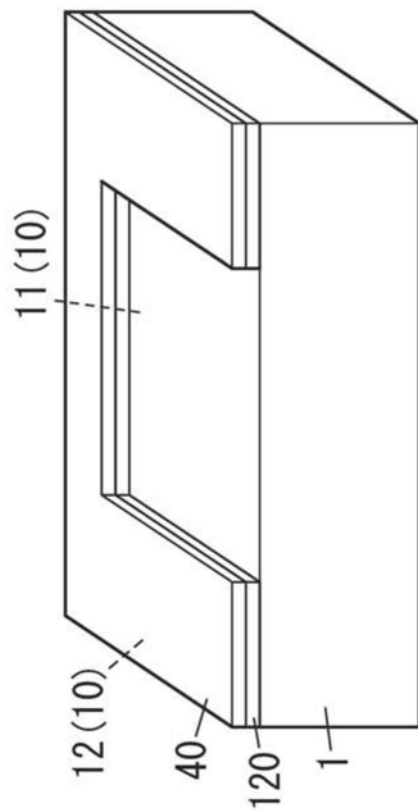


图2D

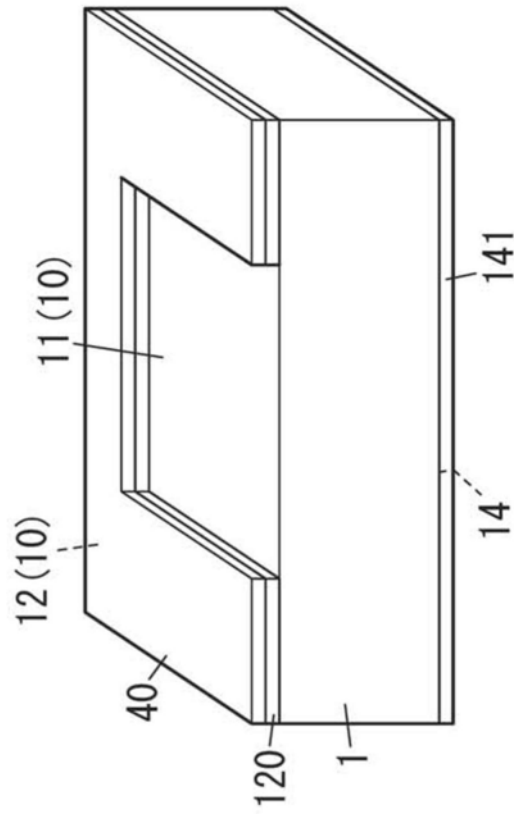


图3A

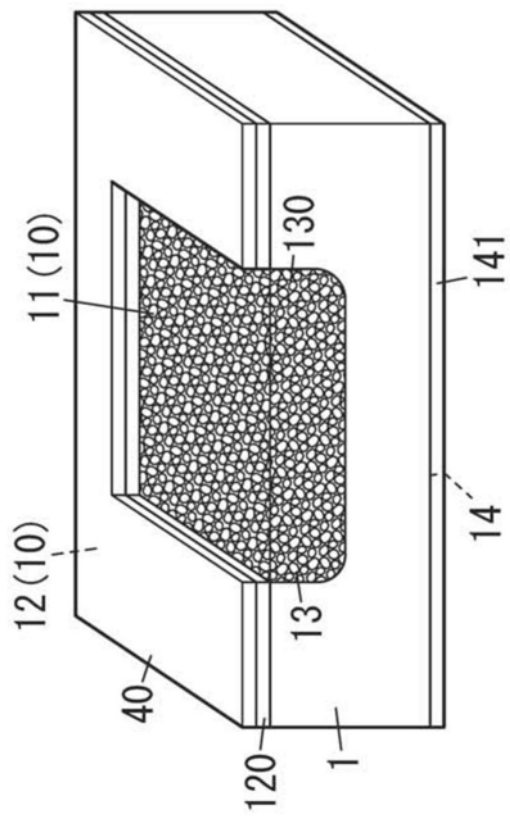


图3B

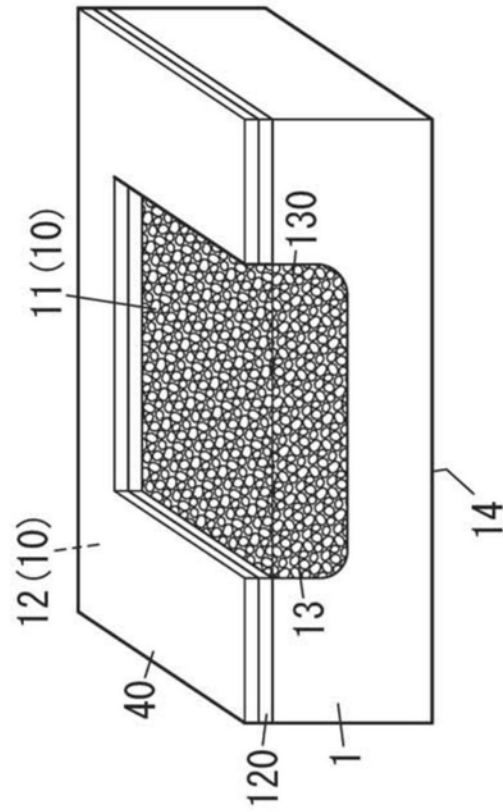


图3C

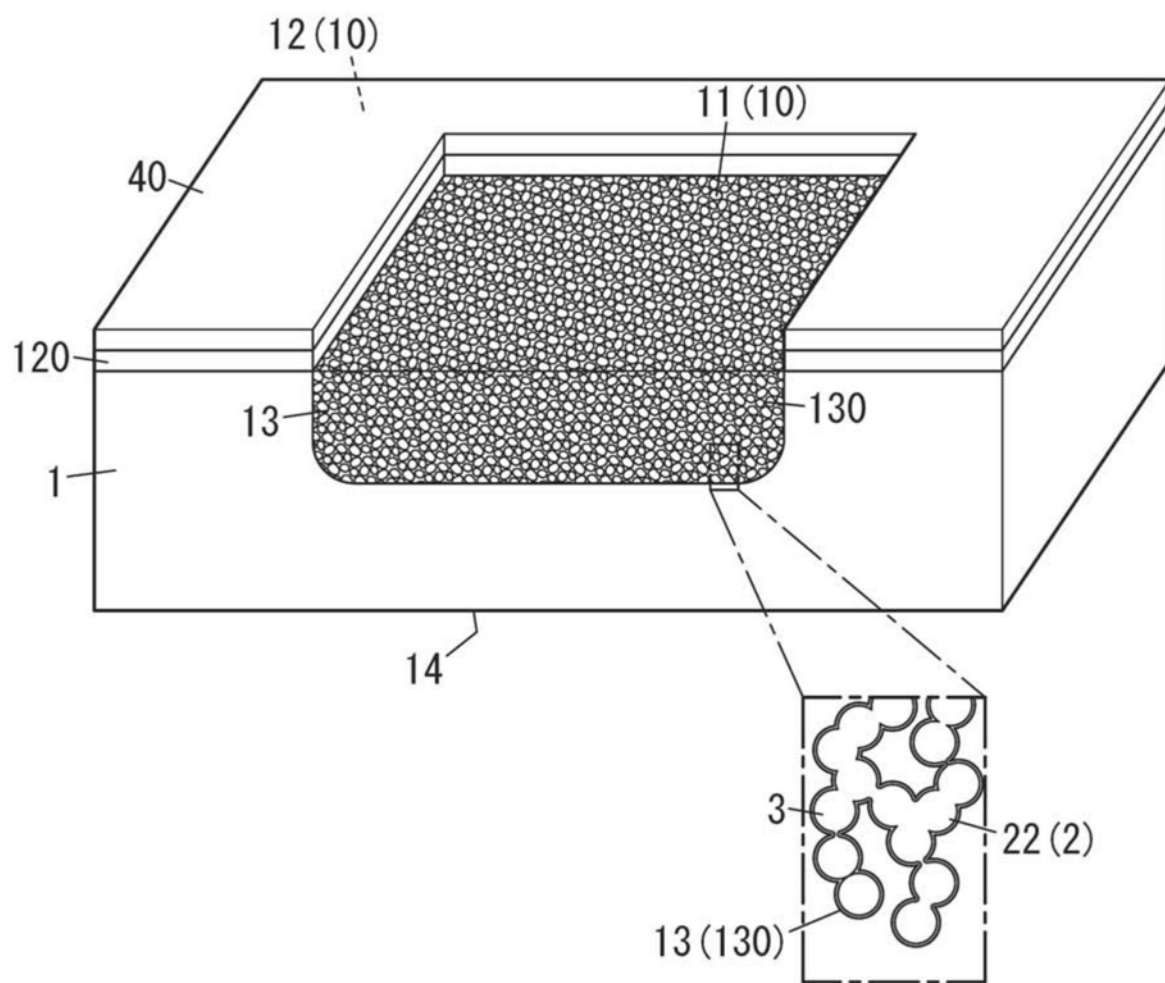


图4

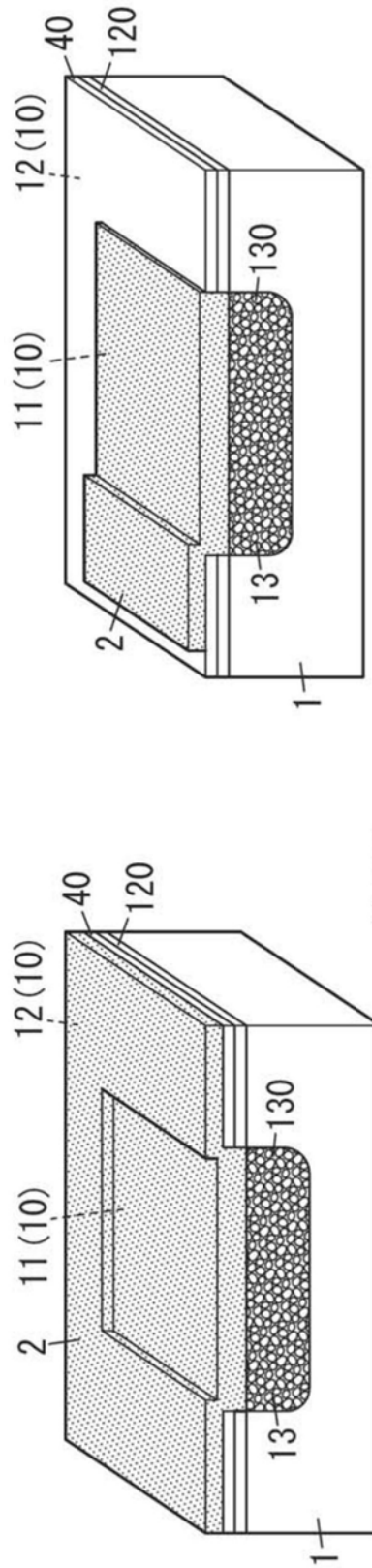


图 5A

图 5B

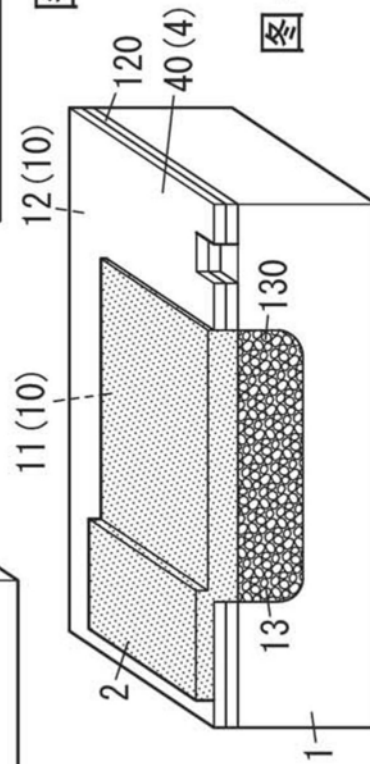


图 5C

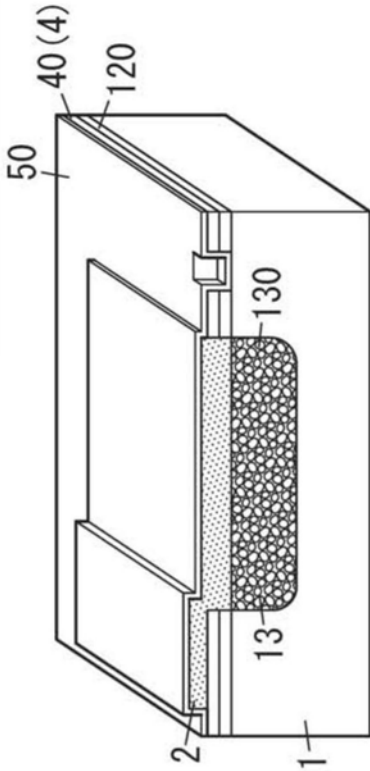


图5D

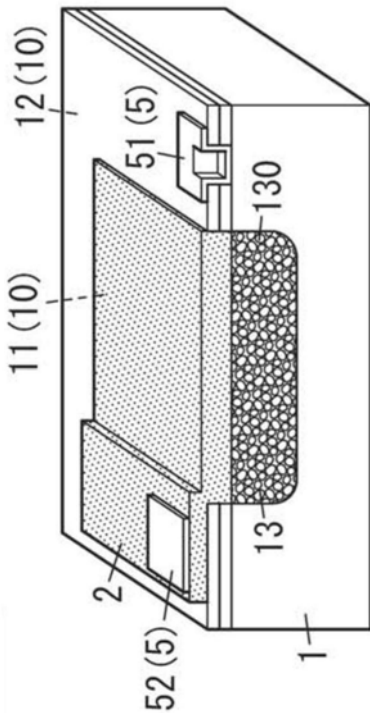


图5E

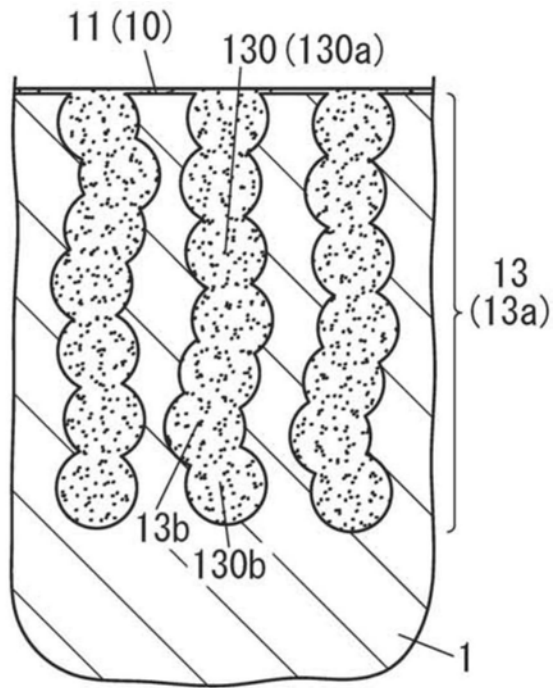


图6A

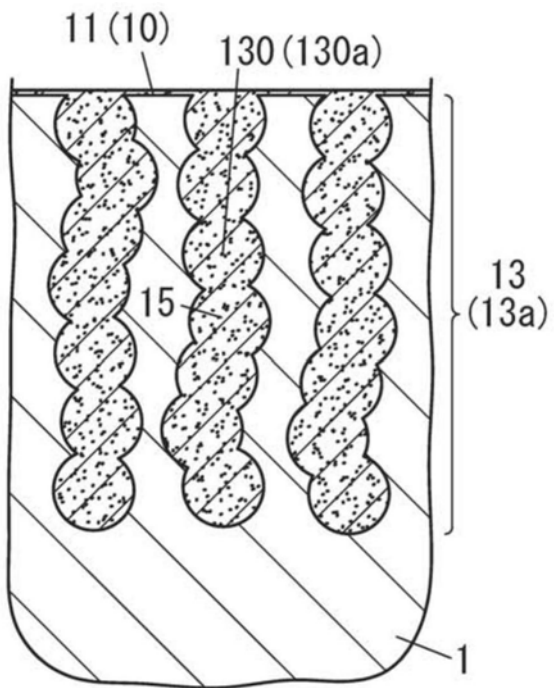
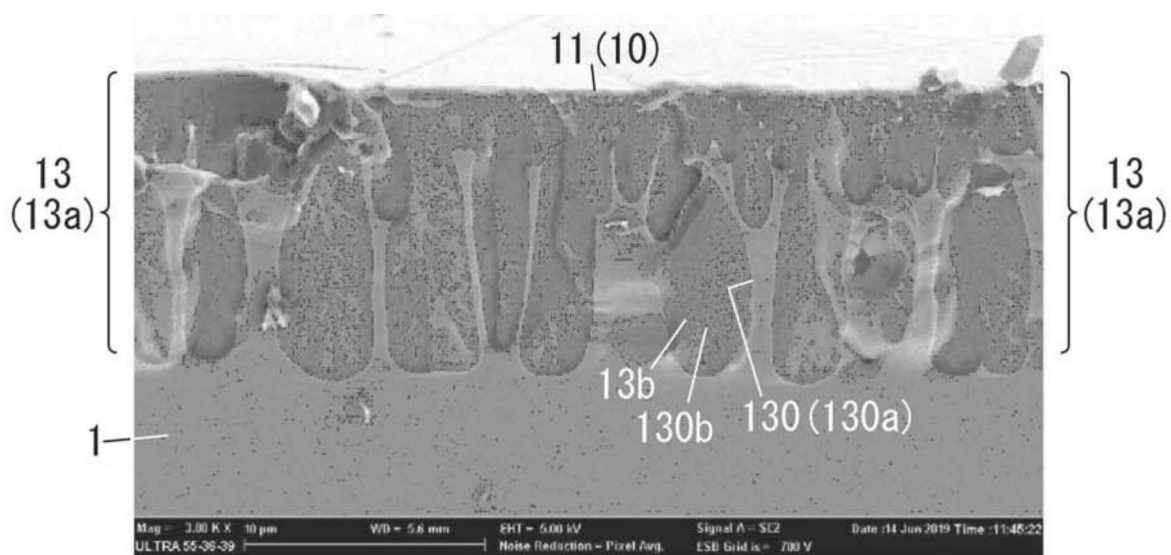
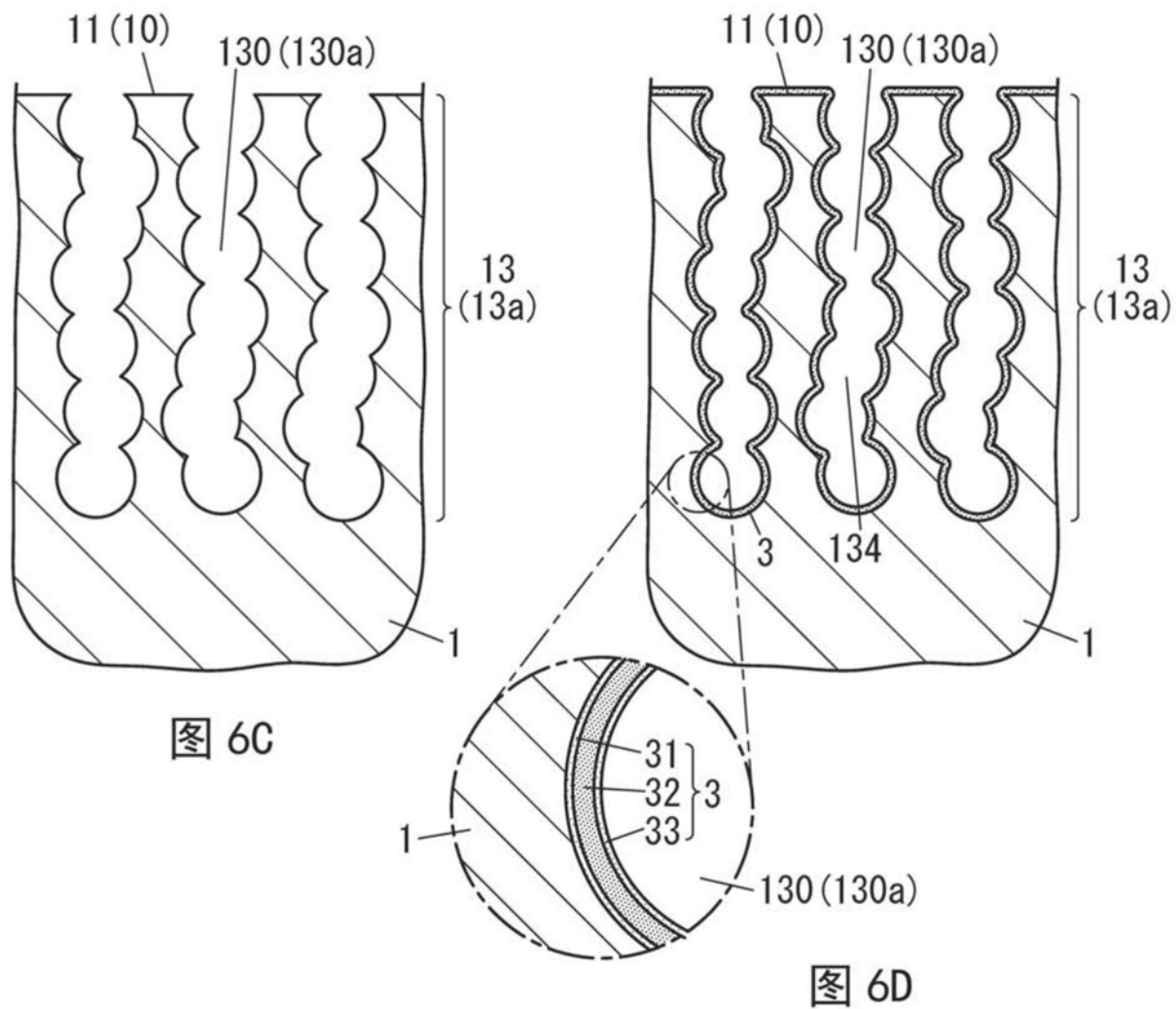


图6B



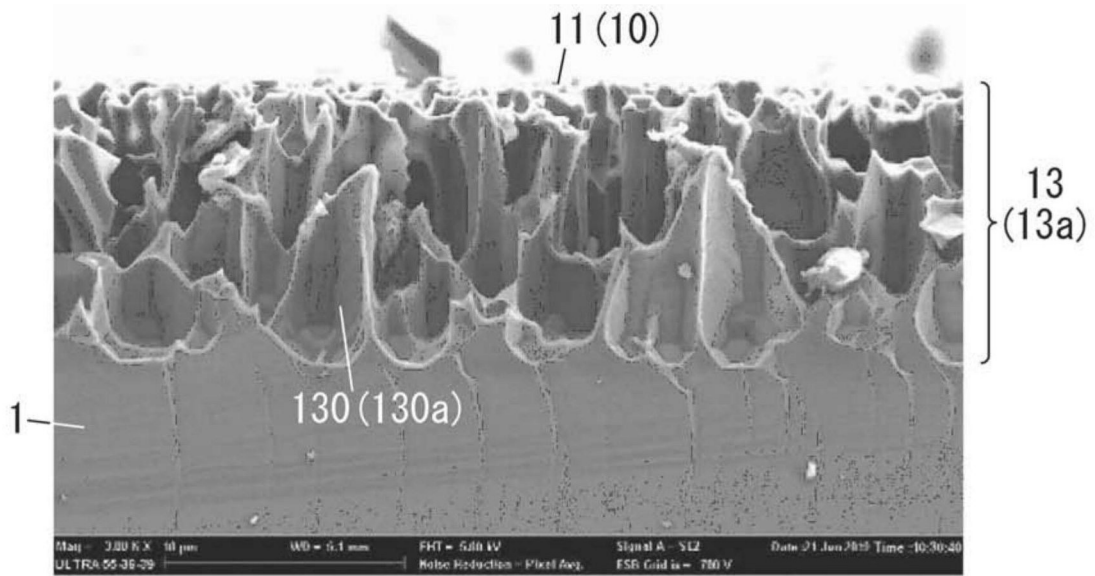


图7B

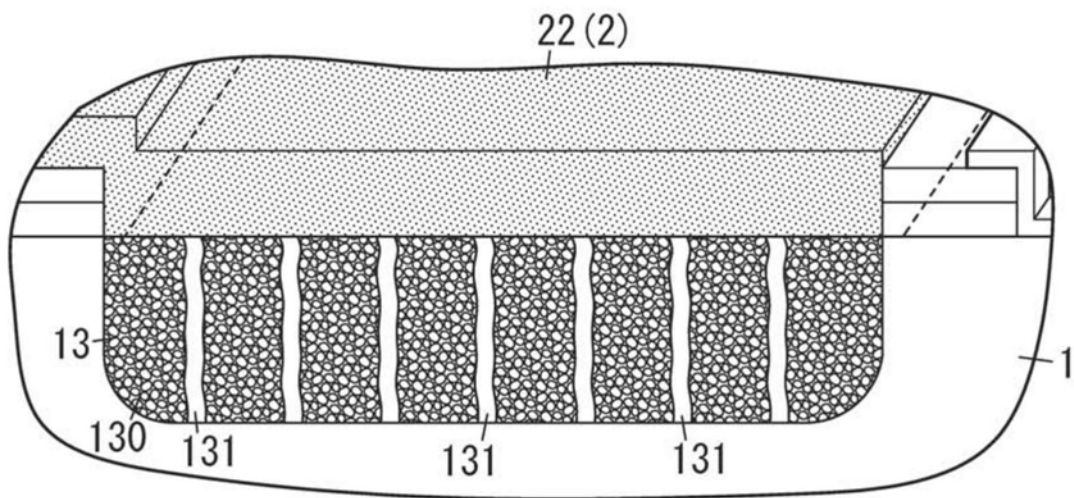


图8A

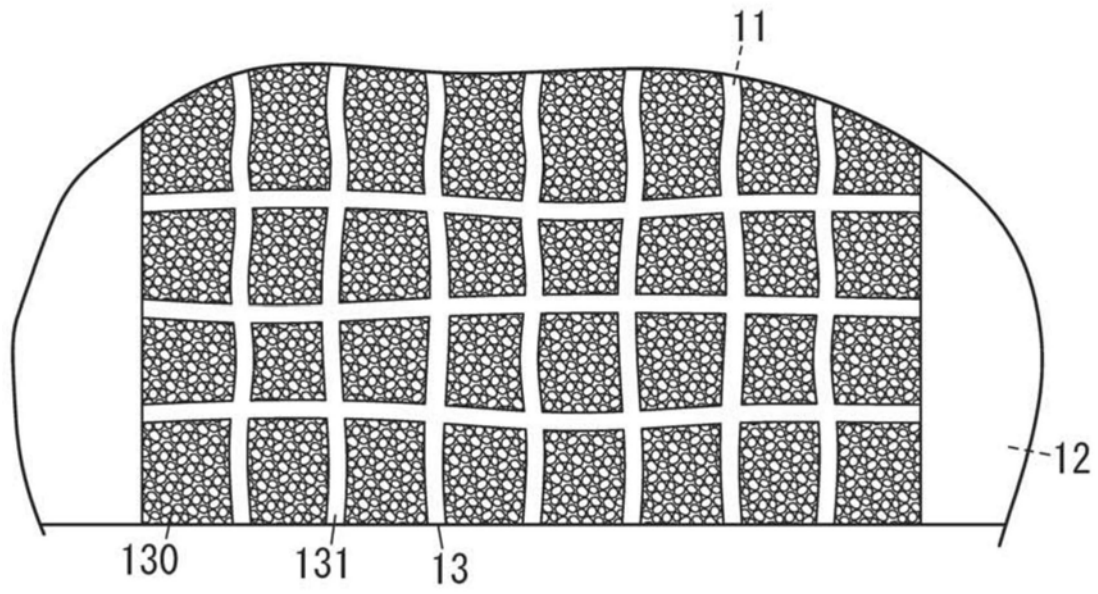


图8B

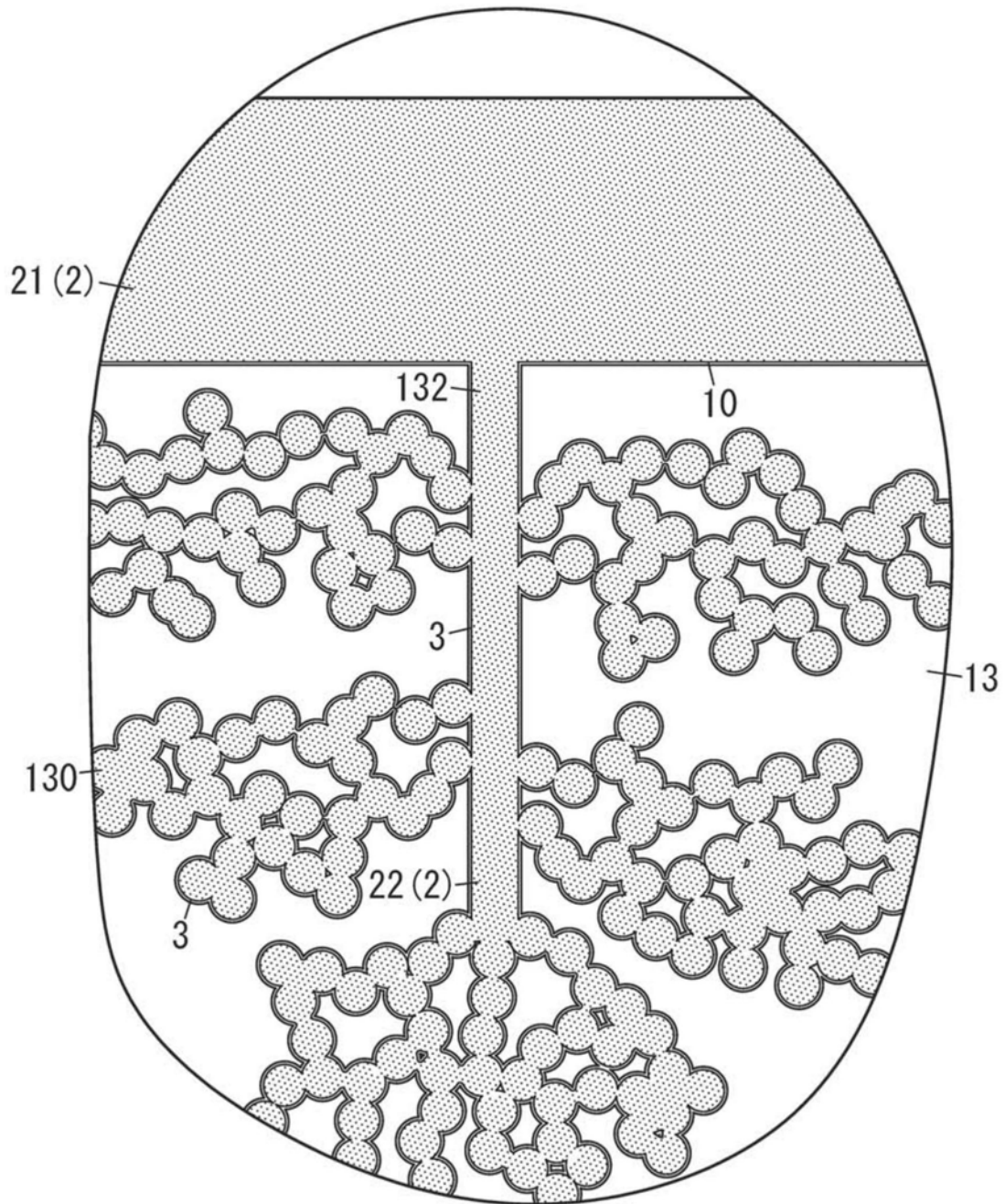


图9

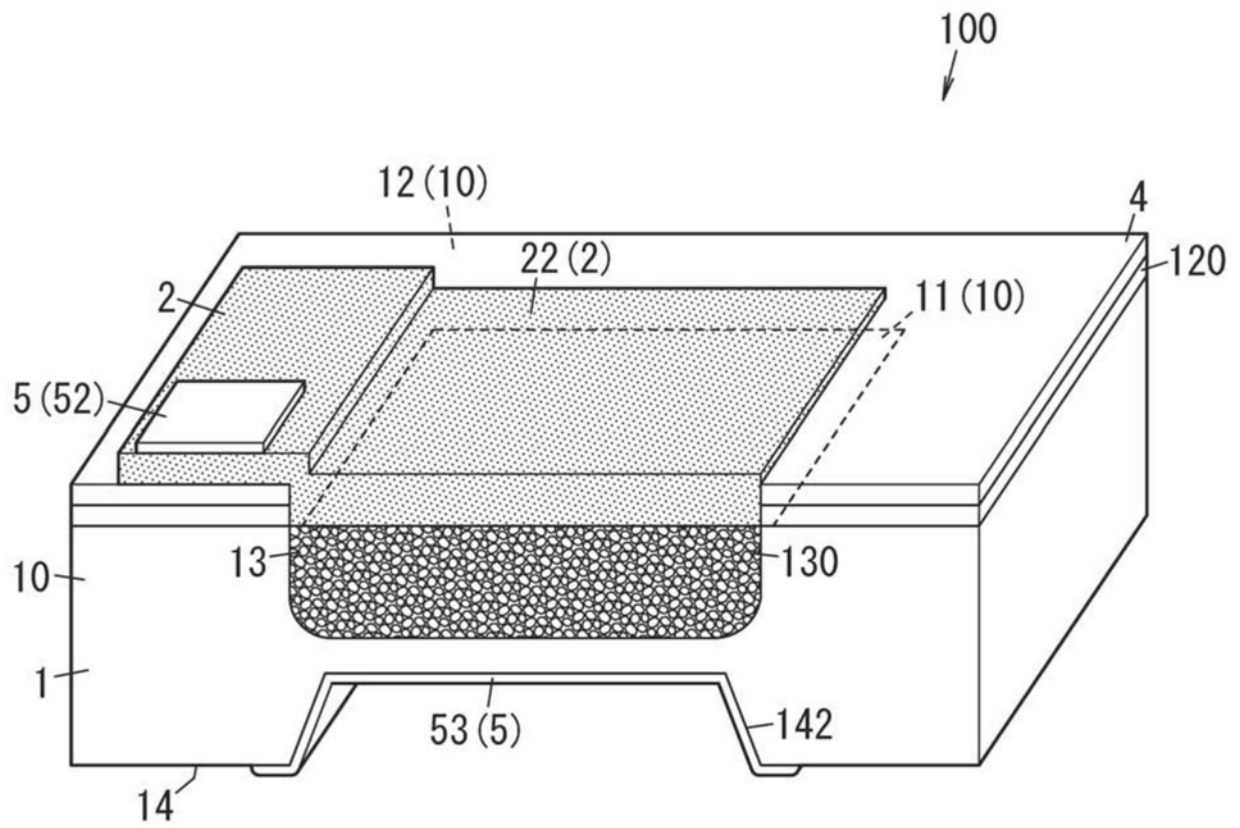


图10