公告本

295750

申請日期	85.4.1
案號	85103781
類別	H04B 7/04、H03M 1/66

Int.·Cl[6]

A4
C4

295750

（以上各欄由本局填註）

發明 新型 專利說明書

一、發明 新型 名稱	中文	用於網路中波形合成之高速度低功率CMOS D/A轉換器
	英文	HIGH SPEED, LOW POWER CMOS D/A CONVERTER FOR WAVE SYNTHESIS IN NETWORK
二、發明 創作 人	姓名	約翰・麥可・威肯
	國籍	美國
	住、居所	美國・加州・古比提諾・郵政信箱第631號
三、申請人	姓名（名稱）	美商・高級微裝置公司
	國籍	美國
	住、居所（事務所）	美國・加州94088-3453・桑尼威・第1AMD區・郵政信箱3453號
	代表人姓名	石丸幹夫

裝 訂 線

經濟部中央標準局員工消費合作社印製

235750

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

美　　1995年 6 月 7 日　　08/482,113

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

五、發明說明（3）

發明背景

本發明大致上係有關於半導體積體電路，詳言之，係關於將整波功能整合入將微分信號驅動於區域網路的積體電路。

美國專利第5,357,145號，標題為「利用加權電流總和之整合整波電路」，頒於1994年10月18日，該案敘述了有助於了解本發明之相關背景，並敘述了一種晶片上(on-chip)波形合成之習知方法。

各種網路協定均定義了各種數據信號之操作特性，該等協定比如為在此併入以茲參考的IEEE標準802.3(乙太網路)和10Base-T(絞線對)。為了利用積體電路之方式實行絞線對之數據發送機，許多習用系統係依賴外部濾波元件以將輸出波形適當地整形。

在此納入以茲參考的美國專利第5,357,145號係闡述了併用加權總和方式之整波方法，在波形通過濾波器之後，提供經設計之輸出波形以表現輸出信號的形狀。美國專利第5,357,145號所揭示之方法提供複數個電流單元，該等單元係以某種形式加以控制，以致各個單元之輸出貢獻提供了所需之波形。一般而言，此種轉換方法定義了數位類比(D/A)轉換器或DAC器。

為有效操作，重要的是電流單元之結構和控制需提供功能強，快速且可靠的D/A轉換器以用於波形合成。美國專利第5,357,145號所述之方法提供一種可能具有過量寄生電容之電流單元，其會限制D/A轉換器的操作速度。有

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（4）

些DAC器消耗過多的功率。在實施例中，希望可具有低功率之DAC。

發明概述

本發明提供可簡單，有效且經濟地改良習用D/A轉換器之性能的裝置及方法。較佳實施例提供部份改良之性能，因為用於組成該改良之D/A轉換器之最低有效位元單元之電流輸出驅動器的電容性負載減少，並且相較於習知DAC，具有較少的功率消耗。因此，改良之D/A轉換器可比習用D/A轉換器更快速，並產生較少失真，同時消耗更少功率。

根據本發明之一特點，驅動增量電流於第一和第二輸出節點整合數位類比轉換器之低功率最低有效位元（LSB）單元包括第一對第一和第二匹配MOS電晶體，各電晶體具有第一端點，第二端點和閘極端點，該閘極端點接收偏動電流，用以控制第一端點與第二端點間的操作電流，其中第一MOS電晶體之第一端點係耦接至第一輸出節點，而第二MOS電晶體之第一端點係耦接至第二輸出節點。該低功率LSB單元包括有第一電流源，該電流源具有第一電流端耦接至第一NOS電晶體之第二端點，以及第二電流端耦接至電壓參考位準，該第一電流源係對應於第一控制信號以當第一控制信號具有第一值時，將經由第一MOS電晶體的第一操作電流切換導通，而當第一控制信號具有第二值時，將經由第一MOS電晶體的第一操作電流切換斷路；以及第二電流源，具有第一電流端耦接至第二MOS電晶體之第

（請先閱讀背面之注意事項再填寫本頁）
本
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（5）

二端點，以及第二電流端耦接至電壓參考位準，該第二電流源對應於第二控制信號以當第二控制信號具有第一值時，將經由第二MOS電晶體的第二操作電流切換導通，而當第二控制信號具有第二值時，將經由第二MOS電晶體的第二操作電流切換斷路。

該低功率LSB單元包括第二對第三和第四匹配MOS電晶體，各電晶體具有第一端點，第二端點和閘極端點，該閘極端點接收偏動電流以控制第一端點與第二端點間的操作電流，其中第三MOS電晶體之第一端點係耦接至第一輸出節點，而第四MOS電晶體之第一端點係耦接至第二輸出節點。該低功率LSB單元包括第三電流源，該電流源具有第一電流端耦接至第三MOS電晶體之第二端點，以及第二電流端耦接至第二電壓參考位準，該第三電流源係對應於第三控制信號，以當第三控制信號具有第一值時，經由第三MOS電晶體將第三操作電流切換導通，而當第三控制信號具有第二值時，經由第三MOS電晶體將第三操作電流切換斷路；以及第四電流源，該電流源具有第一電流端耦接至第四MOS電晶體之第二端點，以及第二電流端，耦接至第二電壓參考位準，該第四電流源係對應於第四控制信號，以當第四控制信號具有第一值時，經由第四MOS電晶體將第四操作電流切換導通，當第四控制信號具有第二值時，經由第四MOS電晶體將第四操作電流切換斷路。

參考說明書的其他部份，包括圖式和申請專利範圍，將可明瞭本發明之其他特徵及優點。本發明之進一步的特

（請先閱讀背面之注意事項再填寫本頁）
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明(6　)

徵及優點，以及本發明各種實施例之結構與操作將於下文中搭配圖式詳細說明。在圖式中，相同的參考號碼表示相同或功能相似的元件。

圖式之簡單說明

圖1為包括有用於波形合成之高度，低功率數位類比轉換器(DAC)100之絞線對發送機50其較佳實施的示意方塊圖；

圖2為DAC 100之方塊示意圖；

圖3為圖2所示之單元200i的詳細方塊圖；

圖4為圖3所示之LSB單元300的詳細方塊圖；

圖5為圖2所示之鏡電路205的示意圖；以及

圖6為圖2所示之鏡電路210的示意圖。

較佳實施例之說明

圖1為包括有用於波形合成之高速，低功率數位類比轉換器(DAC)100之絞線對發送機50其較佳實施例的示意方塊圖。絞線對發送機包括有核心邏輯電路102，該電路提供複數個控制信號，致能信號，時脈信號，重置信號，及二個偏壓信號(P_BIAS和N_BIAS)至DAC100。該等信號定義了DAC100之操作，並控制驅動於DAC100之微分輸出(IOP和ION)之微分信號。如已知者，終端電阻RT提供終結，並將IOP耦接至ION。此外，於IOP和ION之微分信號係提供至變壓器T。

在操作中，核心邏輯102決定欲從DAC100之輸出驅動的微分信號之形狀。如稍後將進一步詳細說明的，核心邏

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（7 ）

輯102選擇控制信號之組合以將輸出微分信號驅動至所需位準。為操作DAC100，核心邏輯102首先宣告致能信號至DAC100以致能其操作。隨著該致能信號解除宣告，DAC100耗散非常低位準的功率，無關於控制信號及偏壓信號的狀態。

在宣告致能信號之後，核心邏輯102宣告偏壓信號壓DAC100，並選擇某些控制信號。時脈信號之宣告係與控制信號施加至DAC100內的電流單元同步。對應於控制信號之特定組合（同時宣告了致能和偏壓），DAC100驅動輸出微分信號於所需位準。關於DAC100之操作的細節將在以下配合圖2-6而加以更明確地說明。

圖2為DAC 100之方塊示意圖。DAC100包括複數個單元200i，各單元對應於選定之同步的控制信號（SCNTLx）以加成預定之電流量以便集合起未定義微分輸出信號。同步的控制信號SCNTLx係從同步器203x輸出。在較佳實施例中，同步器203x係藉由D型正反器實行，該D型正反器對應於來自核心邏輯102之時脈信號而閂鎖相關之CNTLx信號作為SCNTL信號。此外，DAC100包括第一鏡電路205和第二鏡電路210。鏡電路205係對應N_BIAS信號以產生N_BIAS鏡電流供至各個該等複數個單元200i。鏡電路210係對應於P_BIAS信號以產生P-BIAS鏡電流供至各個該等複數個單元200i。反相器G1，G2和G3使致能信號之宣告延遲。反相器G1於其輸入接收致能信號。反相器G2和反相器G3之輸入係耦接至反相器G1之輸出，而反相器G2之輸出驅動延遲之致

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

五、發明說明（8）

能信號至該等複數個單元200i的一半（於較佳實施例中），而反相器G3之輸出驅動延遲之致能信號至該等複數個單元200i的另一半。

較佳實施例之各單元200i具有略為不同的構造，細節將配合圖3說明。各單元200x係對應於同步之控制信號SCNTL_X。因此各單元200接收鏡電流，致能信號和同步之控制信號。

在操作中，藉由圖1所示之核心邏輯102宣告偏壓信號和宣告致能信號，產生用於各單元200i之鏡電流。當所有CNTLX信號係於所需狀態時，時脈信號之宣告將控制信號閂鎖為同步之控制信號。其後，依據由同步器203x宣告之微分控制信號中特定的某些信號，該等複數個單元200i之特定的某些單元將預定之電流量加至微分輸出信號。舉例而言，在較佳實施例中，單元200，可能加10毫安（mA），單元200_2可能加6mA，諸如此類。當足夠的單元係提供以唯一界定DAC100之所需輸出範圍，單元200i之組合產生簡單的機制以將輸入數位信號（控制信號之組合）轉換成類比輸出（於IOP和ION之輸出微分信號）。

在較佳實施例中，該等複數個單元200i係分成二個次組群（220和225）。當整合入半導體裝置時，該等單元之次組群係平行設置以改良佈線效率。因此，對於特定實施例而言，複數個單元200i之特定組合可不同。在較佳實施例中，各次組群包括二個10mA單元，一個6mA單元，三個4mA單元，二個3mA單元，二個2mA單元，和二個1mA單元。在

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（9 ）

各個次組群中，相關的單元係對應於相同的同步控制信號。再者，特定實施例可使用不同數目或構造之單元200i。

圖3為圖2所示之單元200i的詳細方塊圖。特定單元200i包括一個或一個以上之最低有效位元（LSB）單元300。組成特定單元200i之LSB單元300係互相並聯耦接以接收同步之控制信號（CNTL_i），致能信號和鏡電流。較佳實施例之各LSB單元300提供等量的驅動電流。在圖3所示之較佳結構中，各LSB單元300提供DAC100之最小步階的一半。在較佳實施例中，LSB300驅動半毫安，可供1mA單元200使用。反相器G10，G11和G12，以及反相器G15，G16和G17分別提供延遲給同步之控制信號CNTL_X和延遲之致能信號。

圖4為圖3所示之LSB單元300的詳細方塊圖。LSB單元300包括二個N通道金屬氧化物場效電晶體（MOSFET）Q1和Q2，二個P通道MOSFETQ3和Q4，四個可切換電流源400i，二個雙輸入NOR閘G20和G21，二個雙輸入MAND閘G22和G23，以及二個反相器G24和G25。電晶體Q1和電晶體Q2各包括閘極，用以接收從圖2所示之第一鏡電路205提供的N_BIAS鏡電流。在較佳實施例中，電晶體Q1和電晶體Q2係彼此相同，並關於鏡電路205中之電晶體而成比例（如以上將進一步說明者），以對應供自圖1所示之核心邏輯102之偏壓信號而產生預選定之電流位準。電晶體Q1包括有汲極耦接至IOP輸出埠，而電晶體Q2包括有汲極耦接至ION輸出埠。電晶體Q1之源極耦接至電流源400_1的第一端，而電晶體Q2之源極耦接至另一電流源400_2的第一端。各電流源

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（10）

400的第二端係耦接至第一參考電壓（例如接地）。各電流源400具有控制端用以接收控制信號。宣告控制信號至電流源400_1導致電流源400_1的致能。同理，宣告控制信號至電流源400_2會致動電流源400_2。

第一NOR閘G20的輸出係耦接至電流源400_1之控制端，而第二NOR閘G21的輸出係耦接至電流源400_2之控制端。第一NOR閘G20之第一輸入接收同步之控制信號，而第一NOR閘G20的第二輸入接收第二反相器G25的輸出。致能信號係供至反相器G25的輸入。第二NOR閘G21之第一輸入係耦接至第一反相器G24的輸出，而第一反相器G24之輸入耦接至同步之控制信號輸入線。第二NOR閘G21之第二輸入係耦接至第二反相器G25的輸出。

電晶體Q3和Q4各包括有閘極用以接收供自圖2所示之第二鏡面路210的P_BIAS鏡電流。在較佳實施例中，電晶體Q3和Q4係彼此相同，並相關於鏡電路210中的電晶體而成比例（如以下將進一步說明者），以對應於供自圖1所示之核心邏輯102之P_BIAS信號而產生預選定之電流位準。電晶體Q3包括有源極耦接至IOP輸出埠，而電晶體Q4包括有源極耦接至ION輸出埠。電晶體Q3之汲極係耦接至第三電流源400_3之第一端，而電晶體Q4之汲極係耦接至第四電流源400_4之第一端。各電流源400_3和400_4之第二端係耦接至第二參考電壓（例如Vdd）。各電流源400_3和400_4具有控制端用以接收控制信號。宣告控制信號至電流源400_3會引致電流源400_3之致動。同理，宣告控制信號至電流源400_4

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（11）

會致動電流4004。

第二閘NAND閘G23之輸出係耦接至電流源4003之控制端，而第一NAND閘G22之輸出係耦接至電流源4004之控制端。第二NAND開G23之第一輸入接收同步之控制信號，而第二NAND閘G23之第二輸入接收致能信號。第一NAND閘G22之第一輸入係耦接至第一反相器G24之輸出。第一NAND閘G22之第二輸入係耦接至致能信號。

四個阻抗（電阻R）係耦接至LSB300之輸出。第一電阻R係耦接於第二電壓參考與IOP之間，第二電阻R係耦接於第二電壓參考與ION之間，第三電阻R係耦接於IOP與第一電壓參考之間，以及第四電阻R係耦接於ION與第一電壓參考之間。在較佳實施例中，相對於終端電阻R_T（示於圖1），電阻R必須非常大。電阻R可整合入DAC100或設置於外部。

在操作中，宣告N_BISA鏡面流至電晶體Q1和電晶體Q2係試圖從IOP或ION產生達到第一電壓參考位準之成比例的電流，而宣告P_BIAS鏡面流至電晶體Q3和電晶體Q4係試圖從IOP或ION產生達到第二電壓參考位準之成比例的電流。該等電流之一是否產生，如果有的話，係決定於哪些控制信號被宣告至哪些電流源400。為導通第一電流源4001，CNTL係解除宣告，並宣告致能信號。為導通第二電流源4002，係宣告CNTL並宣告致能信號。為導通第三電流源4003，係宣告CNTL並宣告致能信號。為導通第四電流源4004，CNTL係解除宣告並宣告致能信號。注意致能信號解

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明（12）

除宣告會使所有電流源400斷路。因此，如已知，第一和第三電流源，以及第二和第四電流源係成組群地導通和斷路以驅動微分信號。低功率模式的特點之一是IOP和ION之輸出係位於第一與第二電壓參考間的中央，以致當開始操作時，不需大電流以從電壓參考位準之一拉出輸出。

圖5為圖2所示之鏡電路205的示意圖。較佳實施例之鏡電路205包括有第三N通道MOSFETQ10，其係與第四N通道MOSFETQ11串聯耦接。MOSFETQ10之汲極和閘極係耦接至n_bias輸入，用以接收n_bias輸入信號，而MOSFETQ10之源極係耦接至MOSFETQ11的汲極。MOSFETQ11的源極係耦接至第一電壓參考位準。以此方式構成之MOSFETQ10和MOSFETQ11係形成為第一電流鏡的一部份。該較佳實施例的重要特點之一係使各LSB300之電晶體Q1和電晶體Q2與MOSFETQ3密切匹配以完成電流鏡。此外，該較佳實施例之重要特點係使電流源4001和4002之電晶體與電晶體Q11密切匹配。

圖6為圖2所示之鏡電路210的示意圖。較佳實施例之鏡電路210包括有第三P通道MOSFETQ12，其係與第四P通道MOSFETQ13串聯耦接。MOSFETQ13之源極和閘極係耦接至p_bias輸入，用以接收p_bias輸入信號，而MOSFETQ13之汲極係耦接至MOSFETQ12的源極。MOSFETQ13之閘極係耦接至MOSFETQ13的源極，而MOSFETQ12的閘極耦接至第一電壓參考位準。MOSFETQ12的汲極係耦接至第二電壓參考位準。以此方式構成之MOSFETQ12和MOSFETQ13係形成為第二電

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

五、發明說明（13）

流鏡的一部份。該較佳實施例的重要特點之一係使各LSB300之電晶體Q3和電晶體Q4與MOSFETQ13密切匹配以完成電流鏡。此外，該較佳實施例之重要特點係使電流源4003和4004之電晶體與電晶體Q12密切匹配。

綜而觀之，本發明針對提供在絞線對網路通訊時，用於波形合成之高速，低功率之DAC的問題，提出簡單有效的解決方法。雖然上述是本發明較佳實施例之完整敘述，但各種更替、修正和等效物亦可使用。因此，以上說明不應視為用以限制本發明之範疇，本發明之範疇係由所附申請專利範圍所界定。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製

A5
B5

四、中文發明摘要（發明之名稱：用於網路中波形合成之高速度低功率CMOS D/A轉換器

一種高速度低功率數位類比轉換器（DAC），包括複數個最低有效位元（LSB）單元，該等單元共同定義DAC之總輸出。各LSB單元包括有微分電流驅動器，該電流驅動器因有疊接結構而具有降低之電容性負載，其中電晶體係偏壓至所需位準，而電流源係切換為導通及斷路以控制微分輸出信號。

英文發明摘要（發明之名稱：HIGH SPEED, LOW POWER CMOS D/A CONVERTER FOR WAVE SYNTHESIS IN NETWORK

A high speed low power digital-to-analog (D/A) converter (DAC) includes a plurality of least significant bit (LSB) cells that collectively define a total output of the DAC. Each LSB cell includes a differential current driver that has reduced capacitive loading due to a cascode structure of the current driver wherein transistors are biased to desired levels and current sources are switched on and off to control the differential output signal.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

1. 一種整合數位類比轉換器之最低有效單元，用以至少於第一和第二輸出節點驅動增量電流，該最低有效單元包括：

第一對匹配MOS電晶體，包括第一和第二MOS電晶體，各電晶體具有第一端點，第二端點和閘極端點，該閘極端點接收第一偏動電流，用以控制該第一端點與第二端點間的操作電流，其中該第一MOS電晶體之該第一端點係耦接至該第一輸出節點，而該第MOS電晶體之該第一端點係耦接至該第二輸出節點；

第一電流源，具有耦接至該第一MOS電晶體之該第二端點的第一電流端，和耦接至第一電壓參考位準的第二電流端，該第一電流源係對應於第一控制信號，當該第一控制信號具有第一值時，將經由該第一MOS電晶體的第一操作電流切換導通，而當該第一控制信號具有第二值時，將經由該第一MOS電晶體的第一操作電流切換斷路；

第二電流源，具有耦接至該第二MOS電晶體之該第二端點的第一電流源，和耦接至第一電壓參考位準的第二電流端，該第二電流源係對應於第二控制信號，當該第二控制信號具有第一值時，將經由該第二MOS電晶體的第二操作電流切換導通，而當該第二控制信號具有第二值時，將經由該第二MOS電晶體的第二操作電流切換斷路；

第二對匹配MOS電晶體，包括第三和第四MOS電晶

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

體，各第三和第四電晶體具有第一端點，第二端點和閘極端點，該第二對電晶體之該閘極端點接收第二偏動電流，用以控制該第一端點與第二端點間的操作電流，其中該第三MOS電晶體之該第一端點係耦接至該第一輸出節點，而該第四MOS電晶體之該第一端點係耦接至該第二輸出節點；

第三電流源，具有耦接至該第三MOS電晶體之該第二端點的第一電流端，和耦接至第二電壓參考位準的第二電流端，該第三電流源係對應於第三控制信號，當該第三控制信號具有第一值時，將經由該第三MOS電晶體的第三操作電流切換導通，而當該第三控制信號具有第二值時，將經由該第三MOS電晶體的第三操作電流切換斷路；

第四電流源，具有耦接至該第四MOS電晶體之該第二端點的第一電流端，和耦接至第二電壓參考位準的第二電流端，該第四電流源係對應於第四控制信號，當該第四控制信號具有第一值時，將經由該第四MOS電晶體的第四操作電流切換導通，而當該第四控制信號具有第二值時，將經由該第四MOS電晶體的第四操作電流切換斷路。

2. 如申請專利範圍第2項之單元，尚包括：

控制器，耦接至該等電流源，並對應於致能信號和位元控制信號，宣告該第一，第二，第三和第四控制信號。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

3. 如申請專利範圍第2項之單元，其中該控制器當致能信號被解除宣告時，將各電流源除能。

4. 如申請專利範圍第3項之單元，其中當該位元控制信號具有第一值，且該致能信號被宣告時，該控制器將第一和第四電流源導通並將第二和第三電流源斷路，而當該位元控制信號具有第二值且該致能信號被宣告時，該控制器將第一和第四電流源斷路並將第二和第三電流源導通。

5. 如申請專利範圍第4項之單元，尚包括：

第一阻抗，耦接在第一輸出節點和該第一電壓參考之間；

第二阻抗，耦接在第一輸出節點和該第二電壓參考之間；

第三阻抗，耦接在第二輸出節點和該第二電壓參考之間，以及

第四阻抗，耦接在第二輸出節點和該第二電壓參考之間。

6. 一種CMOS數位類比轉換器，包括：

控制器，用以提供第一和第二位元控制信號以集合確認所需之電流輸出位準作為補充輸出，該控制器提供第一和第二偏動電流信號，致能信號和時脈信號；

第一MOS鏡電晶體，對應於該第一偏動電流信號以於第一鏡電流端產生第一鏡電流；

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

第二MOS鏡電晶體，對應於該第二偏動電流信號以於第二鏡電流端產生第二鏡電流；

第一和第二同步器，各同步器係用於各位元控制信號，並各對應於該時脈信號，以當該時脈信號被宣告時，分別同時宣告第一和第二同步之位元控制信號；

第一電流單元，接收該第一同步之位元控制信號，該致能信號和該鏡面電流，該第一電流單元包括第一複數個最低有效電流單元，各對應於該第一位元控制信和該鏡電流以當該致能信號被宣告時，產生第一補充輸出電流於該補充輸出；以及

第二電流單元，接收該第二同步之位元控制信號，該致能信號和該鏡電流，該第二電流單元包括第二複數個最低有效電流單元，各對應於該第二位元控制信號和該鏡電流以當該致能信號被宣告時，產生第二補充輸出電流於該補充輸出。

7. 如申請專利範圍第6項之CMOS數位類比轉換器，其中各該最低有效電流單元包括有：

第一對匹配MOS電晶體，包括第一和第二MOS電晶體，各電晶體具有第一端點，第二端點和閘極端點，該閘極端點接收第一偏動電流，用以控制該第一端點與第二端點間的操作電流，其中該第一MOS電晶體之該第一端點係耦接至該第一輸出節點，而該第MOS電晶體之該第一端點係耦接至該第二輸出節點；

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

第一電流源，具有耦接至該第一MOS電晶體之該第二端點的第一電流端，和耦接至第一電壓參考位準的第二電流端，該第一電流源係對應於第一控制信號，當該第一控制信號具有第一值時，將經由該第一MOS電晶體的第一操作電流切換導通，而當該第一控制信號具有第二值時，將經由該第一MOS電晶體的第一操作電流切換斷路；

第二電流源，具有耦接至該第二MOS電晶體之該第二端點的第一電流端，和耦接至第一電壓參考位準的第二電流端，該第二電流源係對應於第二控制信號，當該第二控制信號具有第一值時，將經由該第二MOS電晶體的第二操作電流切換導通，而當該第二控制信號具有第二值時，將經由該第二MOS電晶體的第二操作電流切換斷路；

第二對匹配MOS電晶體，包括第三和第四MOS電晶體，各第三和第四電晶體具有第一端點，第二端點和閘極端點，該第二對電晶體之該閘極端點接收第二偏動電流，用以控制該第一端點與第二端點間的操作電流，其中該第三MOS電晶體之該第一端點係耦接至該第一輸出節點，而該第四MOS電晶體之該第一端點係耦接至該第二輸出節點；

第三電流源，具有耦接至該第三MOS電晶體之該第二端點的第一電流端，和耦接至第二電壓參考位準的第二電流端，該第三電流源係對應於第三控制信號，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

六、申請專利範圍

當該第三控制信號具有第一值時，將經由該第三MOS電晶體的第三操作電流切換導通，而當該第三控制信號具有第二值時，將經由該第三MOS電晶體的第三操作電流切換斷路；

第四電流源，具有耦接至該第四MOS電晶體之該第二端點的第一電流端，和耦接至第二電壓參考位準的第二電流端，該第四電流源係對應於第四控制信號，當該第四控制信號具有第一值時，將經由該第四MOS電晶體的第四操作電流切換導通，而當該第四控制信號具有第二值時，將經由該第四MOS電晶體的第四操作電流切換斷路。

8. 如申請專利範圍第7項之CMOS數位類比轉換器，尚包括：

控制器，耦接至該等電流源，並對應於致能信號和位元控制信號，宣告該第一，第二，第三和第四控制信號。

9. 如申請專利範圍第8項之CMOS數位類比轉換器，其中該控制器當該致能信號被解除宣告時，將各電流源除能。

10. 如申專利範圍第9項之CMOS數位類比轉換器，其中當該位元控制信號具有第一值，且該致能信號被宣告時，該控制器將第一和第四電流源導通並將第二和第三電流源斷路，而當該位元控制信號具有第二值且該致能信號被宣告時，該控制器將第一和第四電流源斷路

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

並將第二和第三電流源導通。

11.如申請專利範圍第10項之CMOS數位類比轉換器，尚包括：

第一阻抗，耦接在第一輸出節點和該第一電壓參考之間；

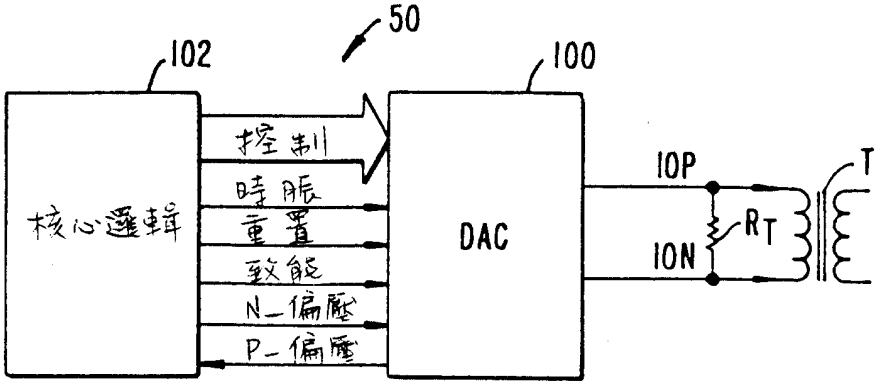
第二阻抗，耦接在第一輸出節點和該第二電壓參考之間；

第三阻抗，耦接在第二輸出節點和該第一電壓參考之間，以及

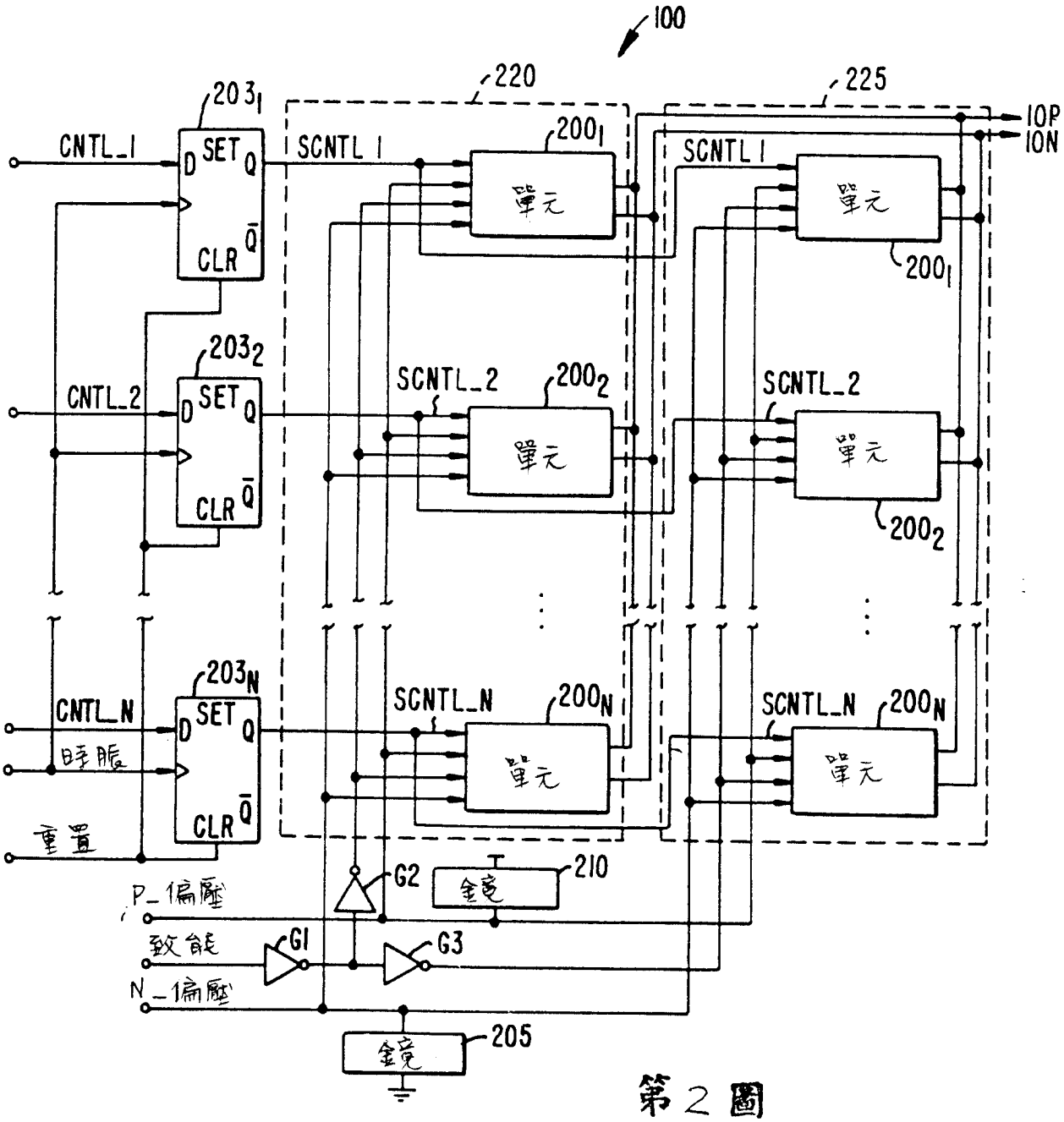
第四阻抗，耦接在第二輸出節點和該第二電壓參考之間。

12.如申請專利範圍第7項之CMOS數位類比轉換器，其中該第一對電晶體匹配該第一鏡電晶體，及其中該第二對電晶體匹配該第二鏡電晶體。

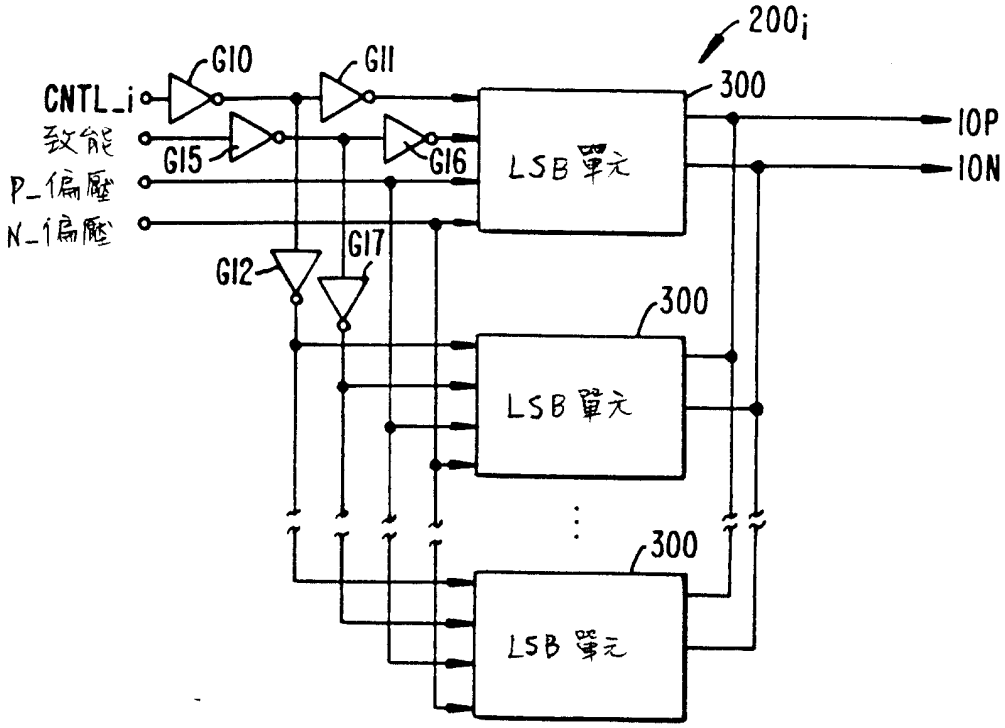
（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製


50
102
100
核心邏輯
控制
時脈
重置
致能
N_偏壓
P_偏壓
DAC
IOP
ION
RT
T

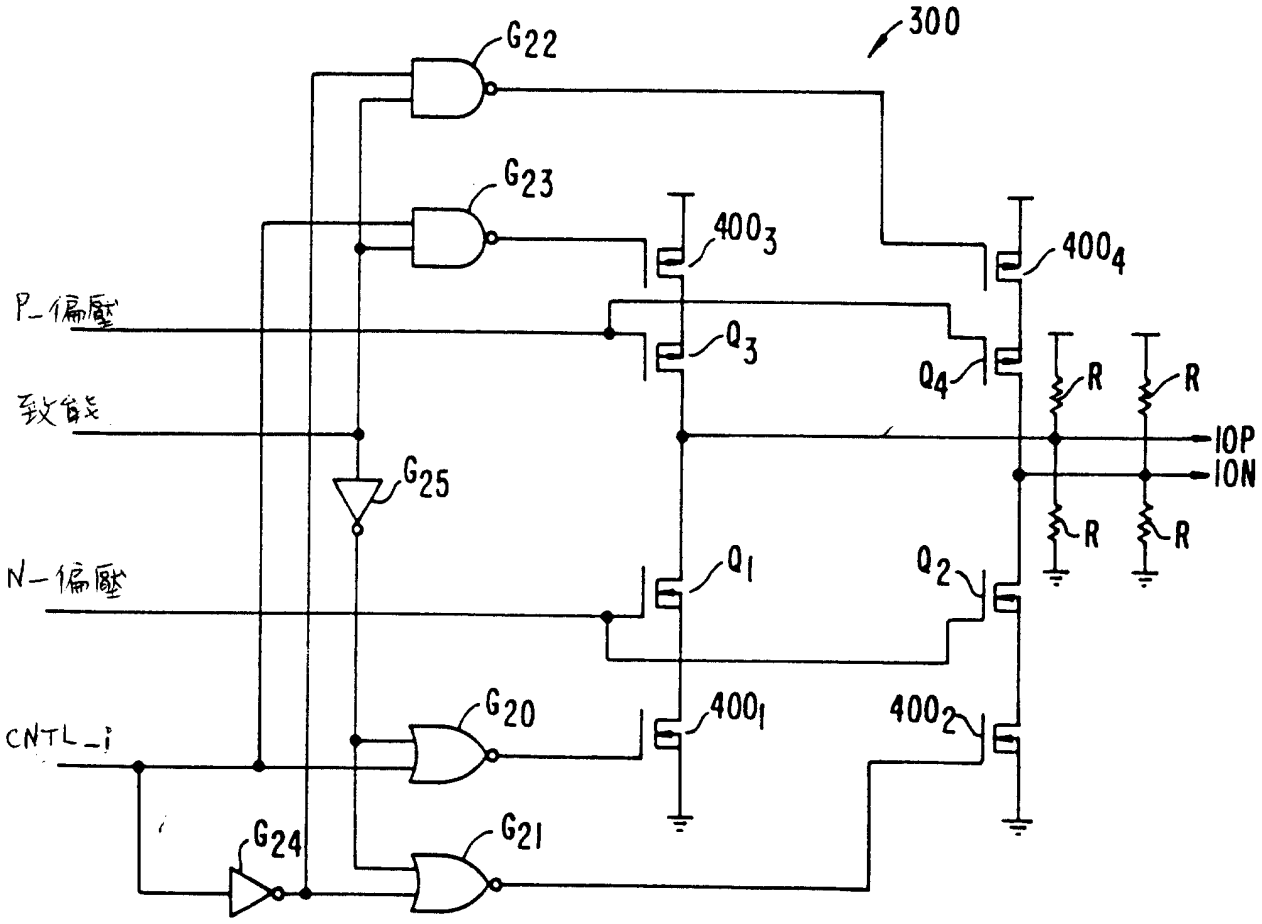
第 1 圖


100
220
225
CNTL_1
CNTL_2
CNTL_N
時脈
重置
SET
CLR
D
Q
SCNTL 1
SCNTL_2
SCNTL_N
單元
IOP
ION
P_偏壓
致能
N_偏壓
G1
G2
G3
鏡
210
205

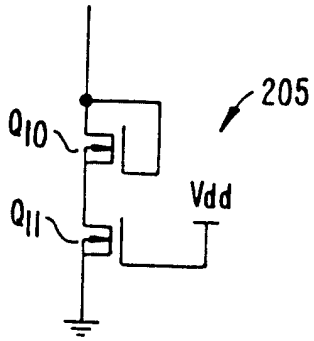
第 2 圖


200i
G10
G11
CNTL_i
致能
G15
G16
P_偏壓
N_偏壓
G12
G17
300
LSB 單元
IOP
ION

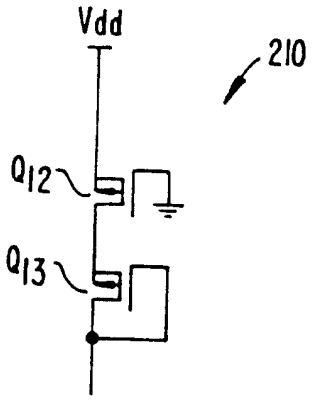
第 3 圖


300
G22
G23
4003
4004
P_偏壓
Q3
Q4
R
致能
IOP
ION
G25
N_偏壓
Q1
Q2
CNTL_i
G20
4001
4002
G24
G21

第 4 圖



第5圖



第6圖