

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7636432号
(P7636432)

(45)発行日 令和7年2月26日(2025.2.26)

(24)登録日 令和7年2月17日(2025.2.17)

(51)国際特許分類	F I			
G 0 9 F	9/30 (2006.01)	G 0 9 F	9/30	3 3 8
G 0 2 F	1/133(2006.01)	G 0 2 F	1/133	5 5 0
G 0 2 F	1/1368(2006.01)	G 0 2 F	1/1368	
G 0 9 F	9/00 (2006.01)	G 0 9 F	9/00	3 3 8
G 0 9 G	3/20 (2006.01)	G 0 9 F	9/30	3 6 5
請求項の数 16 (全40頁) 最終頁に続く				

(21)出願番号	特願2022-562140(P2022-562140)	(73)特許権者	510280589
(86)(22)出願日	令和2年4月10日(2020.4.10)		京東方科技集團股 ぶん 有限公司
(65)公表番号	特表2023-529530(P2023-529530 A)		BOE TECHNOLOGY GROU P CO., LTD.
(43)公表日	令和5年7月11日(2023.7.11)		中華人民共和國 1 0 0 0 1 5 北京市朝陽 區酒仙橋路 1 0 號
(86)国際出願番号	PCT/CN2020/084235		No. 10 Jiuxianqiao R d., Chaoyang Distri ct, Beijing 100015, CHINA
(87)国際公開番号	WO2021/203422	(73)特許権者	511121702
(87)国際公開日	令和3年10月14日(2021.10.14)		成都京東方光電科技有限公司
審査請求日	令和5年4月7日(2023.4.7)		CHENGDU BOE OPTOELE CTRONICS TECHNOLOGY CO., LTD.
最終頁に続く			

(54)【発明の名称】 表示基板及びその製作方法、表示装置

(57)【特許請求の範囲】

【請求項 1】

表示領域及び前記表示領域の少なくとも一側に位置する周辺領域を含むベース基板と、前記ベース基板の周辺領域に設けられるシフトレジスタユニット及び第1クロック信号線と、を含む表示基板であって、

前記第1クロック信号線は、前記ベース基板において第1方向に沿って延伸し、且つ前記シフトレジスタユニットに第1クロック信号を提供するように構成され、

前記シフトレジスタユニットは、入力回路と、出力回路と、第1制御回路と、出力制御回路とを含み、

前記入力回路は、前記第1クロック信号に応じて、入力信号を第1ノードに入力するように構成され、

前記出力回路は、出力信号を出力端に出力するように構成され、

前記第1制御回路は、前記第1ノードのレベルと前記第1クロック信号に応じて、第2ノードのレベルを制御するように構成され、

前記出力制御回路は、前記第2ノードのレベルの制御で、前記出力端のレベルに対して制御を行うように構成され、

前記出力制御回路は、出力制御トランジスタと第1コンデンサとを含み、前記出力回路は、出力トランジスタと第2コンデンサとを含み、

前記出力制御トランジスタの活性層と前記出力トランジスタの活性層とは、一体的に設けられ且つ前記第1方向に沿って延伸し、

10

20

一体的に設けられた前記出力制御トランジスタの活性層と前記出力トランジスタの活性層は、前記第 1 方向とは異なる第 2 方向において並設される第 1 出力半導体層及び第 2 出力半導体層を含み、前記第 2 出力半導体層の、前記ベース基板への正投影は、前記第 1 出力半導体層の、前記ベース基板への正投影と前記表示領域との間に位置し、

前記出力制御トランジスタのゲート電極と前記出力トランジスタのゲート電極とは、前記第 2 方向に沿って延伸し且つ前記第 1 方向において並設され、

前記第 1 出力半導体層の、前記ベース基板への正投影は、前記表示領域から離れる側に第 1 サブノッチを含む、表示基板。

【請求項 2】

前記出力制御トランジスタのゲート電極は、第 1 水平部を有し、前記第 1 水平部は、前記表示領域から離れる側の第 1 サブ部分を含み、前記第 1 水平部の第 1 サブ部分の、前記ベース基板への正投影は、前記第 1 サブノッチに入る、請求項 1 に記載の表示基板。

10

【請求項 3】

前記出力制御トランジスタのゲート電極は、前記表示領域から離れる側に傾斜部をさらに含み、前記第 1 水平部の第 1 サブ部分に接続される、請求項 2 に記載の表示基板。

【請求項 4】

前記出力制御トランジスタのゲート電極は、第 2 水平部をさらに含み、前記第 2 水平部と前記第 1 水平部とは前記傾斜部を介して接続される、請求項 3 に記載の表示基板。

【請求項 5】

前記傾斜部は、第 1 側辺を含み、前記第 1 側辺は、前記傾斜部の前記ベース基板への正投影が前記第 1 出力半導体層の前記ベース基板への正投影に近接する側に位置する、請求項 3 に記載の表示基板。

20

【請求項 6】

前記傾斜部は、第 1 側辺を含み、前記第 1 側辺は、前記傾斜部の前記ベース基板への正投影が前記第 1 出力半導体層の前記ベース基板への正投影に近接する側に位置する、請求項 4 に記載の表示基板。

【請求項 7】

前記第 2 出力半導体層の、前記表示領域に近接する側は、第 2 サブノッチを含み、前記第 1 水平部は、前記表示領域に近接する側に位置する第 2 サブ部分を含み、前記第 1 水平部の第 2 サブ部分の前記ベース基板への正投影が前記第 2 サブノッチに入る、請求項 2 ~ 6 のいずれか 1 項に記載の表示基板。

30

【請求項 8】

前記第 1 コンデンサ及び前記第 2 コンデンサの、前記ベース基板への正投影は、前記第 2 出力半導体層の前記ベース基板への正投影と前記表示領域との間に位置し、

前記第 1 コンデンサは、第 1 電極と第 2 電極とを含み、前記第 1 コンデンサの第 1 電極は、前記出力制御トランジスタのゲート電極と一体に形成され、

前記第 2 コンデンサは、第 1 電極と第 2 電極とを含み、前記第 2 コンデンサの第 1 電極は、前記出力トランジスタのゲート電極と一体に形成され、

前記第 1 コンデンサの第 1 電極の前記ベース基板への正投影の、前記表示領域から離れた側は、第 3 サブノッチを含み、前記第 2 コンデンサの第 1 電極の前記ベース基板への正投影の前記表示領域に近接する側は、第 4 サブノッチを含み、

40

前記第 3 サブノッチと前記第 4 サブノッチとは前記第 1 方向に沿って隣接する、請求項 2 ~ 6 のいずれか 1 項に記載の表示基板。

【請求項 9】

前記第 1 方向に沿って並設される 1 列のビアホールをさらに含み、前記 1 列のビアホールの前記ベース基板への正投影は、前記第 2 コンデンサの前記ベース基板への正投影の、前記表示領域から離れる側と重なる、請求項 1 ~ 6 のいずれか 1 項に記載の表示基板。

【請求項 10】

前記出力制御トランジスタのゲート電極は、前記第 1 方向に沿って並設される複数のサブゲート電極を含み、前記複数のサブゲート電極のうちの少なくとも 1 つのサブゲート電

50

極の前記ベース基板への正投影は、前記第 3 サブノッチと前記第 4 サブノッチとの間に位置する、請求項 8 に記載の表示基板。

【請求項 1 1】

前記第 3 サブノッチの形状と前記第 4 サブノッチの形状とは相補する、請求項 8 に記載の表示基板。

【請求項 1 2】

前記第 3 サブノッチは第 1 斜辺を含み、前記第 4 サブノッチは第 2 斜辺を含み、前記第 1 斜辺と前記第 2 斜辺とは平行且つ対向に設けられ、

前記第 1 斜辺と前記第 1 水平部が位置する直線とのなす角と、前記第 2 斜辺と前記第 1 水平部に平行する直線との間のなす角とは、相補する、請求項 1_1 に記載の表示基板。

10

【請求項 1 3】

前記第 1 斜辺と前記第 1 水平部が位置する直線とのなす角と、前記第 2 斜辺と前記第 1 水平部に平行する直線との間のなす角とは、 $30^\circ \sim 70^\circ$ の間にある、請求項 1_2 に記載の表示基板。

【請求項 1 4】

前記入力回路は、入力トランジスタを含み、

前記シフトレジスタユニットは、電圧安定化回路をさらに含み、

前記電圧安定化回路は、前記第 1 ノードと第 3 ノードに接続され、且つ前記第 3 ノードのレベルを安定化するように構成され、

前記出力回路は、前記第 3 ノードに接続され、且つ前記第 3 ノードのレベルの制御で、前記出力信号を前記出力端に出力するように構成され、

20

前記電圧安定化回路は、電圧安定化トランジスタを含み、

前記第 1 制御回路は、第 1 制御トランジスタと第 2 制御トランジスタとを含み、

前記第 1 制御トランジスタの活性層と前記第 2 制御トランジスタの活性層とは、前記第 1 方向に沿って延伸し、

前記入力トランジスタの活性層と、前記第 2 制御トランジスタの活性層と、前記電圧安定化トランジスタの活性層とは、前記第 1 方向に沿って順に配列され、

前記第 2 制御トランジスタの活性層の前記ベース基板への正投影は、前記入力トランジスタの活性層の前記ベース基板への正投影と前記電圧安定化トランジスタの活性層の前記ベース基板への正投影との間に位置する、請求項 1 ~ 6 のいずれか 1 項に記載の表示基板。

30

【請求項 1 5】

前記シフトレジスタユニットは、第 2 制御回路をさらに含み、

前記第 2 制御回路は、前記第 1 ノードと前記第 2 ノードに接続され、且つ前記第 2 ノードのレベルと第 2 クロック信号の制御で、前記第 1 ノードのレベルに対して制御を行うように構成され、

前記第 2 制御回路は、第 1 ノイズ低減トランジスタと第 2 ノイズ低減トランジスタとを含み、

前記第 1 ノイズ低減トランジスタの活性層と前記第 2 ノイズ低減トランジスタの活性層とは、1 つの連続なノイズ低減半導体層に一体形成され、前記ノイズ低減半導体層は、前記第 1 方向に沿って延伸する、請求項 1 ~ 6 のいずれか 1 項に記載の表示基板。

40

【請求項 1 6】

第 3 切換電極をさらに含み、

前記第 3 切換電極は、前記第 1 ノイズ低減トランジスタの第 1 電極と前記出力制御トランジスタの第 1 電極に接続され、

前記出力制御トランジスタのゲート電極と前記第 3 切換電極とは、前記ベース基板への正投影が、前記第 1 サブノッチの前記ベース基板への正投影と重なる、請求項 1_5 に記載の表示基板。

【発明の詳細な説明】

【技術分野】

【0001】

50

本開示の実施例は、表示基板及びその製作方法、表示装置に関する。

【背景技術】

【0002】

表示技術分野において、例えば液晶表示パネル又は有機発光ダイオード(Organic Light Emitting Diode、OLED)表示パネルの画素アレイは、一般的には、複数行のゲート線と、ゲート線と交錯する複数列のデータ線とを含む。ゲート線に対する駆動は、バイディングされる集積駆動回路によって実現されることができ、ここ数年、非晶質シリコン薄膜トランジスタ又は酸化物薄膜トランジスタの製造プロセスの絶えない向上に伴い、ゲート線駆動回路を薄膜トランジスタアレイ基板上に直接集積してGOA(Gate driver On Array)を形成することにより、ゲート線を駆動することができる。例えば、カスケード接続される複数のシフトレジスタユニットを含むGOAを採用して画素アレイの複数行のゲート線にスイッチ態電圧信号(走査信号)を提供することができ、それにより、例えば複数行のゲート線が順次にオンするように制御するとともに、データ線によって画素アレイにおける対応する行の画素ユニットにデータ信号を提供することにより、各画素ユニットに表示画像のグレースケールに必要とする階調電圧を形成し、さらに一フレームの画像を表示する。

10

【発明の概要】

【課題を解決するための手段】

【0003】

本開示の少なくとも一つの実施例は、表示基板を提供する。前記表示基板は、ベース基板と、前記ベース基板上に設けられるシフトレジスタユニット及び第1クロック信号線とを含み、前記第1クロック信号線は、前記ベース基板において第1方向に沿って延伸し、且つ前記シフトレジスタユニットに第1クロック信号を提供するように構成され、前記シフトレジスタユニットは、入力回路と、出力回路と、第1制御回路と、出力制御回路とを含み、前記入力回路は、前記第1クロック信号に応じて、入力信号を第1ノードに入力するように構成され、前記出力回路は、出力信号を出力端に出力するように構成され、前記第1制御回路は、前記第1ノードのレベルと前記第1クロック信号に応じて、第2ノードのレベルを制御するように構成され、前記出力制御回路は、前記第2ノードのレベルの制御で、前記出力端のレベルに対して制御を行うように構成され、前記入力回路は、入力トランジスタを含み、前記入力トランジスタの活性層は、第2方向に沿って延伸する長尺状であり、前記第2方向は、前記第1方向と異なり、前記入力トランジスタは、第1ゲート電極と、第2ゲート電極と、前記第1ゲート電極と前記第2ゲート電極とを接続する接続電極とを含み、前記接続電極は、前記第1方向に沿って延伸し、前記第1ゲート電極に接続される第1部分と、前記第2ゲート電極に接続される第2部分と、前記第2方向に沿って延伸し且つ前記第1部分と前記第2部分とを接続する第3部分とを含み、前記接続電極の第3部分は、前記第1クロック信号線に接続されることにより、前記第1クロック信号を受け取る。

20

30

【0004】

例えば、本開示の少なくとも一つの実施例による表示基板において、前記第1方向と前記第2方向とのなす角は、 70° ~ 90° の間にある。

40

【0005】

例えば、本開示の少なくとも一つの実施例による表示基板において、前記入力トランジスタの第1電極は、前記第2方向に沿って延伸する第1接続配線によって信号入力電極に接続されることにより、前記入力信号を受け取る。

【0006】

例えば、本開示の少なくとも一つの実施例による表示基板において、前記シフトレジスタユニットは、配線切換電極をさらに含み、前記入力トランジスタの第1電極は、前記配線切換電極の第1端に電氣的に接続され、前記配線切換電極は、前記入力トランジスタの活性層と異なる層に位置し、前記配線切換電極の第2端は、前記第1接続配線の第1端に接続され、前記配線切換電極は、前記第1接続配線と異なる層に位置し、前記第1接続配

50

線の第2端は、前記信号入力電極に電氣的に接続され、前記配線切換電極は、前記信号入力電極と同じ層に位置する。

【0007】

例えば、本開示の少なくとも一つの実施例による表示基板において、前記シフトレジスタユニットは、第1絶縁層と、第2絶縁層と、第3絶縁層とをさらに含み、前記第1絶縁層は、前記入力トランジスタの活性層と前記第1接続配線との間に位置し、前記第2絶縁層と前記第3絶縁層とは、前記第1接続配線と前記配線切換電極との間に位置し、前記入力トランジスタの第1電極は、前記配線切換電極と同じ層に位置し、前記配線切換電極の第2端は、前記第2絶縁層と前記第3絶縁層とを貫通するビアホールを介して前記第1接続配線の第1端に接続され、前記第1接続配線の第2端は、前記第2絶縁層と前記第3絶縁層とを貫通するビアホールを介して前記信号入力電極に電氣的に接続される。

10

【0008】

例えば、本開示の少なくとも一つの実施例による表示基板において、前記表示基板は、第2クロック信号線をさらに含み、前記シフトレジスタユニットに第2クロック信号を提供するように構成され、前記シフトレジスタユニットは、第2制御回路をさらに含み、前記第2制御回路は、前記第1ノードと前記第2ノードに接続され、且つ前記第2ノードのレベルと前記第2クロック信号の制御で、前記第1ノードのレベルに対して制御を行うように構成される。

【0009】

例えば、本開示の少なくとも一つの実施例による表示基板において、前記第2制御回路は、第1ノイズ低減トランジスタと第2ノイズ低減トランジスタとを含み、前記第1ノイズ低減トランジスタの活性層と前記第2ノイズ低減トランジスタの活性層は、一つの連続するノイズ低減半導体層であり、前記ノイズ低減半導体層は、前記第1方向に沿って延伸し、且つ前記入力トランジスタの活性層と前記第1方向において並設され、前記第1ノイズ低減トランジスタのゲート電極と前記第2ノイズ低減トランジスタのゲート電極は、前記第2方向に沿って延伸し且つ前記第1方向において並設され、前記入力トランジスタの第1電極が前記第1ノードに接続され、前記第1ノイズ低減トランジスタのゲート電極が前記第2ノードに接続される。

20

【0010】

例えば、本開示の少なくとも一つの実施例による表示基板において、前記第2ノイズ低減トランジスタのゲート電極は、第3接続配線によって前記第2クロック信号線に電氣的に接続され、前記第3接続配線は、第3サブ接続配線と第4サブ接続配線とを含み、前記第3サブ接続配線は、前記第2ノイズ低減トランジスタのゲート電極に接続され、且つ前記第1方向に沿って延伸し、且つ前記第3サブ接続配線の、前記ベース基板への正投影と、前記第2ノイズ低減トランジスタの活性層の、前記ベース基板への正投影とは、前記第2方向に沿って対向して並設され、前記第4サブ接続配線は、前記第3サブ接続配線と前記第2クロック信号線に接続され、且つ前記第2方向に沿って延伸し、前記第4サブ接続配線の、前記ベース基板への正投影は、前記第2ノイズ低減トランジスタの活性層の、前記ベース基板への正投影の、前記第1ノイズ低減トランジスタの活性層の、前記ベース基板への正投影から離れる側に位置する。

30

40

【0011】

例えば、本開示の少なくとも一つの実施例による表示基板は、第4接続配線と、第1絶縁層と、第2絶縁層と、第3絶縁層とをさらに含み、前記第1絶縁層は、前記入力トランジスタの活性層と前記入力トランジスタのゲート電極との間に位置し、前記第2絶縁層と前記第3絶縁層とは、前記入力トランジスタのゲート電極と前記第4接続配線との間に位置し、前記第3サブ接続配線と前記第4サブ接続配線とは、一体的に形成され、前記第3サブ接続配線は、前記第2絶縁層と前記第3絶縁層とを貫通するビアホールを介して前記第4接続配線に接続される。

【0012】

例えば、本開示の少なくとも一つの実施例による表示基板は、第4接続配線と、第1絶

50

縁層と、第2絶縁層と、第3絶縁層とをさらに含み、前記第1絶縁層は、前記入力トランジスタの活性層と前記入力トランジスタのゲート電極との間に位置し、前記第2絶縁層と前記第3絶縁層とは、前記入力トランジスタのゲート電極と前記第4接続配線との間に位置し、前記第3サブ接続配線は、前記第2絶縁層と前記第3絶縁層とを貫通するビアホールを介して前記第4接続配線に接続され、前記第4サブ接続配線は、前記第2絶縁層と前記第3絶縁層とを貫通するビアホールを介して前記第4接続配線に接続される。

【0013】

例えば、本開示の少なくとも一つの実施例による表示基板において、前記第1制御回路は、第1制御トランジスタと第2制御トランジスタとを含み、前記第1制御トランジスタの活性層と前記第2制御トランジスタの活性層とは、一つの連続する制御半導体層であり、前記制御半導体層は、前記第1方向に沿って延伸し、前記第1制御トランジスタのゲート電極と前記第2制御トランジスタのゲート電極は、前記第2方向に沿って延伸し且つ前記第1方向において並設される。

10

【0014】

例えば、本開示の少なくとも一つの実施例による表示基板において、前記第1制御トランジスタの活性層、前記第2制御トランジスタの活性層と前記入力トランジスタの活性層は、前記第2方向において並設される。

【0015】

例えば、本開示の少なくとも一つの実施例による表示基板において、前記入力トランジスタの活性層は、前記第1ノイズ低減トランジスタの活性層と前記第2ノイズ低減トランジスタの活性層が前記第1方向に沿って延伸する仮想線上に位置し、前記第1制御トランジスタの活性層、前記第2制御トランジスタの活性層は、前記入力トランジスタの活性層が前記第2方向に沿って延伸する仮想線上に位置する。

20

【0016】

例えば、本開示の少なくとも一つの実施例による表示基板において、前記シフトレジスタユニットは、中間切換電極をさらに含み、前記第1制御トランジスタの活性層と前記第2制御トランジスタの活性層と、前記第1ノイズ低減トランジスタの活性層と前記第2ノイズ低減トランジスタの活性層とは、前記第2方向において並設され、前記中間切換電極の、前記ベース基板への正投影は、前記第1制御トランジスタの活性層と前記第2制御トランジスタの活性層の、前記ベース基板への正投影と、前記第1ノイズ低減トランジスタの活性層と前記第2ノイズ低減トランジスタの活性層の、前記ベース基板への正投影との間に位置し、前記第1ノイズ低減トランジスタのゲート電極は、前記中間切換電極によって前記第1制御トランジスタの第1電極と前記第2制御トランジスタの第1電極に接続される。

30

【0017】

例えば、本開示の少なくとも一つの実施例による表示基板において、前記第2ノードは、前記中間切換電極を含む。

【0018】

例えば、本開示の少なくとも一つの実施例による表示基板において、前記シフトレジスタユニットは、第1絶縁層と第2絶縁層とをさらに含み、前記第1絶縁層は、前記ベース基板に垂直する方向において、前記第1ノイズ低減トランジスタの活性層と前記第1ノイズ低減トランジスタのゲート電極との間に位置し、前記第2絶縁層は、前記ベース基板に垂直する方向において、前記第1ノイズ低減トランジスタのゲート電極と前記中間切換電極との間に位置し、前記第1ノイズ低減トランジスタのゲート電極は、前記第2絶縁層を貫通するビアホールを介して前記中間切換電極の第1端に接続され、前記第1制御トランジスタの第1電極と前記第2制御トランジスタの第1電極は、前記中間切換電極の第2端に接続され、且つ前記中間切換電極と同じ層に位置する。

40

【0019】

例えば、本開示の少なくとも一つの実施例による表示基板において、前記第2ノードは、前記中間切換電極を含む。

50

【 0 0 2 0 】

例えば、本開示の少なくとも一つの実施例による表示基板において、前記シフトレジスタユニットは、第1絶縁層と、第2絶縁層と、第3絶縁層と、第2接続配線とをさらに含み、前記第1絶縁層は、前記ベース基板に垂直する方向において、前記第1ノイズ低減トランジスタの活性層と前記第1ノイズ低減トランジスタのゲート電極との間に位置し、前記第2絶縁層は、前記ベース基板に垂直する方向において、前記第1ノイズ低減トランジスタのゲート電極と前記中間切換電極との間に位置し、前記第3絶縁層は、前記ベース基板に垂直する方向において、前記中間切換電極と前記第2接続配線との間に位置し、前記第2接続配線は、第1サブ接続配線と第2サブ接続配線とを含み、前記第1ノイズ低減トランジスタのゲート電極は、前記第2絶縁層と前記第3絶縁層とを貫通するビアホールを介して前記第1サブ接続配線に接続され、前記中間切換電極の第1端は、前記第3絶縁層を貫通するビアホールを介して前記第1サブ接続配線に接続され、前記第1制御トランジスタの第1電極と前記第2制御トランジスタの第1電極は、前記第2サブ接続配線に接続され且つ同じ層に位置し、前記中間切換電極の第2端は、前記第3絶縁層を貫通するビアホールを介して前記第2サブ接続配線に接続される。

10

【 0 0 2 1 】

例えば、本開示の少なくとも一つの実施例による表示基板において、前記第2ノードは、前記中間切換電極と、前記第2接続配線とを含む。

【 0 0 2 2 】

例えば、本開示の少なくとも一つの実施例による表示基板において、前記シフトレジスタユニットは、電圧安定化回路をさらに含み、前記電圧安定化回路は、前記第1ノードと第3ノードに接続され、且つ前記第3ノードのレベルを安定化するように構成され、前記出力回路は、前記第3ノードに接続され、且つ前記第3ノードのレベルの制御で、前記出力信号を前記出力端に出力するように構成される。

20

【 0 0 2 3 】

例えば、本開示の少なくとも一つの実施例による表示基板は、第1電源線と第2電源線とをさらに含み、前記シフトレジスタユニットに第1電圧と第2電圧を提供するように構成され、前記電圧安定化回路は、電圧安定化トランジスタを含み、前記第2電源線は、前記第2方向において突出する突出部を含み、前記電圧安定化トランジスタの活性層の、前記ベース基板への正投影は、前記第1方向において、前記第2制御トランジスタの活性層の、前記ベース基板への正投影と、前記第2ノイズ低減トランジスタの活性層の、前記ベース基板への正投影との間に位置し、且つ前記第2制御トランジスタの第2電極と前記電圧安定化トランジスタのゲート電極は、いずれも前記第2電源線上の突出部に接続されることにより、前記第2電圧を受け取り、前記電圧安定化トランジスタの第1電極が前記第3ノードに接続され、前記電圧安定化トランジスタの第2電極が前記第1ノードに接続される。

30

【 0 0 2 4 】

例えば、本開示の少なくとも一つの実施例による表示基板において、前記入力トランジスタの第1電極は、信号入力電極に接続されることにより、前記入力信号を受け取り、前記出力制御回路は、出力制御トランジスタと第1コンデンサとを含み、前記第1コンデンサの第1電極と第2電極は、ノッチを含み、前記信号入力電極の、前記ベース基板への正投影は、前記第1コンデンサの、前記ベース基板への正投影のノッチ中に入る。

40

【 0 0 2 5 】

例えば、本開示の少なくとも一つの実施例による表示基板において、前記出力回路は、出力トランジスタと第2コンデンサとを含み、前記出力トランジスタの第1電極は、前記第4接続配線に接続され、前記第4接続配線は、前記第3接続配線によって前記第2クロック信号線に接続され、前記第3接続配線の第3サブ接続配線の、前記ベース基板への正投影は、前記第2ノイズ低減トランジスタの活性層の、前記ベース基板への正投影の、前記出力トランジスタの活性層の、前記ベース基板への正投影に近接する側に位置し、前記出力トランジスタのゲート電極が前記電圧安定化トランジスタの第1電極に電氣的に接続

50

され、前記出力トランジスタの第2電極が前記出力端に接続される。

【0026】

例えば、本開示の少なくとも一つの実施例による表示基板において、前記第2コンデンサの形状は、矩形である。

【0027】

例えば、本開示の少なくとも一つの実施例による表示基板において、前記出力制御回路が出力制御トランジスタと第1コンデンサを含む場合、前記出力制御トランジスタの活性層と前記出力トランジスタの活性層とは、一体的に設けられ且つ前記第1方向に沿って延伸し、前記出力制御トランジスタのゲート電極と前記出力トランジスタのゲート電極は、前記第2方向に沿って延伸し且つ前記第1方向において並設され、前記表示基板が第1電源線を含む場合、前記出力制御トランジスタの第1電極は、前記第1電源線に電氣的に接続されて第1電圧を受け取る。

10

【0028】

例えば、本開示の少なくとも一つの実施例による表示基板において、前記出力トランジスタの第2電極は、前記シフトレジスタユニットと隣接する次段のシフトレジスタユニットの信号入力電極に接続される。

【0029】

例えば、本開示の少なくとも一つの実施例による表示基板は、画素アレイ領域と周辺領域とをさらに含み、前記第1電源線、前記第2電源線、前記第1クロック信号線、前記第2クロック信号線と前記シフトレジスタユニットは、前記周辺領域内に位置し、前記第2電源線、前記第1クロック信号線と前記第2クロック信号線の、前記ベース基板への正投影は、前記シフトレジスタユニットの、前記ベース基板への正投影の、前記画素アレイ領域から離れる側に位置し、前記第1電源線の、前記ベース基板への正投影は、前記シフトレジスタユニットの、前記ベース基板への正投影の、前記画素アレイ領域に近接する側に位置する。

20

【0030】

例えば、本開示の少なくとも一つの実施例による表示基板は、第1電源線と、第2制御回路と、電圧安定化回路と、第1切換電極と、第2切換電極と、第3切換電極とをさらに含み、前記第1電源線は、前記シフトレジスタユニットに第1電圧を提供するように構成され、前記第2制御回路は、前記第1ノードと前記第2ノードに接続され、且つ前記第2ノードのレベルと第2クロック信号の制御で、前記第1ノードのレベルに対して制御を行うように構成され、前記電圧安定化回路は、前記第1ノードと第3ノードに接続され、且つ前記第3ノードのレベルを安定化するように構成され、前記第1制御回路は、第1制御トランジスタと第2制御トランジスタとを含み、前記第2制御回路は、第1ノイズ低減トランジスタと第2ノイズ低減トランジスタとを含み、前記電圧安定化回路は、電圧安定化トランジスタを含み、前記出力制御回路は、出力制御トランジスタと第1コンデンサとを含み、前記出力回路は、出力トランジスタと第2コンデンサとを含み、前記第1切換電極は、前記入力トランジスタの第1電極、前記第1制御トランジスタのゲート電極、前記電圧安定化トランジスタの第2電極及び前記第2ノイズ低減トランジスタの第1電極に接続され、前記第1切換電極は、前記第1制御トランジスタのゲート電極と同じ層に位置せず、前記第2切換電極は、前記電圧安定化トランジスタの第1電極と前記出力トランジスタのゲート電極に接続され、そのうち、前記第2切換電極は、前記出力トランジスタのゲート電極と同じ層に位置せず、前記第3切換電極は、前記第1ノイズ低減トランジスタの第1電極と前記出力制御トランジスタの第1電極に接続され、且つ前記第1電源線に接続される。

30

40

【0031】

例えば、本開示の少なくとも一つの実施例による表示基板において、前記第1ノードは、前記第1切換電極を含み、前記第3ノードは、前記第2切換電極を含む。

【0032】

本開示の少なくとも一つの実施例は、本開示のいずれか一つの実施例による表示基板を

50

含む表示装置をさらに提供する。

【0033】

例えば、本開示の少なくとも一つの実施例による表示装置において、前記表示装置は、有機発光ダイオード表示装置である。

【0034】

例えば、本開示の少なくとも一つの実施例による表示装置は、アレイ状に配列される画素ユニットをさらに含み、そのうち、前記シフトレジスタユニットの出力回路によって出力される出力信号は、ゲート電極走査信号として前記画素ユニットを発光させるようとする。

【0035】

本開示の少なくとも一つの実施例は、表示基板の製作方法をさらに提供する。前記方法は、前記ベース基板を提供するステップと、前記ベース基板上にシフトレジスタユニット、第1電源線、第2電源線、前記第1クロック信号線と第2クロック信号線を形成するステップとを含み、前記シフトレジスタユニットを形成することは、前記ベース基板に垂直する方向において、半導体層、第1絶縁層、第1導電層、第2絶縁層、第2導電層、第3絶縁層及び第3導電層を順次に形成するステップを含み、各トランジスタの活性層は、前記半導体層に位置し、前記各トランジスタのゲート電極と各コンデンサの第1電極は、前記第1導電層に位置し、前記各コンデンサの第2電極は、前記第2導電層に位置し、前記第1電源線、前記第2電源線、前記第1クロック信号線、前記第2クロック信号線と前記各トランジスタの第1電極と第2電極は、前記第3導電層に位置し、前記各トランジスタと前記各コンデンサは、前記第1絶縁層、前記第2絶縁層又は前記第3絶縁層を貫通するビアホールを介して互いに接続され、前記第1電源線、前記第2電源線、前記第1クロック信号線と前記第2クロック信号線に接続される。

【0036】

本発明の実施例の技術案をより明瞭に説明するために、以下は、本実施例の添付図面を簡単に紹介し、自明なことに、以下の記述における添付図面は、本発明のいくつかの実施例のみに関し、本発明に対する制限ではない。

【図面の簡単な説明】

【0037】

【図1A】表示パネルの全体的な回路構造の概略図である。

【図1B】シフトレジスタユニットの回路図である。

【図1C】図1Bに示されるシフトレジスタユニットの作動時の信号シーケンス図である。

【図1D】図1Bに示されるシフトレジスタユニットの表示基板上でのレイアウト概略図である。

【図2A】本開示の少なくとも一つの実施例による表示基板のレイアウト概略図である。

【図2B】本開示の少なくとも一つの実施例による別の表示基板のレイアウト概略図である。

【図3A】図2Aに示される表示基板のシフトレジスタユニットの各層配線の平面図をそれぞれ示す。

【図3B】図2Bに示される表示基板のシフトレジスタユニットの各層配線の平面図をそれぞれ示す。

【図4A】図2Aに示される表示基板のシフトレジスタユニットの各層配線の平面図をそれぞれ示す。

【図4B】図2Bに示される表示基板のシフトレジスタユニットの各層配線の平面図をそれぞれ示す。

【図5A】図2Aに示される表示基板のシフトレジスタユニットの各層配線の平面図をそれぞれ示す。

【図5B】図2Bに示される表示基板のシフトレジスタユニットの各層配線の平面図をそれぞれ示す。

【図5C】図2Aに示される表示基板のシフトレジスタユニットの各層配線の間のビアホ

10

20

30

40

50

ールの平面図である。

【図 5 D】図 2 B に示される表示基板のシフトレジスタユニットの各層配線の間のビアホール
の平面図である。

【図 6 A】図 2 A に示される表示基板のシフトレジスタユニットの各層配線の平面図をそ
れぞれ示す。

【図 6 B】図 2 B に示される表示基板のシフトレジスタユニットの各層配線の平面図をそ
れぞれ示す。

【図 7 A】図 2 A に示される表示基板の一例の断面図である。

【図 7 B】図 2 A に示される表示基板の A - A ` 方向に沿ういくつかの例示の断面図であ
る。

【図 7 C】図 2 B に示される表示基板の B - B ` 方向に沿ういくつかの例示の断面図であ
る。

【図 7 D】図 2 A に示される表示基板の C - C ` 方向に沿ういくつかの例示の断面図であ
る。

【図 7 E】図 2 B に示される表示基板の D - D ` 方向に沿ういくつかの例示の断面図であ
る。

【図 8】本開示の少なくとも一つの実施例による表示装置の概略図である。

【図 9】本開示の少なくとも一つの実施例による表示基板の製作方法のフローチャートで
ある。

【発明を実施するための形態】

【0038】

本発明の実施例の目的、技術案及び利点をさらに明確に説明するために、以下、本発明
の実施例の図面を参照して、本発明の実施例の技術案について明確かつ完全に説明する。
記載された実施例は、本発明の一部の実施例であり、全ての実施例ではないことは、明ら
かである。記載された本発明の実施例に基づいて、当業者が創造的な労働をせずに取得す
るその他の実施例は、いずれも本発明の保護範囲に含まれる。

【0039】

特に定義されない限り、本開示で使用される技術用語又は科学用語は、当業者が理解す
る通常の意味である。本開示で使用される「第 1」、「第 2」及び類似する語は、何らか
の順序、数量又は重要性を示すものではなく、異なる構成部分を区別するためのものにす
ぎない。同様に、「1つ」や「1」、「当該」等の類似する語も数量制限ではなく、少な
くとも 1つが存在することを示すものである。「含む」や「含まれる」などの類似する語
は、当該語の前に出現した素子や物が当該語の後に挙げられる素子や物、及びそれらの均
等物を含むことを意味するが、その他の素子や物を排除するものではない。「接続」や「
互いに接続」などの類似する語は、物理的又は機械的な接続に限定されず、直接的か間接
的かを問わず、電気的な接続を含んでもよい。「上」、「下」、「左」、「右」などは、
相対位置関係を示すためのものにすぎず、説明対象の絶対位置が変わると、当該相対位置
関係もそれに応じて変わる可能性がある。

【0040】

以下では、いくつかの具体的な実施例によって本開示を説明する。本発明の実施例の以
下の説明の明確さと簡潔さを保持するために、既知機能と既知部材の詳細な説明を省略す
ることができる。本発明の実施例のいずれか一つの部材が一つ以上の添付図面において出
現する際に、当該部材は、各添付図面において同じ参照符号で表される。

【0041】

図 1 A は、表示パネルの全体的な回路構造の概略図である。例えば、図 1 A に示すよう
に、101 は、表示パネルの外枠線全体を表し、表示パネルは、有効表示領域（すなわち
画素アレイ領域）102 と、有効表示領域 102 の周辺に位置する周辺領域とを含み、当
該有効表示領域は、アレイ状に配列される画素ユニット 103 を含み、当該周辺領域は、
シフトレジスタユニット 104 を含み、カスケード接続される複数のシフトレジスタユニ
ット 104 は、ゲート電極駆動回路を構成し、表示パネル 101 の有効表示領域 102 に

10

20

30

40

50

おけるアレイ状に配列される画素ユニット 103 に例えば 1 行ずつシフトされるゲート電極走査信号を提供するために用いられ、当該周辺領域は、発光制御ユニット 105 をさらに含み、カスケード接続される複数の発光制御ユニット 105 は、発光制御アレイを構成し、表示パネル 101 の有効表示領域 102 におけるアレイ状に配列される画素ユニット 103 に例えば 1 行ずつシフトされる発光制御信号を提供するために用いられる。

【0042】

図 1 A に示すように、データ駆動チップ IC に接続されるデータ線 D1 - DN (N は、1 よりも大きい整数) は、有効表示領域 102 を縦方向に貫通することにより、アレイ状に配列される画素ユニット 103 にデータ信号を提供し、シフトレジスタユニット 104 と発光制御ユニット 105 とに接続されるゲート線 G1 - GM (M は、1 よりも大きい整数) は、有効表示領域 102 を横方向に貫通することにより、アレイ状に配列される画素ユニットにゲート電極走査信号と発光制御信号とを提供する。例えば、各画素ユニット 103 は、本分野における、7T1C、8T2C 又は 4T1C 等の回路構造を有する画素回路と発光素子とを含んでもよく、画素回路は、データ線によって伝送されるデータ信号と、ゲート線によって伝送されるゲート電極走査信号と、発光制御信号との制御で作動することにより、発光素子の発光を駆動することにより、表示等の操作を実現する。当該発光素子は、例えば、有機発光ダイオード (OLED) 又は量子ドット発光ダイオード (QLED) であってもよい。

10

【0043】

図 1 B は、シフトレジスタユニットの回路構造図である。図 1 C は、図 1 B に示されるシフトレジスタユニットの作動時の信号シーケンス図である。以下では、図 1 B と図 1 C を結び付けて当該シフトレジスタユニットの作動プロセスについて簡単に紹介する。

20

【0044】

図 1 B に示すように、当該シフトレジスタユニット 104 は、8 つのトランジスタ (入力トランジスタ T1、第 1 制御トランジスタ T2、第 2 制御トランジスタ T3、出力制御トランジスタ T4、出力トランジスタ T5、第 1 ノイズ低減トランジスタ T6、第 2 ノイズ低減トランジスタ T7 及び電圧安定化トランジスタ T8) と 2 つのコンデンサ (第 1 コンデンサ C1 と第 2 コンデンサ C2) とを含む。例えば、複数のシフトレジスタユニット 104 がカスケード接続される場合、一段目のシフトレジスタユニット 104 における入力トランジスタ T1 の第 1 電極が入力端 IN に接続され、入力端 IN は、トリガ信号線 GSTV に接続されることにより、入力信号としてトリガ信号を受け取るように構成され、他の各段のシフトレジスタユニット 104 における入力トランジスタ T1 の第 1 電極は、前段のシフトレジスタユニット 104 の出力端に電気的に接続されることにより、入力信号として前段のシフトレジスタユニット 104 の出力端 GOUT によって出力される出力信号を受け取り、これによってシフト出力を実現することにより、活性表示領域の画素ユニットのアレイに対して例えば 1 行ずつ走査を行うために用いられる。

30

【0045】

なお、図 1 B に示すように、当該シフトレジスタユニットは、第 1 クロック信号端 CK と第 2 クロック信号端 CB とをさらに含み、GCK は、第 1 サブクロック信号線を表し、GCB は、第 2 サブクロック信号線を表し、例えば、第 1 クロック信号端 CK が第 1 サブクロック信号線 GCK に接続されることにより、第 1 クロック信号を受け取る場合、第 1 サブクロック信号線 GCK は、第 1 クロック信号線であり、第 1 クロック信号端 CK が第 2 サブクロック信号線 GCB に接続されることにより、第 1 クロック信号を受け取る場合、第 2 サブクロック信号線 GCB は、第 1 クロック信号線であり、具体的には実際の状況に依存し、本開示の実施例は、これを制限しない。第 2 クロック信号端 CB は、第 2 サブクロック信号線 GCB 又は第 1 サブクロック信号線 GCK に接続されることにより、第 2 クロック信号を受け取る。以下では、第 1 クロック信号端 CK が第 1 サブクロック信号線 GCK に接続されることにより、第 1 クロック信号を受け取り、第 2 クロック信号端 CB が第 2 サブクロック信号線 GCB に接続されることにより、第 2 クロック信号を受け取ることを例として紹介し、すなわち第 1 サブクロック信号線 GCK が第 1 クロック信号線と

40

50

して、第2サブクロック信号線G C Bが第2クロック信号線とすることを例として説明し、本開示の実施例は、これを制限しない。例えば、第1クロック信号G C K及び第2クロック信号G C Bは、デューティサイクルが50%よりも大きいパルス信号を採用してもよく、且つ両者には例えば半周期の差があり、V G Hは、第1電源線及び第1電源線によって提供される第1電圧を表し、例えば、第1電圧は、直流ハイレベルであり、V G Lは、第2電源線及び第2電源線によって提供される第2電圧を表し、例えば、第2電圧は、直流ローレベルであり、また第1電圧は、第2電圧よりも大きく、N 1、N 2及びN 3は、回路概略図における第1ノード、第2ノード及び第3ノードをそれぞれ表す。

【0046】

図1Bに示すように、入力トランジスタT1のゲート電極は、第1クロック信号端C K（第1クロック信号端C Kが第1サブクロック信号線G C Kに接続される）に接続されることにより、第1クロック信号を受け取り、入力トランジスタT1の第2電極が入力端I Nに接続され、入力トランジスタT1の第1電極が第1ノードN 1に接続される。例えば、当該シフトレジスタユニットが一段目のシフトレジスタユニットである場合、入力端I Nがトリガ信号線G S T Vに接続されることにより、トリガ信号を受け取り、当該シフトレジスタユニットが一段目のシフトレジスタ以外の他の各段のシフトレジスタユニットである場合、入力端I Nがその前段のシフトレジスタユニットの出力端G O U Tに接続される。

10

【0047】

第1制御トランジスタT2のゲート電極が第1ノードN 1に接続され、第1制御トランジスタT2の第2電極が第1クロック信号端C Kに接続されることにより、第1クロック信号を受け取り、第1制御トランジスタT2の第1電極が第2ノードN 2に接続される。

20

【0048】

第2制御トランジスタT3のゲート電極が第1クロック信号端C Kに接続されることにより、第1クロック信号を受け取り、第2制御トランジスタの第2電極が第2電源線V G Lに接続されることにより、第2電圧を受け取り、第2制御トランジスタT3の第1電極が第2ノードN 2に接続される。

【0049】

出力制御トランジスタT4のゲート電極が第2ノードN 2に接続され、出力制御トランジスタT4の第1電極が第1電源線V G Hに接続されることにより、第1電圧を受け取り、出力制御トランジスタT4の第2電極が出力端G O U Tに接続される。

30

【0050】

第1コンデンサの第1電極が第2ノードN 2に接続され、第1コンデンサC 1の第2電極が第1電源線V G Hに接続される。

【0051】

出力トランジスタT5のゲート電極が第3ノードN 3に接続され出力トランジスタT5の第1電極が第2クロック信号端C Bに接続され、出力トランジスタT5の第2電極が出力端G O U Tに接続される。

【0052】

第2コンデンサC 2の第1電極が第3ノードN 3に接続され、第2コンデンサC 2の第2電極が出力端G O U Tに接続される。

40

【0053】

第1ノイズ低減トランジスタT6のゲート電極が第2ノードN 2に接続され、第1ノイズ低減トランジスタT6の第1電極が第1電源線V G Hに接続されることにより、第1電圧を受け取り、第1ノイズ低減トランジスタT6の第2電極が第2ノイズ低減トランジスタT7の第2電極に接続される。

【0054】

第2ノイズ低減トランジスタT7のゲート電極が第2クロック信号端C B（第2クロック信号端C Bが第2サブクロック信号線G C Bに接続される）に接続されることにより、第2クロック信号を受け取り、第2ノイズ低減トランジスタT7の第1電極が第1ノード

50

N 1 に接続される。

【 0 0 5 5 】

電圧安定化トランジスタ T 8 のゲート電極が第 2 電源線 V G L に接続されることにより、第 2 電圧を受け取り、電圧安定化トランジスタ T 8 の第 2 電極が第 1 ノード N 1 に接続され、電圧安定化トランジスタ T 8 の第 1 電極が第 3 ノード N 3 に接続される。

【 0 0 5 6 】

図 1 B に示されるシフトレジスタユニット 1 0 4 におけるトランジスタは、いずれも P 型トランジスタを例として説明されるものであり、すなわち各トランジスタは、ゲート電極がローレベルを受けた時にオンになり（オンレベル）、ハイレベルを受けた時にオフになる（オフレベル）。このとき、トランジスタの第 1 電極は、ソース電極であってもよく、トランジスタの第 2 電極は、ドレイン電極であってもよい。

10

【 0 0 5 7 】

当該シフトレジスタユニットは、図 1 B の配置方式を含むが、それらに限られず、例えば、シフトレジスタユニット 1 0 4 における各トランジスタは、N 型トランジスタを採用してもよく、又は P 型トランジスタと N 型トランジスタとを混合して採用してもよく、選択されるタイプのトランジスタのポート極性を本開示の実施例における相応なトランジスタのポート極性に従って接続すればよい。

【 0 0 5 8 】

説明すべきことは、当該シフトレジスタユニットにおいて採用されるトランジスタは、いずれも薄膜トランジスタ又は電界効果トランジスタ又は他の特性が同じであるスイッチ素子であってもよく、ここでいずれも薄膜トランジスタを例として説明し、例えば当該トランジスタの活性層（チャネル領域）は、半導体材料、例えば、多結晶質シリコン（例えば低温多結晶質シリコン又は高温多結晶質シリコン）、非晶質シリコン、酸化インジウムガリウムスズ（I G Z O）等を採用し、ゲート電極、ソース電極、ドレイン電極等は、金属材料、例えば金属アルミニウム又はアルミニウム合金を採用する。ここで採用されるトランジスタのソース電極、ドレイン電極は、構造上に対称するものであってもよいため、そのソース電極、ドレイン電極は、構造上に区別がないものであってもよい。本開示の実施例では、トランジスタのゲート電極以外の両電極を区別するために、そのうちの電極が第 1 電極であり、別の電極が第 2 電極であることを直接記述する。また、本開示の実施例では、コンデンサの電極は、金属電極を採用してもよく、又はそのうちの一つの電極は、半導体材料（例えばドーピングされる多結晶質シリコン）を採用してもよい。

20

30

【 0 0 5 9 】

図 1 C は、図 1 B に示されるシフトレジスタユニット 1 0 4 の作動時の信号シーケンス図である。以下では、図 1 B と図 1 C を結び付けて当該シフトレジスタの作動プロセスについて詳細に紹介する。例えば、一段目のシフトレジスタユニット 1 0 4 の作動原理を説明し、残りの各段のシフトレジスタユニット 1 0 4 の作動原理は、それと同様であり、説明を省略する。図 1 C に示すように、当該シフトレジスタユニット 1 0 4 の作動プロセスは、4 つの段階を含み、それぞれは、第 1 段階 t 1、第 2 段階 t 2、第 3 段階 t 3 と第 4 段階 t 4 であり、図 1 C は、各段階における各信号のタイミング波形を示す。

【 0 0 6 0 】

第 1 段階 t 1 において、図 1 C に示すように、第 1 クロック信号端 C K は、ローレベルの第 1 クロック信号を受け取り、トリガ信号線 G S T V は、ローレベルのトリガ信号を提供するため、入力トランジスタ T 1 と第 2 制御トランジスタ T 3 とがオンになり、オンになる入力トランジスタ T 1 は、ローレベルのトリガ信号を第 1 ノード N 1 に伝送することにより、第 1 ノード N 1 のレベルをローレベルに変更するため、第 1 制御トランジスタ T 2 と出力トランジスタ T 5 とがオンになり、電圧安定化トランジスタ T 8 は、第 2 電源線 V G L によって提供される第 2 電圧（ローレベル）に応じて常にオン状態にあるため、第 3 ノード N 3 のレベルは、第 1 ノード N 1 のレベルと同じであり、すなわちローレベルであり、それとともに、当該ローレベルを第 2 コンデンサ C 2 中に記憶する。なお、オンになる第 2 制御トランジスタ T 3 は、ローレベルの第 2 電圧 V G L を第 2 ノード N 2 に伝

40

50

送り、オンになる第1制御トランジスタT2は、第1クロック信号のローレベルを第2ノードN2に伝送することにより、第2ノードN2のレベルをローレベルに変更し、且つ第1コンデンサC1中に記憶するため、出力制御トランジスタT4は、第2ノードN2のローレベルオンに応じて、第1電源線VGHによって提供されるハイレベルの第1電圧を出力端GOUTに出力するとともに、出力トランジスタT5は、第3ノードN3のローレベルオンに応じて、第2クロック信号端CBによって受け取られるハイレベルの第2クロック信号を出力端GOUTに伝送することにより、この段階において、シフトレジスタユニットは、ハイレベルを出力する。

【0061】

第2段階t2において、図1Cに示すように、第2クロック信号端CBは、ローレベルの第2クロック信号を受け取るため、第2ノイズ低減トランジスタT7がオンになり、第1クロック信号端CKは、ハイレベルの第1クロック信号を受け取るため、入力トランジスタT1と第2制御トランジスタT3とがオフになる。第2コンデンサC2の記憶作用のため、第1ノードN1は、前の段階のローレベルの保持を続けることができるため、第1制御トランジスタT2と出力トランジスタT5とがオンになる。第1制御トランジスタT2がオンになるため、第1クロック信号端CKによって受け取りられるハイレベルの第1クロック信号は、第2ノードN2に伝送されるため、第2ノードN2がハイレベルに変更されるため、第1ノイズ低減トランジスタT6と出力制御トランジスタT4とがオフになることにより、第1電源線VGHによって提供されるハイレベルが出力端GOUTと第1ノードN1に出力されることを避ける。それとともに、出力トランジスタT5がオンになるため、当該段階において、出力端GOUTは、第2クロック信号端GBによって受け取られるローレベルを出力し、例えば、当該ローレベルは、図1Aに示される画素ユニット103の作動を制御するために用いられる。

【0062】

第3段階t3において、図1Cに示すように、第1クロック信号端CKは、ローレベルの第1クロック信号を受け取るため、入力トランジスタT1と第2制御トランジスタT3とがオンになり、このとき、トリガ信号線GSTVによって提供されるハイレベルが第1ノードN1と第3ノードN3に伝送されるため、出力トランジスタT5と第1制御トランジスタT2とがオフになる。第2クロック信号端CBは、ハイレベルの第2クロック信号を受け取るため、第2ノイズ低減トランジスタT7がオフになる。第2制御トランジスタT3がオンになるため、第2電源線VGLによって提供されるローレベルが第2ノードN2に伝送され且つ第1コンデンサC1中に記憶されるため、出力制御トランジスタT4と第1ノイズ低減トランジスタT6とがオンになるため、当該段階において、出力端GOUTは、第1電源線VGHによって提供されるハイレベルを出力する。

【0063】

第4段階t4において、図1Cに示すように、第1クロック信号端CKは、ハイレベルの第1クロック信号を受け取るため、入力トランジスタT1及び第2制御トランジスタT3がオフになる。第2クロック信号端CBは、ローレベルの第2クロック信号を受け取るため、第2ノイズ低減トランジスタT7がオンになる。第2コンデンサC2の記憶作用のため、第1ノードN1のレベルは、前の段階のハイレベルを保持することにより、第1制御トランジスタT2と出力トランジスタT5とがオフになる。第1コンデンサC1の記憶作用のため、第2ノードN2は、前の段階のローレベルを保持し続けることにより、第1ノイズ低減トランジスタT6がオンになることにより、第1電源線VGHによって提供されるハイレベルは、オンになる第1ノイズ低減トランジスタT6及び第2ノイズ低減トランジスタT7によって第1ノードN1と第3ノードN3に伝送されることにより、第1ノードN1と第3ノードN3は、ハイレベルに保持され続け、出力トランジスタT5がオンになることを効果的に防止することにより、誤出力を避ける。

【0064】

図1Dは、図1Bに示されるシフトレジスタユニット104の表示基板上でのレイアウト概略図である。図1Dに示すように、当該表示基板は、シフトレジスタユニット104

の入力トランジスタ T 1 ~ 電圧安定化トランジスタ T 8 と、第 1 コンデンサ C 1 ~ 第 2 コンデンサ C 2 と、第 1 サブクロック信号線 G C K と、第 2 サブクロック信号線 G C B と、第 1 電源線 V G H と、第 2 電源線 V G L とを含む。

【 0 0 6 5 】

例えば、図 1 D に示すように、入力トランジスタ T 1 は、「U」字形の活性層と直線型（I 型）ゲート電極とを含み、当該直線型ゲート電極は、当該「U」字形の活性層のダブルアームと重なることにより、ダブルゲートトランジスタを実現し、且つ第 1 ノイズ低減トランジスタ T 6 と第 2 ノイズ低減トランジスタ T 7 とは、水平に並んでいることにより、表示パネルの水平方向においても、垂直方向においても、当該並び方式は、いずれも比較的に大きい空間を占有し、電圧安定化トランジスタ T 8 のゲート電極から第 2 制御トランジスタ T 3 の第 1 電極までの距離が比較的に遠く、且つ第 2 電源線 V G L の異なる位置にそれぞれ接続され、配線の複雑度が増加し、第 1 制御トランジスタ T 2 と第 2 制御トランジスタ T 3 との間のノードは、非常に長い接続配線を介して第 1 ノイズ低減トランジスタ T 6 のゲート電極に接続され、空間混雑等を引き起こす。そのため、図 1 D に示される表示基板上的各トランジスタの並び方式と接続方式は、空間混雑を引き起こしやすく、表示パネルの狭額縁設計の実現に不利であり、且つ必要がない重なりのため、寄生コンデンサが大きすぎて信号相互干渉等の問題が発生し、表示パネルの表示品質に影響を与えやすい。

10

【 0 0 6 6 】

本開示の少なくとも一つの実施例は、表示基板を提供する。前記表示基板は、ベース基板と、ベース基板上に設けられるシフトレジスタユニット及び第 1 クロック信号線とを含み、第 1 クロック信号線は、ベース基板において第 1 方向に沿って延伸し、且つシフトレジスタユニットに第 1 クロック信号を提供するように構成され、シフトレジスタユニットは、入力回路と、出力回路と、第 1 制御回路と、出力制御回路とを含み、入力回路は、第 1 クロック信号に応じて、入力信号を第 1 ノードに入力するように構成され、出力回路は、出力信号を出力端に出力するように構成され、第 1 制御回路は、第 1 ノードのレベルと第 1 クロック信号に応じて、第 2 ノードのレベルを制御するように構成され、出力制御回路は、第 2 ノードのレベルの制御で、出力端のレベルに対して制御を行うように構成され、入力回路は、入力トランジスタを含み、入力トランジスタの活性層は、第 2 方向に沿って延伸する長尺状であり、第 2 方向は、第 1 方向と異なり、入力トランジスタは、第 1 ゲート電極と、第 2 ゲート電極と、第 1 ゲート電極と第 2 ゲート電極とを接続する接続電極とを含み、接続電極は、第 1 方向に沿って延伸し、第 1 ゲート電極に接続される第 1 部分と、第 2 ゲート電極に接続される第 2 部分と、第 2 方向に沿って延伸し且つ第 1 部分と第 2 部分とを接続する第 3 部分とを含み、接続電極の第 3 部分は、第 1 クロック信号線に接続されることにより、第 1 クロック信号を受け取る。

20

30

【 0 0 6 7 】

本開示の少なくとも一つの実施例は、上記表示基板に対応する表示装置及び表示基板の製作方法をさらに提供する。

【 0 0 6 8 】

本開示の上記実施例による表示基板が最適化されたシフトレジスタユニットの線路接続と構造レイアウトは、シフトレジスタユニットが第 2 方向における長さを一定の程度に圧縮し、表示パネルの狭額縁設計の実現に有利であるとともに、表示パネルの表示品質を確保する。

40

【 0 0 6 9 】

以下では、添付図面を結び付けて本開示の実施例及びそのいくつかの例について詳細に説明する。

【 0 0 7 0 】

本開示の少なくとも一つの実施例は、表示基板を提供する。図 2 A は、図 1 B に示されるシフトレジスタユニット 1 0 4 の表示基板上的レイアウト概略図である。

【 0 0 7 1 】

50

例えば、図 2 A に示すように、当該表示基板 1 は、ベース基板 1 0 と、ベース基板 1 0 上に設けられるシフトレジスタユニット 1 0 4 と、第 1 電源線 V G H と、第 2 電源線 V G L と、複数のクロック信号線（例えば、図に示される第 1 サブクロック信号線 G C K、第 2 サブクロック信号線 G C B とトリガ信号線 G S T V）とを含む。例えば、第 1 電源線 V G H、第 2 電源線 V G L と複数のクロック信号線は、ベース基板 1 0 において第 1 方向に沿って（例えば、図 2 A に示される垂直方向）延伸し、且つシフトレジスタユニット 1 0 4 に第 1 電圧、第 2 電圧と複数のクロック信号（例えば、上に記載のトリガ信号、第 1 クロック信号又は第 2 クロック信号等）をそれぞれ提供するように構成される。

【 0 0 7 2 】

なお、第 1 電源線 V G H と、第 2 電源線 V G L と、複数のクロック信号線とは、第 1 方向に沿って平行に設けられてもよく、一定の角度（例えば、20°以下である）を交差してもよく、本開示の実施例は、これを制限しない。

10

【 0 0 7 3 】

例えば、第 1 電源線 V G H は、走査駆動回路に含まれるカスケード接続される複数のシフトレジスタユニット 1 0 4 に第 1 電圧を提供するように構成され、第 2 電源線 V G L は、走査駆動回路に含まれるカスケード接続される複数のシフトレジスタユニット 1 0 4 に第 2 電圧を提供するように構成される。例えば、第 1 電圧は、第 2 電圧よりも大きく、例えば第 1 電圧は、直流ハイレベルであり、第 2 電圧は、直流ローレベルである。

【 0 0 7 4 】

例えば、当該ベース基板 1 0 は、例えばガラス、プラスチック、石英又は他の適切な材料を採用してもよく、本開示の実施例は、これを制限しない。

20

【 0 0 7 5 】

例えば、表示基板 1 は、画素アレイ領域（すなわち図 1 A に示される有効表示領域 1 0 2 であり、以下では、画素アレイ領域 1 0 2 と呼ばれる）と、前記画素アレイ領域以外の周辺領域とを含み、例えば、上記第 1 電源線 V G H、第 2 電源線 V G L、複数のクロック信号線とシフトレジスタユニット 1 0 4 は、周辺領域内に位置し且つベース基板 1 0 の一側に位置し（図 1 A に示すように、画素アレイ領域 1 0 2 とベース基板の側辺との間に位置し）、例えば、図 1 A に示すように、ベース基板の左側に位置し、もちろんベース基板 1 0 の右側又は左右両側に位置してもよく、本開示の実施例は、これを制限しない。

【 0 0 7 6 】

例えば、第 2 電源線 V G L と複数のクロック信号線は、シフトレジスタユニット 1 0 4 の画素アレイ領域 1 0 2 から離れる側に位置し、例えば、いずれも図 2 A に示されるシフトレジスタユニット 1 0 4 の左側に位置し、すなわちシフトレジスタユニット 1 0 4 がベース基板 1 0 への正投影は、第 2 電源線 V G L と複数のクロック信号線がベース基板 1 0 への正投影と画素アレイ領域 1 0 2 との間に位置し、例えば、第 1 電源線 V G H は、画素アレイ領域 1 0 2 に近接するシフトレジスタユニット 1 0 4 の一側に位置し、すなわち第 1 電源線 V G H がベース基板 1 0 への正投影は、シフトレジスタユニット 1 0 4 がベース基板 1 0 への正投影と画素アレイ領域 1 0 2 の間に位置する。

30

【 0 0 7 7 】

なお、上記配線の位置は、例示的なものに過ぎず、シフトレジスタユニットとの接続を容易にする配線の設置を満たしていればよく、本開示の実施例は、これを制限しない。

40

【 0 0 7 8 】

例えば、画素アレイ領域 1 0 2 は、アレイ状に配列される複数の画素ユニット 1 0 3 を含む。例えば、複数の画素ユニット 1 0 3 のそれぞれは、画素回路を含み、例えば発光素子（図示せず）をさらに含んでもよい。

【 0 0 7 9 】

例えば、カスケード接続される複数のシフトレジスタユニット 1 0 4 は、ゲート電極駆動回路を構成する。例えば、当該複数のシフトレジスタユニット 1 0 4 の出力端 G O U T は、画素アレイ領域に位置する各行の画素回路のゲート電極走査信号端にそれぞれ接続されることにより、当該各行の画素回路に出力信号（例えば、ゲート電極走査号）を提供す

50

ることにより、発光素子の発光を駆動することを実現する。例えば、当該画素回路は、本分野内の例えば7T1C、2T1C、4T2C、8T2C等の回路構造を含む画素回路であってもよく、ここで説明を省略する。

【0080】

図2Aには、ゲート電極駆動回路における一段目のシフトレジスタユニット104と二段目のシフトレジスタユニット104のみが示され、例えば、図2Aに示すように、一段目のシフトレジスタユニット104の第1クロック端CK(図1Bに示すように)は、第2サブクロック信号線GCBに接続されることにより、第1クロック信号を受け取り、一段目のシフトレジスタユニット104の第2クロック信号端CBは、第1クロック信号GCKに接続されることにより、第2クロック信号を受け取り、二段目のシフトレジスタユニットの第1クロック信号端CKは、第1サブクロック信号線GCKに接続されることにより、第1クロック信号を受け取り、二段目のシフトレジスタユニットの第2クロック信号端CBは、第2サブクロック信号線GCBに接続されることにより、第2クロック信号を受け取り、これによって類推し、X(Xは、1よりも大きい奇数)段目のシフトレジスタユニット104の第1クロック端CKは、第2サブクロック信号線GCBに接続されることにより、第1クロック信号を受け取り、X段目のシフトレジスタユニット104の第2クロック信号端CBは、第1クロック信号GCKに接続されることにより、第2クロック信号を受け取り、X+1段目のシフトレジスタユニットの第1クロック信号端CKは、第1サブクロック信号線GCKに接続されることにより、第1クロック信号を受け取り、X+1段目のシフトレジスタユニットの第2クロック信号端CBは、第2サブクロック信号線GCBに接続されることにより、第2クロック信号を受け取る。なお、各段のシフトレジスタユニットとクロック信号線との接続方式は、さらに本分野内の他の接続方式を採用してもよく、本開示の実施例は、これを制限しない。例えば、一段目のシフトレジスタユニット104の入力端がトリガ信号線GSTVに接続されることにより、入力信号としてトリガ信号を受け取り、二段目のシフトレジスタユニット104の入力端が前段のシフトレジスタユニット(すなわち、一段目のシフトレジスタユニット)の出力端GOUTに接続され、残りの各段のシフトレジスタユニットの接続方式は、これと同様である。以下では、一段目のシフトレジスタユニットの構造を例として説明し、本開示の実施例は、これを制限しない。

【0081】

例えば、図2Aに示される例示では、一段目のシフトレジスタユニット104の第1クロック端CK(図1Bに示すように)が第2サブクロック信号線GCBに接続されることにより、第1クロック信号を受け取り、一段目のシフトレジスタユニット104の第2クロック信号端CBが第1クロック信号GCKに接続されることにより、第2クロック信号を受け取るため、当該例示では、第2サブクロック信号線GCBが第1クロック信号線であり、第1サブクロック信号線GCKが第2クロック信号線であることを例として説明し、本開示の実施例は、これを制限しない。

【0082】

例えば、図1Bに示すように、いくつかの例示では、当該シフトレジスタユニット104は、入力回路1041と、出力回路1043と、第1制御回路1042と、出力制御回路1044とを含み、別のいくつかの例示では、当該シフトレジスタユニット104は、第2制御回路1045と電圧安定化回路1046とをさらに含む。

【0083】

入力回路1041は、第1クロック信号に応じて、入力信号を第1ノードN1に入力するように構成される。例えば、入力回路1041は、入力端IN、第1ノードN1及び第1クロック信号端CKに接続され、第1クロック信号端CKによって受け取られる第1クロック信号の制御でオンになり、入力端INを第1ノードN1とを接続することにより、入力信号を第1ノードN1に入力するように構成される。例えば、入力回路1041は、上に記載の入力トランジスタT1として実現され、入力トランジスタT1の接続方式は、上の記述を参照してもよく、ここで説明を省略する。

【 0 0 8 4 】

出力回路 1 0 4 3 は、出力信号を出力端 G O U T に出力するように構成される。例えば、出力回路 1 0 4 3 は、第 3 ノード N 3、出力端 G O U T 及び第 2 クロック信号端 C B に接続され、第 3 ノード N 3 のレベルの制御でオンになることにより、第 2 クロック信号端 C B と出力端 G O U T とを接続することにより、出力端 G O U T で第 2 クロック信号を出力し、例えば、第 2 クロック信号のローレベルを出力するように構成される。例えば、出力回路 1 0 4 3 は、上に記載の出力トランジスタ T 5 と第 2 コンデンサ C 2 として実現され、出力トランジスタ T 5 と第 2 コンデンサ C 2 の接続方式は、上の記述を参照してもよく、ここで説明を省略する。

【 0 0 8 5 】

第 1 制御回路 1 0 4 2 は、第 1 ノード N 1 のレベルと第 1 クロック信号に応じて、第 2 ノード N 2 のレベルを制御するように構成される。例えば、第 1 制御回路は、第 1 ノード N 1、第 2 ノード N 2 及び第 1 クロック信号端 C K に接続され、第 1 ノード N 1 のレベルの制御でオンになり、第 2 ノード N 2 と第 1 クロック信号端 C K とを接続することにより、第 1 クロック信号端 C K によって提供される第 1 クロック信号を第 2 ノード N 2 に提供するように構成される。例えば、第 1 制御回路 1 0 4 2 は、上に記載の第 1 制御トランジスタ T 2 と第 2 制御トランジスタ T 3 として実現され、第 1 制御トランジスタ T 2 と第 2 制御トランジスタ T 3 の接続方式は、上の記述を参照してもよく、ここで説明を省略する。なお、第 1 制御回路 1 0 4 2 は、第 1 ノード N 1 に接続されることに限られず、他の独立した電圧端（第 1 ノード N 1 の電圧と同じ電圧を提供する）又は単独に設けられて入力回路と同じである回路に接続されてもよく、本開示の実施例は、これを制限しない。シフトレジスタユニットの他の回路の接続は、これと同様であり、ここで説明を省略する。

【 0 0 8 6 】

出力制御回路 1 0 4 4 は、第 2 ノード N 2 のレベルの制御で、出力端 G O U T のレベルに対して制御を行うように構成される。例えば、出力制御回路 1 0 4 4 は、第 2 ノード N 2、第 1 電源線 V G H 及び出力端 G O U T に接続され、且つ第 2 ノード N 2 のレベルの制御で、出力端 G O U T が第 1 電源線 V G H に接続されることにより、第 1 電源線 V G H によって提供される第 1 電圧を出力端 G O U T に出力することによって、出力端 G O U T をハイレベルに制御することにより、シフトレジスタユニットが非出力段階での誤出力を避けるように構成される。例えば、出力制御回路 1 0 4 4 は、上に記載の出力制御トランジスタ T 4 と第 1 コンデンサ C 1 として実現され、出力制御トランジスタ T 4 と第 1 コンデンサ C 1 の接続方式は、上の記述を参照してもよく、ここで説明を省略する。

【 0 0 8 7 】

第 2 制御回路 1 0 4 5 は、第 1 ノード N 1 と第 2 ノード N 2 に接続され、且つ第 2 ノード N 2 のレベルと第 2 クロック信号の制御で、第 1 ノード N 1 のレベルに対して制御を行うように構成される。第 2 制御回路 1 0 4 5 は、第 1 ノード N 1、第 2 ノード N 2、第 1 電源線 V G H と第 2 クロック信号端 C B に接続され、第 2 ノード N 2 のレベルと第 2 クロック信号端 C B によって受け取られる第 2 クロック信号の制御でオンになり、第 1 電源線 V G H が第 1 ノード N 1 に接続されることにより、第 1 ノード N 1 の電位をハイレベルに充電することによって、非出力段階において出力回路 1 0 4 2 がオンになることを避けることにより、誤出力を避けるように構成される。例えば、第 2 制御回路 1 0 4 5 は、上に記載の第 1 ノイズ低減トランジスタ T 6 と第 2 ノイズ低減トランジスタ T 7 として実現され、第 1 ノイズ低減トランジスタ T 6 と第 2 ノイズ低減トランジスタ T 7 の接続方式は、上の記述を参照してもよく、ここで説明を省略する。

【 0 0 8 8 】

電圧安定化回路 1 0 4 6 は、第 1 ノード N 1 と第 3 ノード N 3 に接続され、且つ第 3 ノード N 3 のレベルを安定化するように構成される。例えば、電圧安定化回路 1 0 4 6 は、第 1 ノード N 1、第 3 ノード N 3 と第 2 電源線 V G L に接続され、且つ第 2 電源線 V G L によって提供される第 2 電圧の制御でオンになり、それによって第 1 ノード N 1 が第 3 ノード N 3 に接続されるように構成される。例えば、電圧安定化回路 1 0 4 6 は、電圧安定

10

20

30

40

50

化トランジスタ T 8 として実現され、具体的な紹介は、上の図 1 B における電圧安定化トランジスタ T 8 に関する記述を参照してもよく、ここで説明を省略する。

【 0 0 8 9 】

例えば、電圧安定化トランジスタ T 8 は、第 2 電源線 V G L によって提供される第 2 電圧の制御で、常にオン状態にあることにより、第 3 ノード N 3 は、当該電圧安定化トランジスタ T 8 によって第 1 ノード N 1 に接続されることにより、第 3 ノード N 3 のレベルが第 1 ノード N 1 に接続される入力トランジスタ T 1、第 1 制御トランジスタ T 2 及び第 2 ノイズ低減トランジスタ T 7 によって漏電することを防止するとともに、さらに第 1 制御トランジスタ T 1 に対する第 3 ノード N 3 のレベルの応力を減少することができることにより、出力トランジスタ T 5 が出力段階において十分に開くように、第 3 ノード N 3 のレ

10

【 0 0 9 0 】

図 3 A、図 4 A、図 5 A と図 6 A は、図 2 A に示される表示基板のシフトレジスタユニットの各層配線の平面図をそれぞれを示し、図 3 B、図 4 B、図 5 B と図 6 B は、図 2 B に示される表示基板のシフトレジスタユニットの各層配線の平面図をそれぞれ示す。図 3 A と図 3 B は、本開示の少なくとも一つの実施例による表示基板の半導体層の平面図であり、図 4 A と図 4 B は、本開示の少なくとも一つの実施例による表示基板の第 1 導電層の平面図であり、図 5 A と図 5 B は、本開示の少なくとも一つの実施例による表示基板の第 2 導電層の平面図であり、図 6 A と図 6 B は、本開示の少なくとも一つの実施例による表示基板の第 3 導電層の平面図である。図 7 A は、図 2 A に示される表示基板の一例の断面図であり、図 7 B は、図 2 A に示される表示基板の A - A ` 方向に沿う別の例示の断面図であり、図 7 C は、図 2 B に示される表示基板の B - B ` 方向に沿う一例の断面図である。

20

【 0 0 9 1 】

例えば、層間絶縁層（例えば、第 1 絶縁層、第 2 絶縁層、第 3 絶縁層等を含む）は、図 3 A ~ 図 6 A 又は図 3 B ~ 図 6 B に示される層構造の間に位置してもよい。例えば、第 1 絶縁層 3 5 0（図 7 A に示すように）は、図 3 A に示される半導体層 3 1 0 と図 4 A に示される第 1 導電層 3 2 0 との間に位置するか又は図 3 B に示される半導体層 3 1 0 と図 4 B に示される第 1 導電層 3 2 0 との間に位置し、第 2 絶縁層 3 6 0（図 7 A に示すように）は、図 4 A に示される第 1 導電層 3 2 0 と図 5 A に示される第 2 導電層 3 3 0 との間に位置するか又は図 4 B に示される第 1 導電層 3 2 0 と図 5 B に示される第 2 導電層 3 3 0 との間に位置し、第 3 絶縁層 3 7 0（図 7 A に示すように）は、図 5 A に示される第 2 導電層 3 3 0 と図 6 A に示される第 3 導電層 3 4 0 との間に位置するか又は図 5 B に示される第 2 導電層 3 3 0 と図 6 B に示される第 3 導電層 3 4 0 との間に位置する。

30

【 0 0 9 2 】

例えば、図 7 A、7 B と 7 C に示すように、当該表示基板は、第 4 絶縁層 3 8 0 をさらに含み、当該第 4 絶縁層 3 8 0 は、第 3 導電層 3 4 0 上に位置し、第 3 導電層 3 4 0 を保護するために用いられる。

【 0 0 9 3 】

例えば、第 1 絶縁層 3 5 0 と、第 2 絶縁層 3 6 0 と、第 3 絶縁層 3 7 0 と、第 4 絶縁層 3 8 0 の材料とは、例えば Si N x、Si O x、Si N x O y 等の無機絶縁材料、例えば有機樹脂等の有機絶縁材料、又は他の適切な材料を含んでもよく、本開示の実施例は、これを限定しない。

40

【 0 0 9 4 】

なお、図 2 A に示される表示基板は、走査駆動回路における最初の二段のシフトレジスタと、それに接続される第 1 電源線と、第 2 電源線と、信号線とのレイアウト設計を例として説明し、残りの各段のシフトレジスタのレイアウト実施形態は、図 2 A に示されるレイアウト方式を参照してもよく、ここで説明を省略し、もちろん他のレイアウト方式を採用してもよく、本開示の実施例は、これを制限しない。もちろん、残りの各走査駆動回路の各段のシフトレジスタは、図 2 A に示されるレイアウト方式を参照してもよく、他のレイアウト方式を採用してもよく、本開示の実施例は、これを制限しない。

50

【 0 0 9 5 】

以下では、図 2 A ~ 図 7 C を結び付けて本開示の少なくとも一つの実施例による表示基板について詳細に紹介する。

【 0 0 9 6 】

例えば、図 2 A に示されるシフトレジスタユニット 1 0 4 の入力トランジスタ T 1 ~ 電圧安定化トランジスタ T 8 の活性層は、図 3 A に示される半導体層 3 1 0 上に形成されてもよい。図 2 B に示されるシフトレジスタユニット 1 0 4 の入力トランジスタ T 1 ~ 電圧安定化トランジスタ T 8 の活性層は、図 3 B に示される半導体層 3 1 0 上に形成されてもよい。半導体層 3 1 0 は、半導体材料をパターンングして形成されてもよい。例えば、図 3 A と図 3 B に示すように、必要に応じて、当該半導体層 3 1 0 は、短棒状又は屈曲又は屈折を有する形状であってもよく、上記入力トランジスタ T 1 ~ 電圧安定化トランジスタ T 8 の活性層を製作するために用いることができる。各活性層は、ソース領域と、ドレイン領域と、ソース領域とドレイン領域との間に位置するチャンネル領域とを含んでもよい。例えば、チャンネル領域は、半導体特性を有し、ソース領域とドレイン領域は、チャンネル領域の両側にあり、且つ不純物がドーピングされてもよく、そのため導電性を有する。例えば、当該ソース領域は、活性層の一部であり、当該ソース領域と接触する金属電極（例えば、第 3 導電層 3 4 0 に位置する）は、トランジスタのソース電極（又は第 1 電極と呼ばれる）に対応し、ドレイン領域は、活性層の一部であり、当該ドレイン領域と接触する金属電極（例えば、第 3 導電層 3 4 0 に位置する）は、トランジスタのドレイン電極（又は第 2 電極と呼ばれる）に対応する。例えば、ソース領域は、第 1 絶縁層 3 5 0、第 2 絶縁層 3 6 0 及び第 3 絶縁層 3 7 0 を貫通するビアホールを介してそれに対応する金属電極（第 1 電極）に接続され、ドレイン領域は、第 1 絶縁層 3 5 0、第 2 絶縁層 3 6 0 及び第 3 絶縁層 3 7 0 を貫通するビアホールを介してそれに対応する金属電極（第 2 電極）に接続される。

【 0 0 9 7 】

例えば、図 7 A に示すように、第 1 制御トランジスタ T 2 を例として、当該第 1 制御トランジスタ T 2 の活性層は、ソース領域 S 2 と、ドレイン領域 D 2 と、チャンネル領域 P 2 とを含み、当該第 1 制御トランジスタ T 2 は、ゲート電極 G 2 をさらに含み、そのうち、ゲート電極 G 2 は、第 1 導電層 3 2 0 に位置し、第 1 ノイズ低減トランジスタ T 6 を例として、当該第 1 ノイズ低減トランジスタ T 6 の活性層は、ソース領域 S 6 と、ドレイン領域 D 6 と、チャンネル領域 P 6 とを含み、当該第 1 ノイズ低減トランジスタ T 6 は、ゲート電極 G 6 をさらに含み、そのうち、ゲート電極 G 6 は、第 1 導電層 3 2 0 に位置し、残りのトランジスタは、これと同様であり、ここで説明を省略する。

【 0 0 9 8 】

例えば、半導体層 3 1 0 の材料は、酸化物半導体、有機半導体又は非晶質シリコン、多結晶質シリコン等を含んでもよく、例えば、酸化物半導体は、金属酸化物半導体（例えば酸化インジウムガリウム亜鉛（IGZO））を含み、多結晶質シリコンは、低温多結晶質シリコン又は高温多結晶質シリコン等を含み、本開示の実施例は、これを限定しない。説明すべきことは、上記ソース領域とドレイン領域とは、n型不純物又はp型不純物がドーピングされている領域であってもよく、本開示の実施例は、これを制限しない。

【 0 0 9 9 】

なお、別のいくつかの例示では、各トランジスタの第 1 電極と第 2 電極は、他の導電層に位置してもよく、それと半導体層との中間に位置する絶縁層におけるビアホールを介してそれに対応する活性層に接続され、本開示の実施例は、これを制限しない。

【 0 1 0 0 】

図 4 A と図 4 B は、当該表示基板の第 1 導電層 3 2 0 を示し、第 1 導電層 3 2 0 が第 1 絶縁層上に設けられることにより、半導体層 3 1 0 から絶縁される。例えば、第 1 導電層 3 2 0 は、第 1 コンデンサ C 1 ~ 第 2 コンデンサ C 2 の第 1 電極 C E 1 1、C E 1 2 と、入力トランジスタ T 1 ~ 電圧安定化トランジスタ T 8 のゲート電極と、ゲート電極に直接接続される各配線（例えば、第 1 接続配線 L 1 と第 3 接続配線 L 2）と、接続電極とを含

10

20

30

40

50

んでもよく、それに応じて第1絶縁層もゲート電極絶縁層とする。図4Aに示すように、入力トランジスタT1～電圧安定化トランジスタT8のゲート電極は、点線で囲まれた部分であり、すなわち各トランジスタの半導体層構造と第1導電層320上の配線とが重なる部分である。

【0101】

図4Bに示すように、当該第1導電層320は、中間切換電極11をさらに含んでもよく、例えば、当該例示では、当該中間切換電極11と第1ノイズ低減トランジスタT6のゲート電極G6とは、一体的に形成される。例えば、当該例示では、第1接続配線L1は、図4Bに示される第1導電層320に位置しなくてもよく、例えば、図6Bに示される第3導電層340に位置し、本開示の実施例は、これを制限せず、トランジスタの間の接続を実現することができればよい。

10

【0102】

図5Aと図5Bは、当該表示基板の第2導電層330を示し、第2導電層330は、第1コンデンサC1～第2コンデンサC2の第2電極CE21、CE22を含む。第2電極CE21と第1電極CE11の少なくとも一部とが重なることにより、第1コンデンサC1を形成し、第2電極CE22と第1電極CE12の少なくとも一部とが重なることにより、第2コンデンサC2を形成する。例えば、図5Aに示される第2導電層330は、中間切換電極11をさらに含む。

【0103】

例えば、図5Bに示される例示は、図5Aに示される例示と同様であり、異なりは、当該第2導電層330が中間切換電極11を含まず、すなわち図2Bに示される表示基板において、中間切換電極11がさらに当該第2導電層330に位置しなくてもよく、例えば、図4Bに示される第1導電層320に位置し、本開示の実施例は、これを制限しないことである。

20

【0104】

図6Aと図6Bは、当該表示基板の一段目のシフトレジスタユニットと二段目のシフトレジスタユニットの第3導電層340を示し、第3導電層340は、複数の信号線（例えば、一段目のシフトレジスタユニット104の入力端に接続されるトリガ信号線GSTV、第1サブクロック信号線GCKと第2サブクロック信号線GCB）、第1電源線VGH、第2電源線VGL及び基準電圧線Vinit等を含む。なお、当該第3導電層340は、各トランジスタと、コンデンサと、信号線との間を接続する第1切換電極17、第2切換電極18、第3切換電極16、信号入力電極13、第2接続配線（第1接続サブ配線L3と第2接続サブ配線L4とを含む）及び第4接続配線L5等をさらに含む。

30

【0105】

図2A～図6Bに示すように、複数の信号線、第1電源線VGH、第2電源線VGLは、図5C又は図5Dに示される少なくとも一つのピアホールを介して、残りの各層においてそれに接続される必要があるトランジスタ及びコンデンサに接続され、各トランジスタと、コンデンサとの間も、少なくとも一つピアホールを介して接続されるか、又は切換電極を介してブリッジされ、ここで説明を省略する。

【0106】

例えば、上記第3導電層340の材料は、チタン、チタン合金、アルミニウム、アルミニウム合金、銅、銅合金又は他のいずれかの適切な複合材料を含んでもよく、本開示の実施例は、これを限定しない。例えば、第1導電層320と第2導電層330との材料は、第3導電層340の材料と同じでもよく、ここで説明を省略する。

40

【0107】

図2Aは、上記図3Aに示される半導体層310と、図4Aに示される第1導電層320と、図5Aに示される第2導電層330と、図6Aに示される第3導電層340との積層位置関係の概略図である。図2Bは、上記図3Bに示される半導体層310と、図4Bに示される第1導電層320と、図5Bに示される第2導電層330と、図6Bに示される第3導電層340との積層位置関係の概略図である。

50

【0108】

図2A、図3A又は図2B、図3Bに示すように、少なくとも一つ例示では、入力トランジスタT1の活性層は、第2方向に沿って延伸する長尺状であり、第2方向は、前記第1方向と異なる。例えば、第1方向と前記第2方向とのなす角は、70°~90°の間にあり、且つ70°と90°とを含む。例えば、第1方向と前記第2方向とのなす角は、70°、90°又は80°等であり、実際の状況に基づいて設定されてもよく、本開示の実施例は、これを制限しない。例えば、いくつかの例示では、当該入力トランジスタT1の活性層のチャンネル領域は、ベース基板10上に「I」字状であり、且つチャンネル領域のチャンネル長さ方向は、第1方向に垂直する第2方向（例えば、図における横方向）であり、もちろん本開示の実施例は、これを制限せず、表示パネルが第1方向における長さを短縮

10

【0109】

入力トランジスタT1の活性層（なお、ここでは、入力トランジスタT1の活性層の全体的な形状を指す）は、図1Dに示される「U」字形構造から第2方向に沿って延伸する長尺状（例えば、第2方向に沿う「I」字状構造、例えば、「一」字状）に変更されるため、表示パネルが第1方向における長さ、すなわち表示パネルの垂直高さを短縮することができ、他のトランジスタ（例えば、第1ノイズ低減トランジスタT6と第2ノイズ低減トランジスタT7）が入力トランジスタT1の下方に並ぶことに有利である。

20

【0110】

例えば、図3A又は図3Bに示すように、第1ノイズ低減トランジスタT6の活性層と第2ノイズ低減トランジスタT7の活性層は、一つの連続するノイズ低減半導体層A11で形成され（すなわち、一体的に設けられ）、当該ノイズ低減半導体層A11は、第1方向に沿って延伸し、且つ入力トランジスタT1の活性層と第1方向において並設され、すなわち、入力トランジスタT1と、第1ノイズ低減トランジスタT6と、第2ノイズ低減トランジスタT7とは、第1方向に沿って上下に並設される。例えば、入力トランジスタT1の活性層は、第1ノイズ低減トランジスタT6の活性層と第2ノイズ低減トランジスタT7の活性層が第1方向に沿って延伸する仮想線上に位置する。

30

【0111】

例えば、図2A、2Bと図3Aに示すように、第1ノイズ低減トランジスタT6の活性層は、第1方向において、第2ノイズ低減トランジスタT7の活性層と部分的に重なってもよく（図2Aと図3Aに示すように）、又は完全に重なってもよく（図2Bと図3Bに示すように）、すなわち第1ノイズ低減トランジスタT6の活性層は、第2ノイズ低減トランジスタT7の活性層が第1方向に沿って延伸する仮想線上に位置してもよく、第1ノイズ低減トランジスタT6の活性層は、第1方向において、第2ノイズ低減トランジスタT7の活性層と重ならなくてもよく、例えば、図2Aと図3Aに示すように、第1ノイズ低減トランジスタT6の活性層は、第1方向において、第2ノイズ低減トランジスタT7の活性層と一定の距離をずらしてもよく、他の構造の配列に影響を与えず、シフトレジスタユニットの幅を過剰に増加させず、また第1方向において、第1ノイズ低減トランジスタT6と第2ノイズ低減トランジスタT7とが入力トランジスタT1の下に位置すればよく、本開示の実施例は、これを制限しない。

40

【0112】

本開示の実施例では、入力トランジスタT1と、第1ノイズ低減トランジスタT6と、第2ノイズ低減トランジスタT7とは、図1Dにおける水平に並設される構造から上下に羅列される構造に変更され、表示パネルの周辺領域の第2方向に沿う幅、例えば、図1Aに示される水平幅を減少することができることにより、表示パネルの狭額縁設計の実現に

50

有利である。

【0113】

例えば、第1ノイズ低減トランジスタT6のゲート電極と第2ノイズ低減トランジスタT7のゲート電極とは、第2方向に沿って延伸し且つ第1方向において並設され、例えば、第1ノイズ低減トランジスタT6のゲート電極と第2ノイズ低減トランジスタT7のゲート電極とは、平行してもよく、例えば、いずれも第2方向に沿って延伸し、第1ノイズ低減トランジスタT6のゲート電極の延伸し方向と、第2ノイズ低減トランジスタT7のゲート電極の延伸し方向とは、平行しなくてもよく、例えば一定の角度で交差し、例えば、当該交差角度は、20°以下であり、又は両者と水平線との角度は、20°以下であり、本開示の実施例は、これを制限せず、第1ノイズ低減トランジスタT6と第2ノイズ低減トランジスタT7のものが一体的に設けられ、且つ第1方向に沿って上下に並んでいる構造であればよい。

10

【0114】

例えば、入力トランジスタT1の第1電極と、第1制御トランジスタT2のゲート電極と、第2ノイズ低減トランジスタT7の第1電極と、以下に記述される電圧安定化トランジスタT8の第2電極とは、いずれも第1ノードN1に接続され、例えば、入力トランジスタT1の第1電極と、第1制御トランジスタT2のゲート電極と、第2ノイズ低減トランジスタT7の第1電極との間は、ビアホールを介して接続される。第2ノードN2は、第1ノイズ低減トランジスタT6のゲート電極、出力制御トランジスタT4のゲート電極、第1制御トランジスタT2の第1電極、第1コンデンサC1の第1電極と第2制御トランジスタT3の第1電極に接続され、例えば、図2Aに示すように、第1ノイズ低減トランジスタT6のゲート電極と、出力制御トランジスタT4のゲート電極と、第1制御トランジスタT2の第1電極と、第1コンデンサC1の第1電極と、第2制御トランジスタT3の第1電極との間は、ビアホールを介して接続される。第3ノードN3は、電圧安定化トランジスタT8の第1電極、出力トランジスタT5のゲート電極と第2コンデンサC2の第1電極に接続され、例えば、電圧安定化トランジスタT8の第1電極と、出力トランジスタT5のゲート電極と、第2コンデンサC2の第1電極との間は、ビアホールを介して接続される。

20

【0115】

例えば、図6Aに示すように、当該シフトレジスタユニットは、第1切換電極17と、第2切換電極18と、第3切換電極16とをさらに含む。

30

【0116】

例えば、第1切換電極17は、入力トランジスタT1の第1電極、第1制御トランジスタT2のゲート電極、電圧安定化トランジスタT8の第2電極と第2ノイズ低減トランジスタT7の第1電極に接続される。例えば、第1切換電極17は、第2絶縁層360と第3絶縁層370を貫通するビアホールを介して第1制御トランジスタT2のゲート電極に接続され、第1切換電極17は、入力トランジスタT1の第1電極と、電圧安定化トランジスタT8の第2電極と、第2ノイズ低減トランジスタT7の第1電極と同じ層に位置し（例えば、いずれも第3導電層340に位置し）且つ一体的に設けられる。例えば、第1ノードN1は、第1切換電極17を含み、すなわち、第1切換電極17は、第1ノードN1として機能し、入力トランジスタT1と、第1制御トランジスタT2と、電圧安定化トランジスタT8と、第2ノイズ低減トランジスタT7の対応する電極を接続する。

40

【0117】

例えば、第1切換電極17は、第1制御トランジスタT2と、第2制御トランジスタT3と、電圧安定化トランジスタT8と、第1ノイズ低減トランジスタT6と、第2ノイズ低減トランジスタT7との間に位置し、且つ第1方向に沿って屈折して延伸する折線であり、その始点は、入力トランジスタT1の第1電極であり、終点は、第2ノイズ低減トランジスタT7の第1電極である。第1ノイズ低減トランジスタT6と、第2ノイズ低減トランジスタT7と、入力トランジスタT1とは、第1方向に沿って並設され、第1制御トランジスタT2と、第2制御トランジスタT3とも、第1方向に沿って並設され、すなわ

50

ち第1ノイズ低減トランジスタT6と第2ノイズ低減トランジスタT7と、第1制御トランジスタT2と第2制御トランジスタT3との間の間隔が比較的小さいことにより、当該第1切換電極17が第1方向における延在長さは、第2方向における延在長さよりも大きく、そのため、これらのトランジスタを接続する第1切換電極17の長さ第2方向における幅を短縮することにより、狭額縁の実現に有利である。

【0118】

例えば、第2切換電極18は、電圧安定化トランジスタT8の第1電極と出力トランジスタT5のゲート電極に接続される。例えば、第2切換電極18は、第2絶縁層360と第3絶縁層370を貫通するビアホールを介して出力トランジスタT5のゲート電極に接続され、第2切換電極18は、電圧安定化トランジスタT8の第1電極と同じ層に位置し（例えば、いずれも第3導電層340に位置し）且つ一体的に設けられる。例えば、第3ノードN3は、第2切換電極18を含み、すなわち、第2切換電極18は、第3ノードN3として機能し、電圧安定化トランジスタT8と出力トランジスタT5とを接続する。

10

【0119】

例えば、図4Aに示すように、入力トランジスタT1は、第1ゲート電極G1と、第2ゲート電極G1'と、第1ゲート電極G1と第2ゲート電極G1'とを接続する接続電極（G11-G13）とを含む。接続電極（G11-G13）は、第1ゲート電極G1と第2ゲート電極G1'と同じ層に位置し、第1方向（例えば、図4Aに示される垂直方向）に沿って延伸し、第1ゲート電極G1に接続される第1部分G11と、第2ゲート電極G1'に接続される第2部分G12と、第2方向（例えば、図4Aに示される水平方向）に沿って延伸し且つ第1部分G11と第2部分G12とを接続する第3部分G13とを含み、入力トランジスタT1の第1ゲート電極G1と第2ゲート電極G1'とは、接続電極の第3部分G13によって、第1クロック信号を提供する第1クロック信号線に接続されることにより、第1クロック信号を受け取る。

20

【0120】

例えば、第1ゲート電極G1と第2ゲート電極G1'とは、まず接続電極（G11-G13）によって接続され、さらに第1クロック信号線に接続される。例えば、入力トランジスタT1のゲート電極と第2制御トランジスタT3のゲート電極とを接続し、さらに、全体として第1クロック信号線に接続することをさらに採用してもよく、例えば、図1Dに示される接続方式を採用し、本開示の実施例は、これを制限しない。

30

【0121】

例えば、図2Aに示すように、一段目のシフトレジスタユニットに対して、当該第1クロック信号を提供する第1クロック信号線は、第2サブクロック信号線GCBであり、二段目のシフトレジスタユニットに対して、当該第1クロック信号の第1クロック信号線は、第1サブクロック信号線GCKであり、本開示の実施例は、これを制限しない。

【0122】

例えば、いくつかの例示では、第1制御トランジスタT2の活性層の第2電極は、直接的に配線によって第2サブクロック信号線GCBに接続されてもよい。例えば、図6Aに示すように、別のいくつかの例示では、当該シフトレジスタユニットは、切換電極15をさらに含み、当該例示では、第1制御トランジスタT2の第2電極は、直接的に配線によって第2サブクロック信号線GCBに接続されるものではなく、切換電極15によって接続電極の第3部分G13に接続されることにより、接続電極の第3部分G13とともに第2サブクロック信号線GCBに接続されることにより、第1クロック信号を受け取ってもよい。本開示の実施例は、これを制限しない。

40

【0123】

例えば、入力トランジスタT1の活性層は、第2方向に沿って延伸する第1接続配線L1によって信号入力電極に接続されることにより、入力信号を受け取り、当該信号入力電極は、シフトレジスタユニット104の入力端INとして、例えば、図6Aに示される第3導電層中に位置する信号入力電極13である。例えば、当該信号入力電極13は、単独に提供される電極であってもよく、例えば、図6Aに示される一段目のシフトレジスタユ

50

ニットの第3導電層に示すように、出力トランジスタT5の第2電極（出力トランジスタT5の第2電極は、出力回路1043の出力端GOUTとする）の延在領域は、当該信号入力電極13としてもよく、例えば、現在段のシフトレジスタユニットの出力トランジスタT5の第2電極（すなわち出力トランジスタT5の活性層のドレイン領域に接続される金属電極）は、出力回路1043の出力端GOUTとして、且つシフトレジスタユニット（例えば、一段目のシフトレジスタユニット）と隣接する次段のシフトレジスタユニット（例えば、二段目のシフトレジスタユニット）の信号入力電極に接続されることにより、次段のシフトレジスタユニットの入力信号として、本開示の実施例は、これを制限しない。

【0124】

例えば、図2A、図4Aと図6Aに示すように、シフトレジスタユニットは、配線切換電極12をさらにも含む。例えば、当該配線切換電極12は、第3導電層340に位置する。例えば、配線切換電極12は、入力トランジスタT1の活性層と異なる層に位置し、例えば、入力トランジスタT1の第1電極は、配線切換電極12の第1端121に電氣的に接続され、例えば、入力トランジスタT1の第1電極は、配線切換電極12と同じ層に位置し、且つ一体的に設けられて形成される。例えば、入力トランジスタT1の活性層のソース領域は、第1絶縁層350、第2絶縁層360と第3絶縁層370を貫通するビアホールを介して、入力トランジスタT1の第1電極に接続され、配線切換電極12の第2端122と、同じ層に位置せず第2方向に沿って延伸する第1接続配線L1（図4Aに示される第1導電層320に位置する）の第1端L11とは、第2絶縁層360と第3絶縁層370を貫通するビアホールを介して接続され、第2方向に沿って延伸する第1接続配線L1の第2端L12と、同じ層に位置しない信号入力電極13（第3導電層340に位置する）とは、第2絶縁層360と第3絶縁層370を貫通するビアホールを介して電氣的に接続されることにより、入力トランジスタT1と入力端INとの接続を実現する。例えば、配線切換電極12は、信号入力電極13と同じ層に位置する。

【0125】

例えば、図2Bと6Bに示すように、当該第1接続配線L1は、さらに第3導電層340に形成されてもよく、配線切換電極12と信号入力電極13に直接接続され（すなわちビアホールを介さず）、すなわち一体的に形成され、本開示の実施例は、これを制限せず、入力トランジスタT1と信号入力電極13との接続を実現することができればよい。

【0126】

例えば、本開示のいくつかの実施例では、第1制御トランジスタT2の活性層と第2制御トランジスタT3の活性層は、一つの連続する制御半導体層A12で形成され（すなわち、一体的に設けられ）、当該制御半導体層A12は、第1方向に沿って延伸し、第1制御トランジスタT2のゲート電極と、第2制御トランジスタT3のゲート電極とは、第2方向に沿って平行に延伸し、且つ第1方向において互いに重なり、すなわち第1制御トランジスタT2のゲート電極と、第2制御トランジスタT3のゲート電極とは、第1導電層320において第1方向に沿って上下に並んで設けられる。なお、明確に、簡潔に表現するために、A11とA12を異なる半導体層と命名するが、ノイズ低減半導体層A11と制御半導体層A12とは、いずれも図3A又は図3Bに示される同一の半導体層330に位置する。

【0127】

例えば、図2Aと図4Aに示すように、第2制御トランジスタT3がベース基板10への正投影と、第1制御トランジスタT2がベース基板10への正投影とは、第1方向において、第2サブ接続配線L4の両側に位置する。もちろん、第1制御トランジスタT2のゲート電極の延伸し方向と、第2制御トランジスタT3のゲート電極の延伸し方向とは、平行しなくてもよく、例えば一定の角度で交差し、例えば、当該交差角度は、20°であり、又は両者と水平線との角度は、20°であり、本開示の実施例は、これを制限しない。

【0128】

例えば、図2A、2Bと図3A、図3Bに示すように、第1制御トランジスタT2の活性層は、第1方向において、第2制御トランジスタT3の活性層と部分的に重なってもよ

10

20

30

40

50

く（図2Aと図3Aに示すように）、又は完全に重なってもよく（図示せず）、すなわち第1制御トランジスタT2の活性層は、第2制御トランジスタT3の活性層が第1方向に沿って延伸する仮想線上に位置してもよく、第1制御トランジスタT2の活性層は、第1方向において、第2制御トランジスタT3の活性層と重ならなくてもよく、例えば、図2Aと図3Aに示すように、第1制御トランジスタT2の活性層と、第2制御トランジスタT3の活性層とは、第1方向において一定の距離をずらし、他の構造の配列に影響を与えず、シフトレジスタユニットの幅を過剰に増加させず、また第1方向において、第1制御トランジスタT2の活性層と第2制御トランジスタT3の活性層とが入力トランジスタT1の下に位置すればよく、本開示の実施例は、これを制限しない。

【0129】

例えば、第1制御トランジスタT2の活性層と、第2制御トランジスタT2の活性層と、入力トランジスタT1の活性層とは、第2方向において並設される。例えば、いくつかの例示では、第1制御トランジスタT2の活性層と、第2制御トランジスタT3の活性層とは、入力トランジスタT1の活性層が第2方向に沿って延伸する仮想線と交差し、すなわち第1制御トランジスタT2の活性層と第2制御トランジスタT3の活性層は、入力トランジスタT1の活性層が第2方向に沿って延伸する仮想線上に位置する。例えば、本開示の実施例において、シフトレジスタユニットにおける第1制御トランジスタT2と第2制御トランジスタT3以外の他のトランジスタを制限せず、回路の接続関係を満たすことができればよい。

【0130】

これによって、本開示の実施例において、第1制御トランジスタT2と第2制御トランジスタT3の並び方は、図1Dに示される第2方向に沿って左右に並んでいる構造から第1方向に沿って上下に並んでいるの構造に変更され、表示パネルの周辺領域の水平幅及びトランジスタから信号線と第2電源線までの距離を減少することができることにより、表示パネルの狭額縁設計の実現に有利である。

【0131】

例えば、本開示のいくつかの実施例では、入力トランジスタT1の活性層はさらに、第1ノイズ低減トランジスタT6の活性層と第2ノイズ低減トランジスタT7の活性層が第1方向に沿って延伸する仮想線上に位置し、第1制御トランジスタT2の活性層と第2制御トランジスタT3の活性層と、第1ノイズ低減トランジスタT6の活性層と第2ノイズ低減トランジスタT7の活性層とは、第2方向において対向して並設されることにより、第1制御トランジスタT2の活性層と、第2制御トランジスタT3の活性層から、第1ノイズ低減トランジスタT6の活性層と第2ノイズ低減トランジスタT7の活性層までの間隔を減少することができる。

【0132】

例えば、いくつかの例示では、当該シフトレジスタユニットは、中間切換電極11をさらに含む。第1ノイズ低減トランジスタT6のゲート電極は、図5Aに示される、第2導電層330中に位置する中間切換電極11と、図6Aにおける第2接続サブ配線L4によって第1制御トランジスタT2の第1電極と第2制御トランジスタT3の第1電極に接続され、すなわち第1制御トランジスタT2の活性層と第2制御トランジスタT3の活性層との間の部分に接続され、且つ中間切換電極11がベース基板10への正投影は、第1制御トランジスタT2の活性層と第2制御トランジスタT3の活性層がベース基板10への正投影と第1方向において重ならず、すなわち中間切換電極11がベース基板10への正投影は、第1制御トランジスタT2の活性層と第2制御トランジスタT3の活性層がベース基板10への正投影と、第1ノイズ低減トランジスタT6がベース基板10への正投影との間に位置する。

【0133】

これによって、本開示の実施例において、第1制御トランジスタT2と第2制御トランジスタT3との並び方は、図1Dに示される第2方向に沿って左右に並んでいる構造から図2Aに示される第1方向に沿って上下に並んでいる構造に変更され、入力トランジスタ

10

20

30

40

50

タ T 1 と、第 1 ノイズ低減トランジスタ T 6 と、第 2 ノイズ低減トランジスタ T 7 との並び方式と位置も、第 1 方向に沿って上下に並んでいる構造に変更されることにより、第 1 ノイズ低減トランジスタ T 6 がベース基板 10 への正投影と、第 1 制御トランジスタ T 2 と第 2 制御トランジスタ T 3 がベース基板 10 への正投影との間の距離を短縮することにより、第 1 ノイズ低減トランジスタ T 6 のゲート電極と、第 1 制御トランジスタ T 2 と第 2 制御トランジスタ T 3 との配線（すなわち中間切換電極 11）とを接続する長さを大幅に短縮し、配線が密集して長すぎることによる空間混雑の問題を大幅に最適化する。

【0134】

例えば、いくつかの例示では、中間切換電極 11 の接続方式は、図 7 A 又は図 7 B に示す通りである。例えば、当該例示では、中間切換電極 11 は、第 2 導電層 11 に位置する。例えば、図 7 A に示すように、第 1 絶縁層 350 は、ベース基板 10 に垂直する方向において、第 1 ノイズ低減トランジスタ T 6 の活性層（例えば、半導体層 310 に位置し、ソース領域 S 6 と、ドレイン領域 D 6 と、チャンネル領域 P 6 とを含む）と第 1 ノイズ低減トランジスタ T 6 のゲート電極 G 6 との間に位置し、第 2 絶縁層 360 は、ベース基板 10 に垂直する方向において、第 1 ノイズ低減トランジスタ T 6 のゲート電極 G 6 と中間切換電極 11 との間に位置する。

10

【0135】

例えば、図 7 A に示すように、いくつかの例示では、第 1 ノイズ低減トランジスタ T 6 のゲート電極は、第 2 絶縁層 360 を貫通するビアホール H 22 を介して中間切換電極 11 の第 1 端 111 に接続され、第 1 制御トランジスタ T 2 の第 1 電極 S 21 は、中間切換電極 11 と同じ層に位置し、且つ中間切換電極 11 の第 2 端 112 に接続され、すなわち中間切換電極 11 と第 1 制御トランジスタ T 2 の第 1 電極 S 21 のとは、一体的に設けられることにより、第 1 ノイズ低減トランジスタ T 6 のゲート電極と第 1 制御トランジスタ T 2 の第 1 電極との接続を実現する。第 1 制御トランジスタ T 2 の第 1 電極 S 21 と、第 1 制御トランジスタ T 2 の活性層のソース領域 S 2（すなわち第 1 制御トランジスタ T 2 の第 1 電極）とは、第 1 絶縁層 350 と第 2 絶縁層 360 を貫通するビアホール H 11 を介して接続される。例えば、いくつかの例示では、第 2 ノード N 2 は、中間切換電極 11 を含む。なお、明確に、簡潔に表現するために、図 7 A には第 1 制御トランジスタ T 2 の第 1 電極 S 21 が中間切換電極 11 の第 2 端 112 に接続されることのみが示され、第 1 制御トランジスタ T 2 の第 1 電極が第 2 制御トランジスタ T 3 の第 1 電極に接続されるため、第 2 制御トランジスタ T 3 の第 1 電極も中間切換電極 11 の第 2 端 112 に接続され、本開示の実施例は、これを制限しない。以下の実施例は、これと同じであり、説明を省略する。

20

30

【0136】

例えば、図 5 C と 7 B に示すように、別のいくつかの例示では、当該シフトレジスタユニット 104 は、第 2 接続配線をさらに含み、例えば、第 2 接続配線は、第 1 接続サブ配線 L 3 と第 2 接続サブ配線 L 4 とを含む。例えば、第 3 絶縁層 370 は、ベース基板 10 に垂直する方向において、中間切換電極 11 と第 2 接続配線 L 3 / L 4 との間に位置する。

【0137】

例えば、第 1 ノイズ低減トランジスタ T 6 のゲート電極 G 6 は、第 2 絶縁層 360 と第 3 絶縁層 370 を貫通するビアホール H 4 を介して第 1 接続サブ配線 L 3 に接続され、中間切換電極 11 の第 1 端 111 は、第 3 絶縁層 370 を貫通するビアホール H 3 を介して第 1 接続サブ配線 L 3 に接続される。

40

【0138】

例えば、第 1 制御トランジスタ T 2 の活性層のソース領域 S 2 は、第 1 絶縁層 350、第 2 絶縁層 360 と第 3 絶縁層 370 を貫通するビアホール H 1 を介して第 1 制御トランジスタ T 2 の第 1 電極 S 21 に接続され、第 1 制御トランジスタ T 2 の第 1 電極 S 21 が第 2 接続サブ配線 L 4 に接続され、第 1 制御トランジスタ T 2 の第 1 電極 S 21 と同じ層に位置し且つ一体的に設けられ、中間切換電極 11 の第 2 端は、第 3 絶縁層 370 を貫通するビアホール H 2 を介して第 2 接続サブ配線 L 4 に接続されることにより、第 1 ノイズ

50

低減トランジスタ T 6 のゲート電極と第 1 制御トランジスタ T 2 の第 1 電極との接続を実現する。

【 0 1 3 9 】

例えば、当該例示では、第 2 ノード N 2 は、中間切換電極 1 1 と第 2 接続配線とを含む。

【 0 1 4 0 】

例えば、別のいくつかの例示では、第 2 接続配線は、第 1 接続サブ配線 L 3 又は第 2 接続サブ配線 L 4 のみを含む。例えば、図 2 B と 7 C に示される例示では、第 2 接続配線が第 2 接続サブ配線 L 4 のみを含むことを例として紹介し、もちろん本開示の実施例は、これを制限しない。

【 0 1 4 1 】

例えば、図 5 C と 7 C に示すように、当該例示では、中間切換電極 1 1 は、第 1 導電層 3 2 0 に位置してもよく、且つ第 1 ノイズ低減トランジスタ T 6 のゲート電極と一体的に形成される。

【 0 1 4 2 】

例えば、図 7 C に示すように、第 1 制御トランジスタ T 2 の活性層のソース領域 S 2 は、第 1 絶縁層 3 5 0、第 2 絶縁層 3 6 0 と第 3 絶縁層 3 7 0 を貫通するビアホール H 1 を介して第 1 制御トランジスタ T 2 の第 1 電極 S 2 1 に接続され、第 1 制御トランジスタ T 2 の第 1 電極 S 2 1 が第 2 接続サブ配線 L 4 に接続され、第 1 制御トランジスタ T 2 の第 1 電極 S 2 1 は、第 2 接続サブ配線 L 4 と同じ層に位置し且つ一体的に設けられ、中間切換電極 1 1 の第 2 端 1 1 2 は、第 3 絶縁層 3 7 0 を貫通するビアホール H 2 を介して第 2 接続サブ配線 L 4 に接続されることにより、第 1 ノイズ低減トランジスタ T 6 のゲート電極と第 1 制御トランジスタ T 2 の第 1 電極との接続を実現する。

【 0 1 4 3 】

例えば、当該例示では、第 2 ノード N 2 は、中間切換電極 1 1 と第 2 接続サブ配線 L 4 とを含む。

【 0 1 4 4 】

例えば、図 6 A に示すように、第 2 電源線 V G L は、第 2 方向において突出する突出部 1 4 を含む。電圧安定化トランジスタ T 8 の活性層は、第 2 方向において、第 2 制御トランジスタ T 3 の活性層と第 2 ノイズ低減トランジスタ T 7 の活性層との間に位置し、且つ第 2 制御トランジスタ T 3 の第 2 電極と電圧安定化トランジスタ T 8 のゲート電極とは、いずれも第 2 電源線 V G L 上の突出部 1 4 に接続され、例えば第 2 制御トランジスタ T 3 の第 2 電極は、第 2 電源線 V G L 上の突出部 1 4 と同じ層に位置し、且つ一体的に形成され、電圧安定化トランジスタ T 8 のゲート電極と、同じ層に位置しない第 2 電源線 V G L 上の突出部 1 4 とは、例えば第 2 絶縁層 3 6 0 と第 3 絶縁層 3 7 0 を貫通するビアホールを介して接続されることにより、第 2 電圧を受け取り、例えば、第 2 制御トランジスタ T 3 の第 2 電極と第 2 制御トランジスタ T 3 の活性層のドレイン領域とを接続するためのビアホールと、電圧安定化トランジスタ T 8 のゲート電極と突出部 1 4 とを接続するためのビアホールとは、それぞれ突出部 1 4 の異なる側と重なり（例えば図 2 A に示すように、それぞれ突出部 1 4 の第 1 方向に沿う上側と下側と重なる）、例えばそれぞれ突出部 1 4 の異なる対角に位置する（例えば図 2 A に示すように、それぞれ突出部 1 4 の第 1 方向に沿う左上角と右下角と重なる）。

【 0 1 4 5 】

本開示の実施例において、第 1 制御トランジスタ T 2 と第 2 制御トランジスタ T 3 は、図 1 D に示される第 2 方向に沿って左右に並設される構造から、図 2 A に示される第 1 方向に沿って上下に羅列される構造に変更され、表示パネルの周辺領域が第 2 方向における幅を縮小することができることにより、他のトランジスタ（例えば、電圧安定化トランジスタ T 8）と第 2 電源線 V G L との距離を短くできるとともに、第 2 制御トランジスタ T 3 の第 2 電極（例えば、ソース電極）は、電圧安定化トランジスタ T 8 のゲート電極とともに第 2 電源線 V G L 上の突出部 1 4 に接続されるため、空間においてさらに近接し、それにより、配線の長さを減少し、表示パネルの狭額縁の実現に有利である。

10

20

30

40

50

【 0 1 4 6 】

例えば、図 2 A と図 5 A に示すように、第 1 コンデンサ C 1 の第 1 電極 C E 1 1 と第 2 電極 C E 1 2 は、ノッチを含み、第 2 方向に沿って延伸する第 1 接続配線 L 1 に接続される信号入力電極 1 3 が第 1 コンデンサ C 1 のノッチ中に形成され、例えば、信号入力電極 1 3 がベース基板への正投影は、第 1 コンデンサ C 1 がベース基板への正投影のノッチに入り、第 1 コンデンサ C 1 の第 1 電極 C E 1 1 と第 2 電極 C E 1 2 との形状は、信号入力電極 1 3 と相補し、表示基板上の空間を十分に利用することにより、表示パネルの狭額縁設計の実現に有利である。

【 0 1 4 7 】

なお、第 1 コンデンサ C 1 のコンデンサの形状は変化するが、第 1 コンデンサ C 1 の寸法 / サイズは、一般的に変化せず、例えば、寸法変化は、10% ~ 20% を上下に変動してもよく、その具体的な形状は、他の構造に応じて設計されてもよく、本開示の実施例は、これを制限しない。

10

【 0 1 4 8 】

例えば、図 2 A と図 4 A に示すように、第 2 クロック信号を提供するクロック信号線（例えば第 1 サブクロック信号線 G C K）と第 2 ノイズ低減トランジスタ T 7 のゲート電極とを接続する第 3 接続配線 L 2（第 1 導電層 3 2 0 に位置する）がベース基板 1 0 への正投影は、第 2 ノイズ低減トランジスタ T 7 の活性層がベース基板 1 0 への正投影と第 1 方向において重なり、且つ少なくとも一部は、第 2 ノイズ低減トランジスタ T 7 のゲート電極と平行し、すなわち当該第 3 接続配線 L 2 は、第 2 ノイズ低減トランジスタ T 7 の活性層の信号線から離れる側（例えば、図 2 A に示される第 2 ノイズ低減トランジスタ T 7 の活性層の右側）を通過する。

20

【 0 1 4 9 】

例えば、図 2 A と図 4 A に示すように、第 3 接続配線 L 2 は、第 3 サブ接続配線 L 2 1 と第 4 サブ接続配線 L 2 2 とを含み、第 3 サブ接続配線 L 2 1 は、第 1 方向に沿って延伸し、且つベース基板 1 0 への正投影と、第 2 ノイズ低減トランジスタ T 7 の活性層がベース基板 1 0 への正投影とは、第 2 方向に沿って対向して並設され、第 4 サブ接続配線 L 2 2 は、第 3 サブ接続配線 L 2 1 に接続され且つ第 2 方向に沿って延伸する。

【 0 1 5 0 】

例えば、いくつかの例示では、図 4 A に示すように、第 3 接続配線 L 2 は、一つのゲート電極配線であり、すなわち当該第 3 サブ接続配線 L 2 1 と第 4 サブ接続配線 L 2 2 とは、直接接続され（ビアホールによる接続を必要としない）且つ一体的に形成され、例えば、第 4 サブ接続配線 L 2 2 は、第 2 クロック信号を提供する第 1 サブクロック信号線 G C K に接続される。例えば、別の例示では、図 4 B に示すように、第 3 接続配線 L 2 は、ビアホールを介して接続されるゲート電極配線を含み、一つは、第 3 サブ接続配線 L 2 1 であり、もう一つは、第 4 サブ接続配線 L 2 2 である。第 3 サブ接続配線 L 2 1 と第 4 サブ接続配線 L 2 2 との接続関係について、以下で詳細に紹介する。

30

【 0 1 5 1 】

例えば、第 4 サブ接続配線 L 2 2 と第 2 ノイズ低減トランジスタ T 7 のゲート電極とを接続する第 3 サブ接続配線 L 2 1 と、同じ層に位置しない出力トランジスタ T 5 の第 1 電極とは、ビアホールを介して接続されることにより、出力トランジスタ T 5 の第 1 電極を第 2 クロック信号端 C B に接続し、例えば、第 2 クロック信号端 C B が第 1 サブクロック信号線 G C K に接続される。例えば、出力トランジスタ T 5 の第 1 電極は、第 3 サブ接続配線 L 2 1 に電氣的に接続され、第 3 サブ接続配線 L 2 1 は、出力トランジスタ T 5 に近接する第 2 ノイズ低減トランジスタ T 7 の活性層の一側に位置する。例えば、当該ビアホールがベース基板 1 0 への正投影は、第 2 ノイズ低減トランジスタ T 7 の活性層がベース基板 1 0 への正投影と、出力トランジスタ T 5 の活性層がベース基板 1 0 への正投影との間に位置する。例えば、第 4 サブ接続配線 L 2 2 は、第 1 導電層 3 2 0 に位置し、それがベース基板 1 0 への正投影は、X 段目のシフトレジスタユニットの電圧安定化トランジスタ T 8 がベース基板 1 0 への正投影と、X + 1 段目のシフトレジスタユニットの入力トラ

40

50

ンジスタ T 1 がベース基板 1 0 への正投影との間に位置する。

【 0 1 5 2 】

例えば、出力トランジスタ T 5 のゲート電極が電圧安定化トランジスタ T 8 の第 1 電極に電氣的に接続され、出力トランジスタ T 5 の第 2 電極が出力端 G O U T に接続される。

【 0 1 5 3 】

例えば、いくつかの例示では、図 2 A、図 4 A、図 5 C と図 7 D に示すように、出力トランジスタ T 5 の第 1 電極 S 5 1 は、第 1 絶縁層 3 5 0、第 2 絶縁層 3 6 0 と第 3 絶縁層 3 7 0 を貫通するビアホール H 7 を介して出力トランジスタ T 5 のソース領域 S 5 に接続され、出力トランジスタ T 5 の第 1 電極 S 5 1 が第 4 接続配線 L 5 に接続され、例えば、出力トランジスタ T 5 の第 1 電極 S 5 1 は、第 4 接続配線 L 5 と同じ層に位置し且つ一体的に形成され、第 4 接続配線 L 5 は、第 2 絶縁層 3 6 0 と第 3 絶縁層 3 7 0 を貫通するビアホール H 5 とビアホール H 6 を介して第 3 サブ接続配線 L 2 1 に接続され、第 3 サブ接続配線 L 2 1 は、第 2 ノイズ低減トランジスタ T 7 のゲート電極及び第 4 サブ接続配線 L 2 2 に接続されることにより、出力トランジスタ T 5 の第 1 電極 S 5 1 が第 2 ノイズ低減トランジスタ T 7 のゲート電極 G 7 に接続され、且つ一緒に第 1 サブクロック信号線 G C K に接続されることにより、第 2 クロック信号を受け取ることを実現する。

10

【 0 1 5 4 】

例えば、別のいくつかの例示では、図 2 B、図 4 B、図 5 D、図 6 B と図 7 E に示すように、出力トランジスタ T 5 の第 1 電極は、第 4 接続配線 L 5 に接続され、出力トランジスタ T 5 の第 1 電極 S 5 1 は、第 4 接続配線 L 5 に接続され、第 4 接続配線 L 5 の第 1 端 L 5 1 は、第 2 絶縁層 3 6 0 と第 3 絶縁層 3 7 0 を貫通するビアホール H 8 とビアホール H 9 を介して第 2 導電層 3 2 0 に位置する第 3 サブ接続配線 L 2 1 に接続され、第 4 接続配線 L 5 の第 2 端 L 5 2 は、第 2 絶縁層 3 6 0 と第 3 絶縁層 3 7 0 を貫通するビアホール H 5 とビアホール H 6 を介して第 2 導電層 3 2 0 に位置する第 4 サブ接続配線 L 2 2 に接続され、第 3 サブ接続配線 L 2 1 は、第 2 ノイズ低減トランジスタ T 7 のゲート電極 G 7 に直接接続され且つ一体的に形成されることにより、出力トランジスタ T 5 の第 1 電極が第 2 ノイズ低減トランジスタ T 7 のゲート電極 G 7 に接続され、且つ第 4 接続配線 L 5 と第 4 サブ接続配線 L 2 2 によって一緒に第 1 サブクロック信号線 G C K に接続されることにより、第 2 クロック信号を受け取ることを実現する。

20

【 0 1 5 5 】

例えば、図 2 A、図 3 A と図 4 A に示すように、出力制御トランジスタ T 4 の活性層と出力トランジスタ T 5 の活性層は、一つの第 1 出力半導体層 A 1 3 と第 2 出力半導体層 A 1 4 とで形成され（すなわち出力制御トランジスタ T 4 の活性層と出力トランジスタ T 5 の活性層とは、一体的に設けられ）且つ第 1 方向に沿って延伸する。例えば、出力制御トランジスタ T 4 の活性層は、出力トランジスタ T 5 の活性層が第 1 方向における仮想線上に位置し、例えば、出力制御トランジスタ T 4 の活性層は、第 3 半導体層の A 1 3 と、第 4 半導体層 A 1 4 の第 1 方向に沿う上半部分とを含み、出力トランジスタ T 5 の活性層は、第 3 半導体層 A 1 3 と、第 4 半導体層 A 1 4 の第 1 方向に沿う下半部分とを含む。なお、出力制御トランジスタ T 4 の活性層と出力トランジスタ T 5 の活性層とがそれぞれ第 3 半導体層 A 1 3 と第 4 半導体層 A 1 4 に占める比率は、実際の状況に応じて設けられてもよく、本開示の実施例は、これを制限しない。例えば、出力制御トランジスタ T 4 のゲート電極と出力トランジスタ T 5 のゲート電極とは、第 2 方向に沿って延伸し且つ第 1 方向において互いに重なり、すなわち出力制御トランジスタ T 4 と出力トランジスタ T 5 とは、第 1 方向に沿って上下に並んで設けられる。例えば、出力制御トランジスタ T 4 のゲート電極は、出力トランジスタ T 5 のゲート電極が第 1 方向における仮想線上に位置する。例えば、出力制御トランジスタ T 4 の第 1 電極が第 1 電源線 V G H に電氣的に接続される。

30

40

【 0 1 5 6 】

本開示の実施例において、図 1 D に示される第 2 ノイズ低減トランジスタ T 7 の両側にいずれも接続配線が設けられる状況に対して、本開示の少なくとも一つの実施例による、第 2 ノイズ低減トランジスタ T 7 の接続配線を変更する設置（すなわち、配線は、出力ト

50

ランジスタ T 5 と第 2 ノイズ低減トランジスタ T 7 との間のみを通過する) は、配線の複雑度を低減させ、空間混雑の問題の現れを避け、表示パネルの狭額縁設計の実現に有利である。

【 0 1 5 7 】

例えば、本開示のいくつかの実施例では、各層の配線の線幅は、例えば一般的には 3 ミクロンであり、同層に位置する配線の間隔は、例えば 3 ミクロンよりも大きい。例えば、当該配線間隔は、例えば露光機の精度に関連し、露光機の精度が高いほど、間隔が小さく、具体的には実際の状況に応じて決定されてもよく、本開示の実施例は、これを制限しない。本開示の実施例において、実際のプロセスにおける配線接着、信号短絡を避けるために、同層の配線の間隔に、必要な間隔を残さなければならない。

10

【 0 1 5 8 】

第 1 導電層 3 2 0 の各配線がベース基板 1 0 への正投影と、第 2 導電層 3 3 0 の各配線がベース基板 1 0 への正投影との間隔は、例えば一般的には 1 . 5 ミクロンであり、例えば、第 1 導電層 3 2 0 におけるトランジスタのゲート電極は、それが半導体層 3 1 0 における活性層を例えば 2 ミクロン以上超える必要がある。例えば、図 2 A、3 と 4 に示すように、第 1 トランジスタ T 1 の「U」字形ダブルゲートは、第 1 方向において、第 1 トランジスタ T 1 のストリップ形の活性層の両側にいずれも第 1 トランジスタ T 1 のストリップ形の活性層を例えば 2 ミクロン以上超え、例えば、第 1 トランジスタ T 1 のストリップ形の活性層と重ならない部分(例えば、第 1 部分 G 1 1 と第 2 部分 G 1 2) が第 1 方向における長さは、2 ミクロン以上であり、本開示の実施例は、これを制限しない。

20

【 0 1 5 9 】

例えば、半導体層 3 1 0 上の各トランジスタの活性層がベース基板 1 0 への正投影と、第 1 導電層 3 2 0 上の各ゲート電極配線がベース基板 1 0 への正投影との間隔は、1 . 5 ミクロン以上であり、それにより、ゲート電極配線と半導体層 3 1 0 上の各トランジスタの活性層との間にチャンネル効果が発生することを避けることができる。例えば、半導体層 3 1 0 がベース基板 1 0 への正投影と、第 2 導電層 3 3 0 がベース基板 1 0 への正投影との間隔は、制限がなく、重なって設けられてもよい。例えば、本開示のいくつかの実施例では、異なる層の配線の間隔に一定の間隔(この間隔が同層の配線間隔よりも小さい)を可能な限り保留し、必要がない重なりを減少し、寄生コンデンサが大きすぎることによる相互干渉の発生を避けることができる。

30

【 0 1 6 0 】

例えば、第 3 導電層 3 4 0 の各配線の幅は、それに対応するビアホールを包む必要があり、例えば、ビアホールの寸法(例えば、ビアホールの直径)を 1 ミクロン以上超えてもよく、例えば、ビアホールの寸法は、2 . 0 ~ 2 . 5 ミクロンであり、ビアホールを包む第 3 導電層 3 4 0 の各配線の幅は、4 ~ 5 ミクロンである。例えば、ビアホールに対応する出力制御トランジスタ T 4 と出力トランジスタ T 5 の配線線幅は、ビアホールを上下に 1 ミクロン超え、例えば、4 . 0 ~ 4 . 5 ミクロンであり、出力制御トランジスタ T 4 と出力トランジスタ T 5 に対応するビアホールが比較的が多いが、他のトランジスタに接続されて第 3 導電層 3 4 0 に位置する配線の幅は、ビアホールの位置で 1 ミクロンを超えてビアホールを包むという要求を満たしていればよく、例えば、ビアホールの間隔の配線幅は、細くてもよい。

40

【 0 1 6 1 】

例えば、第 3 導電層 3 4 0 に位置する第 1 サブクロック信号線 G C K、第 2 サブクロック信号線 G C B、第 1 電源線 V G H、第 2 電源線 V G L 等の配線の間隔は、3 ミクロン以上であり、第 1 サブクロック信号線 G C K と第 2 サブクロック信号線 G C B とは、駆動能力を満たすために、その線幅が 9 ミクロン以上であることが要求され、第 2 電源線 V G L の線幅は、6、9 又は 1 0 ミクロンであってもよく、第 1 電源線 V G H の線幅は、例えば 1 0 ミクロンであり、基準電圧線 V i n i t の線幅は、例えば 1 5 ミクロンであり、第 2 電源線 V G L によって提供される第 2 電圧は、例えば一般的には - 7 V であり、基本電圧線 V i n i t によって提供される基準電圧は、例えば - 3 V であり、基準電圧線 V i

50

n i t は、表示パネル全体の画素アレイを駆動する必要があるが、第 1 電源線 V G H と第 2 電源線 V G L とは、表示パネルの周辺領域に位置するゲート電極駆動回路のみを駆動すればよいため、基準電圧線 V i n i t の線幅は、第 1 電源線 V G H の線幅と第 2 電源線 V G L の線幅よりもわずかに広い。

【 0 1 6 2 】

例えば、いくつかの例示では、第 1 導電層 3 2 0 と第 2 導電層 3 3 0 の厚さは、2 0 0 0 ~ 3 0 0 0 オングストロームであり、第 3 導電層 3 4 0 の厚さは、5 0 0 0 ~ 8 0 0 0 オングストロームであり、本開示の実施例は、これを制限しない。

【 0 1 6 3 】

例えば、本開示のいくつかの実施例では、第 2 電源線 V G L 上に突出部が設けられることは、電圧安定化トランジスタ T 8 のゲート電極を接続する接続配線と第 2 制御トランジスタ T 3 の活性層とを短縮するためであり、第 2 制御トランジスタ T 3 の活性層が長すぎると、ドーピングされる導体抵抗が比較的大きい。例えば、本開示のいくつかの実施例では、第 1 ノード N 1 が第 3 導電層 3 4 0 における配線（すなわち中間切換電極 1 1）の形状は、他の層の配線と電極とがベース基板 1 0 への正投影と可能な限り重ならないように設計され、隙間の位置に設けられ、それにより、配線重なりによるクロストークの発生を避ける。

10

【 0 1 6 4 】

なお、本開示の実施例において、例えば、第 1 切換電極 1 7、第 2 切換電極 1 8、第 3 切換電極 1 6 は、第 3 導電層 3 4 0 に位置する。例えば、第 1 切換電極 1 7 は、例えば図 1 B に示される入力トランジスタ T 1 と、第 1 制御トランジスタ T 2 と、第 2 ノイズ低減トランジスタ T 7 と、電圧安定化トランジスタ T 8 とを接続するための電極であり、例えば第 1 ノード N 1 は、第 1 切換電極 1 7 を含む。例えば、第 2 切換電極 1 8 は、電圧安定化トランジスタ T 8 と出力トランジスタ T 5 とを接続するための電極であり、第 3 ノード N 3 は、第 2 切換電極 1 8 を含む。例えば、中間切換電極 1 1 は、第 1 制御トランジスタ T 2 と、第 2 制御トランジスタ T 3 と、第 1 ノイズ低減トランジスタ T 6 とを接続するための電極であり、第 2 導電層 3 3 0 に位置してもよく、第 1 導電層 3 2 0 に位置してもよく、中間切換電極 1 1 が第 2 導電層 3 3 0 に位置し且つ図 7 B に示される接続方式を採用する場合、第 2 ノード N 2 は、中間切換電極 1 1 と、当該中間切換電極 1 1 に接続される、第 3 導電層 3 4 0 に位置する第 3 サブ接続配線 L 3 及び第 4 サブ接続配線 L 4 とを含む。例えば、配線切換電極 1 2 は、第 1 導電層 3 2 0 に位置し、第 3 導電層 3 4 0 に位置する第 1 接続配線 L 1 に接続される切換電極であり、又は両者が同じ層に位置し、本開示の実施例は、これを制限しない。

20

30

【 0 1 6 5 】

例えば、上記切換電極と接続配線との設置によって、同じ層の配線が密集することによる配線接着、信号短絡等の問題を避けることができる。例えば、上記各切換電極と接続配線は、接続又はジャンパー接続の役割を果たす。

【 0 1 6 6 】

本開示の上記実施例による表示基板が最適化されたシフトレジスタユニットの線路接続と構造レイアウトは、シフトレジスタユニットの長さを一定の程度に圧縮し、表示パネルの狭額縁設計の実現に有利であり、それとともに、表示パネルの表示品質を確保する。

40

【 0 1 6 7 】

本開示の少なくとも一つの実施例は、表示装置をさらに提供する。図 8 は、本開示の少なくとも一つの実施例による表示装置の概略図である。図 8 に示すように、当該表示装置 2 は、本開示のいずれか一つの実施例による表示基板 1、例えば、図 2 A 又は図 2 B に示される表示基板 1 を含む。

【 0 1 6 8 】

説明すべきことは、当該表示装置 2 は、O L E D パネル、O L E D テレビ、Q L E D パネル、Q L E D テレビ、携帯電話、タブレットパソコン、ノートパソコン、デジタルフォトフレーム、ナビゲーション機器等の任意の表示機能を有する製品又は部材であってもよ

50

い。当該表示装置 2 は、他の部材、例えばデータ駆動回路、タイミングコントローラ等をさらに含んでもよく、本開示の実施例は、これを限定しない。

【0169】

説明すべきことは、明確かつ簡潔に示すために、本開示の実施例は、当該表示装置のすべての構成ユニットを与えるものではない。当該表示装置の基板機能を実現するために、当業者は、具体的な必要に応じて、他の図示されていない構造を提供し、設けることができ、本開示の実施例は、これを制限しない。

【0170】

上記実施例による表示装置 2 の技術的効果については、本開示の実施例による表示基板 1 の技術的効果を参照してもよく、ここで説明を省略する。

10

【0171】

本開示の少なくとも一つの実施例は、表示基板の製作方法をさらに提供する。図 9 は、本開示の少なくとも一つの実施例による表示基板の製作方法のフローチャートである。例えば、当該製作方法は、本開示のいずれか一つの実施例による表示基板を製作するために用いることができる。例えば、図 2 A に示される表示基板を製作するために用いることができる。

【0172】

図 9 に示すように、当該表示基板の製作方法は、ステップ S 1 1 0 ~ ステップ S 1 2 0 を含む。

【0173】

ステップ S 1 1 0 : ベース基板を提供する。

20

【0174】

ステップ S 1 2 0 : ベース基板に垂直する方向において、半導体層、第 1 絶縁層、第 1 導電層、第 2 絶縁層、第 2 導電層、第 3 絶縁層及び第 3 導電層を順次に形成する。

【0175】

例えば、半導体層と、第 1 絶縁層と、第 1 導電層と、第 2 絶縁層と、第 2 導電層と、第 3 絶縁層と、第 3 導電層とを形成することは、対応する材料層（例えば、半導体材料層、絶縁材料層又は導電材料層）を形成し、その後パターニングプロセスで対応するパターン構造（例えば、活性層、電極パターン、配線、ビアホール等）をそれぞれ形成することをそれぞれ含む。当該パターニングプロセスは、例えばフォトリソグラフィプロセスであり、例えば、パターニングされる必要がある材料層上にフォトレジスト層をコーティングし、マスク板を用いてフォトレジスト層に対して露光を行い、露光されるフォトレジスト層に対して現像を行うことにより、フォトレジストパターンを得て、フォトレジストパターンを用いて構造層に対してエッチングを行い、その後フォトレジストパターンを選択的に除去することを含む。

30

【0176】

ステップ S 1 1 0 に対して、例えば、当該ベース基板 1 0 は、例えばガラス、プラスチック、石英、又は他の適切な材料を採用してもよく、本開示の実施例は、これを制限しない。

【0177】

例えば、ベース基板上にシフトレジスタユニット、第 1 電源線、第 2 電源線、第 1 クロック信号線と第 2 クロック信号線を形成する。

40

【0178】

ステップ S 1 2 0 に対して、例えば、前記シフトレジスタユニットを形成することは、ベース基板に垂直する方向において、半導体層、第 1 絶縁層、第 1 導電層、第 2 絶縁層、第 2 導電層、第 3 絶縁層及び第 3 導電層を順次に形成することを含む。

【0179】

例えば、第 1 電源線 V G H、第 2 電源線 V G L、複数のクロック信号線（例えば、トリガ信号線 G S T V、第 1 サブクロック信号線 G C K と第 2 サブクロック信号線 G C B 等）であり、シフトレジスタユニット 1 0 4 中に含まれる各トランジスタの第 1 電極と第 2 電

50

極、各トランジスタとコンデンサとを接続する接続配線、切換電極等は、第3導電層340に位置し、各トランジスタの活性層は、半導体層310に位置し、各トランジスタのゲート電極とシフトレジスタユニット中に含まれる各コンデンサの第1電極は、第1導電層320に位置し、各コンデンサの第2電極が第2導電層330に形成され、各トランジスタと各コンデンサとは、第1絶縁層310、第2絶縁層320又は第3絶縁層330を貫通するビアホールを介して第1電源線VGH、第2電源線VGL、複数のクロック信号線、接続配線及び切換電極にそれぞれ接続される。

【0180】

シフトレジスタユニット104の各トランジスタとコンデンサ、第1電源線VGH、第2電源線VGL、複数のクロック信号線、接続配線及び切換電極の接続構造の設置について、図2A～図7Eの記述を参照してもよく、ここで説明を省略する。

10

【0181】

説明すべきことは、本開示の複数の実施例では、当該表示基板の製作方法のフローは、より多く又はより少ない操作を含んでもよく、これらの操作は、順序で実行されてもよく、又は並列実行されてもよい。以上に記述された製作方法のフローは、特定の順序で出現する複数の操作を含むが、明確に理解すべきことは、複数の操作の順序が制限を受けない。以上に記述された製作方法は、一回実行されてもよく、所定の条件に従って複数回実行されてもよい。

【0182】

上記実施例による表示基板の製作方法の技術的効果については、本開示の実施例による表示基板の技術的効果を参照してもよく、ここで説明を省略する。

20

【0183】

以下の数点について説明する必要がある。

【0184】

(1) 本開示の実施例の添付図面は、本開示の実施例に係る構造のみに関し、他の構造は、通常設計を参照してもよい。

【0185】

(2) 衝突しない場合、本開示の実施例及び実施例における特徴は、相互に組み合わせることにより新たな実施例を得ることができる。

【0186】

以上に記載のは、本開示の例示的な実施形態に過ぎず、本開示の保護範囲を制限するためのものではなく、本開示の保護範囲は、添付される請求項によって決定される。

30

【符号の説明】

【0187】

- 1 表示基板
- 2 表示装置
- 10 ベース基板
- 11 中間切換電極
- 101 表示パネル
- 102 有効表示領域、画素アレイ領域
- 103 画素ユニット
- 104 シフトレジスタユニット
- 105 発光制御ユニット
- 310 半導体層
- 320 第1導電層
- 330 第2導電層
- 340 第3導電層
- 350 第1絶縁層
- 360 第2絶縁層
- 370 第3絶縁層

40

50

3 8 0 第 4 絶 縁 層

【 図 面 】

【 図 1 A 】

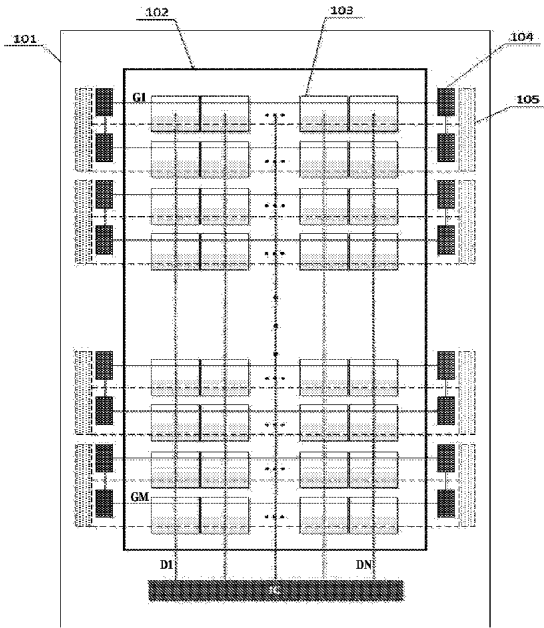


图 1A

【 图 1 B 】

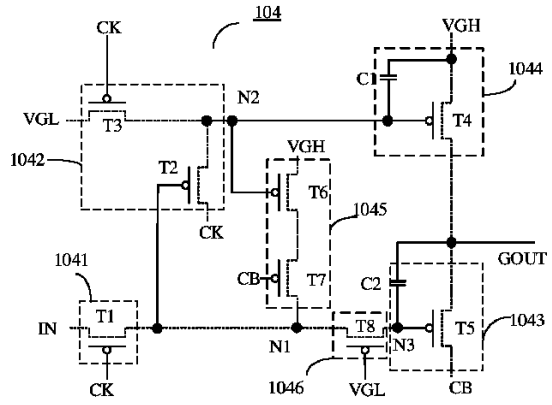


图 1B

10

20

【 图 1 C 】

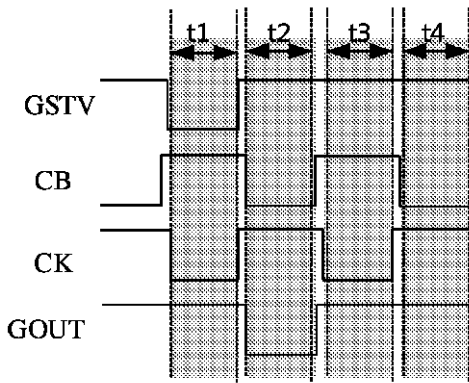


图 1C

【 图 1 D 】

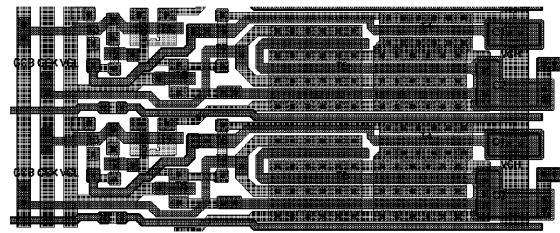


图 1D

30

40

50

【 2 A 】

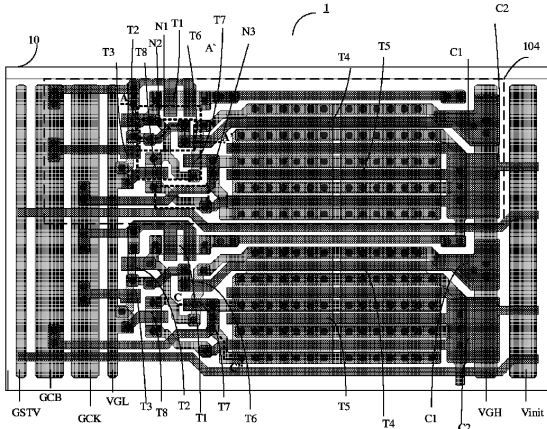


图 2A

【 2 B 】

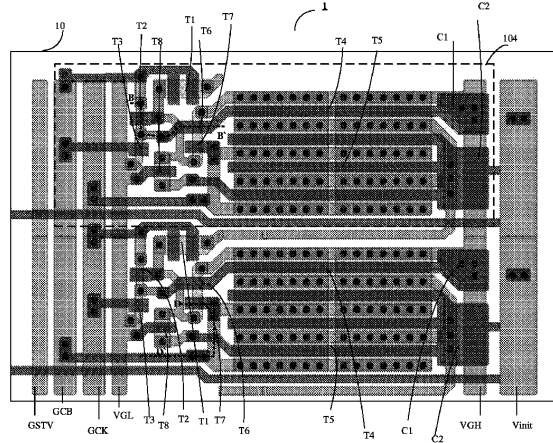


图 2B

10

【 3 A 】

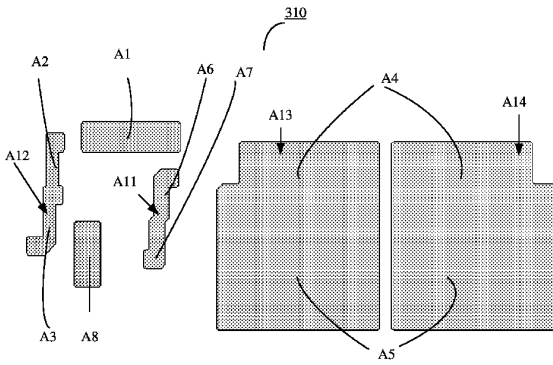


图 3A

【 3 B 】

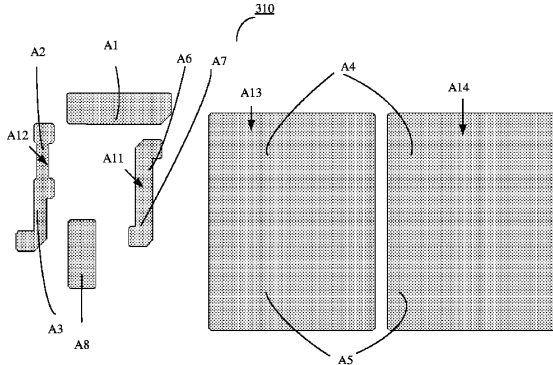


图 3B

20

30

40

50

【图 4 A】

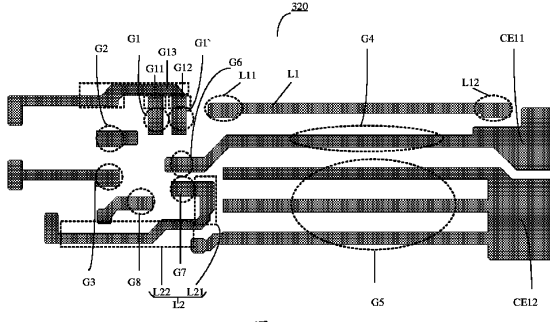


图 4A

【图 4 B】

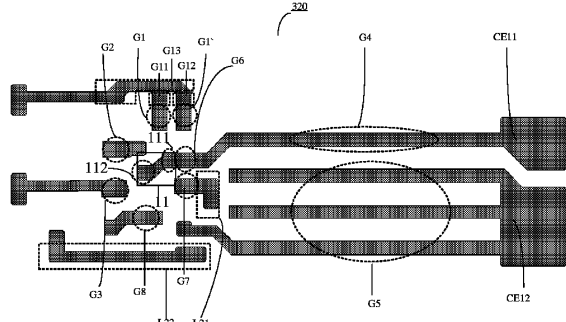


图 4B

10

【图 5 A】

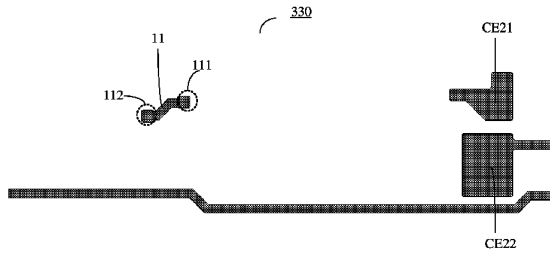


图 5A

【图 5 B】

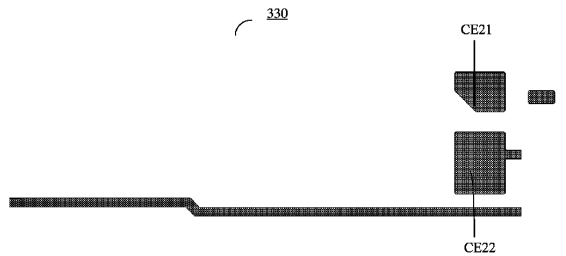


图 5B

20

【图 5 C】

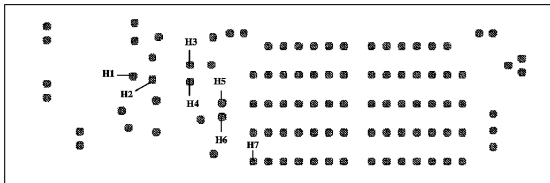


图 5C

【图 5 D】

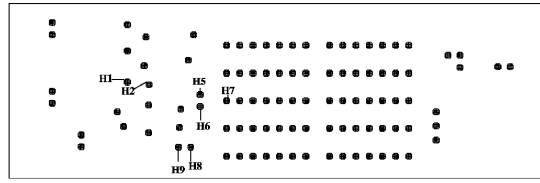


图 5D

30

40

50

【图 6 A】

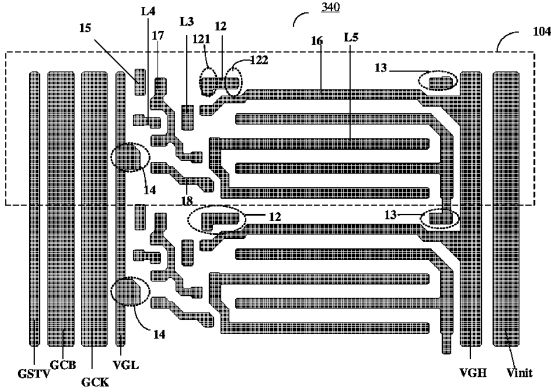


图 6A

【图 6 B】

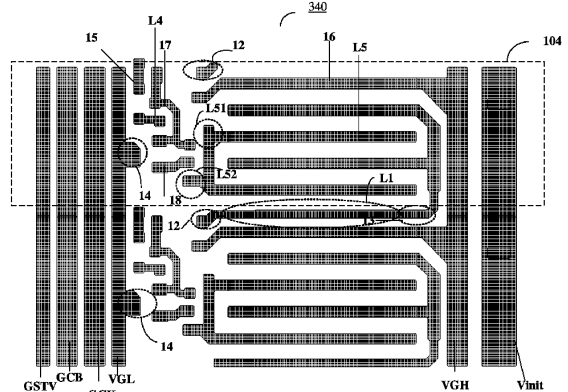


图 6B

10

【图 7 A】

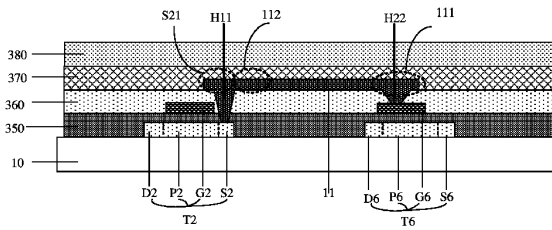


图 7A

【图 7 B】

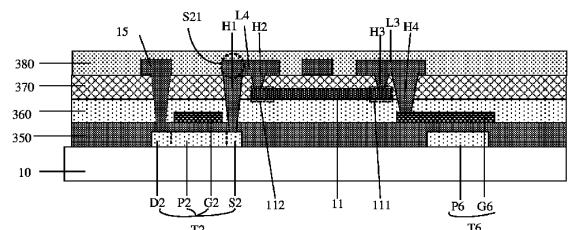


图 7B

20

【图 7 C】

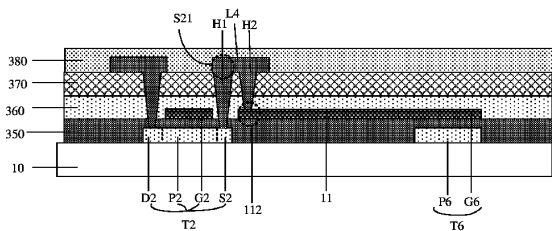


图 7C

【图 7 D】

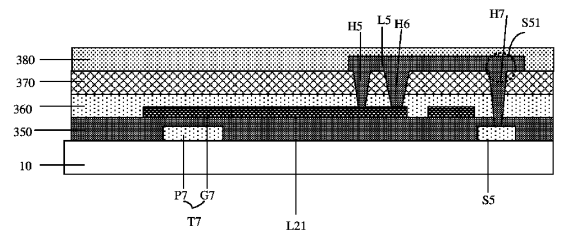


图 7D

30

40

50

【図7E】

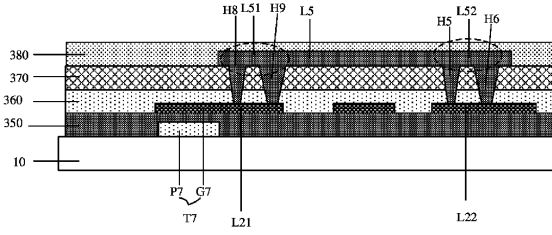
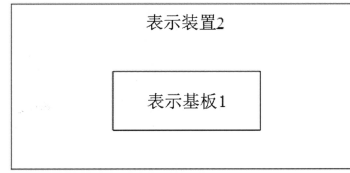


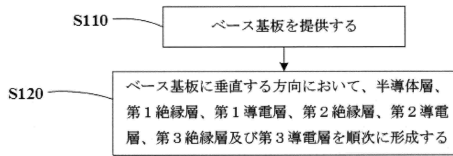
图 7E

【図8】



10

【図9】



20

30

40

50

フロントページの続き

(51)国際特許分類

G 0 9 G 3/3266(2016.01)
 G 0 9 G 3/36 (2006.01)
 G 1 1 C 19/28 (2006.01)
 H 1 0 K 50/10 (2023.01)
 H 1 0 K 59/131(2023.01)
 H 1 0 K 59/95 (2023.01)

F I

G 0 9 G 3/20 6 1 1 C
 G 0 9 G 3/20 6 1 1 J
 G 0 9 G 3/20 6 1 2 E
 G 0 9 G 3/20 6 1 2 K
 G 0 9 G 3/20 6 2 1 M
 G 0 9 G 3/20 6 2 2 E
 G 0 9 G 3/20 6 8 0 G
 G 0 9 G 3/3266
 G 0 9 G 3/36
 G 1 1 C 19/28 2 3 0
 H 1 0 K 50/10
 H 1 0 K 59/131
 H 1 0 K 59/95

中華人民共和國 6 1 1 7 3 1 四川省成都市高新區 (西區) 合作路 1 1 8 8 號
 No. 1 1 8 8 , Hezuo Rd. , (West Zone) , Hi - tech Develop
 ment Zone , Chengdu , Sichuan , 6 1 1 7 3 1 , P . R . CHINA

(74)代理人

100108453

弁理士 村山 靖彦

(74)代理人

100110364

弁理士 実広 信哉

(72)発明者

于 鵬 飛

中華人民共和國 1 0 0 1 7 6 北京市北京 經 濟 技 術 開 発 区 地 澤 路 9 号

(72)発明者

白 露

中華人民共和國 1 0 0 1 7 6 北京市北京 經 濟 技 術 開 発 区 地 澤 路 9 号

(72)発明者

代 潔

中華人民共和國 1 0 0 1 7 6 北京市北京 經 濟 技 術 開 発 区 地 澤 路 9 号

(72)発明者

韓 林宏

中華人民共和國 1 0 0 1 7 6 北京市北京 經 濟 技 術 開 発 区 地 澤 路 9 号

審査官 新井 重雄

(56)参考文献

中国特許出願公開第 1 1 0 7 6 7 6 6 5 (C N , A)

米国特許出願公開第 2 0 1 9 / 0 3 1 8 6 9 3 (U S , A 1)

中国実用新案第 2 0 8 1 4 1 7 9 6 (C N , U)

米国特許出願公開第 2 0 1 5 / 0 2 3 5 5 8 4 (U S , A 1)

(58)調査した分野 (Int.Cl. , D B 名)

G 0 9 F 9 / 3 0
 G 0 2 F 1 / 1 3 3
 G 0 2 F 1 / 1 3 6 8
 G 0 9 F 9 / 0 0
 G 0 9 G 3 / 2 0
 G 0 9 G 3 / 3 2 6 6
 G 0 9 G 3 / 3 6
 G 1 1 C 1 9 / 2 8
 H 1 0 K 5 0 / 1 0
 H 1 0 K 5 9 / 1 3 1
 H 1 0 K 5 9 / 9 5