(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년02월03일
(11) 등록번호 10-2762483
(24) 등록일자 2025년01월24일

(51) 국제특허분류(Int. Cl.)
H01L 23/00 (2006.01) *H01L 25/065* (2025.01)
H01L 25/18 (2025.01)
(52) CPC특허분류
H01L 24/03 (2013.01)
H01L 24/08 (2013.01)
(21) 출원번호 10-2023-0186817
(22) 출원일자 2023년12월20일
심사청구일자 2023년12월20일
(56) 선행기술조사문헌
KR1020020038174 A*
KR1020140005743 A*
2022 IEEE 72nd Electronic Components and Technology Conference (ECTC), 2022, pp. 149-156 1부.*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)
(72) 발명자
최리노
서울특별시 마포구 월드컵북로 502-37, 1102동 305호 (상암동, 상암월드컵파크11단지)
전승준
경기도 성남시 분당구 정자로 112, 508동 501호 (정자동, 정든마을)
이정환
인천광역시 연수구 컨벤시아대로130번길 58, 101동 1704호 (송도동, 송도자이하버뷰1단지아파트)
(74) 대리인
양성보

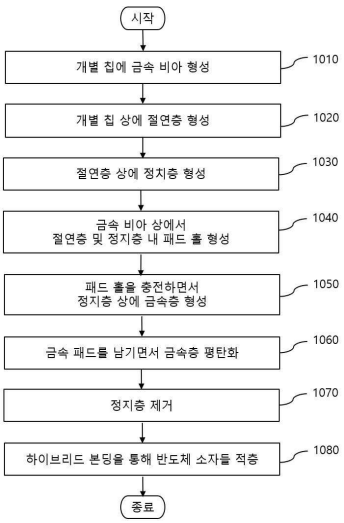
전체 청구항 수 : 총 9 항 심사관 : 이석주

(54) 발명의 명칭 **하이브리드 본딩을 포함하는 3차원 적층된 반도체 소자 및 그의 제조 방법**

(57) 요 약

본 개시는 하이브리드 본딩을 포함하는 3차원 적층된 반도체 소자 및 그의 제조 방법을 제공한다. 본 개시에서, 3차원 적층된 반도체 소자의 제조 방법은, 반도체 소자들을 준비하는 단계, 및 하이브리드 본딩을 통해 반도체 소자들을 적층하는 단계를 포함하고, 반도체 소자들을 준비하는 단계는, 칩 상에 절연층을 형성하는 단계, 절연층 상에 정지층을 형성하는 단계, 절연층과 정지층을 관통하는 적어도 하나의 패드 홀을 형성하는 단계, 패드 홀 내에 금속 패드를 형성하면서 정지층 상에 금속층을 형성하는 단계, 금속 패드를 남기면서 금속층을 평탄화하는 단계, 및 정지층을 제거하는 단계를 포함할 수 있다.

대 표 도 - 도10



(52) CPC특허분류
H01L 24/83 (2013.01)
H01L 25/0657 (2023.08)
H01L 25/18 (2025.01)
H01L 2224/03616 (2013.01)
H01L 2224/0381 (2013.01)
H01L 2224/08123 (2013.01)
H01L 2224/08146 (2013.01)
H01L 2224/83091 (2013.01)
H01L 2225/06527 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1345374178
과제번호 2022R1A6C101B762
부처명 교육부
과제관리(전문)기관명 한국기초과학지원연구원
연구사업명 기초과학연구역량강화사업
연구과제명 [Ezbaro][국고] 핵심연구지원센터 조성지원과제(3D 나노융합소자연구센터)(2차년도)
기 여 율 8/10
과제수행기관명 인하대학교 산학협력단
연구기간 2023.03.01 ~ 2024.02.29
이 발명을 지원한 국가연구개발사업
과제고유번호 1345362086
과제번호 2022R1A6A1A03051705
부처명 교육부
과제관리(전문)기관명 한국연구재단
연구사업명 중점연구소
연구과제명 [Ezbaro] 3D 나노융합소자 연구 센터
기 여 율 2/10
과제수행기관명 인하대학교 산학협력단
연구기간 2023.03.01 ~ 2024.02.29

명 세 서

청구범위

청구항 1

3차원 적층된 반도체 소자의 제조 방법에 있어서,

반도체 소자들을 준비하는 단계; 및

하이브리드 본딩을 통해 상기 반도체 소자들을 적층하는 단계

를 포함하고,

상기 반도체 소자들을 준비하는 단계는,

칩 상에 절연층을 형성하는 단계;

상기 절연층 상에 정지층을 형성하는 단계;

상기 절연층과 상기 정지층을 관통하는 적어도 하나의 패드 홀을 형성하는 단계;

상기 패드 홀 내에 금속 패드를 형성하면서 상기 정지층 상에 금속층을 형성하는 단계;

상기 금속 패드를 남기면서 상기 금속층을 평탄화하는 단계; 및

상기 정지층을 제거하는 단계

를 포함하고,

상기 칩 상에서 상기 금속 패드가 있는 제 1 영역과 나머지의 제 2 영역이 정의되고,

상기 금속층을 평탄화하는 단계는,

상기 금속층을 평탄화하는 속도가 상기 제 1 영역과 상기 제 2 영역에서 다름으로 인해, 상기 금속층을 제거하면서 상기 제 1 영역의 상기 정지층을 제거하고 상기 제 2 영역의 상기 정지층을 일부 두께만큼 남기고, 이로써, 상기 제 1 영역과 상기 제 2 영역의 사이에 단차가 발생되고,

상기 정지층을 제거하는 단계는,

상기 절연층 상에서 남아 있는 상기 정지층을 제거하여, 상기 단차가 감소 또는 제거되게 하는,

3차원 적층된 반도체 소자의 제조 방법.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 정지층은 질화물을 포함하는,

3차원 적층된 반도체 소자의 제조 방법.

청구항 4

제 1 항에 있어서,

상기 정지층을 제거하는 단계는,

인산 용액을 이용하여 상기 정지층을 제거하는 단계

를 포함하는,

3차원 적층된 반도체 소자의 제조 방법.

청구항 5

제 1 항에 있어서,

상기 하이브리드 본딩을 통해 상기 반도체 소자들을 적층하는 단계는,

각각의 절연층들이 서로에 대향하고 각각의 금속 패드들이 서로에 대향하도록 두 개의 반도체 소자들을 배치하는 단계;

상기 절연층들을 접합시키는 단계; 및

상기 금속 패드들을 접합시키는 단계

를 포함하는,

3차원 적층된 반도체 소자의 제조 방법.

청구항 6

제 5 항에 있어서,

상기 절연층들을 접합시키는 단계는,

상기 절연층들에 대해 플라즈마 전처리를 진행하여 상기 절연층들의 표면들을 활성화시키는 단계; 및

상기 반도체 소자들의 사이에 압력을 인가하여 상기 절연층들의 표면들을 접합시키는 단계

를 포함하는,

3차원 적층된 반도체 소자의 제조 방법.

청구항 7

제 5 항에 있어서,

상기 금속 패드들을 접합시키는 단계는,

상기 반도체 소자들의 사이에 압력 및 열을 인가하여 상기 금속 패드들을 접합시키는 단계

를 포함하는,

3차원 적층된 반도체 소자의 제조 방법.

청구항 8

제 1 항에 있어서,

상기 절연층은 산화물을 포함하는,

3차원 적층된 반도체 소자의 제조 방법.

청구항 9

제 1 항에 있어서,

상기 반도체 소자들을 준비하는 단계는,

상기 절연층을 형성하는 단계 전에,

상기 칩 내에 적어도 하나의 금속 비아를 형성하는 단계

를 더 포함하고,

상기 패드 홀을 형성하는 단계는,

상기 금속 비아 상에서 상기 절연층과 상기 정지층을 제거하여 상기 패드 홀을 형성하는 단계

를 포함하고, 이로써, 상기 금속 패드가 상기 금속 비아와 연통되는,

3차원 적층된 반도체 소자의 제조 방법.

청구항 10

제 1 항, 또는 제 3 항 내지 제 9 항 중 어느 한 항에 기재된 제조 방법에 따라 제조되는 3차원 적층된 반도체 소자.

발명의 설명

기 술 분 야

[0001] 본 개시는 하이브리드 본딩을 포함하는 3차원 적층된 반도체 소자 및 그의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 반도체 소자의 미세화는 물리적인 한계와 제조비용 증가로 인해 한계에 도달했다. 그러한 미세화의 한계를 극복하고, 더 많은 기능을 수행하며, 더 높은 성능을 갖는 반도체에 대한 연구가 활발하게 진행되고 있으며, 최근 가장 큰 각광을 받고 있는 분야는 인간의 두뇌를 모사하는 인공지능 컴퓨팅 분야이다. 향후 4차 산업혁명을 주도할 분야는 인공지능(artificial intelligence) 컴퓨팅 분야이며, 이를 위해서는 저전력, 고집적도, 다양한 기능, 및 초스피드(Super speed)가 요구되는 인공지능 반도체가 필수이다.

[0003] 인공지능 반도체에서 요구되는 모든 성능과 기능을 구현하기 위해서는 2.5차원 또는 3차원 패키징(packaging) 기술을 활용하는 이종 집적(heterogeneous integration) 기술을 적용해야 한다. 글로벌 상위권 반도체 회사들은 모두 2.5차원 또는 3차원 패키징 방식의 이종 집적 기술을 적용한 차세대 반도체 제품 개발에 사활을 걸고 있다. 대표적인 제품이 HBM(high bandwidth memory) 소자와 로직(logic) 소자를 결합한 인공지능 향 융합 소자이다. 현재 양산 제품에 적용되는 2.5차원 또는 3차원 패키징 방식의 이종 집적 기술은 TSV(through silicon via) 공정 기술을 이용하여 구현하고 있으며, 칩과 칩 사이를 전기적 및 기계적으로 연결시키기 위해서 솔더 범프(Solder bump)를 이용한 본딩(bonding) 기술을 사용한다. 2.5 차원 또는 3차원 적층된 소자의 미세화와 칩간 통신에 필요한 I/O(in/out) 패드(pad) 수 증가에 대한 수요를 충족시키기 위해서 솔더 범프의 크기는 지속적으로 감소되는 추세이다. 구리 필러(Cu pillar) 기술, 마이크로-범프(μ-bump) 기술이 적용되면서 솔더 범프의 크기가 계속 감소되었으나, 현재 물리적인 한계(직경 > 10 ㎛)에 도달했으며, 더 미세한 피치(pitch)의 I/O 구현을 위해서는 새로운 기술 개발이 필요하다.

[0004] 미세한 피치의 I/O 구현에 의해서 반도체 소자를 더 미세화시킬 수 있으며, I/O 패드 수가 증가되어 칩간 데이터 전송 대역폭(bandwidth) 증가에 의해 초스피드의 반도체 소자를 구현할 수 있다. 현재 사용중인 솔더 범프를 이용한 본딩 기술의 한계인 10 ㎛ 이하의 미세 피치의 I/O 구현을 위해서 가장 큰 주목을 받고 있는 기술은 하이브리드 본딩(hybrid bonding) 기술이며, 이는 범프를 사용하지 않고 칩의 패드와 인접한 칩의 패드를 직접 연결시키기 때문에 1 ㎛ 이하의 초미세 피치를 구현할 수 있다. 패키징의 금속 배선(metal interconnect) 로드맵에 따르면, 최종 목표가 범프를 사용하지 않고 TSV 기술과 하이브리드 본딩 기술을 융합시키는 3차원 이종 집적 기술이다. 하이브리드 본딩에 의해서 저전력, 고밀도, 고속의 특성을 가지는 인공지능 향 융합형 반도체를 제작

하는 것이 가능해진다.

발명의 내용

해결하려는 과제

[0005] 본 개시는 하이브리드 본딩을 포함하는 3차원 적층된 반도체 소자 및 그의 제조 방법을 제공한다.

과제의 해결 수단

[0006] 본 개시에서, 3차원 적층된 반도체 소자의 제조 방법은, 반도체 소자들을 준비하는 단계, 및 하이브리드 본딩을 통해 상기 반도체 소자들을 적층하는 단계를 포함하고, 상기 반도체 소자들을 준비하는 단계는, 상기 칩 상에 절연층을 형성하는 단계, 상기 절연층(insulating layer) 상에 상기 정지층(stop layer)을 형성하는 단계, 상기 절연층과 상기 정지층을 관통하는 적어도 하나의 패드 홀(hole)을 형성하는 단계, 상기 패드 홀 내에 금속 패드를 형성하면서 상기 정지층 상에 금속층을 형성하는 단계, 상기 금속 패드를 남기면서 상기 금속층을 평탄화하는 단계, 및 상기 정지층을 제거하는 단계를 포함할 수 있다.

발명의 효과

[0007] 본 개시에 따르면, 개별 반도체 소자를 준비할 때, 절연층 상에 정지층을 형성함으로써, 정지층과 금속 패드 상에서 금속층을 평탄화하는 중에 발생되는 침식(erosion) 현상으로 인한 글로벌 단차가 감소 또는 제거될 수 있다. 이에 따라, 하이브리드 본딩을 통해 반도체 소자들을 적층할 때, 반도체 소자들의 사이에서 발생 가능한 빈 공간(void), 균열, 박리 등과 같은 문제들이 억제 또는 방지될 수 있다. 즉, 글로벌 단차가 감소 또는 제거됨에 따라, 금속 패드들이 그들 사이에 큰 이격 공간 없이 근접하게 위치되어, 서로에 대해 보다 효과적으로 접촉될 수 있다. 이는, 결과적으로 제조되는 3차원 적층된 반도체 소자의 신뢰도를 향상시킬 수 있다.

도면의 간단한 설명

[0008] 도 1은 일 실시예에 따른 3차원 적층된 반도체 소자의 제조 방법을 개략적으로 도시하는 순서도이다.

도 2 내지 도 9는 일 실시예에 따른 3차원 적층된 반도체 소자의 제조 방법을 설명하기 위한 예시도들이다.

도 10은 다른 실시예에 따른 3차원 적층된 반도체 소자의 제조 방법을 개략적으로 도시하는 순서도이다.

도 11 내지 도 20은 다른 실시예에 따른 3차원 적층된 반도체 소자의 제조 방법을 설명하기 위한 예시도들이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하, 본 개시의 다양한 실시예들이 첨부된 도면을 참조하여 설명된다.

[0011] 도 1은 일 실시예에 따른 3차원 적층된 반도체 소자의 제조 방법을 개략적으로 도시하는 순서도이다. 도 2 내지 도 9는 일 실시예에 따른 3차원 적층된 반도체 소자의 제조 방법을 설명하기 위한 예시도들이다. 도 2 내지 도 6에서, (a)는 단면도이고, (b)는 평면도이며, 도 7 내지 도 9는 단면도들이다.

[0012] 도 1을 참조하면, 110 단계에서, 개별 칩(211)에 적어도 하나의 금속 비아(215)가 형성될 수 있다. 이 때, 칩(211)은 실리콘 재질의 웨이퍼(213) 상에 구현될 수 있다. 그리고, TSV 공정을 통해, 금속 비아(215)가 형성될 수 있다. 구체적으로, 칩(211)과 웨이퍼(213)를 관통하는 적어도 하나의 관통 홀이 형성된 다음, 금속 재료를 이용해 관통 홀이 충전될 수 있으며, 이로써, 도 2에 도시된 바와 같이, 금속 비아(215)가 형성될 수 있다.

[0013] 다음으로, 120 단계에서, 개별 칩(211) 상에 절연층(311)이 형성될 수 있다. 여기서, 절연층(311)은 산화물(oxide)을 포함할 수 있다. 구체적으로, 칩(211)의 상부 표면에 절연층(311)이 증착될 수 있다. 그런 다음, 130 단계에서, 금속 비아(215) 상에서 절연층(311) 내에 적어도 하나의 패드 홀(315)이 형성될 수 있다. 이 때, 패터닝 공정을 통해, 패드 홀(315)이 형성될 수 있다. 구체적으로, 금속 비아(215) 상에서 절연층(311)을 제거하여, 패드 홀(315)이 형성될 수 있다. 이로써, 패드 홀(315)이 금속 비아(215)를 노출시킬 수 있다. 따라서, 도 3에 도시된 바와 같이, 칩(211) 상에 절연층(311)과 패드 홀(315)이 마련될 수 있다.

[0014] 이어서, 140 단계에서, 패드 홀(315)을 충전하면서, 절연층(311) 상에 금속층(410, 510)이 형성될 수 있다. 이 때, 금속층(410, 510)은 보조 금속층(410) 및 패드 금속층(510)을 포함할 수 있다. 여기서, 보조 금속층(410)은 패드 금속층(510)의 금속 재료의 확산(out-diffusion)을 방지하기 위한 배리어(barrier) 금속층과 패드 금속층

(510)의 증착에 도움을 주기 위한 시드(seed) 금속층을 포함할 수 있다. 구체적으로, 칩(211) 상에서 절연층(311)의 표면 및 패드 홀(315) 내의 금속 비아(215)의 표면에 배리어 금속층이 형성된 다음, 배리어 금속층의 표면에 시드 금속층이 형성되며, 이로써, 도 4에 도시된 바와 같이, 보조 금속층(410)이 형성될 수 있다. 여기서, 보조 금속층(410)은 대체로 균일한 두께로 형성될 수 있다. 그런 다음, 도 5에 도시된 바와 같이, 패드 홀(315)의 내부를 포함하여 보조 금속층(410)의 표면에 패드 금속층(510)이 형성될 수 있다. 여기서, 패드 금속층(510)은 금속 재료, 예컨대, 구리를 포함할 수 있다. 이 때, 전해 도금 공정을 통해, 패드 금속층(510)이 형성될 수 있다.

[0015] 계속해서, 150 단계에서, 금속 패드(615)를 남기면서, 금속층(410, 510)이 평탄화될 수 있다. 여기서, 금속 패드(615)는 개별적으로 금속 비아(215)와 전기적으로 연통될 수 있다. 이 때, 화학적 기계적 연마(chemical mechanical planarization; CMP) 공정을 통해, 금속층(410, 510)이 평탄화될 수 있다. 구체적으로, 도 6에 도시된 바와 같이, 절연층(311) 및 금속 패드(615) 상에서 금속층(410, 510)이 제거될 수 있다. 절연층(311)에 복수의 패드 홀(315)들이 있는 경우, 금속층(410, 510)이 평탄화됨에 따라, 복수의 금속 패드(615)들이 서로로부터 분리되면서 남을 수 있다.

[0016] 그런데, 평탄화 중에, 금속 패드(615)의 존재로 인하여, 평탄화의 속도가 불균일할 수 있다. 즉, 금속 패드(615)가 존재하는 영역의 경우, 금속 패드(615)가 존재하지 않은 영역에 비해 평탄화의 속도가 빠를 수 있다. 평탄화의 속도는 금속 패드(615)들의 배치 밀도가 높을수록, 더 빠를 수 있다. 그 결과, 도 6에 도시된 바와 같이, 금속 패드(615)가 존재하는 영역과 금속 패드(615)가 존재하지 않은 영역의 사이에 글로벌 단차가 형성되는 침식(erosion) 현상이 발생될 수 있다. 아울러, 평탄화 중에, 도 6에 도시된 바와 같이, 금속 패드(615)의 표면에서 위치에 따라 단차가 발생하는 디싱(dishing) 현상이 발생될 수 있다.

[0017] 이러한 방식으로, 반도체 소자(600)들이 준비될 수 있다.

[0018] 마지막으로, 160 단계에서, 하이브리드 본딩을 통해 반도체 소자(600)들이 적층될 수 있다. 이 때, 두 개의 반도체 소자(600)들에 대해, 절연층(311)들을 서로에 접합시키고, 금속 패드(615)들을 서로에 접합시킬 수 있다. 이에 대해 보다 상세하게 후술된다.

[0019] 먼저, 도 7에 도시된 바와 같이, 각각의 절연층(311)들이 서로에 대향하고 각각의 금속 패드(615)들이 서로에 대향하도록, 두 개의 반도체 소자(600)들을 배치할 수 있다. 예를 들어, 두 개의 반도체 소자(600)들을 상하로 배치하되, 상부에 있는 반도체 소자(600)를 반전시켜 하부에 있는 반도체 소자(600)에 대향시킬 수 있다.

[0020] 다음으로, 도 7에 도시된 바와 같이, 절연층(311)들에 대해 플라즈마 전처리를 진행하여, 절연층(311)들의 표면들을 활성화시킬 수 있다. 이 때, 플라즈마 전처리에 의해 금속 패드(615)들의 표면에 생성되는 자연 산화막이 제거될 수도 있다. 여기서, 아르곤(Ar) 가스를 이용하여, 플라즈마 전처리를 진행할 수 있다. 그런 다음, 도 8에 도시된 바와 같이, 반도체 소자(600)들의 사이에 압력을 인가하여, 절연층(311)들의 표면들을 접합시킬 수 있다. 예를 들어, 절연층(311)들의 산화물이 SiO_2인 경우, 플라즈마 전처리에 의해 절연층(311)의 표면이 SiOx 상태로 활성화되어, 공기와의 접촉으로 Si-OH 결합이 형성되며, 압력에 의해 Si-O-Si 본딩이 형성될 수 있다.

[0021] 다음으로, 도 9에 도시된 바와 같이, 반도체 소자(600)들의 사이에 열을 인가하여 금속 패드(615)들을 접합시킬 수 있다. 여기서, 대략 200 ℃ 내지 400 ℃의 범위 내에 있는 온도로 열이 인가될 수 있다. 이 때, 열에 의해, 금속 패드(615)들이 팽창되어 서로에 접촉될 수 있으며, 금속 패드(615)들의 금속 재료의 확산으로 인해, 금속 패드(615)들이 접합될 수 있다.

[0022] 그런데, 반도체 소자(600)들을 준비하기 위한 평탄화 중에 발생되는 침식 현상으로 인해, 금속 패드(615)들이 접촉하지 못하는 결함이 발생될 수 있다. 즉, 침식 현상으로 인한 글로벌 단차에 의해 금속 패드(615)들의 사이에 큰 이격 공간이 형성됨으로써, 열의 인가 및 금속 패드(615)들의 금속 재료의 확산에도 불구하고, 금속 패드(615)들이 접촉하지 못할 수 있다. 이는 반도체 소자(600)들의 사이에 보이드(void), 균열(crack), 박리(delamination) 등과 같은 문제들을 초래할 수 있다.

[0023] 도 10은 다른 실시예에 따른 3차원 적층된 반도체 소자의 제조 방법을 개략적으로 도시하는 순서도이다. 도 11 내지 도 20은 다른 실시예에 따른 3차원 적층된 반도체 소자의 제조 방법을 설명하기 위한 예시도들이다. 도 11 내지 도 17에서, (a)는 단면도이고, (b)는 평면도이며, 도 18 내지 도 20은 평면도들이다.

[0024] 도 10을 참조하면, 1010 단계에서, 개별 칩(1111)에 적어도 하나의 금속 비아(1115)가 형성될 수 있다. 이 때, 칩(1111)은 실리콘 재질의 웨이퍼(1113) 상에 구현될 수 있다. 그리고, TSV 공정을 통해, 금속 비아(1115)가 형

성될 수 있다. 구체적으로, 칩(1111)과 웨이퍼(1113)를 관통하는 적어도 하나의 관통 홀이 형성된 다음, 금속 재료를 이용해 관통 홀이 충전될 수 있으며, 이로써, 도 11에 도시된 바와 같이, 금속 비아(1115)가 형성될 수 있다.

[0025] 다음으로, 1020 단계에서, 개별 칩(1111) 상에 절연층(1211)이 형성될 수 있다. 여기서, 절연층(1211)은 산화물을 포함할 수 있다. 구체적으로, 도 12에 도시된 바와 같이, 칩(1111)의 상부 표면에 절연층(1211)이 증착될 수 있다. 그런 다음, 1030 단계에서, 절연층(1211) 상에 정지층(1213)이 형성될 수 있다. 여기서, 정지층(1213)은 질화물(nitride)을 포함할 수 있다. 구체적으로, 도 12에 도시된 바와 같이, 절연층(1211)의 상부 표면에 정지층(1213)이 증착될 수 있다.

[0026] 다음으로, 1040 단계에서, 금속 비아(1115) 상에서 절연층(1211) 및 정지층(1213) 내에 적어도 하나의 패드 홀(1315)이 형성될 수 있다. 이 때, 패터닝 공정을 통해, 패드 홀(1315)이 형성될 수 있다. 구체적으로, 금속 비아(1115) 상에서 절연층(1211) 및 정지층(1213)을 함께 제거하여, 패드 홀(1315)이 형성될 수 있다. 이로써, 패드 홀(1315)이 금속 비아(1115)를 노출시킬 수 있다. 따라서, 도 13에 도시된 바와 같이, 칩(1111) 상에 절연층(1211) 및 정지층(1213)과 패드 홀(1315)이 마련될 수 있다.

[0027] 다음으로, 1050 단계에서, 패드 홀(1315)을 충전하면서, 정지층(1213) 상에 금속층(1410, 1510)이 형성될 수 있다. 이 때, 금속층(1410, 1510)은 보조 금속층(1410) 및 패드 금속층(1510)을 포함할 수 있다. 여기서, 보조 금속층(1410)은 패드 금속층(1510)의 금속 재료의 확산을 방지하기 위한 배리어 금속층과 패드 금속층(1510)의 증착에 도움을 주기 위한 시드 금속층을 포함할 수 있다. 구체적으로, 칩(1111) 상에서 절연층(1211) 및 정지층(1213)의 표면 및 패드 홀(1315) 내의 금속 비아(1115)의 표면에 배리어 금속층이 형성된 다음, 배리어 금속층의 표면에 시드 금속층이 형성되며, 이로써, 도 14에 도시된 바와 같이, 보조 금속층(1410)이 형성될 수 있다. 여기서, 보조 금속층(1410)은 대체로 균일한 두께로 형성될 수 있다. 그런 다음, 도 15에 도시된 바와 같이, 패드 홀(1315)의 내부를 충전하면서 보조 금속층(1410)의 표면에 패드 금속층(1510)이 형성될 수 있다. 여기서, 패드 금속층(1510)은 금속 재료, 예컨대, 구리를 포함할 수 있다. 이 때, 전해 도금 공정을 통해, 패드 금속층(1510)이 형성될 수 있다.

[0028] 이어서, 1060 단계에서, 금속 패드(1615)를 남기면서, 금속층(1410, 1510)이 평탄화될 수 있다. 여기서, 금속 패드(1615)는 개별적으로 금속 비아(1115)와 전기적으로 연통될 수 있다. 이 때, 화학적 기계적 연마 공정을 통해, 금속층(1410, 1510)이 평탄화될 수 있다. 구체적으로, 도 16에 도시된 바와 같이, 절연층(1211), 정지층(1213), 및 금속 패드(1615) 상에서 금속층(1410, 1510)이 제거될 수 있다. 절연층(1211) 및 정지층(1213)에 복수의 패드 홀(1215)들이 있는 경우, 금속층(1410, 1510)이 평탄화됨에 따라, 복수의 금속 패드(1615)들이 서로로부터 분리되면서 남을 수 있다.

[0029] 이러한 평탄화 중에, 금속 패드(1615)의 존재로 인하여, 평탄화의 속도가 불균일할 수 있다. 즉, 금속 패드(1615)가 존재하는 영역의 경우, 금속 패드(1615)가 존재하지 않은 영역에 비해 평탄화의 속도가 빠를 수 있다. 평탄화의 속도는 금속 패드(1615)들의 배치 밀도가 높을수록, 더 빠를 수 있다. 그 결과, 금속 패드(1615)가 존재하는 영역과 금속 패드(1615)가 존재하지 않은 영역의 사이에 글로벌 단차가 형성되는 침식 현상이 발생될 수 있다. 이로 인해, 도 16에 도시된 바와 같이, 금속층(1410, 1510)이 제거되면서 금속 패드(1615) 상의 정지층(1213)이 제거되고, 절연층(1211) 상에는 정지층(1213)이 적어도 일부 두께만큼 남을 수 있다. 아울러, 이러한 평탄화 중에, 도 16에 도시된 바와 같이, 금속 패드(1615)의 표면에서 위치에 따라 단차가 발생하는 디싱 현상이 발생될 수 있다.

[0030] 계속해서, 1070 단계에서, 정지층(1213)이 제거될 수 있다. 구체적으로, 도 17에 도시된 바와 같이, 금속 패드(1615)가 존재하지 않는 영역의 절연층(1211) 상에서 남아 있는 정지층(1213)이 제거될 수 있다. 이 때, 인산(H_3PO_4) 용액을 이용하여, 정지층(1213)이 제거될 수 있다. 이로써, 침식 현상으로 인한 금속 패드(1615)가 존재하는 영역과 금속 패드(1615)가 존재하지 않은 영역 사이의 글로벌 단차가 감소 또는 제거될 수 있다.

[0031] 이러한 방식으로, 반도체 소자(1700)들이 준비될 수 있다.

[0032] 마지막으로, 1080 단계에서, 하이브리드 본딩을 통해 반도체 소자(1700)들이 적층될 수 있다. 이 때, 두 개의 반도체 소자(1700)들에 대해, 절연층(1211)들을 서로에 접합시키고, 금속 패드(1615)들을 서로에 접합시킬 수 있다. 이에 대해 보다 상세하게 후술된다.

[0033] 먼저, 도 18에 도시된 바와 같이, 각각의 절연층(1211)들이 서로에 대향하고 각각의 금속 패드(1615)들이 서로에 대향하도록, 두 개의 반도체 소자(1700)들을 배치할 수 있다. 예를 들어, 두 개의 반도체 소자(1700)들을 상

하로 배치하되, 상부에 있는 반도체 소자(1700)를 반전시켜 하부에 있는 반도체 소자(1700)에 대향시킬 수 있다.

[0034] 다음으로, 도 18에 도시된 바와 같이, 절연층(1211)들에 대해 플라즈마 전처리를 진행하여, 절연층(1211)들의 표면들을 활성화시킬 수 있다. 이 때, 플라즈마 전처리에 의해 금속 패드(1615)들의 표면에 생성되는 자연 산화막이 제거될 수도 있다. 여기서, 아르곤(Ar) 가스를 이용하여, 플라즈마 전처리를 진행할 수 있다. 그런 다음, 도 19에 도시된 바와 같이, 반도체 소자(1700)들의 사이에 압력을 인가하여, 절연층(1211)들의 표면들을 접합시킬 수 있다. 예를 들어, 절연층(1211)들의 산화물이 SiO_2인 경우, 플라즈마 전처리에 의해 절연층(1211)의 표면이 SiOx 상태로 활성화되어, 공기와의 접촉으로 Si-OH 결합이 형성되며, 압력에 의해 Si-O-Si 본딩이 형성될 수 있다.

[0035] 다음으로, 도 20에 도시된 바와 같이, 반도체 소자(1700)들의 사이에 압력과 열을 인가하여 금속 패드(1615)들을 접합시킬 수 있다. 여기서, 대략 200 ℃ 내지 400 ℃의 범위 내에 있는 온도로 열이 인가될 수 있다. 이 때, 반도체 소자(1700)들을 준비할 때 발생되는 침식 현상으로 인해 인한 금속 패드(1615)가 존재하는 영역과 금속 패드(1615)가 존재하지 않은 영역 사이의 글로벌 단차가 감소 또는 제거됨에 따라, 금속 패드(1615)들은 그들 사이에 큰 이격 공간 없이 근접하게 위치될 수 있다. 따라서, 열에 의해, 금속 패드(1615)들이 팽창되어 서로에 접촉될 수 있으며, 금속 패드(1615)들의 금속 재료의 확산으로 인해, 금속 패드(1615)들이 접합될 수 있다. 아울러, 반도체 소자(1700)들의 사이에서 발생 가능한 보이드, 균열, 박리 등과 같은 문제들을 억제 또는 방지할 수 있다.

[0036] 본 개시에 따르면, 개별 반도체 소자(1700)를 준비할 때, 절연층(1211) 상에 정지층(1213)을 형성함으로써, 정지층(1213)과 금속 패드(1615) 상에서 금속층(1410, 1510)을 평탄화하는 중에 발생되는 침식 현상으로 인한 글로벌 단차가 감소 또는 제거될 수 있다. 이에 따라, 하이브리드 본딩을 통해 반도체 소자(1700)들을 적층할 때, 반도체 소자(1700)들의 사이에서 발생 가능한 보이드, 균열, 박리 등과 같은 문제들이 억제 또는 방지될 수 있다. 즉, 글로벌 단차가 감소 또는 제거됨에 따라, 금속 패드(1615)들이 그들 사이에 큰 이격 공간 없이 근접하게 위치되어, 서로에 대해 보다 효과적으로 접촉될 수 있다. 이는, 결과적으로 제조되는 3차원 적층된 반도체 소자의 신뢰도를 향상시킬 수 있다.

[0038] 요컨대, 본 개시는 3차원 적층된 반도체 소자의 제조 방법을 제공한다.

[0039] 본 개시에서, 3차원 적층된 반도체 소자의 제조 방법은, 반도체 소자(1700)들을 준비하는 단계, 및 하이브리드 본딩을 통해 반도체 소자(1700)들을 적층하는 단계(1080 단계)를 포함하고, 반도체 소자(1700)들을 준비하는 단계는, 칩(1111) 상에 절연층(1211)을 형성하는 단계(1020 단계), 절연층(1211) 상에 정지층(1213)을 형성하는 단계(1030 단계), 절연층(1211)과 정지층(1213)을 관통하는 적어도 하나의 패드 홀(1315)을 형성하는 단계(1040 단계), 패드 홀(1315) 내에 금속 패드(1615)를 형성하면서 정지층(1213) 상에 금속층(1410, 1510)을 형성하는 단계(1050 단계), 금속 패드(1615)를 남기면서 금속층(1410, 1510)을 평탄화하는 단계(1060 단계), 및 정지층(1213)을 제거하는 단계(1070 단계)를 포함할 수 있다.

[0040] 본 개시에서, 금속층(1410, 1510)을 평탄화하는 단계(1060 단계)는, 금속층(1410, 1510)을 제거하면서 금속 패드(1615) 상의 정지층(1213)을 제거하고 절연층(1211) 상에 정지층(1213)을 적어도 일부 두께만큼 남길 수 있다.

[0041] 본 개시에서, 정지층(1213)을 제거하는 단계(1070 단계)는, 절연층(1211) 상에서 남아 있는 정지층(1213)을 제거할 수 있다.

[0042] 본 개시에서, 정지층(1213)은 질화물을 포함할 수 있다.

[0043] 본 개시에서, 정지층(1213)을 제거하는 단계(1070 단계)는, 인산 용액을 이용하여 정지층(1213)을 제거하는 단계를 포함할 수 있다.

[0044] 본 개시에서, 하이브리드 본딩을 통해 반도체 소자(1700)들을 적층하는 단계(1080 단계)는, 각각의 절연층(1211)들이 서로에 대향하고 각각의 금속 패드(1615)들이 서로에 대향하도록 두 개의 반도체 소자(1700)들을 배치하는 단계, 절연층(1211)들을 접합시키는 단계, 및 금속 패드(1615)들을 접합시키는 단계를 포함할 수 있다.

[0045] 본 개시에서, 절연층(1211)들을 접합시키는 단계는, 절연층(1211)들에 대해 플라즈마 전처리를 진행하여 절연층(1211)들의 표면들을 활성화시키는 단계, 및 반도체 소자(1700)들의 사이에 압력을 인가하여 절연층(1211)들의 표면들을 접합시키는 단계를 포함할 수 있다.

[0046] 본 개시에서, 금속 패드(1615)들을 접합시키는 단계는, 반도체 소자(1700)들의 사이에 압력 및 열을 인가하여 금속 패드(1615)들을 접합시키는 단계를 포함할 수 있다.

[0047] 본 개시에서, 절연층(1211)은 산화물을 포함할 수 있다.

[0048] 본 개시에서, 반도체 소자(1700)들을 준비하는 단계는, 절연층(1211)을 형성하는 단계 전에, 칩(1111) 내에 적어도 하나의 금속 비아(1115)를 형성하는 단계(1010 단계)를 더 포함할 수 있다.

[0049] 본 개시에서, 패드 홀(1315)을 형성하는 단계(1040 단계)는, 금속 비아(1115) 상에서 절연층(1211)과 정지층(1213)을 제거하여 패드 홀(1315)을 형성하는 단계를 포함하고, 이로써, 금속 패드(1615)가 금속 비아(1115)와 연통될 수 있다.

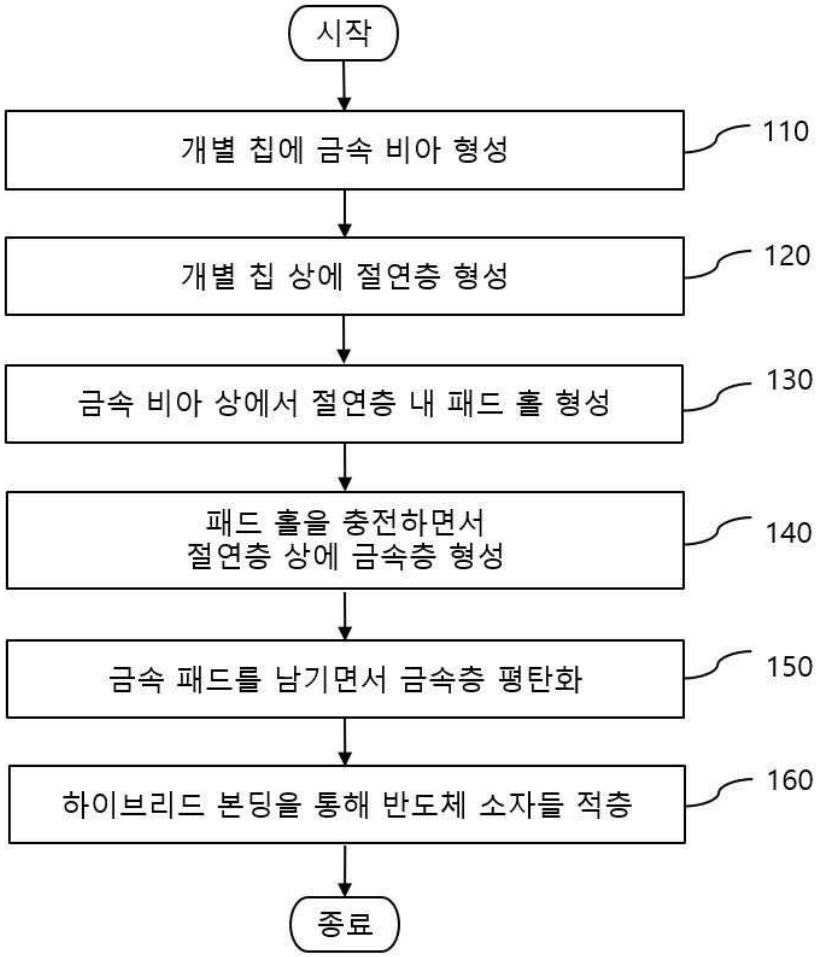
[0050] 아울러, 본 개시는 상술된 제조 방법에 따라 제조되는 3차원 적층된 반도체 소자를 제공한다.

[0051] 본 문서의 다양한 실시예들 및 이에 사용된 용어들은 본 문서에 기재된 기술을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 해당 실시 예의 다양한 변경, 균등물, 및/또는 대체물을 포함하는 것으로 이해되어야 한다. 도면의 설명과 관련하여, 유사한 구성 요소에 대해서는 유사한 참조 부호가 사용될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다. 본 문서에서, "A 또는 B", "A 및/또는 B 중 적어도 하나", "A, B 또는 C" 또는 "A, B 및/또는 C 중 적어도 하나" 등의 표현은 함께 나열된 항목들의 모든 가능한 조합을 포함할 수 있다. "제 1", "제 2", "첫째" 또는 "둘째" 등의 표현들은 해당 구성 요소들을, 순서 또는 중요도에 상관없이 수식할 수 있고, 한 구성 요소를 다른 구성 요소와 구분하기 위해 사용될 뿐 해당 구성 요소들을 한정하지 않는다. 어떤(예: 제 1) 구성 요소가 다른(예: 제 2) 구성 요소에 "(기능적으로 또는 통신적으로) 연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 상기 어떤 구성 요소가 상기 다른 구성 요소에 직접적으로 연결되거나, 다른 구성 요소(예: 제 3 구성 요소)를 통하여 연결될 수 있다.

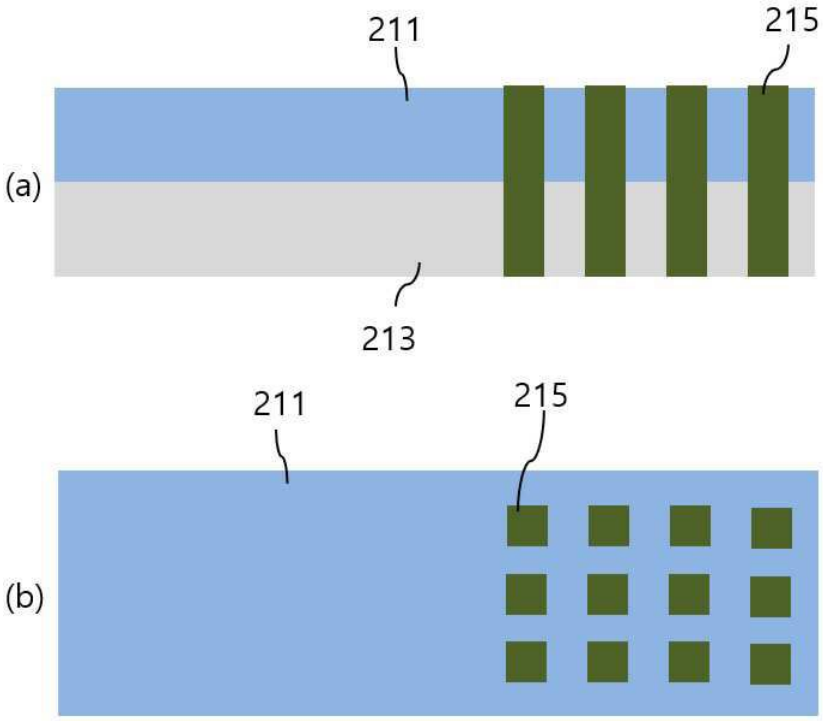
[0052] 다양한 실시예들에 따르면, 기술한 구성 요소들의 각각의 구성 요소는 단수 또는 복수의 개체를 포함할 수 있다. 다양한 실시예들에 따르면, 전술한 해당 구성 요소들 중 하나 이상의 구성 요소들 또는 단계들이 생략되거나, 또는 하나 이상의 다른 구성 요소들 또는 단계들이 추가될 수 있다. 대체적으로 또는 추가적으로, 복수의 구성 요소들은 하나의 구성 요소로 통합될 수 있다. 이런 경우, 통합된 구성 요소는 복수의 구성 요소들 각각의 구성 요소의 하나 이상의 기능들을 통합 이전에 복수의 구성 요소들 중 해당 구성 요소에 의해 수행되는 것과 동일 또는 유사하게 수행할 수 있다.

도면

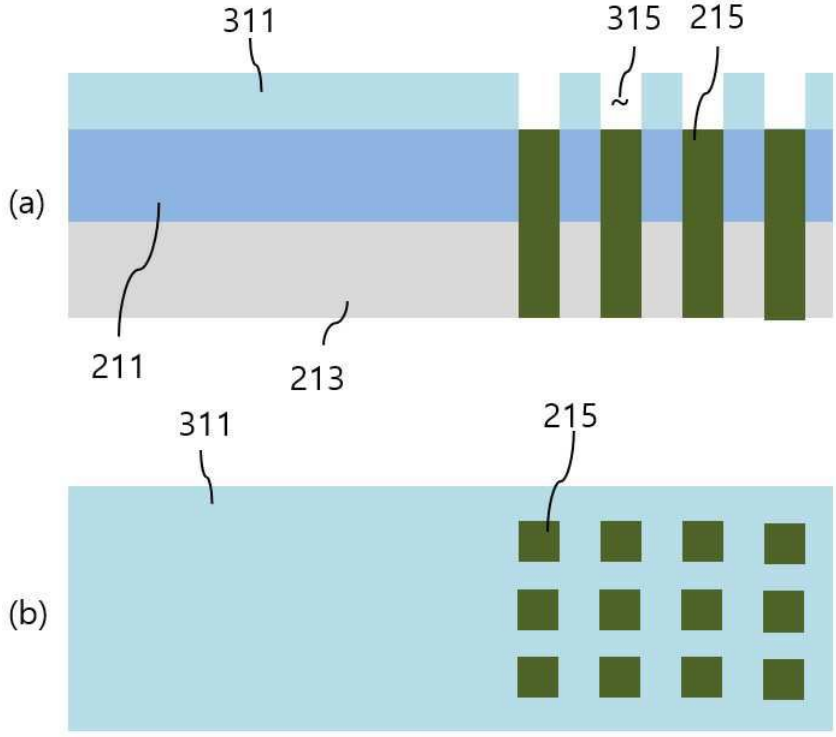
도면1


시작
개별 칩에 금속 비아 형성
110
개별 칩 상에 절연층 형성
120
금속 비아 상에서 절연층 내 패드 홀 형성
130
패드 홀을 충전하면서
절연층 상에 금속층 형성
140
금속 패드를 남기면서 금속층 평탄화
150
하이브리드 본딩을 통해 반도체 소자들 적층
160
종료

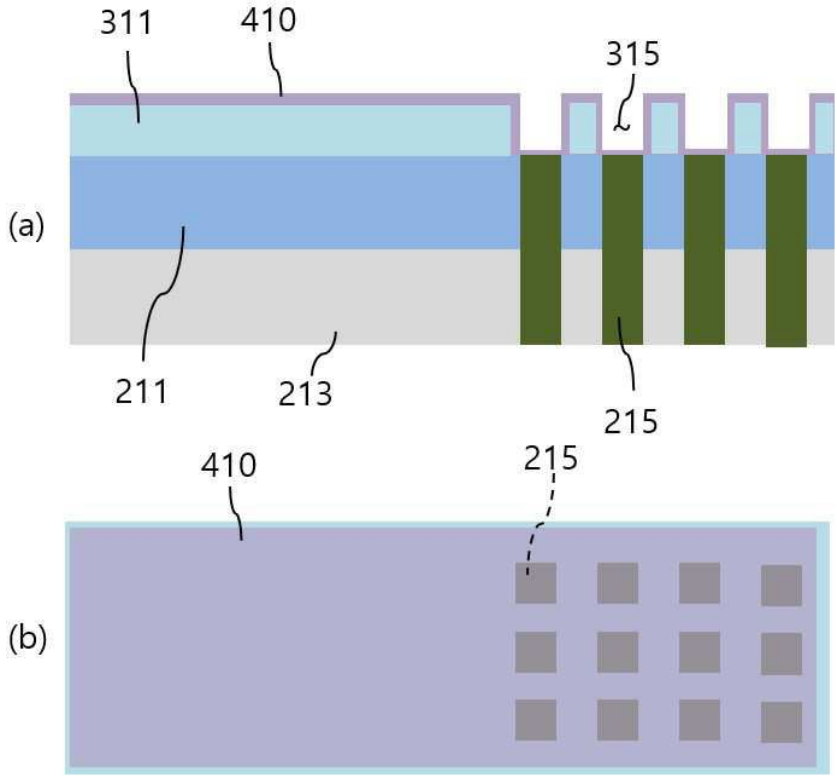
도면2



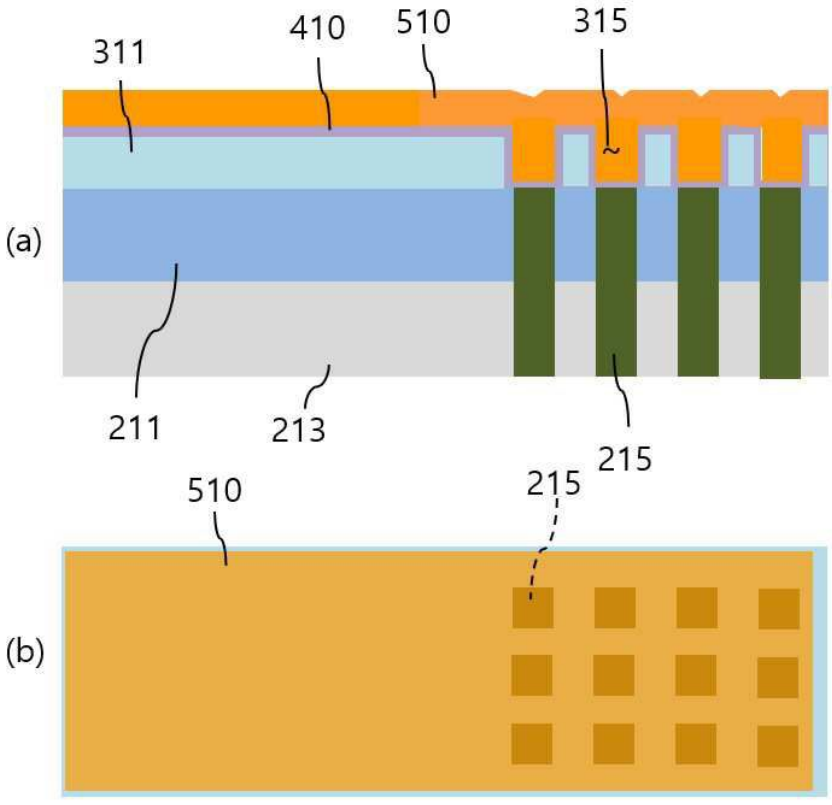
도면3



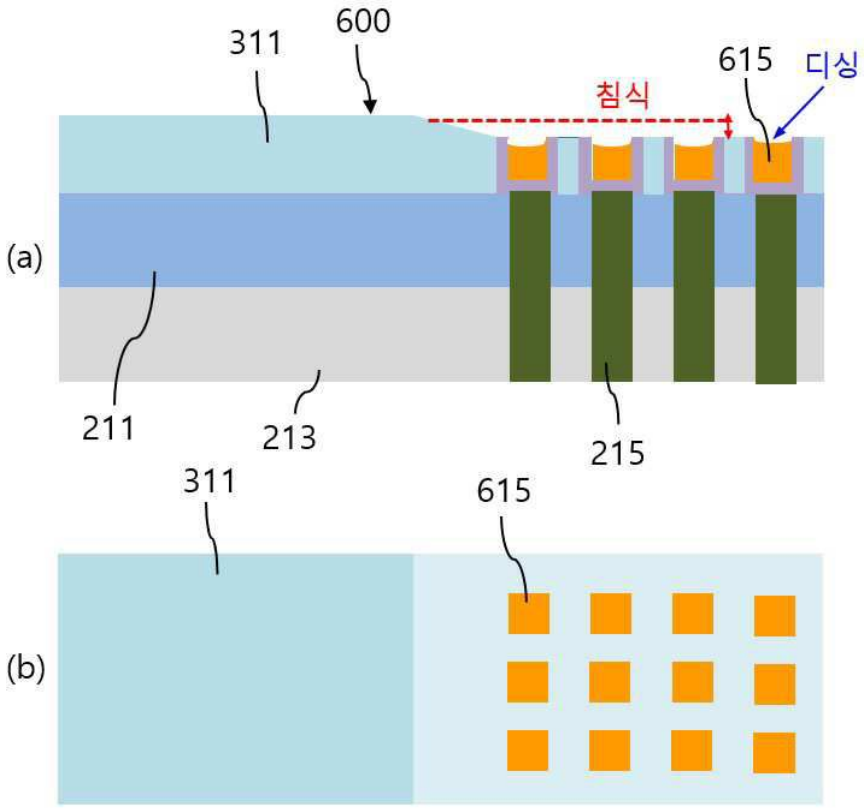
도면4


311
410
315
(a)
211
213
215
410
215
(b)

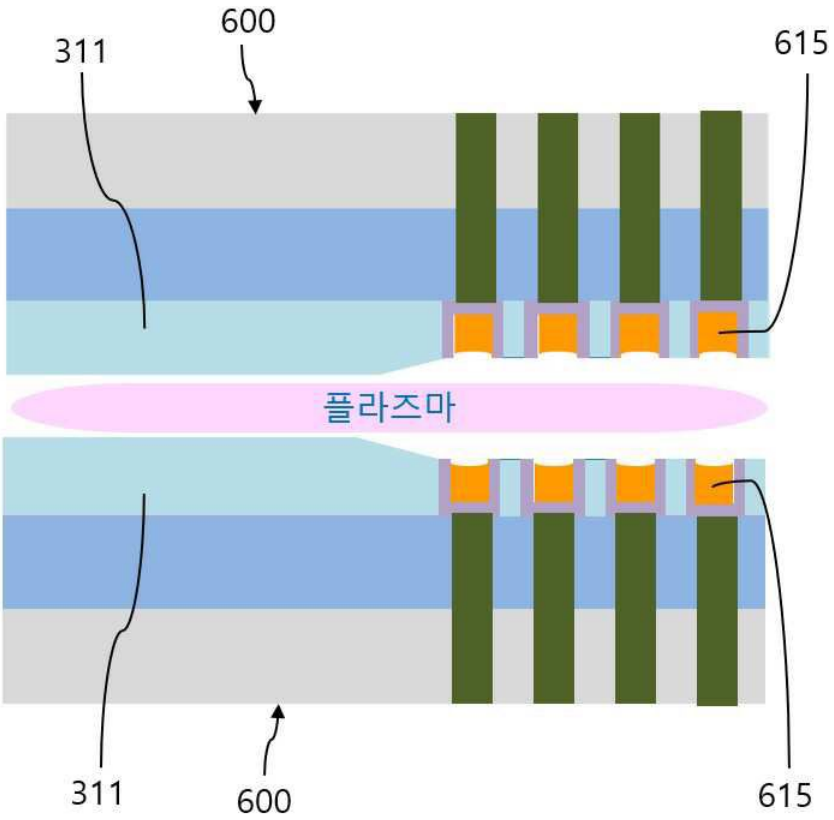
도면5


311
410
510
315
(a)
211
213
215
510
215
(b)

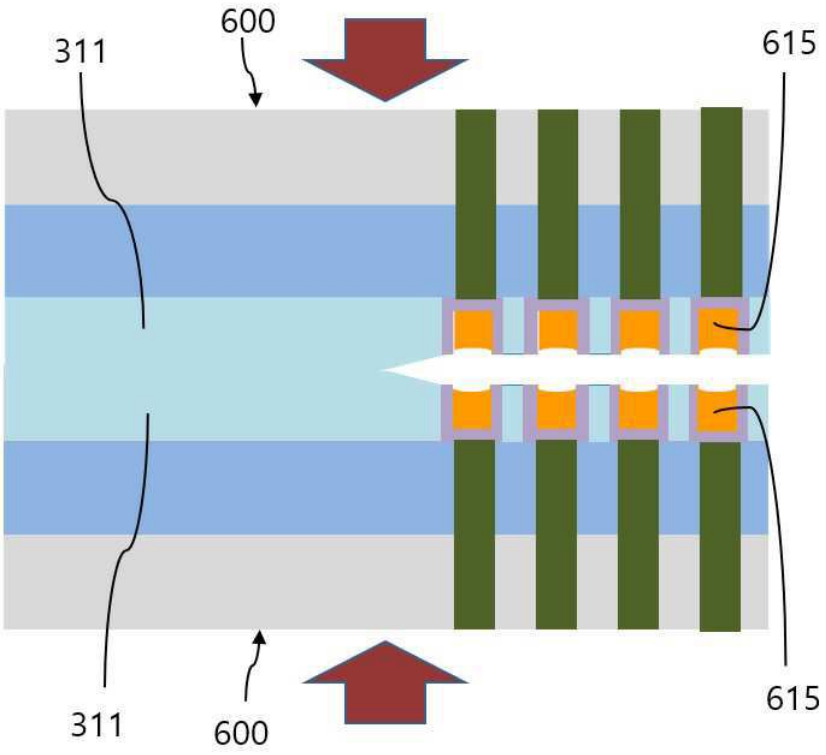
도면6


311
600
615
디싱
침식
(a)
211
213
215
311
615
(b)

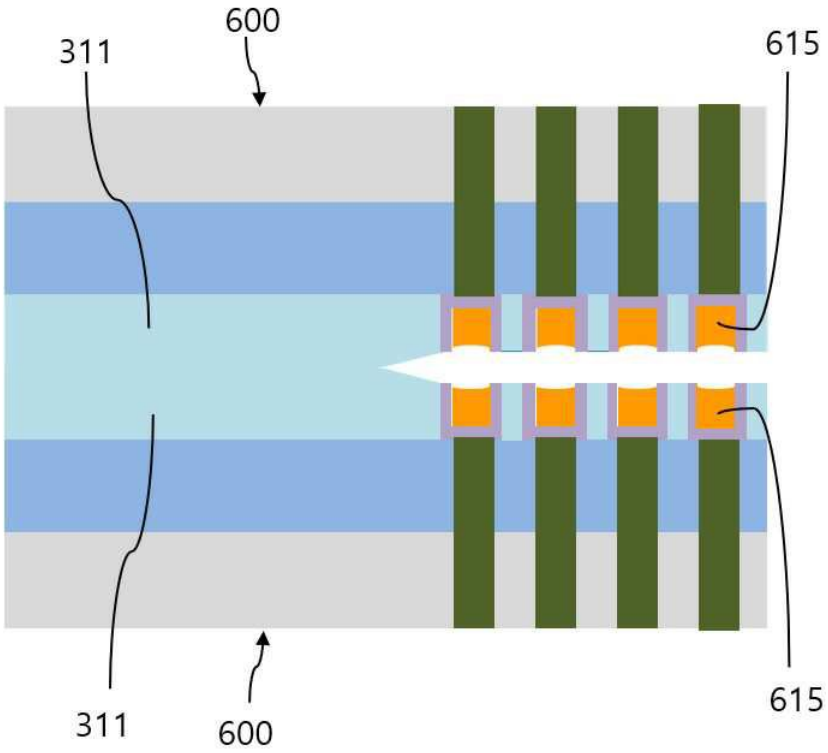
도면7


311
600
615
플라즈마
311
600
615

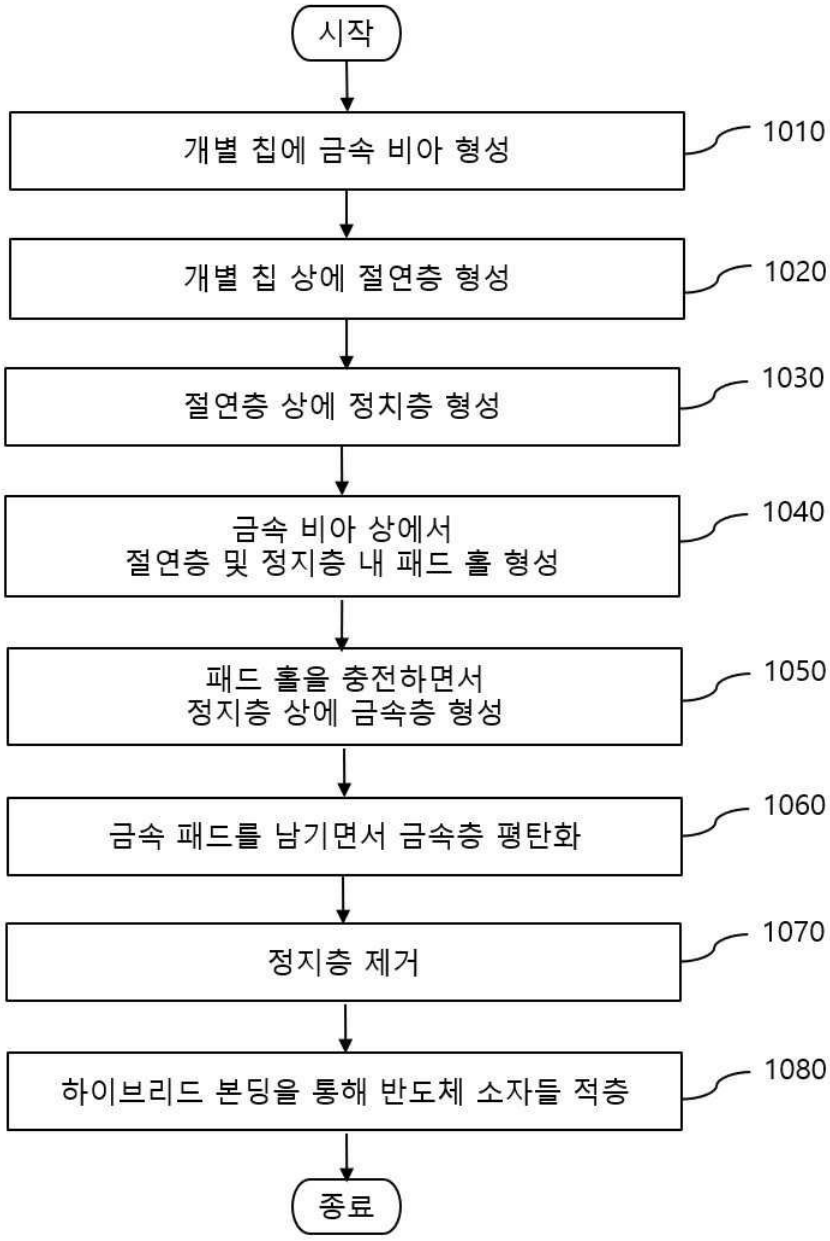
도면8



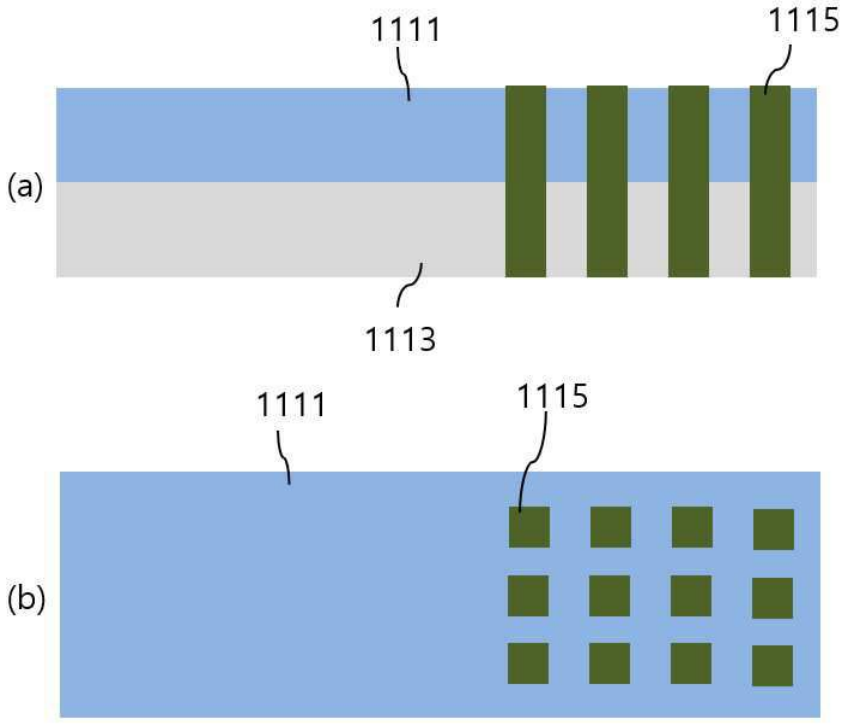
도면9



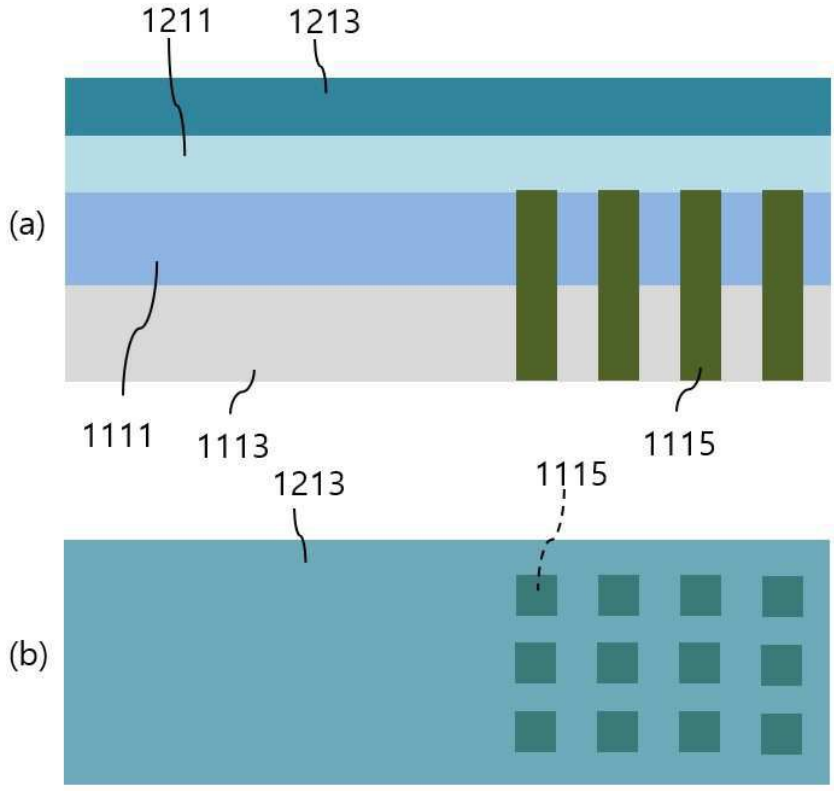
도면10


시작
개별 칩에 금속 비아 형성
1010
개별 칩 상에 절연층 형성
1020
절연층 상에 정치층 형성
1030
금속 비아 상에서
절연층 및 정지층 내 패드 홀 형성
1040
패드 홀을 충전하면서
정지층 상에 금속층 형성
1050
금속 패드를 남기면서 금속층 평탄화
1060
정지층 제거
1070
하이브리드 본딩을 통해 반도체 소자들 적층
1080
종료

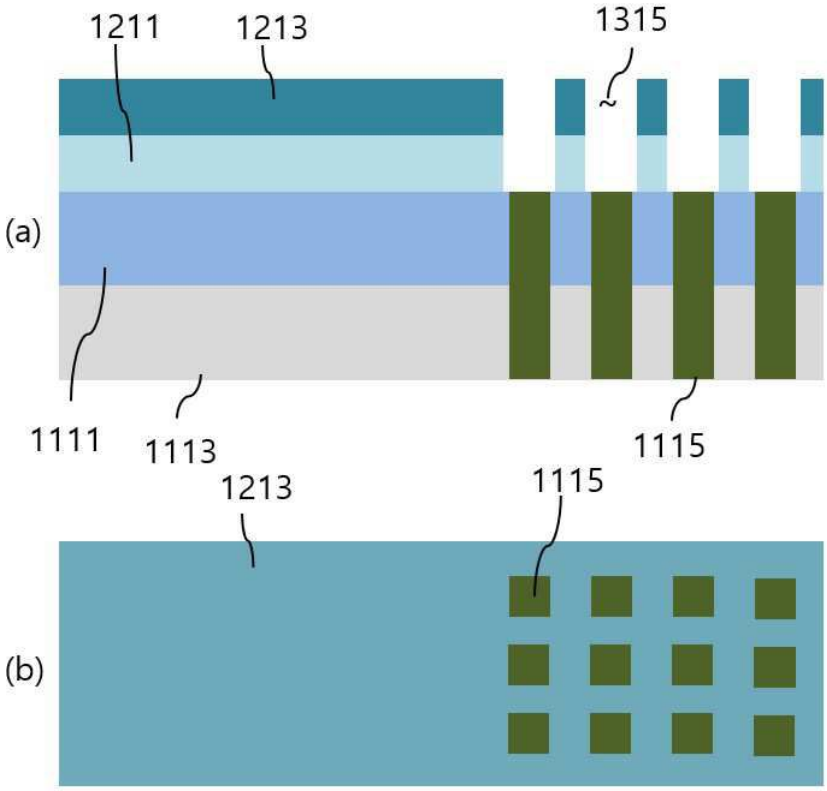
도면11


1111
1115
(a)
1113
1111
1115
(b)

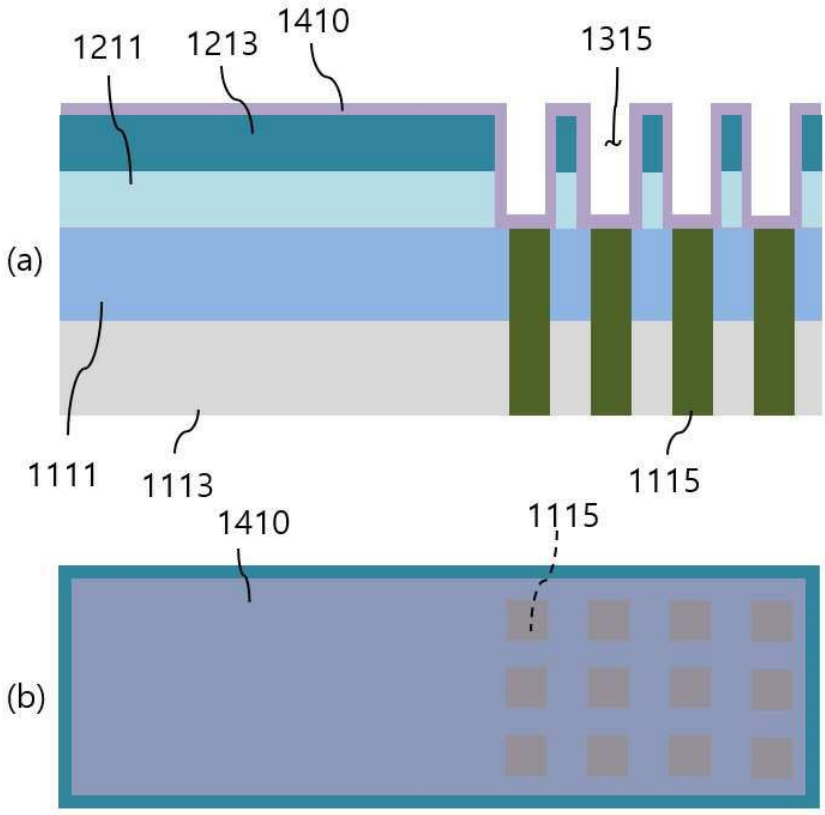
도면12


1211
1213
(a)
1111
1113
1115
1213
1115
(b)

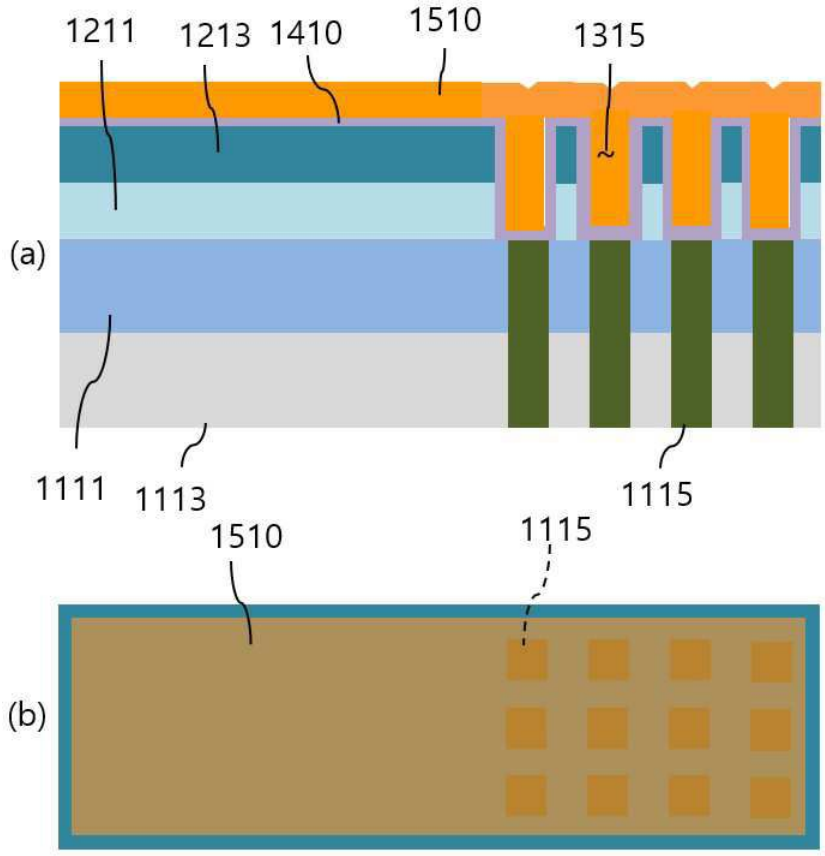
도면13


1211
1213
1315
(a)
1111
1113
1115
1213
1115
(b)

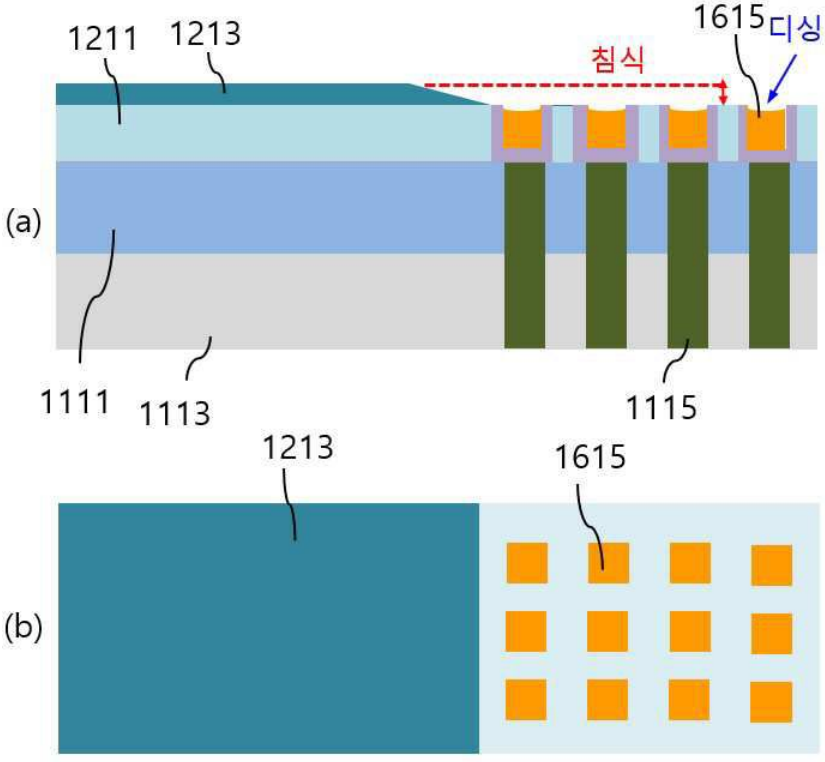
도면14


1211
1213
1410
1315
(a)
1111
1113
1115
1410
1115
(b)

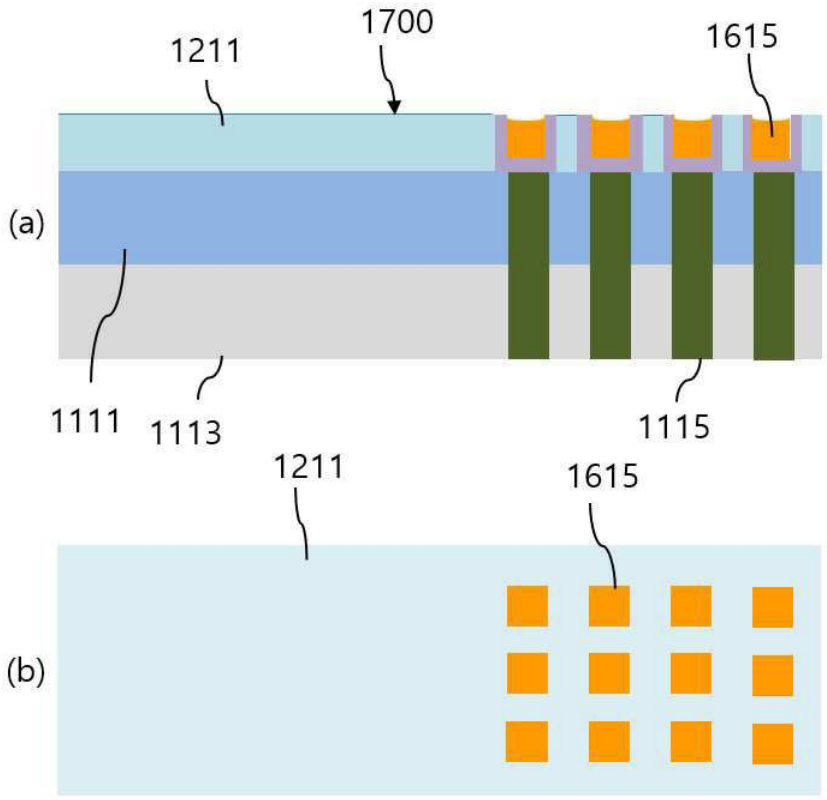
도면15


1211
1213
1410
1510
1315
(a)
1111
1113
1115
1510
1115
(b)

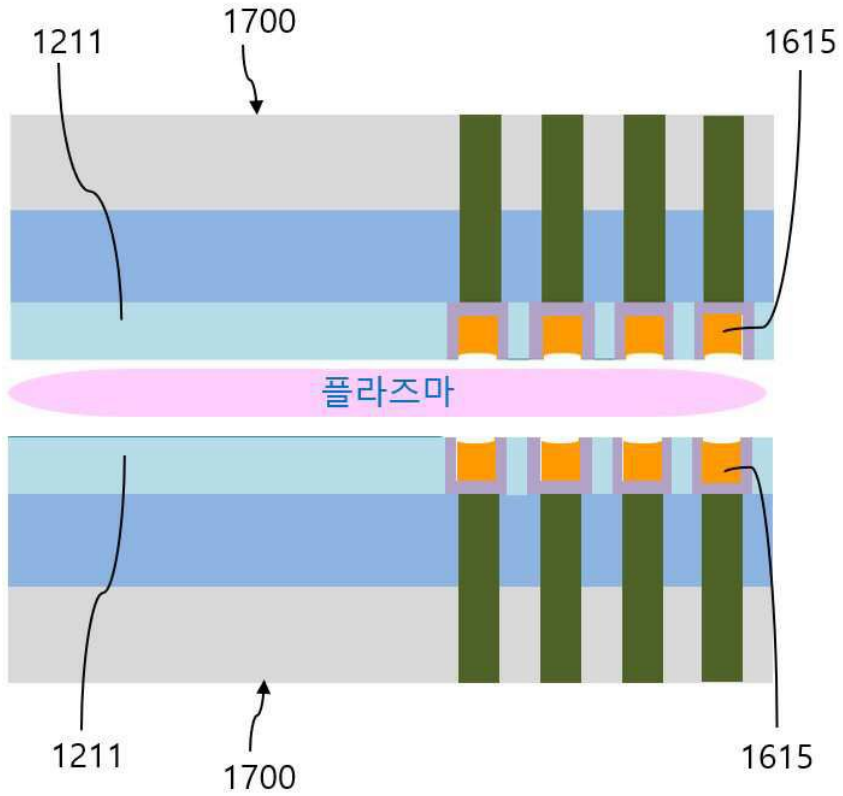
도면16


1211
1213
1615
디싱
침식
(a)
1111
1113
1115
1213
1615
(b)

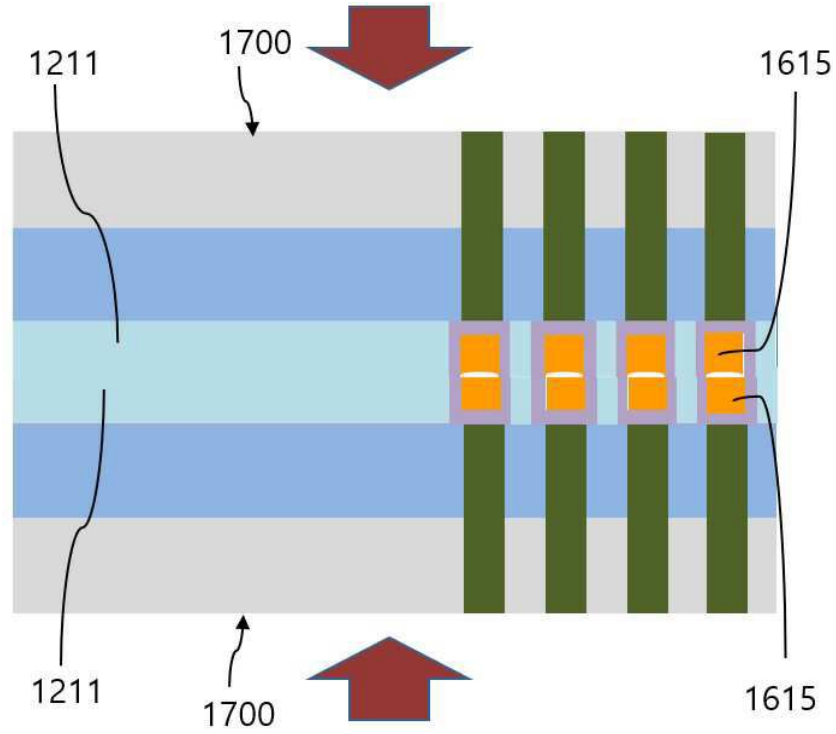
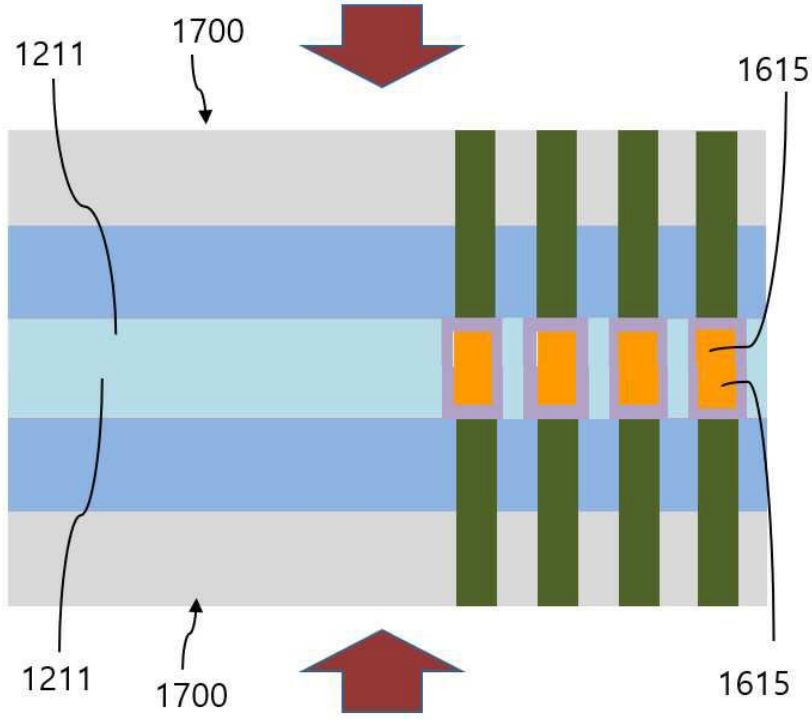
도면17


1211
1700
1615
(a)
1111
1113
1115
1211
1615
(b)

도면18


1211
1700
1615
플라즈마
1211
1700
1615

도면19



도면20