

(11) 공개번호 10-2025-0038535
(43) 공개일자 2025년03월19일

(51) 국제특허분류(Int. Cl.)
H10D 84/85 (2025.01) *H10D 30/67* (2025.01)
H10D 64/27 (2025.01) *H10D 64/66* (2025.01)

(52) CPC특허분류
H10D 84/85 (2025.01)
H10D 30/673 (2025.01)

(21) 출원번호 **10-2023-0121378**

(22) 출원일자 **2023년09월12일**
심사청구일자 **2023년09월12일**

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
한국과학기술원
대전광역시 유성구 대학로 291(구성동)

(72) 발명자
서준기
울산광역시 울주군 언양읍 유니스트길 50
고경민
울산광역시 울주군 언양읍 유니스트길 50
(뒷면에 계속)

(74) 대리인
특허법인 무한

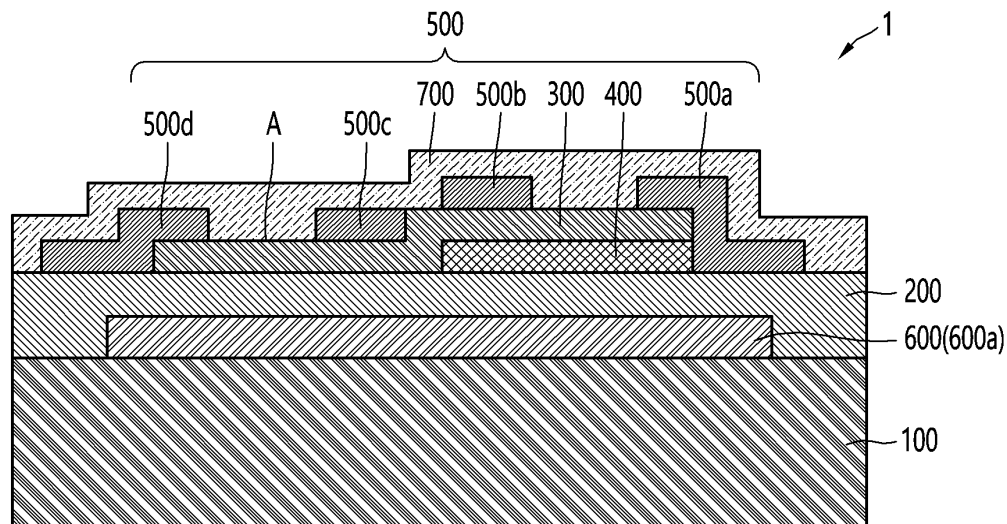
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 무접합 전계효과 트랜지스터 및 CMOS 소자

(57) 요약

무접합 전계효과 트랜지스트 및 CMOS 소자에 관한 것이다. 무접합 전계효과 트랜지스트는 기판; 상기 기판 상에 게이트 절연층; 상기 게이트 절연층 상의 적어도 일부분에 도핑된 2차원 물질 채널층; 상기 도핑된 2차원 물질 채널층 상의 일부분 또는 상기 도핑된 2차원 물질 채널층과 상기 게이트 절연층 사이의 일부분에 2차원 물질 게이트 절연층; 상기 도핑된 2차원 물질 채널층 상에 배치되거나 접촉하는 전극; 및 백 게이트 전극, 탑 게이트 전극 또는 이들 모두; 를 포함하는 것일 수 있다.

대표도 - 도1a



(52) CPC특허분류

H10D 30/6739 (2025.01)

H10D 30/6757 (2025.01)

(72) 발명자

강기범

대전광역시 유성구 대학로 291(구성동)

김지윤

대전광역시 유성구 대학로 291(구성동)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711190636
과제번호	2020R1C1C1011219
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	개인기초연구(과기정통부)
연구과제명	지능형 열제어 회로 구현을 위한 비선형 및 방향성 열전달 소재 개발
기 여 율	1/2
과제수행기관명	울산과학기술원
연구기간	2023.03.01 ~ 2024.02.29

이 발명을 지원한 국가연구개발사업

과제고유번호	1711186671
과제번호	2022M3H4A1A01013228
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	나노소재기술개발
연구과제명	이차원 수평초격자기반 sub-1nm scale 선택성장기술 개발
기 여 율	1/2
과제수행기관명	한국과학기술원
연구기간	2023.01.01 ~ 2023.12.31

명세서

청구범위

청구항 1

기관;

상기 기관 상에 게이트 절연층;

상기 게이트 절연층 상의 적어도 일부분에 도핑된 2차원 물질 채널층;

상기 도핑된 2차원 물질 채널층 상의 일부분 또는 상기 도핑된 2차원 물질 채널층과 상기 게이트 절연층 사이의 일부분에 2차원 물질 게이트 절연층;

상기 도핑된 2차원 물질 채널층 상에 배치되거나 접촉하는 전극; 및

백 게이트 전극, 탑 게이트 전극 또는 이들 모두;

를 포함하는 것인,

무접합 전계효과 트랜지스터.

청구항 2

제1항에 있어서,

상기 무접합 전계효과 트랜지스터는, 상기 기관 및 상기 게이트 절연층 사이에 백 게이트 전극; 상기 2차원 물질 게이트 절연층 상의 일부분에 탑 게이트 전극; 또는 이들 모두를 포함하는 것인, 무접합 전계효과 트랜지스터.

청구항 3

제1항에 있어서,

상기 무접합 전계 트랜지스터는:

기관;

상기 기관 상의 적어도 일부분에 백 게이트 전극;

상기 게이트 전극 상에 게이트 절연층;

상기 게이트 절연층 상의 적어도 일부분에 상에 도핑된 2차원 물질 채널층;

상기 게이트 절연층 및 상기 도핑된 2차원 물질 채널층 사이의 일부분에 2차원 물질 게이트 절연층;

상기 도핑된 2차원 물질 채널층 상 또는 상기 도핑된 2차원 물질 채널층과 접촉하는 드레인 전극 및 소스 전극을 포함하는 전극; 및

상기 전극 상에 패시베이션층;

을 포함하는, 무접합 전계 트랜지스터.

청구항 4

제1항에 있어서,

상기 무접합 전계 트랜지스터는:

기관;

상기 기관 상에 게이트 절연층;

상기 게이트 절연층 상의 적어도 일부분에 도핑된 2차원 물질 채널층;

상기 도핑된 2차원 물질 채널층 상의 일부분에 제1 게이트 절연층 및 제2 게이트 절연층;

상기 도핑된 2차원 물질 채널층 및 상기 제1 게이트 절연층 사이에 2차원 물질 게이트 절연층;

상기 제1 게이트 절연층 상에 탑 게이트 전극;

상기 제2 게이트 절연층 상에 제1 게이트 전극;

상기 도핑된 2차원 물질 채널층과 접촉하는 드레인 전극 및 소스 전극을 포함하는 전극; 및

상기 전극 상에 패시베이션층;

을 포함하는, 무접합 전계 트랜지스터.

청구항 5

제2항에 있어서,

상기 도핑된 2차원 채널층은,

상기 2차원 물질 게이트 절연층에 상응하는 영역에서부터 연장된 영역을 포함하고, 상기 상응하는 영역과 상기 연장된 영역 간에 높이 차이에 의한 단차를 가지며,

상기 연장된 영역은 상기 게이트 절연층과 접촉하는 것인,

무접합 전계 트랜지스터.

청구항 6

제1항에 있어서,

상기 게이트 절연층은,

SiO_2 , SiO , Al_2O_3 , HfO_2 , ZrO_2 , Si_3N_4 , TiO_2 , 또는 ZnO 중 적어도 하나 이상 또는 이들의 조합을 포함하는 것인, 무접합 전계 트랜지스터.

청구항 7

제1항에 있어서,

상기 도핑된 2차원 채널층은 2차원 나노시트이며,

상기 도핑된 2차원 채널층의 두께는, 원자층 두께 이상인 것인, 무접합 전계 트랜지스터.

청구항 8

제1항에 있어서,

상기 도핑된 2차원 채널층은 도핑된 전이금속 다이칼코지나이드를 포함하고,

상기 도핑된 2차원 채널층은 도핑된 전이금속 다이칼코지나이드의 2차원 시트를 포함하는 것인, 무접합 전계 트

랜지스터.

청구항 9

제8항에 있어서,

상기 도핑된 2차원 채널층은,

V, Nb, Ta, Tc, Re 및 Mn 중 적어도 하나 이상이 도핑된 MoS_2 , MoSe_2 , WS_2 , WSe_2 , 또는 MoTe_2 중 적어도 하나 이상 또는 이들의 조합을 포함하는 것인, 무접합 전계 트랜지스터.

청구항 10

제8항에 있어서,

상기 도핑된 전이금속 다이칼코지나이드의 도핑 농도는, 10^{18} 내지 10^{19} cm^{-3} 인 것인, 무접합 전계 트랜지스터.

청구항 11

제1항에 있어서,

상기 2차원 물질 게이트 절연층은, 2차원 물질 절연체를 포함하고,

상기 2차원 물질 절연체는,

질화붕소(h-BN), 이온성 결정(ionic Crystals), 옥시할라이드(oxyhalides), 전이금속 질화할라이드(transition-metal nitride halides) 또는 알칼리 금속 하이드록사이드(alkaline metal hydroxides) 중 적어도 하나 이상 또는 이들의 조합을 포함하는 것인, 무접합 전계 트랜지스터.

청구항 12

제1항에 있어서,

상기 2차원 물질 게이트 절연층은 2차원 나노시트이며,

상기 2차원 물질 게이트 절연층의 두께는, 원자층 두께 이상인 것인, 무접합 전계 트랜지스터.

청구항 13

제1항에 있어서,

상기 전극은 복수개의 소스 전극 및 게이트 전극을 포함하고,

상기 전극은 배치되는 하부영역의 종류, 두께 또는 이들에 따라 전하밀도가 제어되고,

상기 하부영역은, 상기 도핑된 2차원 물질 채널층, 2차원 물질 게이트 절연층 또는 이들 모두인 것인, 무접합 전계효과 트랜지스터.

청구항 14

제1항에 있어서,

상기 도핑된 2차원 물질 채널층의 물질에 따라 전하 밀도의 변화 정도를 제어하는 것인, 무접합 전계효과 트랜지스터.

청구항 15

제1항에 있어서,

상기 도핑된 2차원 물질 채널층 상에 소스 전극 및 드레인 전극; 및 게이트 절연층 상에 게이트 전극으로 이루어진 전극을 형성하고, 상기 도핑된 2차원 물질 채널층은, 게이트 절연체에 직접-컨택으로 전하 밀도가 조절되는 것인, 무접합 전계효과 트랜지스터.

청구항 16

제1항에 있어서,

상기 도핑된 2차원 물질 채널층 상에 소스 전극 및 드레인 전극; 및 게이트 절연층 상에 게이트 전극으로 이루어진 전극을 형성하고, 상기 도핑된 2차원 물질 채널층은, 게이트 절연체와 도핑된 2차원 물질 채널층 사이에 5 nm 이하의 2차원 물질 게이트 절연층을 넣어 전하밀도가 조절되는 것인, 무접합 전계효과 트랜지스터.

청구항 17

제1항에 있어서,

상기 도핑된 2차원 물질 채널층 상에 소스 및 드레인 전극; 및 게이트 절연체에 게이트 전극으로 이루어진 전극을 형성하고, 상기 도핑된 2차원 물질 채널층은, 게이트 절연층과 도핑된 2차원 물질 채널층 사이에 5 nm 이상의 두께로 조절된 2차원 물질 게이트 절연층을 넣어 전하 밀도가 조절되는 것인, 무접합 전계효과 트랜지스터.

청구항 18

제1항 내지 제17항 중 어느 한 항의 무접합 전계 트랜지스터를 포함하는, CMOS 소자.

청구항 19

제18항에 있어서,

상기 CMOS 소자는 동종타입 CMOS 구조인 것인, CMOS 소자.

청구항 20

제18항에 있어서,

상기 CMOS 소자는 기판 효과 기반의 전하밀도에 따라 직접 컨택 영역, 포록시미티 영역 또는 비-컨택 영역을 포함하는 것인, CMOS 소자.

발명의 설명

기술 분야

본 개시의 실시 예들에 따른, 무접합 전계효과 트랜지스터 및 이를 포함하는 CMOS 소자에 관한 것이다.

배경 기술

[0001]

[0002] 2차원 반도체 물질은, 실리콘의 집적도 한계를 뛰어넘을 수 있는 유망한 차세대 전자소재로 각광받고 있습니다. 이는 층간 결함이 없어 캐리어 분산이 적고 화학적으로 안정하다는 장점이 있기 때문입니다. 이러한 특성은 3차원 소재에서 발생하는 계면 상태로 인한 캐리어 밀도 저하와 단일 채널 효과로 인한 누설전류 증가와 같은 집적도 한계를 극복할 수 있다. 따라서, 단결립 결함이 없는 이차원 반도체는 이론적으로나 실험적으로나 실리콘의 집적도 한계를 극복할 수 있는 소재로 관심을 받고 있다.

[0003] 무접합 전계효과 트랜지스터는 접합(Junction)이 없는 전계효과 트랜지스터이다. MOSFET와는 달리, 무접합 전계효과 트랜지스터는 게이트(Gate)와 채널(Channel) 사이에 어떠한 PN 접합도 없으며, 이로 인해 PN 접합에서 발생하는 정전류와 역전류의 문제점을 해결할 수 있다. 무접합 전계효과 트랜지스터의 동작 방식은 게이트 전압이 인가됨에 따라 채널의 전하밀도가 변화하여 전류가 흐르는 것이다. 이러한 동작 방식은 PN접합의 역할을 대신하여 게이트 전압에 의해 채널 전하밀도를 조절할 수 있다.

발명의 내용

해결하려는 과제

[0004] 일 실시 예에 따라, 본 개시는, 도핑된 이차원 반도체 물질의 2차원 채널에 의한 무접합 전계효과 트랜지스터의 구현과 이를 활용한 CMOS 소자를 제작할 수 있는, 도핑된 이차원 반도체 물질의 2차원 채널을 포함하는 무접합 전계효과 트랜지스터 및 이를 포함하는 CMOS 소자 (예: 동종타입 CMOS 구조)를 제공하는 것이다.

[0005] 일 실시 예에 따라, 본 개시는, 2차원 물질 게이트 절연층을 적용하여 기판 효과 기반의 전하밀도 엔지니어링이 가능한 도핑된 이차원 반도체 물질의 2차원 채널을 포함하는 무접합 전계효과 트랜지스터 및 이를 포함하는 CMOS 소자 (예: 동종타입 CMOS 구조)를 제공하는 것이다.

[0006] 그러나, 본 발명이 해결하고자 하는 과제는 이상에서 언급한 것들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 해당 분야 통상의 기술자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 본 개시의 실시 예들에 따른, 무접합 전계효과 트랜지스터는 기판; 상기 기판 상에 게이트 절연층; 상기 게이트 절연층 상의 적어도 일부분에 도핑된 2차원 물질 채널층; 상기 도핑된 2차원 물질 채널층 상의 일부분 또는 상기 도핑된 2차원 물질 채널층과 상기 게이트 절연층 사이의 일부분에 2차원 물질 게이트 절연층; 상기 도핑된 2차원 물질 채널층 상에 배치되거나 접촉하는 전극; 및 백 게이트 전극, 탑 게이트 전극 또는 이들 모두; 를 포함하는 것일 수 있다.

[0008] 일 실시 예에 따라, 상기 무접합 전계효과 트랜지스터는, 상기 기판 및 상기 게이트 절연층 사이에 백 게이트 전극; 상기 2차원 물질 게이트 절연층 상의 일부분에 탑 게이트 전극; 또는 이들 모두를 포함하는 것일 수 있다.

[0009] 일 실시 예에 따라, 상기 무접합 전계 트랜지스터는: 기판; 상기 기판 상의 적어도 일부분에 백 게이트 전극; 상기 백 게이트 전극 상에 게이트 절연층; 상기 게이트 절연층 상의 적어도 일부분에 상에 도핑된 2차원 물질 채널층; 상기 게이트 절연층 및 상기 도핑된 2차원 물질 채널층 사이의 일부분에 2차원 물질 게이트 절연층; 상기 도핑된 2차원 물질 채널층 상 또는 상기 도핑된 2차원 물질 채널층과 접촉하는 드레인 전극 및 소스 전극을 포함하는 전극; 및 상기 전극 상에 패시베이션층;을 포함하는 것일 수 있다.

[0010] 일 실시 예에 따라, 상기 무접합 전계 트랜지스터는: 기판; 상기 기판 상에 게이트 절연층; 상기 게이트 절연층 상의 적어도 일부분에 도핑된 2차원 물질 채널층; 상기 도핑된 2차원 물질 채널층 상의 일부분에 제1 게이트 절연층 및 제2 게이트 절연층; 상기 도핑된 2차원 물질 채널층 및 상기 제1 게이트 절연층 사이에 2차원 물질 게이트 절연층; 상기 제1 게이트 절연층 상에 탑 게이트 전극; 상기 제2 게이트 절연층 상에 제1 게이트 전극; 상기 도핑된 2차원 물질 채널층과 접촉하는 드레인 전극 및 소스 전극을 포함하는 전극; 및 상기 전극 상에 패시베이션층;을 포함하는 것일 수 있다.

[0011] 일 실시 예에 따라, 상기 도핑된 2차원 채널층은, 상기 2차원 물질 게이트 절연층에 상응하는 영역에서부터 연장된 영역을 포함하고, 상기 상응하는 영역과 상기 연장된 영역 간에 높이 차이에 의한 단차를 가지며, 상기 연장된 영역은 상기 게이트 절연층과 접촉하는 것일 수 있다.

[0012] 일 실시 예에 따라, 상기 게이트 절연층은, SiO_2 , SiO , Al_2O_3 , HfO_2 , ZrO_2 , Si_3N_4 , TiO_2 , 또는 ZnO 중 적어도 하나

이상 또는 이들의 조합을 포함하는 것일 수 있다.

- [0013] 일 실시 예에 따라, 상기 도핑된 2차원 채널층은 2차원 나노시트이며, 상기 도핑된 2차원 채널층의 두께는, 원자층 두께 이상인 것일 수 있다.
- [0014] 일 실시 예에 따라, 상기 도핑된 2차원 채널층은 도핑된 전이금속 다이칼코지나이드를 포함하고, 상기 도핑된 2차원 채널층은 도핑된 전이금속 다이칼코지나이드의 2차원 시트를 포함하는 것일 수 있다.
- [0015] 일 실시 예에 따라, 상기 도핑된 2차원 채널층은, V, Nb, Ta, Tc, Re 및 Mn 중 적어도 하나 이상이 도핑된 MoS_2 , MoSe_2 , WS_2 , WSe_2 , 또는 MoTe_2 중 적어도 하나 이상 또는 이들의 조합을 포함하는 것일 수 있다.
- [0016] 일 실시 예에 따라, 상기 도핑된 전이금속 다이칼코지나이드의 도핑 농도는, 10^{18} 내지 10^{19} cm^{-3} 인 것일 수 있다.
- [0017] 일 실시 예에 따라, 상기 2차원 물질 게이트 절연층은, 2차원 물질 절연체를 포함하고, 상기 2차원 물질 절연체는, 질화붕소(h-BN), 이온성 결정(ionic Crystals), 옥시할라이드(oxyhalides), 전이금속 질화할라이드(transition-metal nitride halides) 또는 알칼리 금속 하이드록사이드(alkaline metal hydroxides) 중 적어도 하나 이상 또는 이들의 조합을 포함하는 것일 수 있다.
- [0018] 일 실시 예에 따라, 상기 2차원 물질 게이트 절연층은 2차원 나노시트이며, 상기 2차원 물질 게이트 절연층의 두께는, 원자층 두께 이상인 것일 수 있다.
- [0019] 일 실시 예에 따라, 상기 전극은 복수개의 소스 전극 및 게이트 전극을 포함하고, 상기 전극은 배치되는 하부영역의 종류 또는 두께에 따라 전하밀도가 제어되고, 상기 하부영역은, 상기 도핑된 2차원 물질 채널층, 2차원 물질 게이트 절연층 또는 이들 모두인 것일 수 있다.
- [0020] 일 실시 예에 따라, 상기 도핑된 2차원 물질 채널층 상에 소스 및 드레인 전극, 그리고 게이트 절연층에 게이트 전극으로 이루어진 전극을 형성하고, 상기 도핑된 2차원 물질 채널층은, 게이트 절연층에 직접-컨택으로 전하 밀도가 조절되는 것일 수 있다.
- [0021] 일 실시 예에 따라, 상기 도핑된 2차원 물질 채널층 상에 소스 및 드레인 전극, 그리고 게이트 절연층에 게이트 전극으로 이루어진 전극을 형성하고, 상기 도핑된 2차원 물질 채널층은, 게이트 절연층과 도핑된 2차원 물질 채널층 사이에 5nm 내지 더 얇은 (포복시미터) 2차원 물질 게이트 절연층을 넣어 전하밀도가 조절되는 것일 수 있다.
- [0022] 일 실시 예에 따라, 상기 도핑된 2차원 물질 채널층 상에 소스 및 드레인 전극, 그리고 게이트 절연층에 게이트 전극으로 이루어진 전극을 형성하고, 상기 도핑된 2차원 물질 채널층은, 게이트 절연층과 도핑된 2차원 물질 채널층 사이에 5 nm 이상으로 (비-컨택) 조절된 2차원 물질 게이트 절연층을 넣어 전하 밀도가 조절되는 것일 수 있다.
- [0023] 일 실시 예에 따라, 상기 2차원 물질 게이트 절연층의 물질 특성을 이용하여 변화의 정도가 조절될 수 있다.
- [0024] 본 개시의 실시 예들에 따른, CMOS 소자는 본 개시의 실시 예들에 따른 무접합 전계 트랜지스터를 포함하는 것일 수 있다.
- [0025] 일 실시 예에 따라, 상기 CMOS 소자는 동종타입 CMOS 구조인 것일 수 있다.
- [0026] 일 실시 예에 따라, 상기 CMOS 소자는 기판 효과 기반의 전하밀도에 따른 직접 컨택 영역, 포복시미터 영역 또는 비-컨택 영역을 포함하는 것일 수 있다.

발명의 효과

- [0027] 일 실시 예에 따라, 본 개시는, 도핑된 이차원 반도체를 이용한 무접합 전계효과 트랜지스터 및 이를 활용한 CMOS 소자를 제공할 수 있다.
- [0028] 일 실시 예에 따라, 본 개시의 실시 예들에 따른 무접합 전계효과 트랜지스터에서 절연체와 도핑된 이차원 반도체 사이에 공간분리층(즉, 2차원(2D)절연체)을 추가하여 전하밀도(예: 문턱전압)의 변조를 구현할 수 있다.
- [0029] 일 실시 예에 따라, 본 개시의 실시 예들에 따른 무접합 전계효과 트랜지스터는, 추가 공정 없이 하나의 도핑된 2차원 시트로 CMOS를 구현하고, 이는 소자의 공정 및 비용 측면에서 매우 효율적인 제조 공정을 제공할 수

있다.

도면의 간단한 설명

- [0030] 도 1a는, 본 개시의 실시 예들에 따른, 무접합 전계효과 트랜지스터(1)의 구성을 나타낸 것이다.
- 도 1b는, 본 개시의 실시 예들에 따른, 무접합 전계효과 트랜지스터(1)에 의한 CMOS 소자를 나타낸 것이다.
- 도 2a는, 본 개시의 실시 예들에 따른, 무접합 전계효과 트랜지스터(1)의 구성을 나타낸 것이다.
- 도 2b는, 본 개시의 실시 예들에 따른, 무접합 전계효과 트랜지스터(1)의 CMOS 소자를 나타낸 것이다.
- 도 3은, 일 실시 예에 따라, 도 1a의 무접합 전계효과 트랜지스터에서 소스전극(S) 및 드레인 전극(D)의 복수개의 전극쌍의 배치이미지(a) 도면) 및 이들의 기판 효과에 따른 전하밀도 제어 결과(b)를 나타낸 것이다.
- 도 4는, 일 실시 예에 따라, 도 1a의 무접합 전계효과 트랜지스터를 이용한 CMOS 집적회로(도 1b)의 구현을 나타낸 것으로, (a)CMOS 이미지, (b) DC 트랜스퍼 곡선(transfer curve) 및 (c) 인버터 구조(Invertor configuration))이다.

발명을 실시하기 위한 구체적인 내용

- [0031] 이하 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 본 발명을 설명함에 있어서, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 또한, 본 명세서에서 사용되는 용어들은 본 발명의 바람직한 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다. 각 도면에 제시된 동일한 참조 부호는 동일한 부재를 나타낸다.
- [0032] 명세서 전체에서, 어떤 부재가 다른 부재 "상에" 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다.
- [0033] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 다른 구성요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다.
- [0034] 본 문서에서, "A 또는 B", "A 및 B 중 적어도 하나", "A 또는 B 중 적어도 하나", "A, B 또는 C", "A, B 및 C 중 적어도 하나", 및 "A, B, 또는 C 중 적어도 하나"와 같은 문구들 각각은 그 문구들 중 해당하는 문구에 함께 나열된 항목들 중 어느 하나, 또는 그들의 모든 가능한 조합을 포함할 수 있다. "제1", "제2", 또는 "첫째" 또는 "둘째"와 같은 용어들은 단순히 해당 구성요소를 다른 해당 구성요소와 구분하기 위해 사용될 수 있으며, 해당 구성요소들을 다른 측면(예: 중요성 또는 순서)에서 한정하지 않는다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다. 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.
- [0035] 이하, 본 개시의 무접합 전계효과 트랜지스터 및 이의 활용에 대하여 실시예 및 도면을 참조하여 구체적으로 설명하도록 한다. 그러나, 본 발명이 이러한 실시예 및 도면에 제한되는 것은 아니다.
- [0036] 일 실시 예에 따라, 도 1a 및 도 2a는, 본 개시의 실시 예들에 따른, 무접합 전계효과 트랜지스터(1)의 구성을 나타낸 것이다. 일 실시 예에 따라, 도 1a 및 도 2a에서 무접합 전계효과 트랜지스터(1)는, 기판(100), 게이트 절연층(200) (예: 도 2a에서 200a 및 200b), 도핑된 2차원 물질 채널층(300), 2차원 물질 게이트 절연층(400), 전극(500) (예: 도 1a 및 도 2a에서 복수개의 전극(500a, 500b, 500c 및 500d)) 및 게이트 전극(600)(예: 도 1a의 600a) (예: 도 2a의 600b 및 600c)을 포함할 수 있다.
- [0037] 일 실시 예에 따라, 기판(100)은, 반도체 소자, 메모리 소자, CMOS 소자 등에 적용 가능한 것이라면 제한 없이 적용될 수 있으며, 본 문서에는 구체적으로 언급하지 않는다. 예를 들어, 기판(100)은, 웨이퍼, 유리, 사파이어, 반도체 기판 등일 수 있으나, 이에 제한되지 않는다.
- [0038] 일 실시 예에 따라, 게이트 절연층(200) (예: 도 1a 및 도 2a의 200, 도 2a의 200a 및 200b)은, 기판(100) 상의 적어도 일부분에 배치될 수 있다. 어떤 실시예에서 게이트 절연층(200)은, 기판(100) 및 도핑된 2차원 물질 채널층(300) 사이에 배치될 수 있다. 어떤 실시 예에서 게이트 절연층(200)은, 기판(100) 및 도핑된 2차원 물

질 채널층(300)의 일면의 적어도 일부분과 접촉할 수 있다. 어떤 실시 예에서 게이트 절연층(200)은, 도핑된 2차원 물질 채널층(300) 및 2차원 물질 게이트 절연층(400) 상의 적어도 일부분에 배치될 수 있다(도 2a의 200a 및 200b).

[0039] 일 실시 예에 따라, 게이트 절연층(200) (예: 도 1a 및 도 2a의 200, 도 2a의 200a 및 200b)은, 산화물계 절연성 물질, 질화물계 절연성 물질 또는 이들 모두를 포함할 수 있다. 어떤 실시 예에서 게이트 절연층(200)은, SiO_2 , SiO , SiON , Ta_2O_5 , HfO_2 , Al_2O_3 , ZrO_2 , Si_3N_4 , TiO_2 , 또는 ZnO 중 적어도 하나 이상 또는 이들의 조합을 포함할 수 있다. 즉, 이들은 3차원 절연성 물질에 해당되며, 2차원 물질 절연층(400)과 조합하여 무전계 트랜지스터(1)의 전하밀도 엔지니어링에 활용될 수 있다.

[0040] 일 실시 예에 따라, 게이트 절연층(200) (예: 도 1a 및 도 2a의 200, 도 2a의 200a 및 200b)의 두께는, 전하밀도 제어를 위해 조절될 수 있다. 일 실시 예에 따라, 게이트 절연층(200)은 단일층 또는 복수층일 수 있다. 어떤 실시 예에서 도 2a의 게이트 절연층(200a 및 200b)의 두께는 약 5 nm 이하의 얇은 박막일 수 있다. 이러한 두께는 전하밀도 조절에서 프록시미터로 활용될 수 있다. 어떤 실시 예에서 도 2a의 게이트 절연층(200a 및 200b)의 두께는 약 5 nm 이상의 박막일 수 있다. 이러한 두께는 전하밀도 조절에서 비-컨택으로 활용될 수 있다.

[0041] 일 실시 예에 따라, 도핑된 2차원 물질 채널층(300)은, 게이트 절연층(200) 상의 적어도 일부분에 배치될 수 있다. 일 실시 예에 따라, 도핑된 2차원 물질 채널층(300)은, 도핑된 2차원 반도체 물질로서 도핑된 전이금속 다이칼코지나이드(예: MX_2 (M는 전이금속이고, X는 S, Se 또는 Te에서 선택되는 칼코젠 원소이다))를 포함할 수 있다. 어떤 실시 예에서 도핑된 2차원 물질 채널층(300)을 적용하여 게이트 전압이 인가됨에 따라 채널의 전하밀도가 변화하여 전류가 흐르는 무접합 전계효과 트랜지스터를 구현할 수 있다. 어떤 실시 예에서 도핑된 2차원 물질 채널층(300)은, V, Nb, Ta, Tc, Re 또는 Mn 중 적어도 하나 이상 또는 이들의 조합으로 도핑되고, Cr, Mo 또는 W 중 선택되는 전이금속을 포함하는 전이금속 다이칼코지나이드일 수 있다. 어떤 실시 예에서 도핑된 2차원 물질 채널층(300)은, 약 $10^{18} \sim 10^{19} \text{ cm}^{-3}$ 의 도핑 농도를 갖는 도핑된 전이금속 다이칼코지나이드를 포함할 수 있다. 어떤 실시 예에서 도핑된 2차원 물질 채널층(300)은, 높은 도핑 농도로 도핑된 전이금속 다이칼코지나이드를 적용함으로써, 전극(예: 게이트 절연층(200) 및 게이트 전극(600))과 채널(예: 채널층(300)) 사이의 무접합을 형성하고, 접합(예: PN 접합)에 의한 소자의 성능 저하를 개선시킬 수 있다. 또한, 무접합에 의해 소자(예: 트랜지스터)의 크기를 줄일 수 있다. 어떤 실시 예에서 도핑된 2차원 물질 채널층(300)은, V, Nb, Ta, Tc, Re 및 Mn 중 적어도 하나 이상 또는 이들의 조합이 도핑된 MoS_2 , MoSe_2 , WS_2 , WSe_2 또는 MoTe_2 중 적어도 하나 이상 또는 이들의 조합을 포함할 수 있다. 어떤 실시 예에서 Nb- MoS_2 , Re- MoS_2 , V- MoS_2 , Mn-또는 MoS_2 중 하나 이상 또는 이들의 조합을 포함할 수 있다.

[0042] 일 실시 예에 따라, 도핑된 2차원 물질 채널층(300)은, 단일 또는 복수개의 단차를 갖는 2차원 나노시트일 수 있다. 즉, 시트 내에서 두께 또는 높이 차이에 따른 단차를 포함할 수 있다. 예를 들어, 도 1a에서 도핑된 2차원 물질 채널층(300)은 연장영역(A) 및 2차원 물질 게이트 절연층(400) 상에 상응하는 영역(즉, 2차원 물질 게이트 절연층(400) 상에 배치된 영역)은 높이 차이에 따른 단차를 가질 수 있다.

[0043] 일 실시 예에 따라, 도핑된 2차원 물질 채널층(300)은, 2차원 나노시트일 수 있으며, 예를 들어, 2차원 나노시트의 도핑된 전이금속 다이칼코지나이드를 포함할 수 있다.

[0044] 일 실시 예에 따라, 도핑된 2차원 물질 채널층(300)은, 단일층 또는 복수층일 수 있으며, 상기 복수층일 경우에 각층은 동일하거나 상이할 수 있다(예: 인접한 층 간에 상이한 도핑된 전이금속 다이칼코지나이드를 포함할 수 있다.). 어떤 실시 예에서 도핑된 2차원 물질 채널층(300)의 두께는, 원자층 두께(예: 모노레이어)이상일 수 있으며, 예를 들어, 약 4 nm 이상; 약 5 nm 이상; 약 8 nm 이상 또는 약 15 nm 이상(또는, 이하)일 수 있다. 어떤 실시 예에서 도핑된 2차원 물질 채널층(300)의 두께는, 원자층 두께(예: 모노레이어) 이상의 층이 복수층으로 구성될 수 있다.

[0045] 일 실시 예에 따라, 2차원 물질 게이트 절연층(400)은, 도핑된 2차원 물질 채널층(300)과 게이트 절연층(200) 사이(예: 도 1a)의 적어도 일부분 또는 도핑된 2차원 물질 채널층 상(300) 상의 적어도 일부분(예: 도 2a)에 배치될 수 있다. 즉, 2차원 물질 게이트 절연층(400)은, 전하 밀도를 변조시켜 기판 효과 기반의 전하밀도 엔지니어링을 구현할 수 있다. 이는 하나의 도핑된 이차원 시트(예: 채널층(400))으로 CMOS를 구현시킬 수 있다.

- [0046] 어떤 실시 예에서 도 1a를 참조하면, 2차원 물질 게이트 절연층(400)은, 게이트 절연층(200) 상의 적어도 일부분에 배치되고, 2차원 물질 게이트 절연층(400) 상에 도핑된 2차원 물질 채널층(300)이 배치될 수 있다. 이때 도핑된 2차원 물질 채널층(300)은, 2차원 물질 게이트 절연층(400)에 상응하는 영역에서부터 연장되어 게이트 절연층(200)과 접촉하거나 게이트 절연층(200)에 배치된 연장 영역(A)을 포함할 수 있다.
- [0047] 어떤 실시 예에서 도 2a를 참조하면, 2차원 물질 게이트 절연층(400)은, 도핑된 2차원 물질 채널층(300) 상의 일부분에 배치되고, 2차원 물질 게이트 절연층(400) 상에 게이트 절연층(200a)이 배치될 수 있다. 즉, 도 1a 및 도 2a에 무접합 전계효과 트랜지스터(1)는, 2차원 물질 게이트 절연층(400)을 삽입층으로 적용하여 전하밀도를 조절할 수 있으며, 더 나아가 절연체 물질의 종류, 층두께 등에 따라 전하밀도를 엔지니어링할 수 있다.
- [0048] 일 실시 예에 따라, 2차원 물질 게이트 절연층(400)은, 2차원 물질 절연체를 포함할 수 있다. 어떤 실시 예에서 상기 2차원 물질 절연체는, 질화붕소(h-BN), 이온성 결정체(ionic Crystals), 옥시할라이드(oxyhalides), 전이금속 질화할라이드(transition-metal nitride halides) 또는 알칼리 금속 하이드록사이드(alkaline metal hydroxides) 중 적어도 하나 이상 또는 이들의 조합을 포함할 수 있다. 여기서, 전이금속은, 스칸듐(Sc), 이트륨(Y), 티타늄(Ti), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오븀(Nb), 탄탈륨(Ta), 크롬(Cr), 몰리브덴(Mo), 텅스텐(W), 망간(Mn), 테크네튬(Tc), 레늄(Re), 철(Fe), 루테튬(Ru), 오스뮴(Os), 코발트(Co), 로듐(Rh), 이리듐(Ir), 니켈(Ni), 팔라듐(Pd), 백금(Pt), 구리(Cu), 은(Ag), 금(Au), 아연(Zn), 카드뮴(Cd) 또는 수은(Hg)에서 선택될 수 있다. 여기서, 알칼리 금속은, 리튬(Li), 나트륨(Na), 칼륨(K), 루비듐(Rb), 세슘(Cs) 또는 프랑슘(Fr)에서 선택될 수 있다.
- [0049] 일 실시 예에 따라, 2차원 물질 게이트 절연층(400)은, 2차원 나노시트일 수 있으며, 예를 들어, 2차원 나노시트의 2차원 물질 절연체를 포함할 수 있다. 일 실시 예에 따라, 2차원 물질 게이트 절연층(400)은, 단일층 또는 복수층일 수 있으며, 상기 복수층일 경우에 각층은 동일하거나 상이할 수 있다(예: 인접한 층 간에 상이한 도핑된 전이금속 다이칼코지나이드를 포함할 수 있다.). 어떤 실시 예에서 2차원 물질 게이트 절연층(400)의 두께는, 원자층 두께(예: 모노레이어)이상일 수 있으며, 예를 들어, 이러한 두께는 전하밀도 제어를 위해 조절될 수 있다. 어떤 실시 예에서 두께는 약 2 nm 내지 약 10 nm 일 수 있다. 어떤 실시 예에서 프록시미티일 경우에 약 2 nm 이하이고, 비-컨택일 경우에 약 10 nm일 수 있다. 어떤 실시예에서 2차원 물질 게이트 절연층(400)의 두께는, 원자층 두께(예: 모노레이어) 이상의 층이 복수층으로 구성될 수 있다.
- [0050] 일 실시 예에 따라, 2차원 물질 게이트 절연층(400)은, 단일 또는 복수개의 단차를 갖는 2차원 나노시트일 수 있다. 즉, 시트 내에서 두께 또는 높이 차이에 따른 단차를 포함할 수 있다.
- [0051] 일 실시 예에 따라, 전극(500)은, 도핑된 2차원 물질 채널층(400) 상에 배치되거나 접촉할 수 있다. 전극(500)은, 단일 또는 복수개의 소스 전극(S) 및/또는 드레인 전극(D)(예: 도 1a 및 도 2a에서 복수개의 전극(500a, 500b, 500c 및 500d))을 포함할 수 있다. 소스 전극(S) 및 드레인 전극(D)은 하나의 쌍으로 구성될 수 있다.
- [0052] 일 실시 예에 따라, 전극(500)은, 본 발명의 기술분야에서 알려진 성분으로 구성될 수 있으며, 본 문서에는 구체적으로 언급하지 않는다.
- [0053] 일 실시 예에 따라, 무접합 전계효과 트랜지스터(1)는, 게이트 절연층(200, 200a 또는 200b) 및 도핑된 2차원 물질 채널층(300) 사이에 2차원 물질 게이트 절연층(400)을 넣어서 전하밀도를 엔지니어링할 수 있다. 어떤 실시 예에서 2차원 물질 게이트 절연층(400)의 물질 특성을 이용하여 전하 밀도의 변화의 정도가 조절될 수 있다. 어떤 실시 예에서 전하밀도는 직접-컨택(Direct-contact), 프록시미티(Proximity) 또는 비-컨택(Non-contact) 중 적어도 하나 이상 또는 이들의 조합을 구현할 수 있다.
- [0054] 도 1a, 도 2a 및 도 3을 참조하면, 어떤 실시 예에서 도핑된 2차원 물질 채널층(300) 상에 소스 전극(S) 및 드레인 전극(D); 및 게이트 절연층(200, 200a 또는 200b) 상에 게이트 전극(600)으로 이루어진 전극을 형성하고, 도핑된 2차원 물질 채널층(300)은, 게이트 절연층(200)에 직접-컨택으로 전하 밀도가 조절되는 것일 수 있다.
- [0055] 어떤 실시 예에서, 도핑된 2차원 물질 채널층(300) 상에 소스 전극(S) 및 드레인 전극(D); 및 게이트 절연층(200, 200a 또는 200b) 상에 게이트 전극(600)으로 이루어진 전극을 형성하고, 도핑된 2차원 물질 채널층(300)은, 게이트 절연층(200, 200a 또는 200b)와 도핑된 2차원 물질 채널층(300) 사이에 약 5 nm 이하; 또는 더 얇은 2차원 물질 게이트 절연층(400)을 넣어 전하밀도가 조절되는 것일 수 있다. 이는 "프록시미티"에 해당될 수 있다.

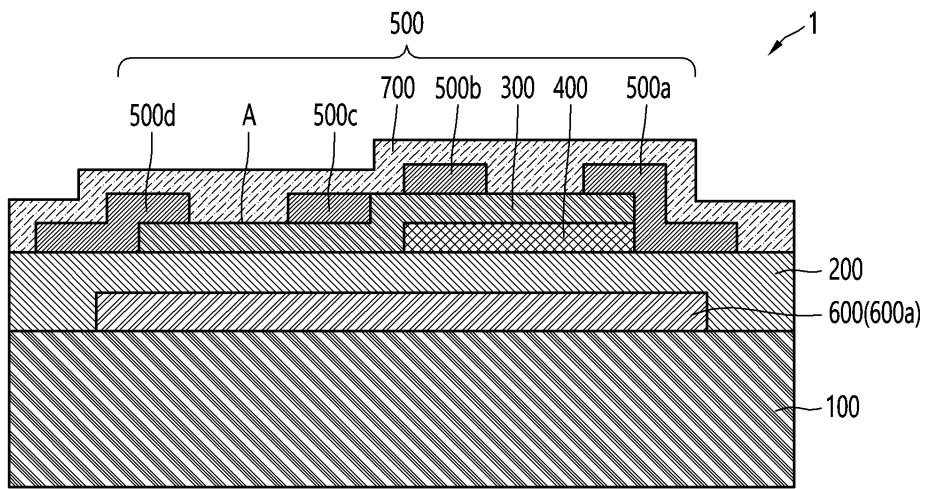
- [0056] 어떤 실시 예에서 도핑된 2차원 물질 채널층(300) 상에 소스 전극(S) 및 드레인 전극(D), 및 게이트 절연층(200, 200a 또는 200b) 상에 게이트 전극(600)으로 이루어진 전극을 형성하고, 도핑된 2차원 물질 채널층(300)은, 게이트 절연층(200)와 도핑된 2차원 물질 채널층(300) 사이에 약 5 nm 이상의 두께로 조절된 2차원 물질 게이트 절연층(400)을 넣어 전하 밀도가 조절되는 것일 수 있다. 이는 "비-컨택"에 해당될 수 있다.
- [0057] 일 실시 예에 따라, 무접합 전계효과 트랜지스터(1)는, 게이트 전극(600)으로 백 게이트 전극(600a), 탑 게이트 전극(예: 600b) 또는 이들 모두를 포함할 수 있다. 일 실시 예에 따라, 무접합 전계효과 트랜지스터(1)는, 기판(100) 및 게이트 절연층(200) 사이에 백 게이트 전극(600a); 2차원 물질 게이트 절연층(400) 상의 일부분에 탑 게이트 전극(600b); 또는 이들 모두를 포함할 수 있다. 일 실시 예에 따라, 백 게이트 전극(600a)은, 기판(100)의 적어도 일부분에 배치되고, 백 게이트 전극(600a) 상에 게이트 절연층(200)이 형성될 수 있다. 일 실시 예에 따라, 탑 게이트 전극(600b) 및 2차원 물질 게이트 절연층(400) 사이에 게이트 절연층(예: 도 2a의 제1 게이트 절연층(200a))을 더 포함할 수 있다.
- [0058] 일 실시 예에 따라, 무접합 전계효과 트랜지스터(1)는, 게이트 전극, 게이트 절연층, 패시베이션 등의 구성을 더 포함할 수 있다. 일 실시 예에 따라, 도 1a는 백 게이트 구조의 무접합 전계 트랜지스터(1)의 구성을 나타낸 것으로, 도 1a에서 무접합 전계 트랜지스터(1)는 기판(100), 게이트 절연층(200), 도핑된 2차원 물질 채널층(300), 2차원 물질 게이트 절연층(400) 및 전극(500)을 포함하고, 백 게이트 전극으로 게이트 전극(600)(즉, 600a)을 포함할 수 있다. 또한, 전극(500) 및 노출된 구성(기판(100), 채널층(300) 등)을 덮고 보호하는 패시베이션층(700)을 더 포함할 수 있다. 도 1a에서 무접합 전계 트랜지스터(1)는, 기판(100); 기판(100) 상의 적어도 일부분에 게이트 전극(600)(즉, 백 게이트 전극(600a)); 게이트 전극(600) 상에 게이트 절연층(200); 게이트 절연층(200) 상의 적어도 일부분에 상에 도핑된 2차원 물질 채널층(300); 게이트 절연층(200) 및 도핑된 2차원 물질 채널층(300) 사이의 일부분에 2차원 물질 게이트 절연층(400); 도핑된 2차원 물질 채널층(300) 상 또는 도핑된 2차원 물질 채널층(300) 및 2차원 물질 게이트 절연층(400)과 접촉하는 드레인 전극(D), 소스 전극(S) 또는 이들 모두를 포함하는 전극(500)(예: 500a, 500b, 500c 및 500d); 및 전극(500) 상에 패시베이션층(700)을 포함할 수 있다.
- [0059] 일 실시 예에 따라, 2차원 물질 게이트 절연층(400)은, 도핑된 2차원 물질 채널층(300) 및 게이트 절연층(200) 사이에 삽입된 것으로, 2차원 물질 게이트 절연층(400)의 상단 영역에 위치하는 도핑된 2차원 물질 채널층(300)은, 2차원 물질 게이트 절연층(400)에 상응하는 영역에서부터 연장되어 게이트 절연층(200) 상에 위치하는 연장 영역(A)을 포함할 수 있다.
- [0060] 일 실시 예에 따라, 도 2a는 탑 게이트 구조의 무접합 전계 트랜지스터(1)의 구성을 나타낸 것으로, 도 2a에서 무접합 전계 트랜지스터(1)는 기판(100), 게이트 절연층(200), 도핑된 2차원 물질 채널층(300), 2차원 물질 게이트 절연층(400) 및 전극(500)을 포함하고, 탑 게이트 전극으로 게이트 전극(600)(즉, 600b)을 포함할 수 있다. 도 2a에서 무접합 전계 트랜지스터(1)는, 기판(100), 기판(100) 상에 게이트 절연층(200); 게이트 절연층(200) 상의 적어도 일부분에 도핑된 2차원 물질 채널층(300); 도핑된 2차원 물질 채널층(300) 상의 일부분에 제1 게이트 절연층(200a) 및 제2 게이트 절연층(200b); 도핑된 2차원 물질 채널층(300) 및 제1 게이트 절연층(200a) 사이에 2차원 물질 게이트 절연층(400); 제1 게이트 절연층(200a) 상에 게이트 전극(600)(즉, 탑 게이트 전극(600a)); 제2 게이트 절연층(200b) 상에 제1 게이트 전극(600b); 도핑된 2차원 물질 채널층(300) 상 또는 도핑된 2차원 물질 채널층(300)과 접촉하는 드레인 전극(D) 및 소스 전극(S)을 포함하는 전극(500))(예: (500a, 500b, 500c 및 500d)); 및 전극(500) 상에 패시베이션층(700); 을 포함할 수 있다.
- [0061] 일 실시 예에 따라, 본 개시는 본 개시의 실시 예들에 따른 무접합 전계효과 트랜지스터(예: 도 1a 또는 도 2a)를 포함하거나 이를 활용한 집적된 CMOS 소자(예: 도 1b 및 도 2b)를 제공할 수 있다.
- [0062] 일 실시 예에 따라, CMOS 소자는 동종 CMOS 구조이며, 일 실시 예에 따라, 도 1b 및 도 2b는, 각각 도 1a 및 도 2a의 무접합 전계효과 트랜지스터(1)에 의해 집적된 CMOS 소자를 나타낸 것이다. 또한, 직접 컨택 영역, 포록 시미터 영역 또는 비-컨택 영역을 전하밀도 조절에 의해 구동될 수 있다.
- [0063] 일 실시 예에 따라, 도 3을 참조하면, 도 3은, 도 1a의 무접합 전계효과 트랜지스터에서 소스전극(S) 및 드레인 전극(D)의 복수개의 전극쌍의 배치(상단 도면) 및 이들의 기판 효과에 따른 전하밀도 제어 결과(하단 그래프)를 나타낸 것이다. 도 3에서 게이트 절연층(200)은, SiO_2 이고, 도핑된 2차원 물질 채널층(300)은 Nb-MoS₂이며, 2차원 물질 게이트 절연층(400)은, h-BN이다. 여기서 Nb-MoS₂는, 약 4 nm의 2차원 시트이며, h-BN는, 상이한 두께에 의한 단차를 갖는 2차원 시트로서, 약 5 nm 이하의 두께 영역과 이보다 더 두꺼운 영역을 갖는다. 즉, 게

이트 절연층(200, 200a 또는 200b)과 2차원 물질 게이트 절연층(400)의 절연체 물질과 두께를 통해 기판효과 기반의 전하밀도를 엔지니어링(예: 직접-컨택(Direct-contac), 프록시미티(Proximity) 및 비-컨택(Non-contact))할 수 있다.

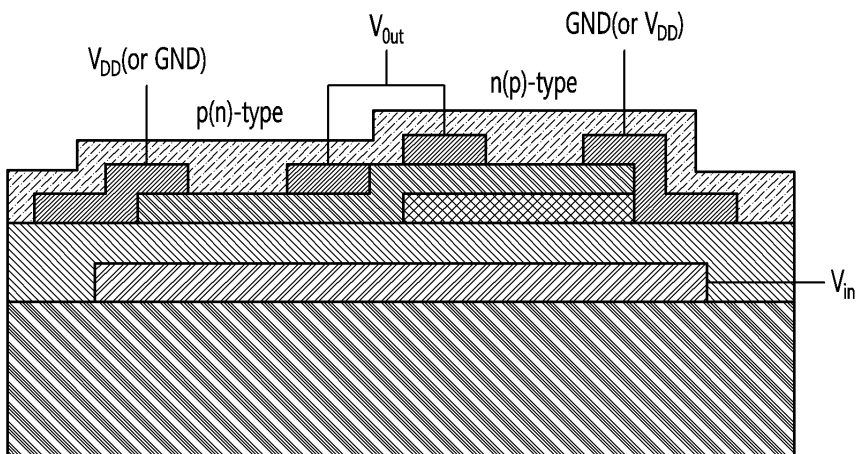
- [0064] 일 실시 예에 따라, 각층은 트랜지스터 또는 CMOS 구동을 위한 n 형(n^+) 또는 p형(p^+)으로 무접합 트랜지스터(Junctionless transistor)를 구현할 수 있다. 예를 들어, 채널, 드레인 및 소스는 각각 n^+ 또는 p^+ 일 수 있다.
- [0065] 일 실시 예에 따라, 도 4를 참조하면, 도 4는 도 1a의 무접합 전계효과 트랜지스터(예: 도 3)에서 CMOS 집적회로를 구현한 것으로, 이는 하나의 도핑된 이차원 시트로 CMOS 소자를 제작할 수 있다. 또한, CMOS 소자는 기판효과 기반의 전하밀도를 엔지니어링을 활용하여 직접-컨택(Direct-contac) 및 프록시미티(Proximity)로 구동할 수 있다.
- [0066] 일 실시 예에 따라, 도 4를 참조하면, 적절한 2차원 절연체(예: 2차원 물질의 절연층)와 3차원 절연체(예: 게이트 절연층)를 선택을 통한 기판 효과 기반의 전하밀도 엔지니어링과 이를 통한 CMOS 집적회로를 구현할 수 있다.
- [0067] 일 실시 예에 따라, 본 개시는, 기판 효과 기반의 도핑된 이차원 반도체 무접합 전계효과 트랜지스터(예: 도 1a 및 도 2a) 및 이를 활용한 전하밀도 엔지니어링 및 CMOS 소자(예: 도 1b 및 도 2b)를 제공할 수 있다.
- [0068] 일 실시 예에 따라, 무접합 전계효과 트랜지스터 및 CMOS 소자는, 본 개시의 기술 분야에서 알려진 증착(예: 화학기상, 물리기상, 스퍼터링, 원자층증착, 이빔(E-Beam) 증착 등), 패터닝(예: 포토리소그래피, 식각 등), 코팅(예: 스핀 코팅 등), 전사 등의 공정을 활용할 수 있으며, 본 문서에는 구체적으로 언급하지 않는다. 바람직하게는 2차원 시트를 전사, 부착 또는 배치하는 간단한 집적 공정으로 통해 CMOS 소자를 제작할 수 있다.
- [0069] 일 실시 예에 따라, 본 개시는, 도핑된 이차원 반도체로 제조된 무접합 전계효과 트랜지스터(Junctionless FET)에 기판 효과에 따른 전하밀도 엔지니어링을 구현할 수 있다.
- [0070] 일 실시 예에 따라, 본 개시는, 도핑된 이차원 반도체를 사용한 무접합 전계효과 트랜지스터를 활용하여, 무접합 전계효과 트랜지스터 성능 향상시킬 수 있다. 즉, 기존 PN 접합을 사용한 MOSFET에 비해 더욱 안정적이며, 높은 전류 밀도와 빠른 전기적 반응 속도를 향상시킬 수 있다.
- [0071] 일 실시 예에 따라, 본 개시는, 도핑된 이차원 반도체를 사용한 무접합 전계효과 트랜지스터를 활용하여 트랜지스터의 제조 및 CMOS 소자의 제조 비용을 감소시키고, 복잡한 공정을 단순화시킬 수 있다. 즉, 기존의 CMOS 제조 과정에서는 다수의 도포 및 광조사 등의 복잡한 공정이 필요하지만, 본 개시에서 제시한 무접합 전계효과 트랜지스터의 구조는, 하나의 도핑된 이차원 시트로 CMOS를 구현할 수 있으므로, 제조 공정을 단순화시키고, 제조 비용을 줄이고, 생산성을 높일 수 있다.
- [0072] 일 실시 예에 따라, 본 개시는, 도핑된 이차원 반도체를 사용한 무접합 전계효과 트랜지스터를 활용하여 환경친화성 제조 공정을 제공할 수 있다. 즉, 본 개시에서 제시한 무접합 전계효과 트랜지스터에서 공간분리층을 사용하여 문턱전압을 변조시키는 방식을 제시하고, 하나의 2차원 시트를 통해 CMOS를 집적시킬 수 있으므로, 공정에서 사용되는 화학물질의 양을 줄이고, 친환경적인 제조 과정을 이끌어 낼 수 있다. 즉, 하나 또는 동일한 채널층(즉, 하나의 2차원 시트, 도 4)에서 전하밀도를 일정 영역에서 조정할 수 있고, 2차원 물질을 활용한 집적회로의 공정을 줄여 비용면에서 효율적이며 친환경적이다.
- [0073] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다. 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

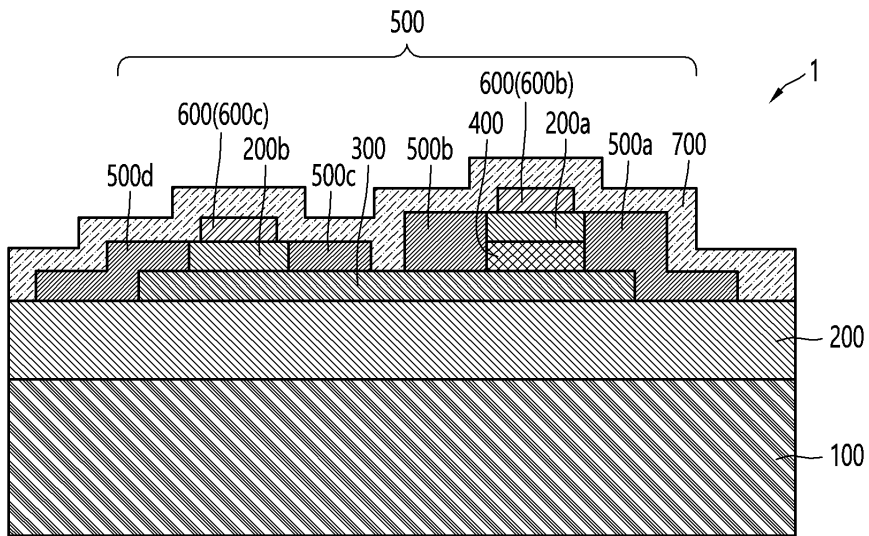
도면 1a



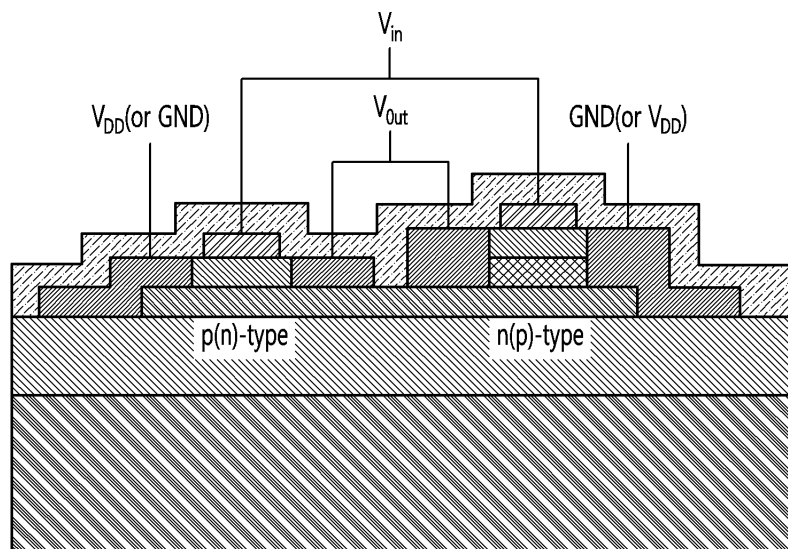
도면 1b



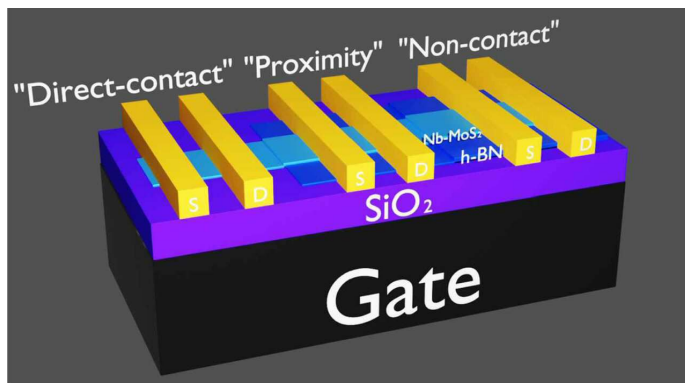
도면2a



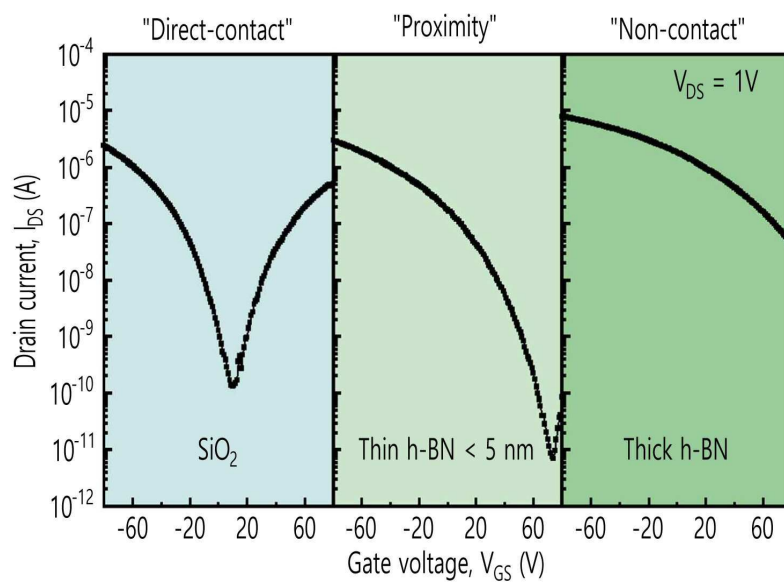
도면2b



도면3

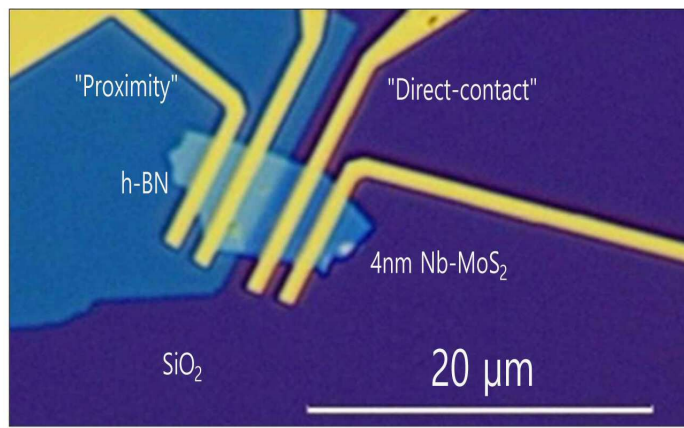


(a)

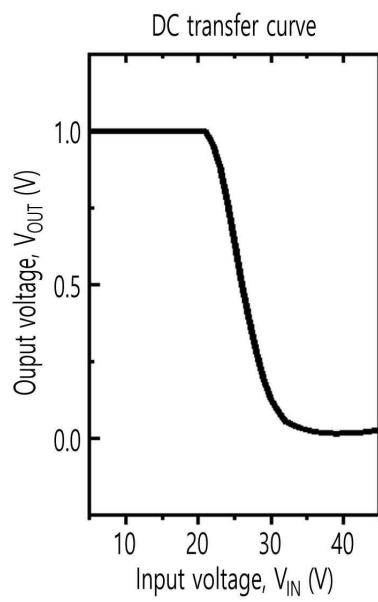


(b)

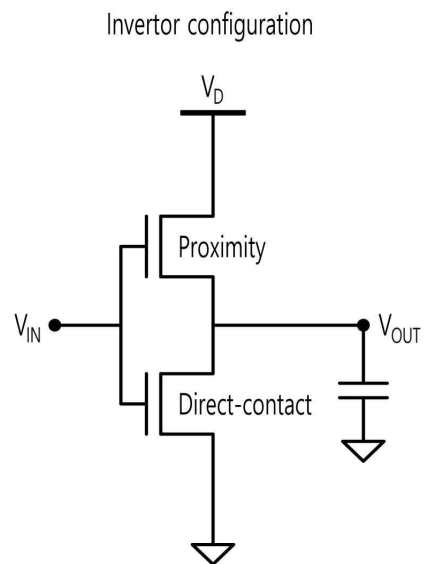
도면4



(a)



(b)



(c)