

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(43) 국제공개일
2010년 11월 18일 (18.11.2010)

PCT

(10) 국제공개번호
WO 2010/131824 A1

(51) 국제특허분류:
H01L 27/115 (2006.01)

(21) 국제출원번호: PCT/KR2009/006542

(22) 국제출원일: 2009년 11월 9일 (09.11.2009)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2009-0041294 2009년 5월 12일 (12.05.2009) KR

(71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): **고려대학교 산학 협력단 (KOREA UNIVERSITY INDUSTRIAL & ACADEMIC COLLABORATION FOUNDATION)** [KR/KR]; 서울 성북구 안암동 1-5가, 136-701 Seoul (KR).

(72) 발명자: 겸

(75) 발명자/출원인 (US 에 한하여): **김태근 (KIM, Tae-Geun)** [KR/KR]; 성남 분당구 이매동 122 금강아파트 103-1301, 463-060 Seoungnam (KR). **안호명 (AN, Ho-Myoung)** [KR/KR]; 서울 송파구 풍납동 277-5, 202 호, 138-040 Seoul (KR).

(74) 대리인: **전종일 (JEON, Jong-Il)**; 서울 강남구 역삼동 635-4 한국과학기술회관 신관 703, 135-703 Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

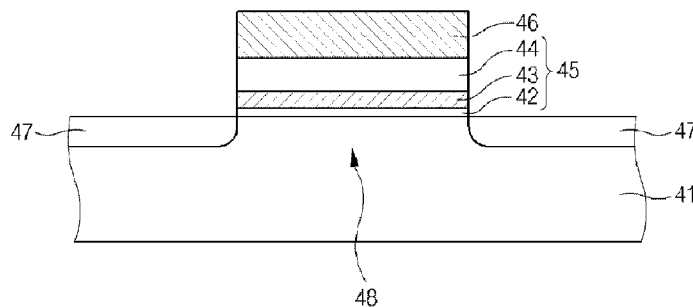
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 유럽 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[다음 쪽 계속]

(54) Title: 4-BIT-PER-CELL NONVOLATILE MEMORY DEVICE AND MANUFACTURING METHOD THEREOF

(54) 발명의 명칭 : 1 셀 4 비트의 비휘발성 메모리 소자 및 그 제조 방법

[Fig. 5]



(57) Abstract: The present invention relates to a nonvolatile memory device on a substrate in which a protrusion part is formed. According to the invention, electric charge capturing layers are formed on both sides (a source side and drain side) of the protrusion part, and an electrode (1st electrode) for programming electric charges in the electric charge capturing layers and an electrode (2nd electrode) for reading the programmed state are installed on the source and drain. Additionally, a current controller for controlling the quantity of the current outputted according to the previously programmed state is installed on the 2nd electrode. The off current or the on current is inputted into the 2nd electrode on the source side or the drain side, more specifically, to the current controller installed on the 2nd electrode according to the state of the programmed electric charges in the electric charge capturing layers. In addition, the current controller includes phase change layers inside thereof comprised of phase change materials, thereby programming the state by applying set pulses and reset pulses in advance and controlling the output quantity of the off current and the on current that are inputted according to the programmed state. Therefore, the programmed state can be read by examining the quantity of the current which is outputted from the current controller. Particularly, in a preferred embodiment of the present invention, 4-level currents can be outputted by including two phase change layers in the current controller, thereby allowing 2-bit programming on the source side and 2-bit programming on the drain side. Consequently, 4-bit programming can be carried out within one device.

(57) 요약서:

[다음 쪽 계속]

WO 2010/131824 A1

**공개:**

— 국제조사보고서와 함께 (조약 제 21 조(3))

본 발명은 돌출부가 형성된 기관에 비휘발성 메모리 소자를 구현한다. 본 발명은 돌출부 양측(소오스측 및 드레인측)에 전하 포획층을 형성하고, 소오스 및 드레인, 전하를 전하 포획층에 프로그램하기 위한 전극(제 1 전극) 및 프로그램 상태를 판독하기 위한 전극(제 2 전극)을 설치한다. 또한, 제 2 전극에는 사전에 프로그램된 상태에 따라서 출력되는 전류량을 조절하는 전류 조절부를 설치한다. 본 발명은 전하 포획층에 전하가 프로그램된 상태에 따라서 OFF 전류 또는 ON 전류가 소오스측 또는 드레인측 제 2 전극, 보다 구체적으로는 제 2 전극에 설치된 전류 조절부로 유입된다. 또한, 전류 조절부는 상변화 물질로 구성된 상변화층들을 내부에 포함하여, 사전에 셋 펄스 및 리셋 펄스를 인가하여 상태를 프로그램할 수 있고, 프로그램된 상태에 따라서 유입되는 OFF 전류 및 ON 전류의 출력량을 조절할 수 있다. 따라서, 전류 조절부로부터 출력되는 전류량을 조사하여 프로그램 상태를 판독할 수 있다. 특히, 본 발명의 바람직한 실시예에는 전류 조절부에 2 개의 상변화층을 포함시켜 4 레벨의 전류 출력이 가능하므로, 소오스측에 2 비트의 프로그램이 가능하고, 드레인측에 2 비트 프로그램이 가능하여, 하나의 소자 내에서 4 비트의 프로그램이 가능한 효과가 있다.

명세서

1셀 4비트의 비휘발성 메모리 소자 및 그 제조 방법

기술분야

- [1] 본 발명은 비휘발성 메모리 소자 및 그 제조 방법에 관한 것이다.

배경기술

- [2] 반도체 메모리 장치는 데이터를 저장해 두고 필요할 때 꺼내어 읽어볼 수 있는 기억장치이다. 반도체 메모리 장치는 크게 RAM(Random Access Memory)과 ROM(Read Only Memory)으로 나눌 수 있다. ROM은 전원이 끊어지더라도 저장된 데이터가 소멸하지 않는 불휘발성 메모리(nonvolatile memory)이다. ROM에는 PROM(Programmable ROM), EPROM(Erasable PROM), EEPROM(Electrically EPROM), 플래시 메모리 장치(Flash Memory Device) 등이 있다. RAM은 전원이 끊어지면 저장된 데이터가 소멸하는 소위 휘발성 메모리(volatile memory)이다. RAM에는 Dynamic RAM(DRAM)과 Static RAM(SRAM) 등이 있다.
- [3] 그외에 DRAM의 커패시터를 불휘발성을 지닌 물질로 대체한 반도체 메모리 장치가 등장하고 있다. 강유전체 커패시터를 이용한 강유전체 램(ferroelectric RAM; FRAM), 티엠알(TMR; tunneling magneto-resistive) 막을 이용한 마그네틱 램(magnetic RAM; MRAM), 그리고 칼코게나이드계 화합물(chalcogenide alloys)을 이용한 상변화 메모리 장치(phase change memory device) 등이 있다. 특히, 상변화 메모리 장치는 불휘발성 메모리 장치이며, 그 제조과정이 FRAM 및 MRAM에 비하여 간단하고, 저가로 대용량의 메모리를 구현할 수 있다는 점에서 많은 관심을 받고있다.
- [4] 도 1 은 종래의 상변화 메모리 장치의 메모리 셀의 구성을 간략하게 도시한 회로도이고, 도 2 및 도 3 는 종래의 상변화 메모리 장치의 메모리 셀의 결정 상태 및 비결정 상태를 각각 도시한 도면이다.
- [5] 도 1 내지 도 3을 참조하면, 상변화 메모리 장치의 메모리 셀은 가변 저항부(10)와 액세스 트랜지스터(20)로 구성된다. 가변 저항부(10)는 비트 라인(BL)에 연결된다. 액세스 트랜지스터(20)는 가변 저항부(10)와 접지 사이에 연결된다. 액세스 트랜지스터(20)의 게이트에는 워드라인(WL)이 연결된다. 워드라인(WL)에 소정의 전압이 인가되면, 액세스 트랜지스터(20)는 턴 온(turn on) 된다. 액세스 트랜지스터(20)가 턴 온(turn on) 되면, 가변 저항부(10)는 비트 라인(BL)을 통해 전류를 공급받는다.
- [6] 가변 저항부(10)는 상변화 물질(phase change material)을 포함한다. 상변화 물질은 온도에 따라 2개의 안정된 상태, 즉 결정 상태(crystalline state) 및 비결정 상태(amorphous state) 중 어느 하나를 갖는다. 상변화 물질은 비트라인(BL)을 통해 공급되는 전류에 따라 결정 상태(crystal state) 또는 비결정 상태(amorphous

state)로 변한다. 상변화 메모리 장치는 상변화 물질의 이러한 특성을 이용하여 데이터를 프로그램한다.

[7] 도 2 및 도 3 는 이러한 두 상태의 메모리 셀을 각각 도시한다.

[8] 먼저, 도 2 를 참조하면, 메모리 셀은 상변화 물질(14)위에 형성되는 전도성의 상부 전극(12)을 구비한다. 전도성의 하부 전극 콘택(BEC)(16)은 상부 전극(12) 및 상변화 물질(14)을 전도성의 하부 전극(18)과 연결시킨다. 메모리 셀은 셋 상태 또는 0 상태에 있다. 이 상태에서 상변화 물질(14)은 결정 상태이다.

[9] 도 3을 참조하면, 메모리 셀은 리셋 상태 또는 1 상태에 있다. 이 상태에서 상변화 물질(14)은 비정질 상태이다.

[10] 도 2 및 도 3에서, 역세스 트랜지스터(20)가 턴온되어, 메모리 셀에 전류가 흐르면 하부 전극 콘택(16)은 상변화 물질(14)을 가열시켜 상태를 변화시키는 히터로서 동작한다.

[11] 도 4는 상변화 물질의 특성을 설명하기 위한 그래프이다. 도 4에서 참조 번호 31은 상변화 물질이 비정질 상태(amorphous state)로 되기 위한 조건을 나타내며, 참조 번호 32는 결정 상태(crystal state)로 되기 위한 조건을 나타낸다.

[12] 도 4를 참조하면, 단시간동안 고전류 또는 고전압을 상변화 물질에 인가하면 상변화 물질(GST)은 전류 공급에 의해 T1 동안 용융 온도(melting temperature; Tm)보다 높은 온도로 가열된 뒤 급속히 냉각(quenching)되어 비정질 상태(amorphous state)로 된다. 비정질 상태는 보통 리셋 상태(reset state)라고 부르며, 데이터 '1'을 저장한다.

[13] 한편, 비교적 긴 시간동안 저전류 또는 저전압을 상변화 물질에 인가하면, 상변화 물질은 결정화 온도(crystallization temperature; Tc)보다 높고 용융 온도(Tm)보다는 낮은 온도에서 T1 보다 긴 T2 동안 가열된 뒤 서서히 냉각되어 결정 상태(crystal state)로 된다. 결정 상태는 보통 셋 상태(set state)라고도 부르며, 데이터 '0'을 저장한다. 메모리 셀은 상변화 물질의 비정질 양(amorphous volume)에 따라 저항(resistance)이 달라진다. 메모리 셀의 저항은 비정질 상태일 때 가장 높고, 결정 상태일 때 가장 낮다.

[14] 따라서, PRAM 은 이러한 상변화 물질의 상태에 따른 저항값을 변화시켜 프로그래밍을 수행한다.

[15] 한편, 도 5 는 종래 기술에 따른 SONOS 구조의 플래시 메모리 소자를 도시하는 도면이다. 도 5 를 참조하면, 종래 기술에 따른 소노스(SONOS:Silicon Oxide Nitride Oxide Semiconductor) 구조의 비휘발성 메모리 장치의 메모리 셀은 기판(41)에 형성된 소오스/드레인(47) 영역 사이의 채널 영역(48) 상에 산화막(42), 질화막(43), 및 산화막(44)으로 이루어진 ONO막(45) 및 폴리실리콘(46)이 차례로 적층된 구조이다.

[16] 이 메모리 셀은 게이트에 일정한 레벨의 전압을 인가하면 기판의 채널영역의 전하들이 산화막(42)을 터널링하여 질화막(43)에 트랩되고, ONO막(45)의 질화막(43)에 트랩된 전하의 유무에 따라 논리 '0' 또는 논리 '1' 중 어느 한 상태를

나타내는 단일 비트(single bit) 구조이다.

[17] 그런데, 상술한 대표적인 비휘발성 메모리 소자들은 하나의 소자에 1비트, 즉 2레벨(프로그램된 상태와 프로그램되지 않은 상태)밖에 프로그램할 수 없는 문제점이 존재하였다.

[18] 따라서, 최근에는 SONOS 구조의 플래시 메모리 및 상변화 메모리 장치와 같은 비휘발성 메모리 소자에 복수의 비트 또는 멀티레벨의 프로그램을 구현하기 위한 연구가 진행되고, 현재까지는 하나의 소자에서 2비트 또는 4개의 레벨을 프로그램할 수 있는 메모리 소자들이 최근 개발되고 있으나, 그 이상의 멀티비트 또는 멀티레벨의 프로그램이 가능한 메모리 소자는 아직까지 개발되지 못하는 실정이다.

발명의 상세한 설명

기술적 과제

[19] 본 발명이 해결하고자 하는 과제는 하나의 메모리 소자에서 4비트를 프로그램할 수 있는 비휘발성 메모리 소자 및 그 제조 방법을 제공하는 것이다.

기술적 해결방법

[20] 상술한 과제를 해결하기 위한 본 발명의 비휘발성 메모리 소자는, 중앙에 단차진 돌출부가 형성된 기판; 상기 기판위에 형성된 터널 산화막; 상기 돌출부 양측에 형성된 터널 산화막 내부에 각각 형성되어 기판으로부터 터널링된 전하를 포획하는 전하 포획층; 상기 터널 산화막 상부에 형성된 게이트 전극층; 상기 돌출부의 양 측면의 상기 기판상에 각각 형성된 소오스 영역 및 드레인 영역; 상기 소오스 영역에 각각 연결된 제 1 소오스 전극 및 제 2 소오스 전극; 상기 드레인 영역에 각각 연결된 제 1 드레인 전극 및 제 2 드레인 전극; 및 상기 제 2 소오스 전극 및 상기 제 2 드레인 전극 위에 각각 형성되어, 프로그램된 내용에 따라서 상기 제 2 소오스 전극 및 상기 제 2 드레인 전극에서 출력되는 전류량을 조절하는 전류 조절부를 포함한다.

[21] 또한, 상기 전류 조절부는 내부에 포함된 복수의 상변화층의 상태에 따라서 전류량을 조절하는 것이 바람직하다.

[22] 또한, 상기 전류 조절부는, 상기 제 2 소오스 전극 또는 상기 제 2 드레인 전극과 연결되는 제 1 전극층; 상기 제 1 전극층 위에 형성된 전도층; 상기 제 1 전극층 위에 형성된 제 1 상변화층 및 제 2 상변화층; 상기 제 1 전극층 위에 형성되고, 상기 제 1 상변화층과 상기 제 2 상변화층 사이에 형성된 제 1 절연층; 상기 제 1 전극층 위에 형성되고, 상기 제 2 상변화층과 상기 전도층 사이에 형성된 제 2 절연층; 및 상기 제 1 상변화층 및 상기 제 2 상변화층 위에 형성되는 제 2 전극층을 포함할 수 있다.

[23] 또한, 상기 제 1 상변화층은 상기 제 2 상변화층보다 상기 제 2 전극층에 접촉하는 면적이 더 넓게 형성된 것이 바람직하다.

[24] 또한, 상기 제 2 드레인 전극에 연결된 전류 조절부는 프로그램된 내용에

따라서 제 1 레벨 내지 제 4 레벨의 전류를 출력하고, 제 1 레벨은 소오스 영역측 전하 포획층에 전하가 프로그램되어 OFF 전류가 상기 전도층을 통해서 출력되는 상태일 수 있다.

- [25] 또한, 상기 제 2 드레인 전극에 연결된 전류 조절부는 프로그램된 내용에 따라서 제 1 레벨 내지 제 4 레벨의 전류를 출력하고, 제 2 레벨은 소오스 영역측 전하 포획층에 전하가 프로그램되지 않은 상태에서 상기 전류 조절부로 ON 전류가 유입되고, 상기 제 1 상변화층 및 상기 제 2 상변화층이 비정질 상태이고, 상기 ON 전류의 일부가 상기 전도층을 통해서만 출력되는 상태일 수 있다.
- [26] 또한, 상기 제 2 드레인 전극에 연결된 전류 조절부는 프로그램된 내용에 따라서 제 1 레벨 내지 제 4 레벨의 전류를 출력하고, 제 3 레벨은 소오스 영역측 전하 포획층에 전하가 프로그램되지 않은 상태에서 상기 전류 조절부로 ON 전류가 유입되고, 상기 제 1 상변화층은 비정질 상태이고, 상기 제 2 상변화층은 결정상태이며, 상기 ON 전류의 일부가 상기 전도층 및 상기 제 2 상변화층을 통해서만 출력될 수 있다.
- [27] 또한, 상기 제 2 드레인 전극에 연결된 전류 조절부는 프로그램된 내용에 따라서 제 1 레벨 내지 제 4 레벨의 전류를 출력하고, 제 4 레벨은 소오스 영역측 전하 포획층에 전하가 프로그램되지 않은 상태에서 상기 전류 조절부로 ON 전류가 유입되고, 상기 제 1 상변화층 및 상기 제 2 상변화층이 결정상태이고, 상기 ON 전류가 상기 전도층, 상기 제 1 상변화층 및 상기 제 2 상변화층을 통해서 출력되는 상태일 수 있다.
- [28] 또한, 상기 제 2 소오스 전극에 연결된 전류 조절부는 프로그램된 내용에 따라서 제 1 레벨 내지 제 4 레벨의 전류를 출력하고, 제 1 레벨은 드레인 영역측 전하 포획층에 전하가 프로그램되어 OFF 전류가 상기 전도층을 통해서 출력되는 상태일 수 있다.
- [29] 또한, 상기 제 2 소오스 전극에 연결된 전류 조절부는 프로그램된 내용에 따라서 제 1 레벨 내지 제 4 레벨의 전류를 출력하고, 제 2 레벨은 드레인 영역측 전하 포획층에 전하가 프로그램되지 않은 상태에서 상기 전류 조절부로 ON 전류가 유입되고, 상기 제 1 상변화층 및 상기 제 2 상변화층이 비정질 상태이고, 상기 ON 전류의 일부가 상기 전도층을 통해서만 출력될 수 있다.
- [30] 또한, 상기 제 2 소오스 전극에 연결된 전류 조절부는 프로그램된 내용에 따라서 제 1 레벨 내지 제 4 레벨의 전류를 출력하고, 제 3 레벨은 드레인 영역측 전하 포획층에 전하가 프로그램되지 않은 상태에서 상기 전류 조절부로 ON 전류가 유입되고, 상기 제 1 상변화층은 비정질 상태이고, 상기 제 2 상변화층은 결정상태이며, 상기 ON 전류의 일부가 상기 전도층 및 상기 제 2 상변화층을 통해서만 출력되는 상태일 수 있다.
- [31] 또한, 상기 제 2 소오스 전극에 연결된 전류 조절부는 프로그램된 내용에 따라서 제 1 레벨 내지 제 4 레벨의 전류를 출력하고, 제 4 레벨은 드레인 영역측 전하 포획층에 전하가 프로그램되지 않은 상태에서 상기 전류 조절부로 ON

전류가 유입되고, 상기 제 1 상변화층 및 상기 제 2 상변화층이 결정상태이고, 상기 ON 전류가 상기 전도층, 상기 제 1 상변화층 및 상기 제 2 상변화층을 통해서 출력되는 상태일 수 있다.

[32] 한편, 상술한 과제를 해결하기 위한 본 발명의 비휘발성 메모리 소자 제조 방법은, (a) 중앙에 단차진 돌출부가 형성된 기판위에, 상기 돌출부의 측면 내부에 전하 포획층이 형성된 터널 산화막을 형성하는 단계; (b) 상기 돌출부 양 측면에 소오스 영역 및 드레인 영역을 각각 형성하고, 상기 소오스 영역위에 제 1 소오스 전극 및 제 2 소오스 전극을 형성하고, 상기 드레인 영역위에 제 1 드레인 전극 및 제 2 드레인 전극을 형성하는 단계; 및 (c) 상기 제 2 소오스 전극 및 상기 제 2 드레인 전극위에 프로그램된 내용에 따라서 출력되는 전류량을 조절하는 전류 조절부를 형성하는 단계를 포함한다.

[33] 또한, 상기 (c) 단계는, (c1) 상기 제 2 소오스 전극 및 상기 제 2 드레인 전극위에 제 1 전극층을 형성하는 단계; (c2) 상기 제 1 전극층에 전도층, 제 1 상변화층, 및 제 2 상변화층을 형성하는 단계; 및 (c3) 상기 전도층, 상기 제 1 상변화층, 및 상기 제 2 상변화층위에 제 2 전극층을 형성하는 단계를 포함할 수 있다.

[34] 또한, 상기 (c2) 단계는 상기 제 1 상변화층이 상기 제 2 전극층과 접촉하는 면적이 상기 제 2 상변화층이 상기 제 2 전극층보다 더 크도록 상기 제 1 상변화층 및 상기 제 2 상변화층을 형성할 수 있다.

[35] 또한, 상기 (a) 단계는 (a1) 상기 돌출부가 형성된 기판위에 터널 산화막 및 전하 포획층을 순차적으로 적층하는 단계; (a2) 상기 기판의 수평한 부분이 드러나도록 상기 전하 포획층 및 터널 산화막을 건식 식각하는 단계; (a3) 상기 건식 식각으로 인하여 상기 돌출부의 양측면 모서리에 상기 터널 산화막 및 상기 전하 포획층의 일부가 잔존하는 상태에서 상기 터널 산화막과 동일한 재질로 산화막을 형성하는 단계; 및 (a4) 상기 소오스 및 드레인이 형성될 영역에서 상기 터널 산화막을 제거하는 단계를 포함할 수 있다.

유리한 효과

[36] 본 발명은 돌출부가 형성된 기판에 비휘발성 메모리 소자를 구현한다. 본 발명은 돌출부 양측(소오스측 및 드레인측)에 전하 포획층을 형성하고, 소오스 및 드레인에, 전하를 전하 포획층에 프로그램하기 위한 전극(제 1 전극) 및 프로그램 상태를 판독하기 위한 전극(제 2 전극)을 설치한다. 또한, 제 2 전극에는 사전에 프로그램된 상태에 따라서 출력되는 전류량을 조절하는 전류 조절부를 설치한다.

[37] 본 발명은 전하 포획층에 전하가 프로그램된 상태에 따라서 OFF 전류 또는 ON 전류가 소오스측 또는 드레인측 제 2 전극, 보다 구체적으로는 제 2 전극에 설치된 전류 조절부로 유입된다.

[38] 또한, 전류 조절부는 상변화 물질로 구성된 상변화층들을 내부에 포함하여, 사전에 셋 펄스 및 리셋 펄스를 인가하여 상태를 프로그램할 수 있고,

프로그램된 상태에 따라서 유입되는 OFF 전류 및 ON 전류의 출력량을 조절할 수 있다.

[39] 따라서, 전류 조절부로부터 출력되는 전류량을 조사하여 프로그램 상태를 판독할 수 있다.

[40] 특히, 본 발명의 바람직한 실시예는 전류 조절부에 2개의 상변화층을 포함시켜 4레벨의 전류 출력이 가능하므로, 소오스측에 2비트의 프로그램이 가능하고, 드레인측에 2비트 프로그램이 가능하여, 하나의 소자 내에서 4비트의 프로그램이 가능한 효과가 있다.

도면의 간단한 설명

[41] 도 1은 종래의 상변화 메모리 장치의 메모리 셀의 구성을 간략하게 도시한 회로도이다.

[42] 도 2 및 도 3은 종래의 상변화 메모리 장치의 메모리 셀의 결정 상태 및 비결정 상태를 각각 도시한 도면이다.

[43] 도 4는 상변화 물질의 특성을 설명하기 위한 그래프이다.

[44] 도 5는 종래 기술에 따른 SONOS 구조의 플래시 메모리 소자를 도시하는 도면이다.

[45] 도 6은 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 구성을 도시하는 도면이다.

[46] 도 7 내지 도 22는 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 제조 방법을 설명하는 도면이다.

발명의 실시를 위한 최선의 형태

[47] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예들을 설명한다.

[48] 도 6은 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자의 구성을 도시하는 도면이다. 도 6을 참조하면, 본 발명의 비휘발성 메모리 소자는 p형 Si 반도체 기판(100)위에 형성되고, 기판(100)의 중앙영역에는 주변보다 단차지도록 돌출부가 형성된다.

[49] 중앙 영역의 좌우 측면에는 소오스(120) 및 드레인(130)이 형성되고 소오스(120) 및 드레인(130) 사이의 돌출부의 상부 및 측면에는 터널 산화막(210)이 형성되며, 돌출부의 좌측 및 우측 영역에 형성된 터널 산화막(210) 내부에는 폴리실리콘, Si₃N₄, 나노크리스탈 등으로 구현되는 전하 포획층(220)이 형성된다. 게이트 전극층(230) 및 소오스(120)/드레인(130)에 전압을 인가함에 따라서 기판(100)에 존재하던 전하가 터널 산화막(210)을 터널링하여 전하 포획층(220)에 포획됨으로써 프로그램되고, 전하 포획층(220)에 포획된 전하가 다시 터널 산화막(210)을 터널링하여 기판(100)으로 방출됨으로써 프로그램된 값이 소거된다.

[50] 또한, 터널 산화막(210)의 상부에는 게이트 전극층(230)이 형성된다.

[51] 한편, 소오스(120) 영역의 상부에는 제 1 소오스 전극(310) 및 제 2 소오스

전극(320)이 형성되고, 드레인(130) 영역의 상부에는 제 1 드레인 전극(410) 및 제 2 드레인 전극(420)이 형성된다. 또한, 제 2 소오스 전극(320) 및 제 2 드레인 전극(420)의 상부에는 각각 전류 조절부(500)가 형성된다.

- [52] 전류 조절부(500)는 프로그램된 상태에 따라서 프로그램 상태 판독시 소오스(120) 또는 드레인(130)으로부터 유입된 후, 출력되는 전류의 양을 조절한다. 전류 조절부(500)는 제 1 전극층(510)과, 제 1 전극층(510) 위에 형성된 전도층(540), 제 1 상변화층(522), 제 2 상변화층(524), 제 1 절연층(532), 제 2 절연층(534)을 포함하고, 제 1 절연층(532)은 제 1 상변화층(522)과 제 2 상변화층(524) 사이에 위치하고, 제 2 절연층(534)은 전도층(540)과 제 1 상변화층(522) 사이에 위치한다. 제 1 상변화층(522)은 제 2 상변화층(524)보다 제 1 전극층(510) 및 제 2 전극층(550)과 접촉하는 면적이 더 크게 형성된다. 전류 조절부(500)에 포함된 상변화층은 PRAM 소자에서 이용되는 상변화 물질(GST)로 형성된다. 또한, 제 2 전극층(550)이 전도층(540), 제 1 상변화층(522), 제 2 상변화층(524), 제 1 절연층(532), 제 2 절연층(534) 위에 형성된다.
- [53] 한편, 제 1 및 제 2 소오스 전극(310,320), 제 1 및 제 2 드레인 전극(410,420), 게이트 전극 및 터널 산화막(210) 사이의 공간에는 ILD (Inter Layer Dielectric) 절연막(700)으로 채워진다.
- [54] 본 발명의 비휘발성 메모리 소자는 전하 포획층(220)에 각각 전하를 프로그램하거나 방출하여, 소오스(120)측 전류 조절부(500) 또는 드레인(130)측 전류 조절부(500)로 ON 전류 또는 OFF 전류가 흐르도록 제어하고, 소오스(120)측 전류 조절부(500) 및 드레인(130)측 전류 조절부(500)의 제 1 상변화층(522) 및 제 2 상변화층(524)의 상태를 결정상태 또는 비정질 상태로 변화시켜 전류 조절부(500)를 통해서 방출되는 전류의 양을 4단계로 조절함으로써 4레벨(즉, 2비트)의 프로그램을 수행한다. 즉, 전류 조절부(500)로부터 출력되는 전류의 양을 측정함으로써 프로그램 상태를 판별할 수 있다.
- [55] 여기서, OFF 전류란 게이트 전극에 읽기 전압을 인가 하였을때, 읽기 전압보다 문턱전압이 커서(프로그램된 상태) 기관의 돌출부에 채널이 형성 되지 못해 소오스에서 드레인 방향으로 또는 그 반대 방향으로 흐르는 0에 가까운 미세 전류로서 센싱부에서 감지하였을때 nA 이하의 전류값을 나타낸다.
- [56] 또한, ON 전류란 게이트 전극에 읽기 전압을 인가하였을때, 읽기 전압보다 문턱전압이 낮아서 기관의 돌출부에 채널이 형성되어 소오스에서 드레인방향으로 또는 그 반대 방향으로 흐르는 전류로서 센싱부에서 감지하였을때 uA 이상의 전류값을 나타낸다.
- [57] 소오스(120)측 전류 조절부(500)의 동작과 드레인(130)측 전류 조절부(500)의 동작은 서로 독립적으로, 동일한 방식으로 수행되므로, 이하에서는, 도 1을 참조하여 드레인(130)측 전류 조절부(500)의 동작 과정만을 설명한다.

[58] 먼저, 제 1 전하 포획층(220a) 및 제 2 전하 포획층(220b)에 각각 다음의 표 1과 같이 전하를 프로그램하거나, 프로그램을 소거한 상태에서 게이트 전극층(230) 및 소오스(120) 전극/드레인(130) 전극에 읽기 전압을 인가하면 소오스(120)측 전류 조절부(500) 또는 드레인(130)측 전류 조절부(500)로 다음의 표 1 과 같은 ON 전류 또는 OFF 전류가 흐르게 된다.

[59] 표 1

소오스측 전류	프로그램 여부		드레인측 전류
	제2 전하 포획층	제1 전하 포획층	
OFF 전류	O	O	OFF 전류
ON 전류	O	X	OFF 전류
OFF 전류	X	O	ON 전류
ON 전류	X	X	ON 전류

[60] 한편, 드레인(130)측 전류 조절부(500)를 통해서 출력되는 전류 레벨은 프로그램 레벨에 대응되는 제 1 레벨부터 제 4 레벨까지의 4단계로 구분되고, 전류 조절부(500)의 상변화층들의 상태를 조정함으로써 4레벨의 상태에 대해서 프로그램이 가능하다. 이 때, 상술한 ON 전류의 레벨을 3개로 나누어 3개의 상태를 식별한다.

[61] 먼저, 제 1 레벨은 OFF 전류가 흐르는 상태(즉, 거의 0 에 가까운 미세 전류만이 흐르는 상태)를 나타내고, 이 때의 제 1 상변화층(522) 및 제 2 상변화층(524) 모두 비정질 상태이다.

[62] 제2 레벨은 상술한 제 1 상변화층(522) 및 제 2 상변화층(524)이 비결정 상태이고 전도층(540)을 통해서만 ON 전류의 일부가 전류 조절부(500)를 통해서 출력되는 상태이다.

[63] 또한, 제 3 레벨은 제 1 상변화층(522)이 비정질 상태이고 제 2 상변화층(524)만이 결정 상태인 경우로서 전류 조절부(500)로 유입된 전류의 일부는 전도층(540)을 통해서 출력되고, 일부는 제 2 상변화층(524)을 통해서 출력되며, 일부는 제1 상변화층(522)에서 차단된다. 따라서, 제 3 레벨에서는 제 ON 전류보다는 작고 제 2 레벨에서 전류 조절부(500)에서 출력되는 전류보다는 큰 전류가 전류 조절부(500) 외부로 출력된다.

[64] 한편, 제 4 레벨은 제 1 상변화층(522) 및 제 2 상변화층(524)이 모두 결정상태인 경우로서, 전류 조절부(500)로 유입된 ON 전류의 거의 대부분이 전도층(540), 제 1 상변화층(522) 및 제 2 상변화층(524)을 통해서 전류 조절부(500) 외부로 출력된다.

[65] 따라서, 전류 조절부(500)를 통해서 출력되는 전류를 측정함으로써, 현재 드레인(130) 영역에 프로그램된 상태를 측정할 수 있다.

[66] 한편, 본 발명의 바람직한 실시예에 따라서 드레인(130)측에 프로그램을

수행하는 방법을 예시적으로 설명하면, 제 1 레벨을 프로그램하기 위해서, 드레인(130)측 전류 조절부(500)의 제 2 전극층(550)에 제 1 상변화층(522) 및 제 2 상변화층(524)을 비정질 상태로 변화시키기에 충분한 전압을 짧은 시간동안 인가하여 제 1 상변화층(522) 및 제 2 상변화층(524)을 비정질 상태로 변화시켜 전류의 흐름을 차단한다. 그리고, 드레인(130)측으로 OFF 전류가 유입되도록 제 1 전하 포획층(220) 및 제 2 전하 포획층(220)을 프로그램 한다.

[67] 즉, 상술한 표 1에 기재한 바와 같이, 게이트 전극층(230)에 약 10V 정도의 전압을 인가하고, 제 1 소오스 전극(310)에 약 5V 정도의 전압을 인가하면 기판(100)에 존재하던 전하가 산화 절연막(210)을 터널링하여 제 2 전하 포획층(220)에 포획되어 프로그램된다.

[68] 그 후, 프로그램 상태를 판독하기 위해서 게이트 전극층(230)에 소정의 판독 전압을 인가하고, 제 1 드레인 전극(410)이 그라운드(GND)된 상태에서 제 2 드레인 전극(420)에 약 2.5V 정도의 판독 전압을 인가하면, 드레인(130)으로 OFF 전류가 흐르게 된다.

[69] 한편, 제 2 레벨을 프로그램하기 위해서, 드레인(130)측 전류 조절부(500)의 제 2 전극층(550)에 제 1 상변화층(522) 및 제 2 상변화층(524)을 비정질 상태로 변화시키기에 충분한 전압을 짧은 시간동안 인가하여 제 1 상변화층(522) 및 제 2 상변화층(524)을 비정질 상태로 변화시켜 전류의 흐름을 차단한다. 그리고, 드레인(130)측으로 ON 전류가 유입되도록 제 2 전하 포획층(220)을 프로그램 소거상태로 만든다.

[70] 그러면, 프로그램 상태를 판독하기 위해서 게이트 전극층(230)에 소정의 판독 전압을 인가하고, 제 1 드레인 전극(410)이 그라운드(GND)된 상태에서 제 2 드레인 전극(420)에 약 2.5V 정도의 판독 전압을 인가하면, 드레인(130)으로 ON 전류가 흘러서 전류 조절부(500)로 유입되고, 유입된 전류는 제 1 상변화층(522) 및 제 2 상변화층(524)에서는 차단되고 전도층(540)을 통해서만 일부가 출력된다.

[71] 한편, 제 3 레벨을 프로그램하기 위해서, 제 2 상변화층(524)만을 결정상태로 변화시키기에 적절한 전압의 셋(set) 펄스를 제 2 상변화층(524)이 결정상태로 변화되기에 충분한 시간동안 제 2 전극층(550)에 인가한다.

[72] 제 2 전극층(550)에 전압 및 전류가 인가되면 제 2 전극층(550)과 상변화층들의 접촉면에서 열이 발생하고, 발생한 열에 의해서 상변화층들이 비정질상태에서 결정상태로 변화된다. 단, 각 상변화층에서 결정상태로 변화되는 영역의 양은 제 2 전극층(550)과의 접촉 면적에 반비례한다.

[73] 따라서, 제 2 전극층(550)과의 접촉 면적이 작은 제 2 상변화층(524)만이 결정상태로 변화되고, 접촉 면적이 큰 제 1 상변화층(522)은 일부만이 결정상태로 변화되고 대부분의 영역이 비정질상태로 남아있게 된다.

[74] 따라서, 결정상태인 제 2 상변화층(524)을 통해서만 전류가 출력되지만, 비정질상태인 제 1 상변화층(522)에서는 전류의 흐름이 차단되므로 제 3 레벨에

- 대응되는 크기의 전류가 제 2 상변화층(524)과 전도층(540)을 통해서 출력된다.
- [75] 이 때, 제 2 전극층(550)에 인가하는 셋 펄스의 전압 및 전류 크기와 셋 펄스를 인가하는 시간은 상변화층들의 두께 및 성분 함량 등의 요소 및 각 상변화층들이 게이트 전극층(230)에 접하는 면적 등에 의해서 다양하게 결정될 수 있음을 주의하여야 한다.
- [76] 그리고, 프로그램 상태를 판독하기 위해서 게이트 전극층(230)에 소정의 판독 전압을 인가하고, 제 1 드레인 전극(410)이 그라운드(GND)된 상태에서 제 2 드레인 전극(420)에 약 2.5V 정도의 판독 전압을 인가하면, 드레인(130)으로 ON 전류가 흘러서 전류 조절부(500)로 유입되고, 유입된 전류의 일부가 전도층(540) 및 제 1 상변화층(524)을 통해서 출력된다.
- [77] 한편, 제 4 레벨을 프로그램하는 경우에, 제 1 상변화층(522) 및 제 2 상변화층(524)을 모두 결정상태로 변화시킬 수 있을 정도로 적절한 전압의 셋 펄스를 긴 시간동안 인가하여 상변화층들을 결정상태로 만든다.
- [78] 그리고, 드레인(130)측으로 ON 전류가 유입되도록 제 2 전하 포획층(220)을 프로그램 소거상태로 만든다. 그러면, 제 2 및 제 3 레벨의 경우와 동일한 방식으로 프로그램 상태를 판독할 때 ON 전류가 전류 조절부(500)로 유입되고, 유입된 전류는 제 1 상변화층(522), 제 2 상변화층(524) 및 전도층(540)을 통해서 출력되므로, 거의 모든 ON 전류가 출력된다.
- [79] 도 7 내지 도 22는 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자 제조 방법을 설명하는 도면이다. 도 7 내지 도 22를 참조하여 본 발명의 바람직한 실시예에 따른 비휘발성 메모리 소자 제조 방법을 설명한다.
- [80] 먼저, p형 Si 반도체 기판(100)을 마련하고, 중앙 영역에 주변 영역에 비하여 단차진 돌출부가 형성되도록 주변 영역을 식각한다(도 7참조).
- [81] 돌출부가 형성된 후, 기판(100) 전체적으로 실리콘 산화막 등으로 터널 산화막(210)을 증착 형성하고, 터널 산화막(210)이 형성된 후, 폴리실리콘, 나노크리스탈, 및 Si₃N₄ 등의 물질을 증착하여 전하 포획층(220)을 형성한다(도 8 참조).
- [82] 그 후, 건식 식각 방식으로 전하 포획층(220)을 식각하면 도 9 에 도시된 바와 같이, 돌출부의 좌우측 측면 영역에만 전하 포획층(220)의 일부가 잔존하고, 나머지 영역은 제거된다.
- [83] 전하 포획층(220)이 제거된 후 전하 포획층(220)의 크기를 감소시키기 위해서 기판(100)이 드러날때까지 기판(100)을 전체적으로 식각하면, 도 10 에 도시된 바와 같이, 기판(100)의 표면에 형성된 터널 산화막(210)이 제거되고, 기판(100) 중앙의 돌출부 양 측면에만 터널 산화막(210) 및 전하 포획층(220)이 잔존한다.
- [84] 그 후, 기판(100)에 터널 산화막(210)과 동일한 재질의 산화막을 기판(100)에 증착하여 형성하고, 그 위에 게이트 전극층(230)을 증착하여 형성한다(도 11 참조).
- [85] 게이트 전극층(230)이 형성되면, 돌출부의 상부에 형성된 게이트

전극층(230)만을 유지하고 나머지 영역에 형성된 게이트 전극층(230)은 식각하여 제거하고, 돌출부 양 측면에 형성된 전하 포획층(220) 및 산화 절연막 양옆에 소오스(120) 영역 및 드레인(130) 영역을 각각 형성한다(도 12 참조).

- [86] 그 후, 도 13에 도시된 바와 같이 소오스(120) 전극 및 드레인(130) 전극을 형성하기 위한 메탈층을 기판(100)에 증착하여 형성하고, 도 14에 도시된 바와 같이, 마스크 패턴을 이용하여 제 1 및 제 2 소오스 전극(310,320), 및 제 1 및 제 2 드레인 전극(410,420)만을 남겨두고 나머지 메탈층을 식각하여 제거한 후, 게이트 전극층(230), 터널 산화막(210) 및 소오스(120) 전극 및 드레인(130) 전극들 사이에 절연막 물질을 충전하여 도 15에 도시된 바와 같이, 기판(100)위에 전체적으로 ILD 절연막(700)을 형성한다.

- [87] 절연막이 형성된 후, 전류 조절부(500)를 형성하기 위해서, 소오스(120) 전극들 및 드레인(130) 전극들이 연결되도록 제 1 전극층(510)을 형성하고(도 16 참조), 제 1 전극층(510)이 제 2 소오스 전극(320) 및 제 2 드레인 전극(420)들과만 연결되도록, 제 2 소오스 전극(320) 상부 및 제 2 드레인 전극(420) 상부를 제외한 나머지 영역을 제거한다(도 17 참조).

- [88] 그 후, 전류 조절부(500)의 전도층(540) 및 제 1 및 제 2 절연층(532,534)을 형성하기 위해서, 기판(100) 전체에 절연막을 형성하고, 절연막 중 전도층(540)이 형성될 영역만을 식각하고 (도 18 참조), 그 위에 알루미늄 등의 도체로 전도층(540)을 형성한 후 절연막 사이에 형성된 전도층(540)을 제외하고 나머지 영역은 CMP 등의 방식을 이용하여 제거한다(도 19 참조).

- [89] 전도층(540)이 형성되면, 도 20에 도시된 바와 같이, 마스크 패턴을 이용하여 절연층을 식각하여 제 1 상변화층(522) 및 제 2 상변화층(524)이 형성될 영역을 마련하고, 도 21에 도시된 바와 같이, 그 위에 상변화물질을 증착하여 제 1 상변화층(522) 및 제 2 상변화층(524)을 형성하고, 절연층 위에 형성된 상변화물질을 제거한다. 이 때, 제 1 상변화층(522)은 제 2 상변화층(524)보다 제 1 전극층(510) 및 제 2 전극층(550)과 접촉하는 면적이 더 크게 형성된다.

- [90] 그 후, 중심 절연층 및 제 1 상변화층(522), 제 2 상변화층(524), 제 1 절연층(532), 및 제 2 절연층(534) 상부에 메탈층을 형성하고, 전류 조절부(500) 이외의 영역을 제거하여 제 2 전극층(550)을 전류 조절부(500) 상부에 형성한다(도 22 참조).

- [91] 그 후, 제 2 전극층(550)의 상부에 소오스(120) 및 드레인(130) 전극층을 형성하여 도 6에 도시된 바와 같은 비휘발성 메모리 소자를 완성한다.

- [92] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다.

- [93] 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

청구범위

- [1] 중앙에 단차진 돌출부가 형성된 기관;
 상기 기관위에 형성된 터널 산화막;
 상기 돌출부 양측에 형성된 터널 산화막 내부에 각각 형성되어
 기관으로부터 터널링된 전하를 포획하는 전하 포획층;
 상기 터널 산화막 상부에 형성된 게이트 전극층;
 상기 돌출부의 양 측면의 상기 기관상에 각각 형성된 소오스 영역 및
 드레인 영역;
 상기 소오스 영역에 각각 연결된 제 1 소오스 전극 및 제 2 소오스 전극;
 상기 드레인 영역에 각각 연결된 제 1 드레인 전극 및 제 2 드레인 전극; 및
 상기 제 2 소오스 전극 및 상기 제 2 드레인 전극 위에 각각 형성되어,
 프로그램된 내용에 따라서 상기 제 2 소오스 전극 및 상기 제 2 드레인
 전극에서 출력되는 전류양을 조절하는 전류 조절부를 포함하는 것을
 특징으로 하는 비휘발성 메모리 소자.
- [2] 제 1 항에 있어서,
 상기 전류 조절부는 내부에 포함된 복수의 상변화층의 상태에 따라서
 전류양을 조절하는 것을 특징으로 하는 비휘발성 메모리 소자.
- [3] 제 2 항에 있어서, 상기 전류 조절부는
 상기 제 2 소오스 전극 또는 상기 제 2 드레인 전극과 연결되는 제 1 전극층;
 상기 제 1 전극층 위에 형성된 전도층;
 상기 제 1 전극층 위에 형성된 제 1 상변화층 및 제 2 상변화층;
 상기 제 1 전극층 위에 형성되고, 상기 제 1 상변화층과 상기 제 2 상변화층
 사이에 형성된 제 1 절연층;
 상기 제 1 전극층 위에 형성되고, 상기 제 2 상변화층과 상기 전도층 사이에
 형성된 제 2 절연층; 및
 상기 제 1 상변화층 및 상기 제 2 상변화층 위에 형성되는 제 2 전극층을
 포함하는 것을 특징으로 하는 비휘발성 메모리 소자.
- [4] 제 3 항에 있어서,
 상기 제 1 상변화층은 상기 제 2 상변화층보다 상기 제 2 전극층에 접촉하는
 면적이 더 넓게 형성된 것을 특징으로 하는 비휘발성 메모리 소자.
- [5] 제 4 항에 있어서,
 상기 제 2 드레인 전극에 연결된 전류 조절부는 프로그램된 내용에 따라서
 제 1 레벨 내지 제 4 레벨의 전류를 출력하고,
 제1 레벨은 소오스 영역측 전하 포획층에 전하가 프로그램되어 OFF 전류가
 상기 전도층을 통해서 출력되는 상태인 것을 특징으로 하는 비휘발성
 메모리 소자.
- [6] 제 4 항에 있어서,

상기 제 2 드레인 전극에 연결된 전류 조절부는 프로그램된 내용에 따라서 제 1 레벨 내지 제 4 레벨의 전류를 출력하고,
제2 레벨은 소오스 영역측 전하 포획층에 전하가 프로그램되지 않은 상태에서 상기 전류 조절부로 ON 전류가 유입되고,
상기 제 1 상변화층 및 상기 제 2 상변화층이 비정질 상태이고, 상기 ON 전류의 일부가 상기 전도층을 통해서만 출력되는 상태인 것을 특징으로 하는 비휘발성 메모리 소자.

[7]

제 4 항에 있어서,
상기 제 2 드레인 전극에 연결된 전류 조절부는 프로그램된 내용에 따라서 제 1 레벨 내지 제 4 레벨의 전류를 출력하고,
제3 레벨은 소오스 영역측 전하 포획층에 전하가 프로그램되지 않은 상태에서 상기 전류 조절부로 ON 전류가 유입되고,
상기 제 1 상변화층은 비정질 상태이고, 상기 제 2 상변화층은 결정상태이며, 상기 ON 전류의 일부가 상기 전도층 및 상기 제 2 상변화층을 통해서만 출력되는 상태인 것을 특징으로 하는 비휘발성 메모리 소자.

[8]

제 4 항에 있어서,
상기 제 2 드레인 전극에 연결된 전류 조절부는 프로그램된 내용에 따라서 제 1 레벨 내지 제 4 레벨의 전류를 출력하고,
제4 레벨은 소오스 영역측 전하 포획층에 전하가 프로그램되지 않은 상태에서 상기 전류 조절부로 ON 전류가 유입되고,
상기 제 1 상변화층 및 상기 제 2 상변화층이 결정상태이고, 상기 ON 전류가 상기 전도층, 상기 제 1 상변화층 및 상기 제 2 상변화층을 통해서 출력되는 상태인 것을 특징으로 하는 비휘발성 메모리 소자.

[9]

제 4 항에 있어서,
상기 제 2 소오스 전극에 연결된 전류 조절부는 프로그램된 내용에 따라서 제 1 레벨 내지 제 4 레벨의 전류를 출력하고,
제1 레벨은 드레인 영역측 전하 포획층에 전하가 프로그램되어 OFF 전류가 상기 전도층을 통해서 출력되는 상태인 것을 특징으로 하는 비휘발성 메모리 소자.

[10]

제 4 항에 있어서,
상기 제 2 소오스 전극에 연결된 전류 조절부는 프로그램된 내용에 따라서 제 1 레벨 내지 제 4 레벨의 전류를 출력하고,
제2 레벨은 드레인 영역측 전하 포획층에 전하가 프로그램되지 않은 상태에서 상기 전류 조절부로 ON 전류가 유입되고,
상기 제 1 상변화층 및 상기 제 2 상변화층이 비정질 상태이고, 상기 ON 전류의 일부가 상기 전도층을 통해서만 출력되는 상태인 것을 특징으로 하는 비휘발성 메모리 소자.

- [11] 제 4 항에 있어서,
 상기 제 2 소오스 전극에 연결된 전류 조절부는 프로그램된 내용에 따라서 제 1 레벨 내지 제 4 레벨의 전류를 출력하고,
 제 3 레벨은 드레인 영역측 전하 포획층에 전하가 프로그램되지 않은 상태에서 상기 전류 조절부로 ON 전류가 유입되고,
 상기 제 1 상변화층은 비정질 상태이고, 상기 제 2 상변화층은 결정상태이며, 상기 ON 전류의 일부가 상기 전도층 및 상기 제 2 상변화층을 통해서만 출력되는 상태인 것을 특징으로 하는 비휘발성 메모리 소자.
- [12] 제 4 항에 있어서,
 상기 제 2 소오스 전극에 연결된 전류 조절부는 프로그램된 내용에 따라서 제 1 레벨 내지 제 4 레벨의 전류를 출력하고,
 제 4 레벨은 드레인 영역측 전하 포획층에 전하가 프로그램되지 않은 상태에서 상기 전류 조절부로 ON 전류가 유입되고,
 상기 제 1 상변화층 및 상기 제 2 상변화층이 결정상태이고, 상기 ON 전류가 상기 전도층, 상기 제 1 상변화층 및 상기 제 2 상변화층을 통해서 출력되는 상태인 것을 특징으로 하는 비휘발성 메모리 소자.
- [13] (a) 중앙에 단차진 돌출부가 형성된 기판위에, 상기 돌출부의 측면 내부에 전하 포획층이 형성된 터널 산화막을 형성하는 단계;
 (b) 상기 돌출부 양 측면에 소오스 영역 및 드레인 영역을 각각 형성하고, 상기 소오스 영역위에 제 1 소오스 전극 및 제 2 소오스 전극을 형성하고, 상기 드레인 영역위에 제 1 드레인 전극 및 제 2 드레인 전극을 형성하는 단계; 및
 (c) 상기 제 2 소오스 전극 및 상기 제 2 드레인 전극위에 프로그램된 내용에 따라서 출력되는 전류양을 조절하는 전류 조절부를 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.
- [14] 제 13 항에 있어서, 상기 (c) 단계는
 (c1) 상기 제 2 소오스 전극 및 상기 제 2 드레인 전극위에 제 1 전극층을 형성하는 단계;
 (c2) 상기 제 1 전극층에 전도층, 제 1 상변화층, 및 제 2 상변화층을 형성하는 단계; 및
 (c3) 상기 전도층, 상기 제 1 상변화층, 및 상기 제 2 상변화층위에 제 2 전극층을 형성하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.
- [15] 제 14 항에 있어서, 상기 (c2) 단계는
 상기 제 1 상변화층이 상기 제 2 전극층과 접촉하는 면적이 상기 제 2 상변화층이 상기 제 2 전극층보다 더 크도록 상기 제 1 상변화층 및 상기 제 2 상변화층을 형성하는 것을 특징으로 하는 비휘발성 메모리 소자 제조

방법.

[16]

제 14 항에 있어서, 상기 (a) 단계는

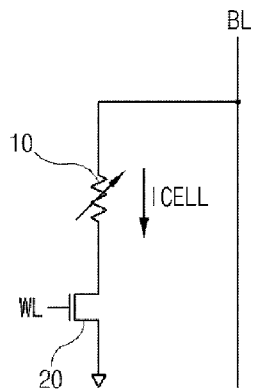
(a1) 상기 돌출부가 형성된 기관위에 터널 산화막 및 전하 포획층을 순차적으로 적층하는 단계;

(a2) 상기 기관의 수평한 부분이 드러나도록 상기 전하 포획층 및 터널 산화막을 건식 식각하는 단계;

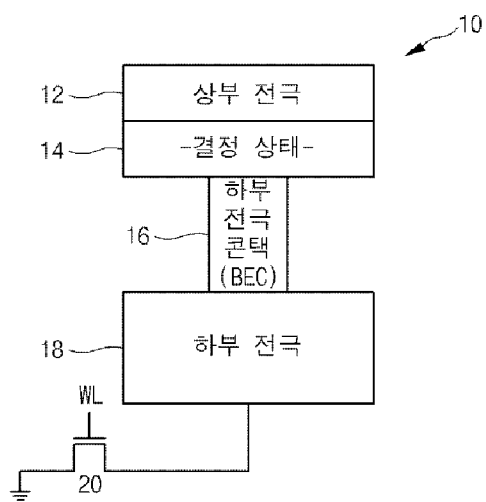
(a3) 상기 건식 식각으로 인하여 상기 돌출부의 양측면 모서리에 상기 터널 산화막 및 상기 전하 포획층의 일부가 잔존하는 상태에서 상기 터널 산화막과 동일한 재질로 산화막을 형성하는 단계; 및

(a4) 상기 소오스 및 드레인이 형성될 영역에서 상기 터널 산화막을 제거하는 단계를 포함하는 것을 특징으로 하는 비휘발성 메모리 소자 제조 방법.

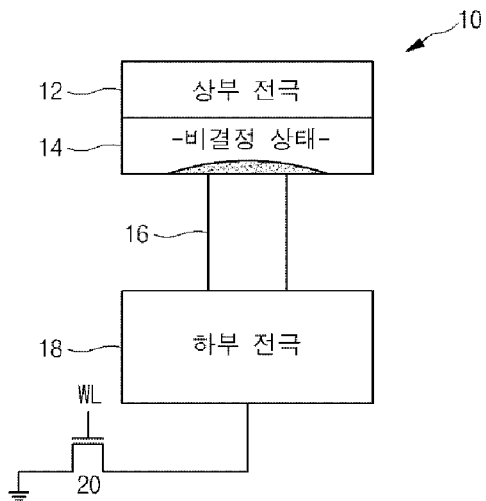
[Fig. 1]



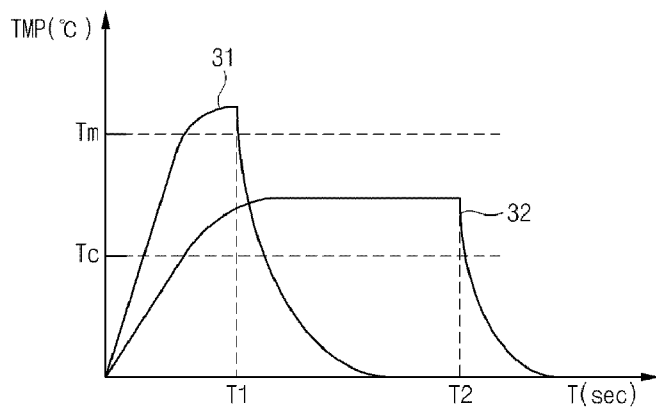
[Fig. 2]



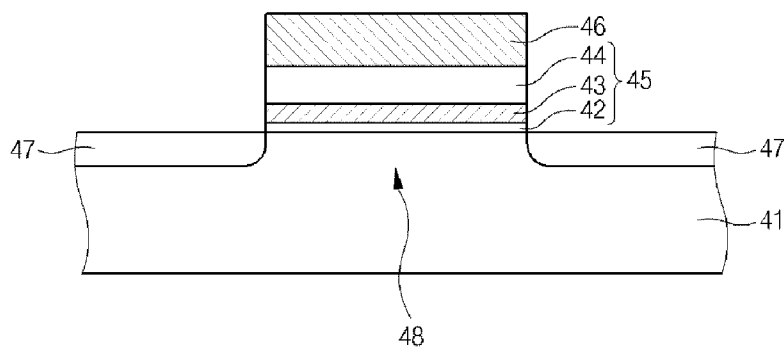
[Fig. 3]



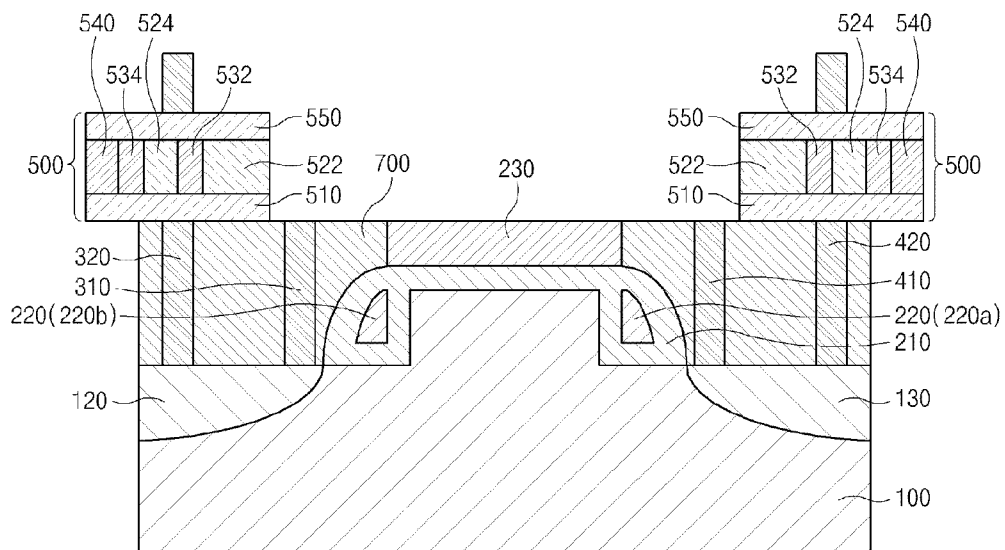
[Fig. 4]



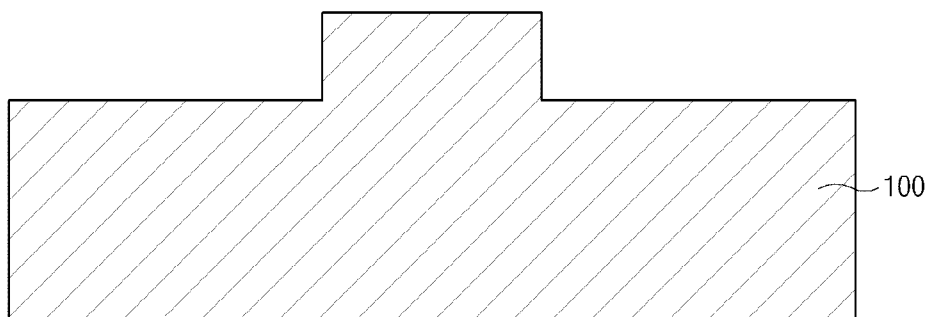
[Fig. 5]



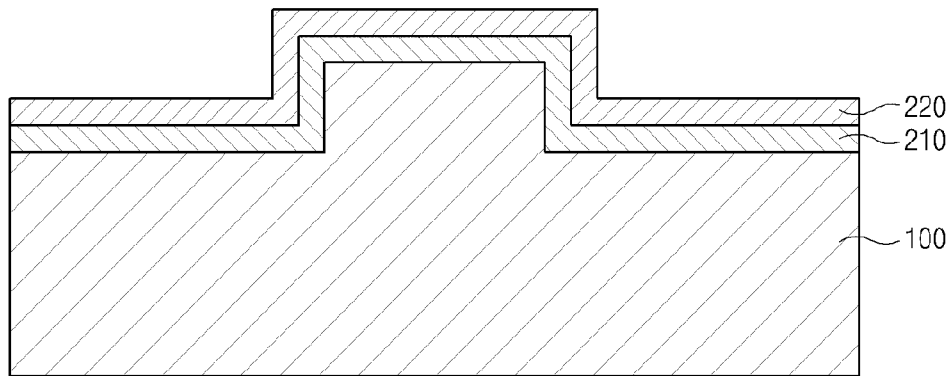
[Fig. 6]



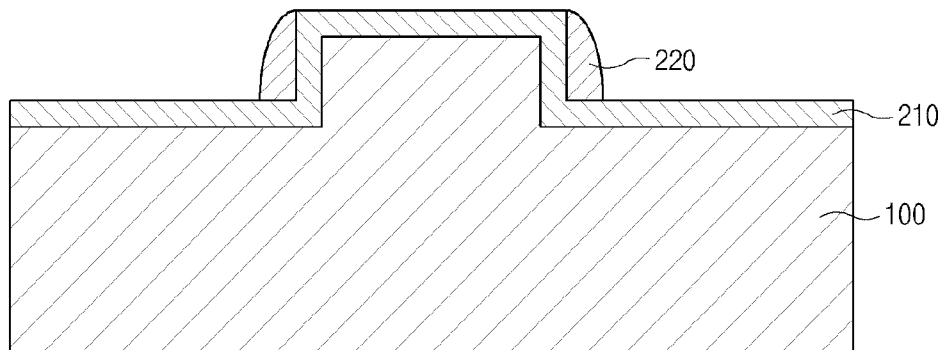
[Fig. 7]



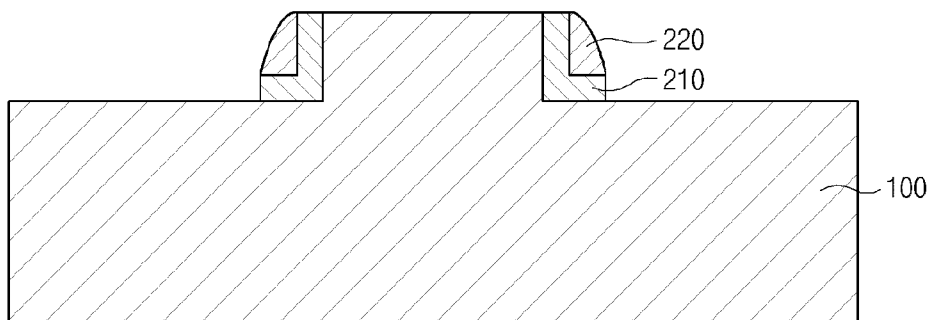
[Fig. 8]



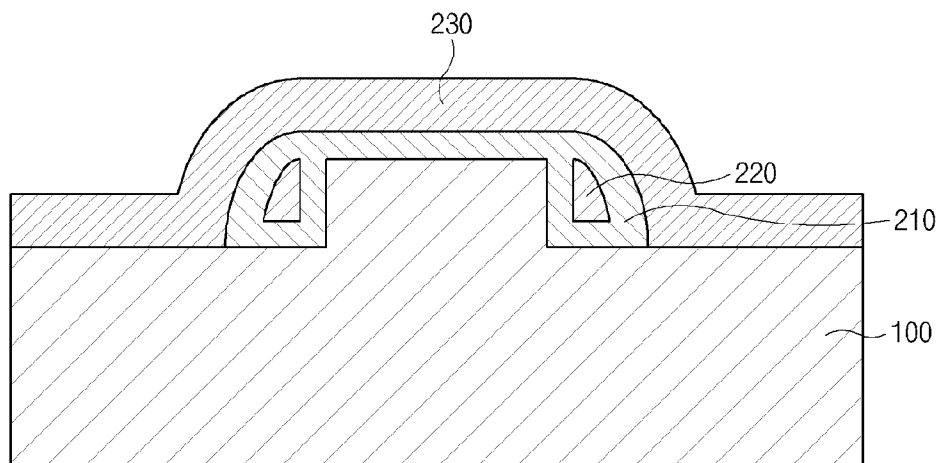
[Fig. 9]



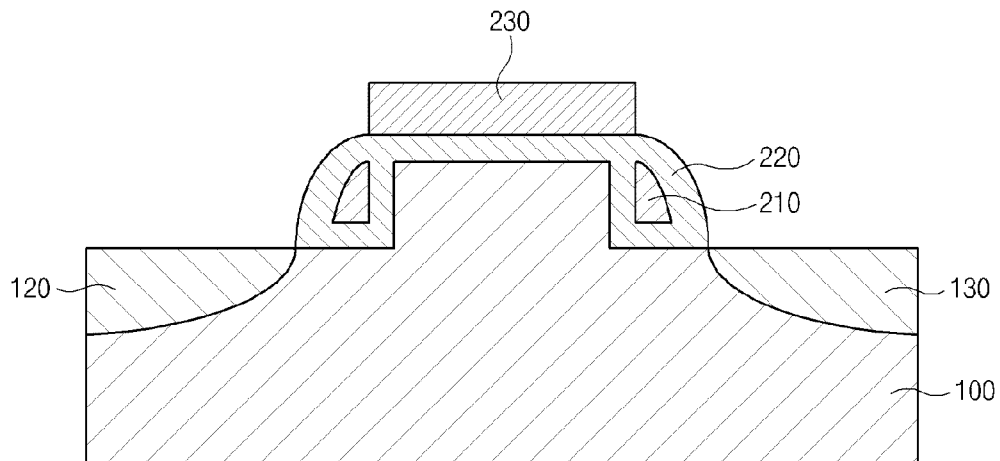
[Fig. 10]



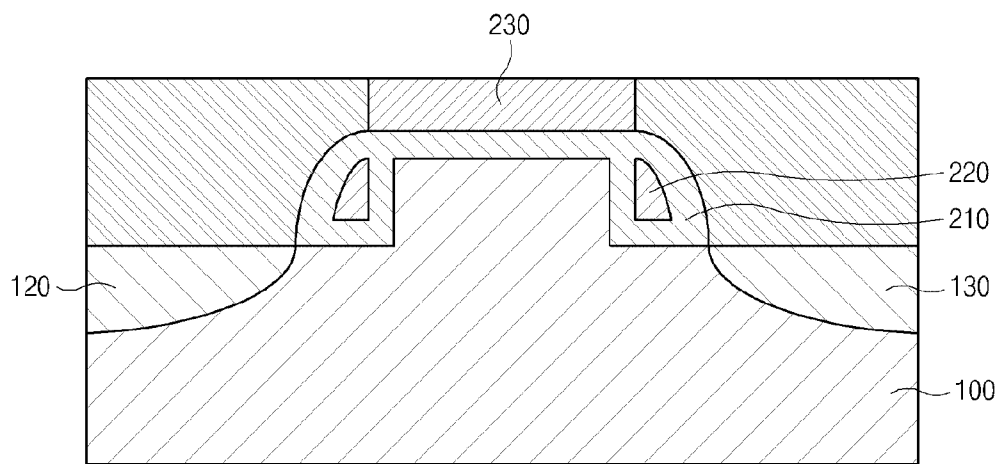
[Fig. 11]



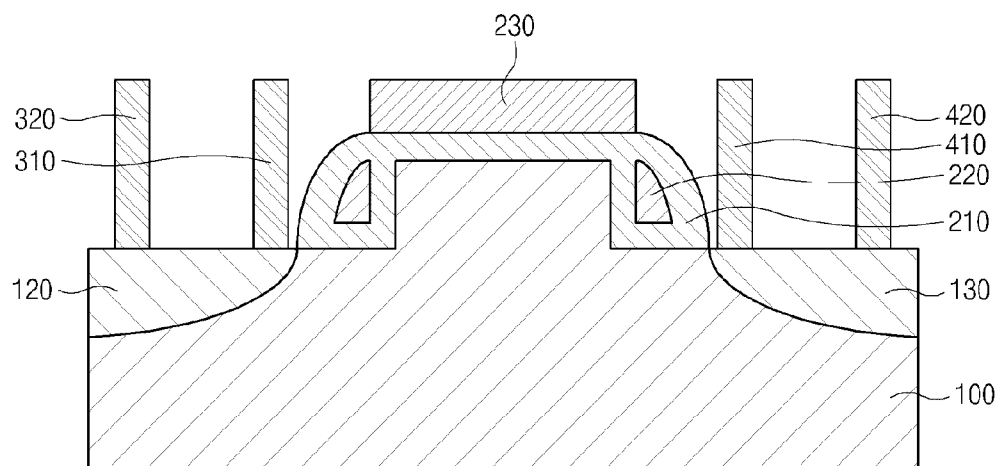
[Fig. 12]



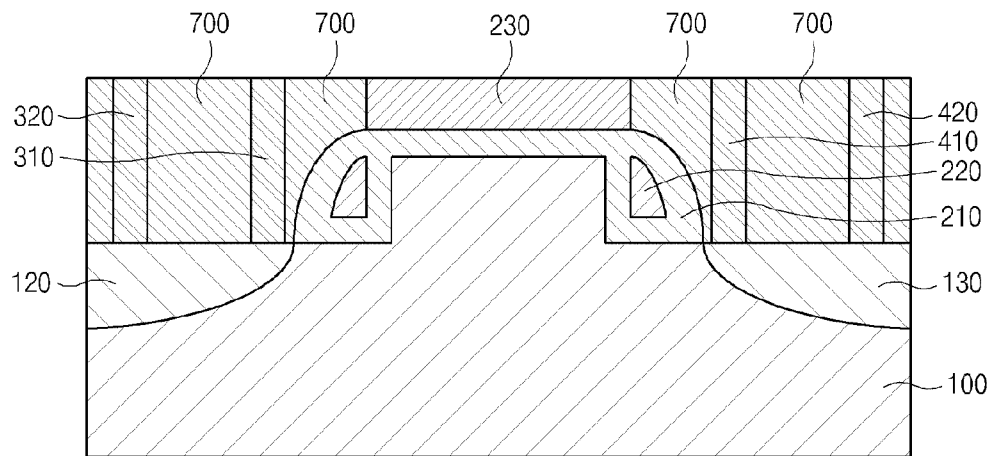
[Fig. 13]



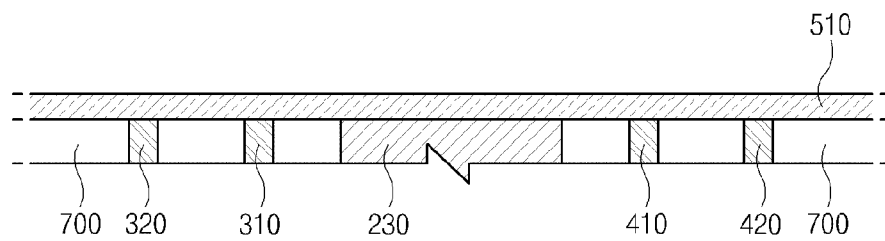
[Fig. 14]



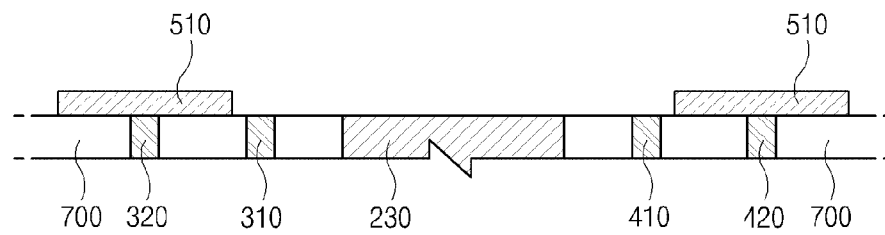
[Fig. 15]



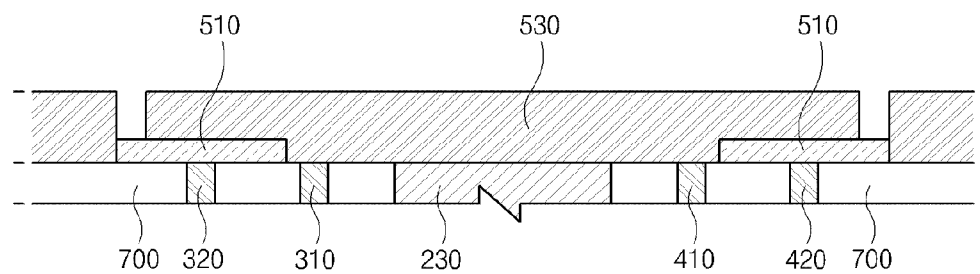
[Fig. 16]



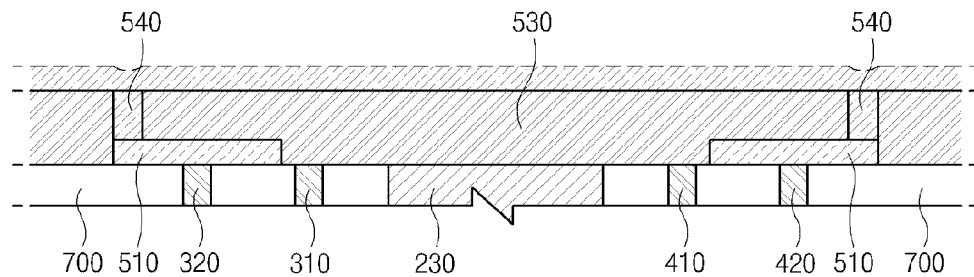
[Fig. 17]



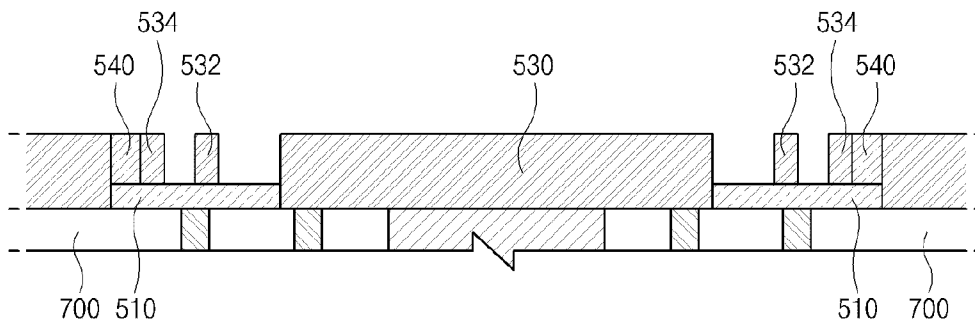
[Fig. 18]



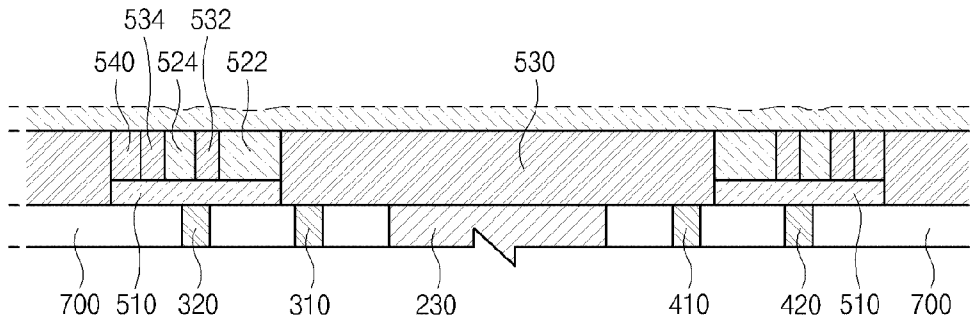
[Fig. 19]



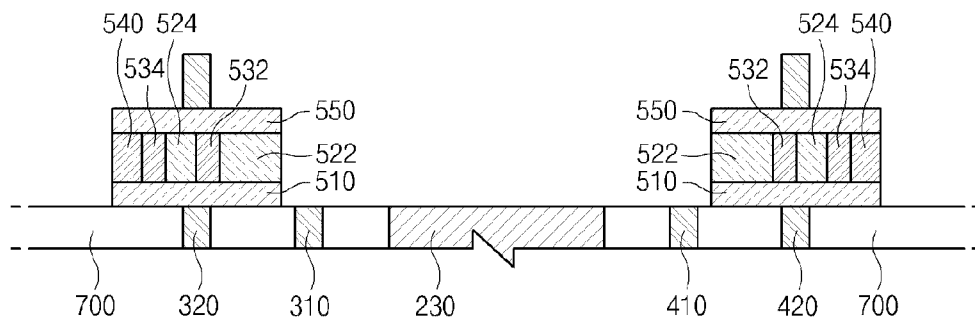
[Fig. 20]



[Fig. 21]



[Fig. 22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2009/006542**A. CLASSIFICATION OF SUBJECT MATTER****H01L 27/115(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/115; G11C 11/34; H01L 21/8247

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: nonvolatile memory, phase change, multibit

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-0577311 B1 (DONGBUANAM SEMICONDUCTOR INC.) 10 May 2006 See abstract, claims 1 - 13, figures 1 - 9.	1-16
A	KR 10-0630746 B1 (SAMSUNG ELECTRONICS CO., LTD.) 02 October 2006 See abstract, claims 1 - 22, figures 1 - 8.	1-16
A	US 2005-0162928 A1 (MAARTEN ROSMEULEN) 28 July 2005 See abstract, figures 1 - 7, paragraphs 28 - 45.	1-16
A	KR 10-2008-0111732 A (SAMSUNG ELECTRONICS CO., LTD.) 24 December 2008 See abstract, claims 1 - 13, figures 1 - 5.	1-16



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

17 JUNE 2010 (17.06.2010)

Date of mailing of the international search report

17 JUNE 2010 (17.06.2010)

Name and mailing address of the ISA/KR



Korean Intellectual Property Office
Government Complex-Daejeon, 139 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2009/006542

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-0577311 B1	10.05.2006	CN 1716615 A CN 1716615 C0 JP 2005-354074 A US 2006-0035433 A1 US 7242612 B2	04.01.2006 09.04.2008 22.12.2005 16.02.2006 10.07.2007
KR 10-0630746 B1	02.10.2006	JP 2006-313911 A US 2006-0249779 A1 US 7602010 B2	16.11.2006 09.11.2006 13.10.2009
US 2005-0162928 A1	28.07.2005	AT 433604 T DE 602004021465 D1 EP 1548842 A2 EP 1548842 A3 EP 1548842 B1 JP 2005-210101 A US 2005-162928 A1 US 7569882 B2	15.06.2009 23.07.2009 29.06.2005 15.10.2008 10.06.2009 04.08.2005 28.07.2005 04.08.2009
KR 10-2008-0111732 A	24.12.2008	NONE	

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01L 27/115(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 27/115; G11C 11/34; H01L 21/8247 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: nonvolatile memory, phase change, multibit		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-0577311 B1 (동부아남반도체 주식회사) 2006.05.10 요약, 청구항 1 - 13, 도면 1 - 9 참조.	1-16
A	KR 10-0630746 B1 (삼성전자주식회사) 2006.10.02 요약, 청구항 1 - 22, 도면 1 - 8 참조.	1-16
A	US 2005-0162928 A1 (MAARTEN ROSMEULEN) 2005.07.28 요약, 도면 1 - 7, 문단 28 - 45 참조.	1-16
A	KR 10-2008-0111732 A (삼성전자주식회사) 2008.12.24 요약, 청구항 1 - 13, 도면 1 - 5 참조.	1-16
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2010년 06월 17일 (17.06.2010)		국제조사보고서 발송일 2010년 06월 17일 (17.06.2010)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (302-701) 대전광역시 서구 선사로 139, 정부대전청사 팩스 번호 82-42-472-7140		심사관 구영희 전화번호 82-42-481-8376

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-0577311 B1	2006.05.10	CN 1716615 A CN 1716615 C0 JP 2005-354074 A US 2006-0035433 A1 US 7242612 B2	2006.01.04 2008.04.09 2005.12.22 2006.02.16 2007.07.10
KR 10-0630746 B1	2006.10.02	JP 2006-313911 A US 2006-0249779 A1 US 7602010 B2	2006.11.16 2006.11.09 2009.10.13
US 2005-0162928 A1	2005.07.28	AT 433604 T DE 602004021465 D1 EP 1548842 A2 EP 1548842 A3 EP 1548842 B1 JP 2005-210101 A US 2005-162928 A1 US 7569882 B2	2009.06.15 2009.07.23 2005.06.29 2008.10.15 2009.06.10 2005.08.04 2005.07.28 2009.08.04
KR 10-2008-0111732 A	2008.12.24	없음	