

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4376775号
(P4376775)

(45) 発行日 平成21年12月2日(2009.12.2)

(24) 登録日 平成21年9月18日(2009.9.18)

(51) Int.Cl. F I
H02M 3/155 (2006.01) H02M 3/155 Q

請求項の数 10 (全 13 頁)

(21) 出願番号	特願2004-506171 (P2004-506171)	(73) 特許権者	590000248
(86) (22) 出願日	平成15年5月9日(2003.5.9)		コーニンクレッカ フィリップス エレク
(65) 公表番号	特表2005-526478 (P2005-526478A)		トロニクス エヌ ヴィ
(43) 公表日	平成17年9月2日(2005.9.2)		オランダ国 5621 ベーアー アイン
(86) 国際出願番号	PCT/IB2003/001814		ドーフエン フルーネヴァウツウェッハ
(87) 国際公開番号	W02003/098790		1
(87) 国際公開日	平成15年11月27日(2003.11.27)	(74) 代理人	100070150
審査請求日	平成18年5月2日(2006.5.2)		弁理士 伊東 忠彦
(31) 優先権主張番号	102 21 450.6	(74) 代理人	100091214
(32) 優先日	平成14年5月15日(2002.5.15)		弁理士 大貫 進介
(33) 優先権主張国	ドイツ(DE)	(74) 代理人	100107766
			弁理士 伊東 忠重

最終頁に続く

(54) 【発明の名称】 共振形コンバータのための回路構成、及び該コンバータを動作させるための方法

(57) 【特許請求の範囲】

【請求項1】

入力直流電圧を裁断された直流電圧に裁断するための2つのスイッチをもつコンバータのための回路構成であって、

前記2つのスイッチのスイッチオン時間を制御するための制御手段であって、前記の両スイッチを交互にスイッチオンさせ、両スイッチを同時にスイッチオンさせることはなく、両スイッチが同時にスイッチオフにされるデッドタイムフェーズが存在する、制御手段、及び

前記の裁断された直流電圧を出力電圧に変換するための少なくとも1つのキャパシタ及び少なくとも1つのコイルを有する共振回路を備えた回路エレメント、

を有し、

前記共振回路を流れる電流を決定するための手段が設けられ、前記制御手段は、共振回路を流れる電流に依存する値を閾値と比較するコンパレータを有し、前記制御手段は、前記の比較の結果に依存して前記2つのスイッチの切り替えを制御し、

共振回路を流れる電流の電流勾配 (dI/dt) に依存する値が決定されて、前記2つのスイッチのうちの1つのスイッチがスイッチオンフェーズの間に適応的閾値と比較され、前記適応的閾値は前記2つのスイッチのスイッチング周波数、及び／又は当該コンバータに存在する負荷に依存して調節され、前記電流勾配 (dI/dt) が前記適応的閾値に達するまで前記の両スイッチの交互のスイッチオンを続ける、

ことを特徴とする回路構成。

【請求項 2】

前記共振回路に流れる電流の電流勾配を決定するための手段が設けられる、
ことを特徴とする請求項 1 記載の回路構成。

【請求項 3】

前記電流及び／又は前記電流の電流勾配を決定するための手段は、前記共振回路に設けられる、

ことを特徴とする請求項 1 又は 2 記載の回路構成。

【請求項 4】

前記電流及び／又は前記電流の電流勾配を決定するための手段は、それぞれのスイッチに設けられる、

ことを特徴とする請求項 1 又は 2 記載の回路構成。

【請求項 5】

前記電流及び／又は前記電流の電流勾配を決定するための手段は、少なくとも抵抗を有する、

ことを特徴とする請求項 1 乃至 4 のいずれか 1 項記載の回路構成。

【請求項 6】

前記電流及び／又は前記電流の電流勾配を決定するための手段は、少なくとも電流変成器を有する、

ことを特徴とする請求項 1 乃至 5 のいずれか 1 項記載の回路構成。

【請求項 7】

前記電流及び／又は前記電流の電流勾配を決定するための手段は、少なくとも電流感知用の電界効果トランジスタを有する、

ことを特徴とする請求項 1 乃至 6 のいずれか 1 項記載の回路構成。

【請求項 8】

前記スイッチとして金属酸化膜半導体電界効果トランジスタ (M O S F E T) が使用され、前記電流及び前記電流の電流勾配は、該 M O S F E T のドレイン－ソース間の電圧を介して決定される、

ことを特徴とする請求項 1 又は 2 記載の回路構成。

【請求項 9】

前記電流勾配 (dI/dt) が前記適応的閾値に達したときに、前記 2 つのスイッチのスイッチオフがトリガされる、

請求項 1 乃至 8 の何れか 1 項記載の回路構成。

【請求項 10】

前記適応的閾値は、前記入力直流電圧に依存して調整され、入力直流電圧の増加につれて上昇される、

ことを特徴とする請求項 9 記載の回路構成。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチのスイッチオン時間を制御するための制御手段を有する、D C 電圧 U 1 を裁断された D C 電圧 U 3 に裁断するためのスイッチをもつコンバータのための回路構成に関し、この回路構成では、スイッチのスイッチオン時間は、互い違いであり、デッドタイムフェーズにより互いに分離され、回路エレメントは、裁断された D C 電圧 U 3 を出力電圧 U 2 に変換するための少なくとも 1 つのキャパシタと少なくとも 1 つのコイルとを有する共振回路を有している。

また、本発明は、かかる回路構成におけるスイッチを切り替える方法に関する。

【背景技術】

【0002】

共振回路エレメントをもつコンバータは、共振形コンバータと呼ばれており、その出力に接続される負荷に直流 (D C) 電圧又は D C 電流を供給するために一般に使用される。

10

20

30

40

50

共振形コンバータは、多様なやり方で使用される場合があり、特に、放電灯、ディスプレイスクリーン、オーディオ装置、テレビジョン、ビデオレコーダを動作させるために使用されており、又は自動車技術において使用されている。共振形コンバータは、 AC/AC 、 DC/AC 、 AC/DC 又は DC/DC コンバータとして形成される場合がある。

【0003】

開始節に記載されたタイプの共振形コンバータでは、 DC 電圧 U_1 は、スイッチから構成されるブリッジ回路又はハーフブリッジ回路により、裁断された DC 電圧 U_3 に裁断される。裁断された DC 電圧は、少なくとも1つの誘導性の共振回路エレメントと少なくとも1つの容量性の共振回路エレメント、すなわち誘導性及び容量性リアクタンスコンポーネントとを有する回路手段に印加され、共振周波数近くの動作の場合に交流(AC)電流が回路手段に流れ、この AC 電流は、たとえば、正確に1つの誘導性共振回路エレメントと1つの容量性共振回路エレメントとを有する回路手段において、近似的に正弦波である。この AC 電流は、次いで整流され、コンバータに接続される負荷のための電源電圧として出力電圧 U_2 に平滑化される。しかし、他のアプリケーションも実施可能であり、ここでは負荷は AC 電圧で動作され、したがって如何なる整流器をもたない。スイッチのスイッチング周波数を調整することで、負荷の変化及び入力電圧の変動に対する調整を実行することができる。

10

【0004】

共振形コンバータは、可能な電力供給と比較して、小型かつ軽量の装置を構築することができるように、高いスイッチング周波数で動作することができる。

20

【0005】

共振形コンバータでは、コンポーネント数を減少させ、スイッチングロス回避するため、いわゆるZVS (Zero Voltage Switching) 動作が狙いとされる。これは、必然的ではないが慣習的にMOSFET (Metal Oxide Semiconductor Field Effect Transistor) がスイッチとして使用されているためである。この文脈では、ZVS動作は、最小のスイッチ電圧、好ましくはゼロボルト近くでの、スイッチのスイッチオン(スイッチを導通状態にすること)を意味するために理解される。ZVS動作の可能性を提供するため、デッドタイムフェーズが実現されるべきであり、このフェーズでは、関連するハーフブリッジの全てのスイッチは、スイッチオフにされる(すなわち、非導通状態にされる)。

30

【0006】

コンバータの動作の異なるエリアにおけるZVS動作を保証するため、デッドタイムフェーズは、コンバータの動作エリアに調整されるべきである。たとえば、Allegro-Sanken社のSTR-Z4000又はMotorola社のコントローラIC MC34067のような公知の制御ICは、自動調節の可能性を提供せず、したがって、制限されたエリア内でのみZVS動作を保証することができる。これらのエリアの外側では、信頼できるZVS動作をもはや保証することはできない。デッドタイムフェーズと結果的に得られるZVS動作をなくすことがミスマッチするときにスイッチングロスが増加され、これにより極端なケースではスイッチの破壊を招く場合がある。

【0007】

かかるスイッチングロス回避するため、容量性負荷でのスイッチのスイッチングが特に回避されるべきである。容量性負荷、すなわち容量性の動作モードでのスイッチングを回避するため、容量性負荷のケースにおいてエレメントのスイッチオンがスイッチされるのを回避するため、コンバータ負荷(誘導性又は容量性)のタイプを判定するための手段を提供することが知られている。

40

【0008】

開始節に記載されるタイプのコンバータ回路構成は、EP0430358A1から知られている。容量性負荷でのスイッチングを回避するため、回路に印加される電圧と回路構成に流れる電流との間の位相差は、回路を流れる電流を監視することで間接的にモニタされる。このコンバータ負荷を判定するモードでは、位相差の判定が回路技術の観点から手が込んでい

50

ること、及び測定が損失を受けやすいことは損である。

【0009】

さらに、回路構成は、DE19925490から知られており、ここでは、スイッチのうちの1つの電圧、及びおそらく電圧勾配 dI/dt は、スイッチオンの前にデッドタイムフェーズにおいてコンバータ負荷のタイプを判定するために測定され、スイッチのスイッチオン時間の間のデッドタイムを制御するように閾値と比較される。このことは、容量性負荷でのコンバータの動作がデッドタイムの終わりでのスイッチオンの瞬間でのみ判定され、したがって負荷が既に容量性となるまで判定されないことが欠点である。かかるケースでは、スイッチングサイクルが中断されて、再開される必要があり、これにより乱れを生じる場合がある。

10

【発明の開示】

【課題を解決するための手段】

【0010】

したがって、本発明の目的は、如何なる乱れなしにZVS動作が可能であり、先に説明された問題点を有しない、開始節に記載されたタイプの回路構成を提供することを目的としている。

また、本発明の目的は、かかる回路構成を動作させるための開始節に記載されたタイプの方法を提供することにある。

【0011】

この目的は、共振回路に流れる電流 I を決定するための手段が提供され、制御手段が共振回路に流れる電流 I に依存する値を閾値と比較するコンパレータを有しており、回路手段が比較結果に依存してスイッチのスイッチングを制御する点で解決される。

20

【0012】

代替的に、又は先に説明された解決策に加えて、上記目的は、共振回路に流れる電流 I の電流の勾配 dI/dt を決定するための手段が提供され、制御手段が電流の勾配 dI/dt に依存する値を閾値と比較するコンパレータを有し、回路手段は比較結果に依存してスイッチのスイッチングを制御する。

【0013】

また、上記目的は、コンバータの本発明に係る回路構成のスイッチのスイッチングの方法により解決される。

30

共振回路に流れる電流 I に依存する値が決定され、スイッチのスイッチオンフェーズの間に閾値と比較される。

電流 I が閾値に到達するまでスイッチが交互にスイッチオフにされる。

【0014】

代替的に、又は本方法に加えて、上記目的は、共振回路に流れる電流 I の電流の勾配 dI/dt に依存する値が決定され、スイッチのスイッチオンフェーズの間に閾値と比較され、さらに、電流の勾配が閾値に到達するまでスイッチが交互にスイッチオフにされる方法により解決される。

【0015】

本発明の本質的かつ基本的な態様は、共振回路に流れる電流 I 及び／又は電流の勾配 dI/dt の判定により、如何なる瞬間で、共振回路におけるエネルギーの値又は誘導性の動作モードにおける電荷の値を決定することが可能であり、したがって次のスイッチのスイッチオンのプロセスが容量性の動作モードで実行されないために、その如何なる瞬間で、スイッチが遅くともスイッチオフにされるべきかを判定することが可能となる。誘導性の動作モードに残されているエネルギー／電荷は、関連するその後のスイッチがZVS動作において再びスイッチオンにされることが保証されるように、スイッチをスイッチオフにするとときに十分に大きい必要がある。

40

【0016】

本発明に係る回路構成は、コンバータの動作の信頼性が大幅に拡張されるように、デッドタイムの既に前であって、したがって瞬間的にアクティブスイッチがスイッチオフにさ

50

れる前に、次のスイッチのスイッチオンのリリースをチェックする特定の可能性を提供する。

【0017】

任意に、誘導性モードにおいて残されているエネルギー／電荷の所与の値が閾値に到達したことを示すコンパレータからの信号を受けると直ぐに、制御手段は、アクティブ（スイッチオンの）スイッチをスイッチオフにするために遅くとも信号を供給する。又は、誘導性の動作モードにおいて残されているエネルギー／電荷の値が閾値以下になったことを示す信号をコンパレータが供給したとき、後続するスイッチはスイッチオンするのが防止される。

【0018】

スイッチがスイッチオン信号を受信した瞬間にスイッチが通常は直接にスイッチオンされるのではなく、所与の時間遅延の後にスイッチングプロセスが終端された瞬間にスイッチオンされることが考慮される。

【0019】

これまで、スイッチがスイッチオンされる前に誘導性の動作モードが提供されるか又は容量性の動作モードが提供されるかを判定することは、従来技術の回路構成において可能であり、通常のコンバータの動作が中断される必要があり、スイッチを切り替えるための新たな開始シーケンスが容量性の動作モードで導入される必要があるが、本発明に係る回路構成により、共振回路における電流の変動をモニタすることができ、スイッチは、スイッチオンにされるべきスイッチが誘導性の動作モードで常にスイッチオンにされるやり方でタイムリーに制御することができる。このように、容量性の動作モードにおけるスイッチングは、ZVS動作が永続的に確保されるように確かに回避することができる。後者のことは、閾値が適切に調整されるときに特に当てはまる。本方法は、電流 I が第一の閾値に到達し、この値をなお超えるか又はこの値以下にならないときにスイッチがスイッチオンされるようなやり方、又は電流 I が第一の閾値に到達したときにスイッチがもはやスイッチオンされないやり方で任意に実現される場合がある。

【0020】

容量性モードにおけるスイッチの如何なるスイッチオンがこのやり方で防止されるとき、パワーMOSFETの使用は、（特に、しばしばパワーMOSFETの非常に質の悪い内部のダイオードである）逆平行のパワーダイオードの逆の回復動作に関してもはや問題を招かない。

【0021】

電流 I 及び電流の勾配 dI/dt を測定するための手段は、共振回路に配置される場合があり、この共振回路で、測定ポイントは十分である。手段は、正の測定値及び負の測定値の両者を処理し、負の測定値を形成するのに適しているべきである。電流 I 及び／又は電流の勾配 dI/dt を測定するための手段は、ハーフブリッジのスイッチに設けられる場合があるか、フルブリッジ回路のスイッチペアに設けられる場合がある。このケースでは、2つの測定ポイントが必要とされ、これは電流 I を測定するための手段が正の信号のみを処理することができるためである。

【0022】

特に、電流感知FETだけでなく抵抗又は電流変成器は、電流 I 及び／又は電流の勾配 dI/dt を測定するための手段として両方のケースで使用することができる。

【0023】

MOSFETがスイッチとして使用されるとき、電流 I 及び／電流の勾配 dI/dt は、本発明の更なる好適な実施の形態では、そのドレインソース間の電圧を介して比較的容易にタップ接続される。

【0024】

既に先に説明されたように、好適な実施の形態の方法では、アクティブスイッチのスイッチオフは、遅くとも閾値に到達したときにトリガすることができ、キャパシタを再充電するために利用可能なエネルギー／電荷が誘導性の動作モードにおいて少なくとも必要と

10

20

30

40

50

されるエネルギー／電荷以下になる前に、次のスイッチのスイッチングプロセスがタイムリ
ーに開始される。

【0025】

更なる好適な実施の形態の方法では、次のスイッチのスイッチオンは、値が閾値以下に
なった後に防止され、それぞれのケースで、スイッチのスイッチオンは、容量性の動作モ
ードで防止される。

【0026】

回路構成におけるスイッチを切り替えるための本発明に係る方法は、増加する入力電圧
 U_1 と共に上昇される、閾値が入力電圧 U_1 に依存して調整されるやり方で更に好適に実
現される。共振回路における寄生キャパシタンス及びおそらく外部キャパシタンスを充電
又は放電するために必要とされるエネルギー／電荷は増加する入力電圧 U_1 と共に増加す
るので、したがって閾値を負荷の条件に調節することが可能である。

10

【0027】

本発明のこれらの態様及び他の態様は、以下に説明される実施の形態を参照して明らか
となるであろう。

【発明を実施するための最良の形態】

【0028】

図1におけるブロック図は、負荷共振形コンバータ、DC入力電圧 U_1 を出力電圧 U_2
に変換するための回路ブロック1による電源ユニット、回路ブロック3により表される負
荷に供給するために使用されるDC電圧を示している。入力電圧 U_1 は、たとえば、回路
ブロック2によりAC電圧ライン4のAC電圧を整流することで、電源ユニットのための
従来のやり方で生成される。

20

【0029】

図2は、図1に示されるコンバータの本質的なエレメントを更に詳細な方式で示してい
る。DC入力電圧 U_1 は、DC電圧 U_1 を裁断する、直列に配置されたスイッチS1及び
S2のハーフブリッジに存在する。スイッチS1及びS2は、このケースでは、MOSF
ETトランジスタであり、ボディダイオードD1及びD2を有しており、それぞれのダイ
オードは、対応するスイッチS1及びS2に対して逆平行に配置されている。

【0030】

裁断されたDC電圧 U_3 がコンバータ1の動作の間に減少するキャパシタンス C_p は、
スイッチS2に並列に配置されている。キャパシタンス C_p は、必ずしも外部のコンポー
ネントである必要はなく、専用のMOSFETトランジスタの出力キャパシタンス C_{iss}
である場合があり、この出力キャパシタは、どのような方法にせよ存在する。裁断された
DC電圧 U_3 は、回路構成6に印加され、この回路構成は、共振回路エレメントを有して
おり、DC出力電圧 U_2 を生成する。回路構成6は、共振回路エレメントとして、直列に
配置されるキャパシタンス C_r 及びインダクタンス L_r を有している。キャパシタンス C_r
とインダクタンス L_r とキャパシタンス C_p の直列の配置の間に、整流器の構成7は、コン
バータ出力の方向に配置されており、この整流器の構成は、共振回路のエレメント C_r 及
び L_r を通して流れる電流Iを整流し、通常通り、出力に配置されている平滑化キャパシ
タンスCに印加し、この平滑化キャパシタンスから、DC出力電圧 U_2 がタップ接続され
る。

30

40

【0031】

図2では、DC出力電圧 U_2 は、負荷Rに存在しており、この負荷は、このケースでは
オーミック抵抗として示されている。基本的には、コンバータ1は、DC電圧の代わりに
AC電圧を供給するために使用される場合がある。かかるケースでは、整流器の構成及び
平滑化キャパシタにより整流が必要とされず、出力電圧は、図2に示される実施の形態で
は、整流器の構成7で減少するAC電圧に等しい。

【0032】

スイッチS1、S2のスイッチオン及びスイッチオフを制御するための制御ユニット5
が提供される。スイッチS1、S2のそれぞれと直列に配置されるのは、オーミック抵抗

50

W1, W2であり、このオーミック抵抗から、減少する電圧 U_{W1} 又は U_{W2} が制御ユニット5によりタップ接続される。これらの抵抗W1及びW2の代替として、共振回路に配置されるオーミック抵抗が使用される場合もある。オーミック抵抗の代わりに、デッドタイムフェーズの間に流れる電流I及び／又は電流の勾配 dI/dt を決定するため、電流変成器又は電流感知FETを使用することができ、その信号は、制御ユニット5により相応してタップ接続される。

【0033】

スイッチS1及びS2を交互にスイッチオン（導通状態に転移）及びスイッチオフ（非導通状態に転移）にすることで、DC入力電圧U1は、裁断されたDC電圧U3に変換される。スイッチS1がスイッチオンにされたとき、スイッチS2は、スイッチオフにされる。スイッチS2がスイッチオンにされたとき、スイッチS1がスイッチオフにされる。スイッチS1のスイッチオンのフェーズの終わりと、スイッチS2のスイッチオンのフェーズの開始との間では、2つのスイッチS1及びS2がスイッチオフにされるデッドタイムフェーズが存在する。スイッチS2のスイッチオンのフェーズの一方の終わりとスイッチS1の次のスイッチオンフェーズの開始との間では、かかるデッドタイムのフェーズが存在する。かかるデッドタイムのフェーズを設けることで、ZVS動作（ゼロ電圧スイッチング）が可能となる。スイッチング周波数を調整することで、負荷の変動及び入力電圧の変動が存在するとき、一定の出力電圧もまた保証される。

【0034】

図3aに示される3つの図のうちの上の図は、いわば、正の制御電圧 U_{G1} 及び U_{G2} のみが供給された場合の本実施の形態におけるケースについて、スイッチS1での制御電圧 U_{G1} の値とスイッチS2での制御電圧 U_{G2} の値との差 $|U_{G1}| - |U_{G2}|$ を表している。制御電圧 U_{G1} 及び U_{G2} は、スイッチS1及びS2を制御するための制御信号としての役割を果たすものであって、MOSFETトランジスタの対応するゲート電圧を表している。制御電圧の値の間の差がゼロであるときはいつでも、 T_{tot} により示されるデッドタイムのフェーズが存在する。

【0035】

適切な制御電圧 U_{G1} をスイッチの制御入力に印加することでスイッチS1がスイッチオン状態に転移されたとき、 $T_{ON}(S1)$ により示される時間のインターバルが存在する。これらの時間のインターバルでは、スイッチS2がスイッチオフにされるように、制御電圧 U_{G2} はゼロである。スイッチS2がスイッチオンにされ、スイッチS1がスイッチオフにされる時間のインターバルは、 $T_{ON}(S2)$ により示される。これらの時間のインターバルの間、ゼロとは異なりかつスイッチS2をスイッチオンにする制御電圧 U_{G2} は、スイッチS2の制御入力に印加される。これらの時間のインターバル内で、制御電圧 U_{G1} はゼロである。

【0036】

図3aにおける中央の図は、共振回路のエレメント C_r 及び L_r を流れる電流の時間に関する変動を示している。最後に、図3aにおける下の図は、寄生容量 C_p で存在する電圧U3の時間に関する変動を示している。時間tによる3つの図の時間軸は、同じスケールでプロットされている。

【0037】

スイッチS1及びS2のスイッチオン状態とスイッチオフ状態とを交互にすることは、例示を経由して簡略化されたやり方で以下に説明され、この状態では、単一のスイッチングサイクル間で交互となる間のプロセスが説明される。瞬間 t_0 では、スイッチS2がスイッチオフにされるように、制御電圧 U_{G2} がゼロに設定される。これにより、スイッチS2を実現するために使用されるMOSFETトランジスタのゲート電極での放電を招く。値がMOSFETの閾値 $U_{th} > 0$ 以下になる瞬間まで、この瞬間で負である電流IがスイッチS2を通して流れるように、スイッチS2はなお導通状態になる。瞬間 t_1 から、電流がスイッチS2を通してはや流れることができないように、スイッチS2が最終的にスイッチオフにされる。インダクタンス L_r に蓄積されたエネルギーにより更に流れる電

10

20

30

40

50

流 I は、電圧 U_3 が増加するように、キャパシタ C_p を瞬間 t_1 から充電させる。瞬間 t_2 では、値 U_3 は、ダイオード D_1 が導通を開始するように、 DC 入力電圧 U_1 の値に最終的に到達する。この瞬間から、約ゼロボルト（ダイオードの順方向電圧での ZVS ）のスイッチング電圧 U_{s1} 以下のスイッチ S_1 のスイッチオンが保証される。

【0038】

瞬間 t_2 の後の短時間である瞬間 t_4 で、対応する制御電圧 U_{G1} を印加することで、スイッチ S_1 はスイッチオンにされる。これにより、スイッチ S_1 のスイッチオン及びスイッチ S_2 のスイッチオフによる時間のインターバル $T_{ON}(S_1)$ が開始される。

【0039】

瞬間 t_5 では、この時間のインターバル $T_{ON}(S_1)$ の終わりは開始され、ここでは、制御電圧 U_{G1} がゼロにセットされる。このことは、次に、スイッチ S_1 を実現するために使用される $MOSFET$ トランジスタのゲート電極での放電プロセスを導く。瞬間 t_6 では、この放電プロセスは、スイッチ S_1 が非導通を開始する程度に終端され、すなわち、この瞬間で正である電流 I がキャパシタンス C_p の放電を導き、これにより電圧 U_3 の減少を招くように、スイッチ S_1 はスイッチオフ状態に切り替わる。瞬間 t_7 で、電圧 U_3 は、ゼロの値に到達し、この瞬間から、ダイオード D_2 は導通を開始し、スイッチ S_2 は、（ダイオードの順方向電圧で）約 0 ボルトのスイッチング電圧 U_{s2} 以下にスイッチオフにされ、この約ゼロボルトは、対応する制御電圧 U_{G2} が印加された後の短い時間である瞬間 t_9 で実際に起こる。時間のインターバル $T_{ON}(S_2)$ は、スイッチ S_2 がスイッチオンにされ、スイッチ S_1 がスイッチオフにされるこの瞬間から開始する。

【0040】

瞬間 t_0 と瞬間 t_4 との間、及び瞬間 t_5 と瞬間 t_9 との間にはデッドタイムのフェーズ T_{tot} が存在し、このデッドタイムフェーズの間、制御電圧 U_{G1} 及び制御電圧 U_{G2} の両者はゼロであり、スイッチオフ制御信号として作用する制御電圧が供給される。 ZVS 動作が可能であるやり方で、デッドタイムフェーズ T_{tot} が調節される。 $I(t)$ の図では、陰影が付けられた領域は、キャパシタンス C_p を再充電するために利用可能な電荷の測定値を表している。図 3 a に示されるケースでは、利用可能な電荷は、十分な範囲に存在する。

【0041】

図 3 a における時間に関する変動により示される動作状態は、たとえば、誘導性負荷を表しており、すなわち、電流 I は、電圧 U_3 の第一高調波に関して遅れている。かかる動作状態では、十分に誘導的に蓄積されたエネルギーが転送のために利用可能である限り、コンバータ 1 の ZVS 動作が可能である。

【0042】

対照的に、図 3 b は、例示を経由して、容量性負荷の時間に関する対応する変動を示している。かかる動作状態では、電流 I は、電圧 U_3 の第一高調波に関して進んでいる。容量性の負荷では、コンバータ 1 の ZVS 動作は、もはや可能ではない。

【0043】

図 3 b における瞬間 t_0 では、スイッチ S_2 がスイッチオフにされる。電流 I は、その後正である。（瞬間 t_1 と t_2 との間に図 3 a で示されるケースにおけるように）電圧 U_1 までキャパシタ C_p を次第に充電することは、インダクタンス L_r に蓄積されたエネルギーにより一定に駆動される電流 I のために可能ではないが、電流は、代わりにダイオード D_2 を通して流れる。このケースでは、電圧 U_3 は、瞬間 t_4 でゼロから値 U_1 に突然上昇し、この瞬間では、スイッチ S_1 はスイッチオンにされ、すなわちスイッチ S_1 がスイッチオンにされたとき、値 U_1 を有するフル電圧がスイッチ S_1 になお存在する。対応するやり方で、スイッチ S_2 は、容量性負荷で電圧がない状態でスイッチオンされない。電圧 U_3 は、瞬間 t_9 で値 U_1 をなお有しており、この瞬間で、スイッチ S_2 がスイッチオンにされ、値 U_1 はゼロに突然減少する。容量性負荷では、ここでは $MOSFET$ トランジスタとして形成されるスイッチ S_1 及び S_2 において高いスイッチングロスが生成され（並びに、瞬間 t_4 と t_9 のそれぞれでの電流 I とスイッチ電圧 U_{s1} 及び U_{s2} との積の

対応する大きな値が生成され)、このことは、スイッチの破壊を招く場合さえある。本発明の回路構成では、容量性負荷のケースにおけるスイッチングが確実に回避される。

【0044】

図3cは、図3aの上の図のセクションを図解的に示しており、スイッチS1がスイッチオフされた後のデッドタイムを表している。陰影が付されたエリアは、ZVS動作の利用可能なエネルギー／電荷の比較的良好な測定値である。瞬間 t_0 でのその微分と同様に電流の絶対値により、以下の式により推定することができる。

【0045】

【数1】

$$A \approx A' = -I^2(t_0) / (2 * d/dt I(t_0))$$

10

しかし、コンバータ1の共振回路のエレメントの伝達関数を知ること、及びしたがって関数 $I(t)$ 及び $dI(t)/dt$ を知ること、電流 I に依存して排他的にZVS動作のために利用可能な残余のエネルギー／残余の電荷を推定すること、及び $dI(t)/dt$ に依存して排他的にZVS動作のために利用可能な残余のエネルギー／残余の利用可能な電荷を推定することが可能である。

【0046】

図4は、制御ユニット5について本発明の実施の形態に係る構成を示している。制御ユニット5は、ハーフブリッジコントロール11、2つの制御回路12、12'及びコントローラ13を備えている。

20

【0047】

制御ユニット5は、それぞれのスイッチS1、S2についてそれ自身の制御回路12、12'を有しており、抵抗 W_1 で減少する電圧 U_{W1} は、制御回路12の入力に存在し、抵抗 W_2 で減少する電圧 U_{W2} は、制御回路12'の入力に存在する。制御回路12及び12'は、スイッチS2及びS1のそれぞれのゼロ電圧スイッチングのために十分なエネルギー／電荷が存在するか、スイッチS2及びS1をスイッチオフすることができるかをハーフブリッジコントロールに知らせるために、信号“ZVS S2 possible”、“S1 off allowed”又は“ZVS S1 possible”及び“S2 off allowed”をそれらの出力1及び2で利用可能にする。

30

【0048】

制御回路12、12'は、プロテクティブ回路として動作し、この回路は、特に通常の動作モードにおいて信頼できるZVS動作を保証し、その動作の後、負荷共振コンバータは始動する。共振コンバータの開始フェーズの間、このプロテクティブ回路は、デアクチベートされるか、又はその信号は、負荷共振コンバータの開始を乱さないためにハーフブリッジコントロール11により考慮されるべきではない。

【0049】

その入力1に存在する電圧 U_2 に依存して、コントローラ13は、要求される周波数及びスイッチS1及びS2が切り替えられるべきデューティサイクルについて、制御信号を発生する。これらの信号は、コントローラ13の出力に存在する。

40

【0050】

ハーフブリッジ回路11の入力に存在する、瞬間的なデッドタイム T_{tot} のための安定値に依存するだけでなく、制御回路12、12'の信号、コントローラ13の周波数信号及び／又はデューティサイクルに依存して、ハーフブリッジ回路11は、スイッチS1及びS2を切り替える目的でその出力に存在する制御電圧 U_{G1} 及び U_{G2} を発生する。

【0051】

制御回路12及び12'をもつ制御ユニット5は、図示されるように、コントローラ13及びハーフブリッジ回路11と共に単一のICで実現される場合がある。また、単一の制御回路により制御回路12及び12'を実現することが可能であり、電圧 U_{W1} 及び U_{W2} を多重化することで制御回路を二重に利用することができる。同様に、ハーフブリッジ回

50

路 1 1 及びコントローラ 1 3 と同様に、制御回路 1 2 及び 1 2 ' は、個別の IC により実現される場合もある。

【0052】

図 5 は、基本ブロック 2 1, 2 2、推定ブロック 2 3、閾値整合装置 2 4、コンパレータ 2 5 及び回路ブロック 2 6 をもつ、ブロック図におけるスイッチ S 1 を制御するために使用される制御回路 1 2 の好適な実施の形態に関する基本構造を示している。

【0053】

基本ブロック 2 1, 2 2 は、抵抗 W_1 からタップ接続される電圧 U_{W1} からスイッチ S 1 を通して流れる電流 I を決定する結合された測定及び評価装置を組み込んでおり、推定装置 2 3 に電流 I に等価である信号を伝える。更に、低域通過された電流の勾配 dI/dt は、抵抗 W_1 からタップ接続された電圧 U_{W1} から決定され、これに等価な信号は、推定装置 2 3 に通過される。推定装置 2 3 は、入力値からのエネルギー／電荷を決定し、この電荷は、 C_p と同様な寄生のスイッチキャパシティを再充電するために利用可能である。

10

【0054】

閾値整合回路 2 4 は、キャパシティ C_p と同様な寄生のスイッチキャパシタを再充電するために要求される最小エネルギー／最小電荷に対応する信号を発生する。このため、閾値整合回路は、その入力 1 で公称値を入力電圧 U_1 に調整し、ここで、閾値は増加する入力電圧 U_1 につれて上昇する。これは、共振回路における寄生のキャパシタを充電又は放電するために要求されるエネルギー／電荷が増加する入力電圧 U_1 と共に増加し、入力電圧 U_1 が減少するときに相応して減少するためである。同様に、閾値は、スイッチ S 1, S 2 のスイッチング周波数に依存して、及び／又はコンバータに存在する負荷に依存して調節することができる。動作の間、閾値は、コンバータ 1 のワーキングポイントに調節することができる。

20

【0055】

コンパレータ 2 5 は、このケースでは（“ZVS S2 possible” に対応する）論理 “1” 生成する、次のスイッチのゼロボルトのスイッチオンが可能であるように、推定装置 2 3 により決定されたエネルギー／電荷の値が閾値整合回路 2 4 により予め決定された閾値よりも大きいかをチェックする。さらに、電流 I 及びおそらく電流の勾配 dI/dt に比例する入力信号は回路ブロック 2 6 に印加され、この回路ブロック 2 6 は、正当性検査を行い、瞬間的なスイッチオンのスイッチのスイッチオフが第一に許容されるかをチェックし、対応する出力信号を発生する。正当性検査の可能な基準は、たとえば以下である場合がある。

30

【0056】

S 1 をオフに切り替え： $I > 0$, $dI/dt < 0$, $T_{ON} > T_{min}$, $A > A_{min}$ 、又はこれらの基準のサブコンビネーション（対応するやり方では、制御回路 1 2 ' の回路ブロックにおける S 2 をオフに切り替えるための基準は、 $I < 0$, $dI/dt > 0$, $T_{ON} > T_{min}$, $A > A_{min}$ 、又はこれらの基準のサブコンビネーション）。

【0057】

電流 I の絶対値、及び電流の勾配 dI/dt に関する電流 I の絶対値の両者（及び、共振回路又はそのエレメントの伝達関数を知っているときに電流の勾配 $dI(t)/dt$ 、及び推定装置による電流の勾配 $dI(t)/dt$ と相関する電流 I の推定値）は、 C_p を含む寄生のスイッチキャパシタの充電を介して電圧 U_3 を入力電圧 U_1 に増加させるために利用可能なエネルギー／電荷の測定値であり、この測定値は、ZVS 動作においてスイッチ S 1 をスイッチオンにするために必要である。また、この測定値は、ZVS 動作においてスイッチ S 2 をスイッチオンにするために必要なゼロの値に寄生のキャパシタ C_p を完全に放電することで電圧 U_3 を減少させるために利用可能なエネルギー／電荷の測定値でもある。閾値は、利用可能な残余のエネルギー／残余の電荷が ZVS 動作におけるスイッチ S 1, S 2 のスイッチオーバを保証するために更に確実に十分である限度を予め決定する。

40

【0058】

50

適切な公称値を選択するため、コンバータの通常の動作状態において、「スタートアップ」した後、誘導性負荷におけるスイッチ S 1 及び S 2 をスイッチオンにするために必要とされる電圧 U_3 が到達されることが保証される。したがって、従来技術におけるような、容量性負荷又は誘導性負荷が存在するかもはや判定する必要がないが、適切に選択された閾値で如何なる困難性なしにゼロ電圧のスイッチングが保証される誘導性負荷においてスイッチングが常に実行される。

【0059】

図6は、周波数 f に依存する割り算 U_2 / U_3 の変動を示す伝達関数 $A(f)$ を示している。キャパシタンス C_r 及びインダクタンス L_r により本質的に決定されるコンバータ1の共振周波数 f_r で、伝達関数 $A(f)$ はその最大値を有する。 f_r よりも低い周波数では（レンジ I）、容量性負荷が供給される。しかし、 f_r よりも高い周波数は（レンジ II）、誘導性のコンバータ負荷におけるコンバータの動作状態に対応する。したがって、コンバータは、共振周波数 f_r を超える周波数 f で動作することになる。コンバータの出力電圧 U_2 を制御するために慣習的に使用される制御メカニズムがもはや反応しないため、容量性の動作モード（レンジ I）が回避されることは明らかである。レンジ II とは対照的に、レンジ II における負帰還の代わりに（減少する周波数 f につれて増加する $A(f)$ の値）、出力電圧 U_2 の制御を妨げる正帰還が存在するように、レンジ I における減少する周波数につれて $A(f)$ の値が減少する。

【図面の簡単な説明】

【0060】

【図1】共振形コンバータを含む回路構成のブロック図である。

【図2】本発明に係る共振形コンバータの回路構成を示す図である。

【図3a】誘導性負荷の時間変化を示す図である。

【図3b】容量性負荷の時間変化を示す図である。

【図3c】誘導性負荷の残りのエネルギーの測定値としての残されている残余の電荷の図である。

【図4】スイッチを制御するための制御回路構成のブロック図である。

【図5】制御回路のブロック図である。

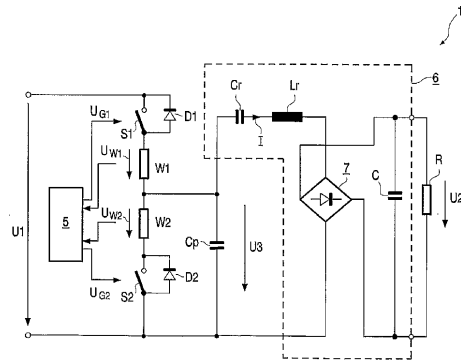
【図6】伝達関数を一定の負荷抵抗の周波数の関数として示す図である。

10

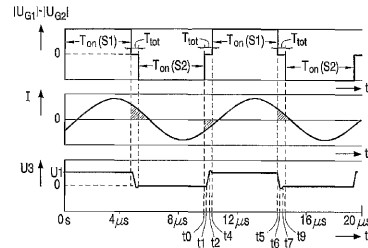
20

The diagram shows three rectangular blocks labeled 2, 1, and 3 from left to right. Block 2 has two input lines on its left side, labeled 4 and 10. An arrow labeled U_1 points from block 2 to block 1. Another arrow labeled U_2 points from block 1 to block 3.

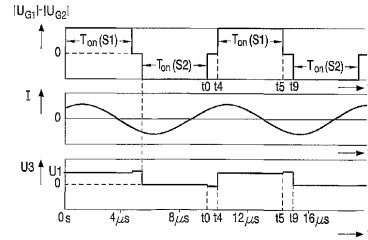
【図 2】



【図 3 a】



【図 3 b】



【図 3 c】

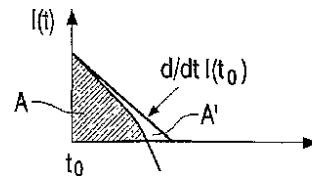
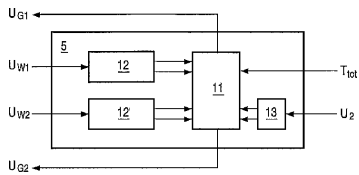
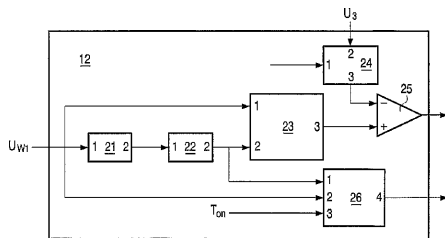


FIG. 3c

【図 4】



【図 5】



【图 6】

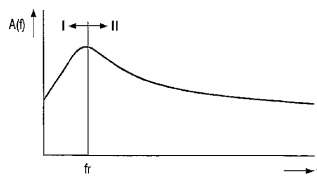


FIG. 6

フロントページの続き

- (72)発明者 デュルバオム, トーマス
ドイツ連邦共和国, 5 2 0 6 6 アーヘン, ヴァイスハオスシュトラッセ 2, フィリップス イ
ンテレクチュアル プロパティ アンド スタンダーズ ゲーエムベーク内
- (72)発明者 ザウアーレンダー, ゲオルク
ドイツ連邦共和国, 5 2 0 6 6 アーヘン, ヴァイスハオスシュトラッセ 2, フィリップス イ
ンテレクチュアル プロパティ アンド スタンダーズ ゲーエムベーク内

審査官 杉浦 貴之

- (56)参考文献 特開2001-008444 (JP, A)
特開平11-332232 (JP, A)
特開平10-225122 (JP, A)
特開平09-056151 (JP, A)
特開2001-346380 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H02M 3/155