

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2010-3741
(P2010-3741A)

(43) 公開日 平成22年1月7日(2010.1.7)

(51) Int.Cl.

F I

テーマコード (参考)

HO 1 L 21/8246 (2006.01)

HO 1 L 27/10 4 4 4 B

5 F 0 8 3

HO 1 L 27/105 (2006.01)

HO 1 L 27/10 4 8 1

HO 1 L 27/10 (2006.01)

審査請求 未請求 請求項の数 5 O L (全 34 頁)

(21) 出願番号 特願2008-159043 (P2008-159043)

(22) 出願日 平成20年6月18日 (2008.6.18)

(71) 出願人 308014341
富士通マイクロエレクトロニクス株式会社
東京都新宿区西新宿二丁目7番1号

(74) 代理人 100105360
弁理士 川上 光治

(72) 発明者 王 文生
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

最終頁に続く

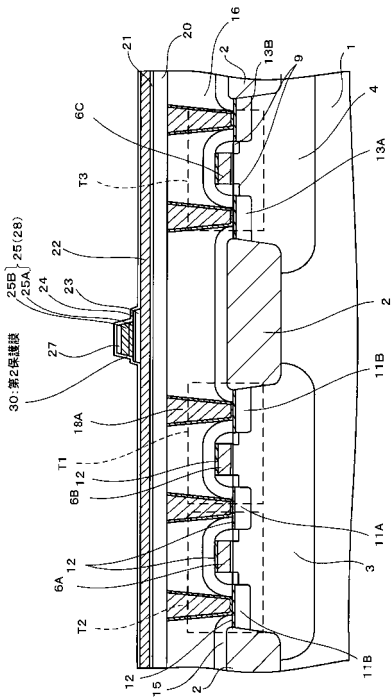
(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】信頼性の高い半導体装置を効率良く製造すること。

【解決手段】シリコン基板1上に強誘電体キャパシタ31を形成する際、第2電極膜25上にハードマスクとして第1保護膜27を形成する。第1保護膜27をマスクにして第2電極膜25をエッチングして上部電極28を形成する。この後、第1保護膜27を除去せずに、第1保護膜27を膜表面側から酸化させる。これによって、第1保護膜27は、積層方向上側の上部領域の酸素濃度が他の領域に比べて高くなり、水素や水などの還元性物質が強誘電体キャパシタ31に透過することを防止する拡散防止膜となる。

【選択図】 図1 F



【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板上に絶縁膜を介して順次積層された下部電極、強誘電体膜及び上部電極を有する強誘電体キャパシタと、

前記強誘電体キャパシタの積層方向において前記上部電極の上方に設けられ、膜厚方向に酸素濃度の分布が異なる部分を有する第 1 保護膜と、

前記第 1 保護膜の上方、及び前記強誘電体キャパシタの側壁を含む領域に設けられる第 2 保護膜と、

を有することを特徴とする半導体装置。

10

【請求項 2】

前記第 1 保護膜は、膜厚方向の上部領域より下部領域の前記酸素濃度が低い部分を有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 保護膜は、膜厚方向の上部領域及び下部領域より膜中心となる部分の前記酸素濃度が低い部分を有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

半導体基板の上方に下部導電膜、強誘電体膜、上部導電膜を積層する工程と、

前記上部電極の上に第 1 保護膜を形成する工程と、

前記第 1 保護膜及び前記上部導電膜をパターニングすることにより、前記導電膜からキャパシタの上部電極を形成する工程と、

20

前記強誘電体膜及び前記第 1 保護膜を酸素雰囲気中で加熱することにより、前記第 1 保護膜中で酸素濃度が膜厚方向に異なる部分を形成する熱処理工程と、

前記強誘電体膜及び前記下部導電膜をパターニングすることにより、前記下部導電膜から前記キャパシタの下部電極を形成する工程と、

前記第 1 保護膜及び前記キャパシタを覆う第 2 保護膜を形成する工程と、

を有する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 5】

半導体基板の上方に下部導電膜、強誘電体膜、及び上部導電膜を順に積層する工程と、

前記上部導電膜の上に第 1 のハードマスク及び第 2 のハードマスクを順番に形成する工程と、

30

前記第 1 及び第 2 のハードマスクを用いて、前記下部導電膜、前記強誘電体膜、及び前記上部導電膜をパターニングして強誘電体キャパシタを形成する工程と、

前記強誘電体キャパシタを形成した後に、前記第 1 のハードマスクを残して前記第 2 のハードマスクを除去する工程と、

前記強誘電体キャパシタ及び前記第 1 のハードマスクを酸素雰囲気中で加熱し、前記第 1 のマスクの少なくとも一部を酸化させ膜厚方向で酸素濃度の分布が異なる部分を有する第 1 保護膜を形成する熱処理工程と、

前記第 1 保護膜及び前記強誘電体キャパシタを覆う第 2 保護膜を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、強誘電体キャパシタを有する半導体装置及びその製造方法に関し、特に強誘電体キャパシタとメモリセルトランジスタとを備えた半導体装置及びその製造方法に関する。

【背景技術】

【0002】

近年、デジタル技術の進展に伴って大容量のデータを高速に処理したり、保存したりす

50

ることが行われており、電子機器等に使用される半導体装置の高集積化及び高性能化が要求されている。例えば、半導体装置の一例である半導体記憶装置においては、D R A M (Dynamic Random Access Memory) を高集積化することが行われている。このようなD R A M に使用されるキャパシタの容量絶縁膜としては、従来の珪素酸化物又は珪素窒化物に代えて、強誘電体材料又は高誘電率材料が用いられている。また、より低電圧、且つ高速での書き込み動作及び読み出し動作が可能な不揮発性R A Mを実現するため、自発分極特性を有する強誘電体膜を容量絶縁膜に用いている。このような半導体記憶装置は、一般に強誘電体メモリ (F e R A M) と呼ばれている。

【0003】

F e R A M は、一对の電極間のキャパシタ誘電体として強誘電体膜を配した強誘電体キャパシタを有し、強誘電体膜のヒステリシス特性を利用して情報を記憶する。強誘電体膜は、電極間の印加電圧に応じて分極を生じ、印加電圧を取り去っても自発分極を有する性質を持つ。印加電圧の極性を反転させれば自発分極の極性も反転するので、自発分極を検出すれば情報を読み出すことが出来る。このようなF e R A M は、高速動作が可能で、消費電力が小さく、書き込み／読み出しの耐久性に優れている等の特徴を有し、今後の更なる発展が見込まれている。

【0004】

しかしながら、従来の強誘電体キャパシタは、水素ガスや水分によって特性が変化し易かった。ここで、標準的な強誘電体キャパシタの場合、例えば、P t 膜からなる下部電極と、P Z T 膜 (P b Z r _{1-x} T i X O ₃ 膜) よりなる強誘電体膜と、P t 膜からなる上部電極とを順次積層した構成を有する。このような標準的な強誘電体キャパシタは、水素分圧が40Pa程度の雰囲気中で200℃程度に加熱すると、P Z T 膜の強誘電性はほぼ失われてしまうことが知られている。

【0005】

また、強誘電体キャパシタに水分が吸着した状態、或いは水分が強誘電体キャパシタの近傍に存在する状態で熱処理を行うと、強誘電体キャパシタの強誘電体膜の強誘電性が著しく劣化してしまうことが知られている。

【0006】

このため、従来のF e R A M の製造工程で強誘電体膜を形成した後のプロセスは、可能な限り水分の発生が少なく、且つ低温のプロセスが選択されている。また、層間絶縁膜を成膜するプロセスには、例えば、水素の発生量が比較的少ない原料ガスを用いたC V D (Chemical Vapor Deposition) 法等が選択されている。

【0007】

さらに、水素や水分による強誘電体膜の劣化を防止する技術として、強誘電体キャパシタを覆うように酸化アルミニウム膜を形成する技術や、強誘電体キャパシタ上に形成された層間絶縁膜上に酸化アルミニウム膜を形成する技術が提案されている。酸化アルミニウム膜は、水素や水分の拡散を防止する機能を有している。このため、酸化アルミニウム膜を形成することで水素や水分が強誘電体膜に達することが防止され、水素や水分による強誘電体膜の劣化を防止できる。また、強誘電体メモリでは、強誘電体キャパシタを直接覆う酸化アルミニウム膜を水素拡散防止膜として形成させて強誘電体キャパシタへの水素拡散を防止していた。

【0008】

一方、強誘電体キャパシタの上部電極を成膜するとき、或いは強誘電体キャパシタを形成するときには、強誘電体膜が主として高エネルギーのスパッタリング粒子による物理的ダメージを受ける。このような物理的ダメージによって強誘電体膜の結晶構造の一部が破壊されてしまうと、強誘電体キャパシタの特性が劣化してしまう。

【0009】

そこで、従来では、このような強誘電体キャパシタの特性劣化を元の状態に回復させるために、以下に説明するような種々の処理を実施していた。

【0010】

10

20

30

40

50

例えば、上部電極膜をパターニングした後、酸素雰囲気中で熱処理を行い、その後に強誘電体膜をパターニングしてから酸素雰囲気中で熱処理を再度行う。さらに、下部電極をパターニングした後も酸素雰囲気中で熱処理を行う。その後、水素拡散防止膜、例えば、酸化アルミニウム、酸化チタン、P L Z T、P Z Tを形成する。このような従来技術については、例えば特許文献 1 に開示されている。その他にも、上部電極膜及び強誘電体膜をパターニングした後、或いは、パターニングにより強誘電体キャパシタを形成した後に酸素雰囲気中で熱処理を行うことが知られている。これらの処理では、酸素によって強誘電体膜の結晶性が回復させられる。

【0011】

また、キャパシタの上面および側面に水素バリア膜として酸化アルミニウムを形成することが知られている。より詳細には、誘電体膜を加工した後、誘電体膜の全面に酸化アルミニウムを形成する。さらに、酸化アルミニウムと下部電極をエッチングしてから全面に酸化アルミニウムを形成してキャパシタを保護する。このような従来技術については、例えば特許文献 2 や、特許文献 3、特許文献 4 に開示されている。

【0012】

水素雰囲気中で熱処理をしたときに強誘電体膜が水素と反応して劣化することを防ぐために、キャパシタにパターンを形成した後、層間膜を堆積させ、その上に水素バリア膜として T i N 膜を形成してからさらに層間膜を堆積させることが知られている。このような従来技術については、例えば特許文献 5 に開示されている。

【0013】

誘電体キャパシタの側壁部の水素バリア膜が薄く、バリア性能が低下したり、膜が剥がれたりすることを防止するためには、誘電体キャパシタを形成した後、 $T a_2 O_5$ 、 $Y_2 O_3$ 、 $C e O_2$ 又は $H f O_2$ の絶縁膜で被覆することが知られている。この場合、さらにその上に $A l_2 O_3$ 膜を形成して、被覆させることも知られている。このような従来技術については、例えば特許文献 6 に開示されている。

【0014】

また、誘電体キャパシタが水素や汚染物によって劣化しないようにするために、誘電体キャパシタを形成した後、酸化アルミニウムの保護膜を形成した上から窒化シリコン膜を形成することが知られている。このような従来技術については、例えば特許文献 7 に開示されている。しかしながら、この方法では、誘電体キャパシタの側壁の傾斜度が低いときには、集積度が低減してしまう。傾斜度が高い場合は、側壁の水素バリア膜が薄くなるので、水素バリア性能が低下する。

【0015】

さらに、強誘電体膜の劣化を高い効率で回復することを目的として強誘電体キャパシタを形成した後、酸化アルミニウム保護膜を形成してから回復アニールを行い、さらに第 2 層の酸化アルミニウム保護膜を形成する方法が検討されている。このような従来技術については、例えば特許文献 8 に開示されている。

【0016】

同様の目的を実現するための従来技術としては、P Z T 強誘電体キャパシタを炭素含有量が異なる酸化アルミニウムで二重に覆う方法も知られている。このような従来技術については、例えば特許文献 9 に開示されている。

【0017】

また、集積回路素子においては、下部電極、誘電体膜、上部電極を含むキャパシタの誘電体膜の露出部に、第 1 の密度を有する金属酸化膜と、第 1 の密度より大きい第 2 密度を有する第 2 の金属酸化膜とを配した構成が知られている。このような集積回路素子の製造工程では、キャパシタを形成した後、酸素と反応性があるアルミニウム前駆ガス及び不活性ガスを各々パルシングガス及びパージガスとして原子層蒸着を行う。これにより、誘電体膜の側面には酸化アルミニウムのみが形成される。この酸化アルミニウムは水素バリア膜となる。この後、熱処理を行って強誘電体膜の劣化を回復させると、キャパシタと水素バリア膜の上にカプセル膜酸化アルミニウムが形成される。このような従来技術について

10

20

30

40

50

は、例えば特許文献 10 に開示されている。

【0018】

また、半導体装置においては、下部水素バリア膜上に形成したキャパシタを覆い、かつキャパシタの周縁部で下部水素バリア膜を露出させるように第 1 層間絶縁膜を形成し、下部水素バリア膜の露出部分を上部水素バリア膜で覆う構成が知られている。なお、上部水素バリア膜は下部水素バリア膜に接触するように形成され、上部水素バリア膜の側面は下部水素バリア膜の上面と鈍角をなすように配置される。このような従来技術については、例えば特許文献 11 や、特許文献 12 に開示されている。

【0019】

また、強誘電体膜の劣化を防止する従来技術としては、強誘電体キャパシタの上に拡散バリア膜を形成し、さらに拡散バリア膜で被覆することが知られている。水素バリア膜としては、Al の酸化物、Al の窒化物、Al の窒化酸化物、Ta の酸化物、Ta の酸化窒化物、Ti の酸化物、Zr の酸化物のうちの少なくともいずれか一つが使用される。このような従来技術については、例えば特許文献 13 に開示されている。

【0020】

不純物拡散によるキャパシタ誘電体の劣化を防止する従来技術としては、キャパシタの全表面にブロッキング膜とキャパシタ保護膜を積層させることが知られている。キャパシタ保護膜は、水素がキャパシタ誘電膜に拡散することを防止する。ブロッキング膜はキャパシタ保護膜下部に形成されて、ブロッキング膜の下部に形成された物質膜とキャパシタ保護膜とが相互反応することを防止、及び/又はキャパシタ誘電膜の揮発を防止する。例えば、ALD (Atomic Layer Deposition) 法で成膜した酸化アルミニウム膜はカバレッジが非常に良くなるが、成膜時にキャパシタの強誘電体膜にダメージを与えたり、誘電体膜と反応したりしてキャパシタの性能を劣化させることがある。これを防ぐために、キャパシタの直上にブロッキング膜が成膜されていた。このような従来技術については、例えば特許文献 14 に開示されている。

【0021】

また、エッチング工程には、高温一括エッチング方法を採用することが知られている。このような従来技術については、例えば特許文献 15 や、引用文献 16 に開示されている。

【0022】

さらに、貴金属電極等の難エッチング材料をエッチングした後、エッチングマスク層の側壁に再付着する不揮発性の反応生成物を除去する方法としては、Ir 層上に、有機物質膜、ハードマスクとなる TiN 層を順に積層し、フォトレジスト膜をマスクとしてこの積層膜をドライエッチングすることが知られている。この場合、Ir 層のドライエッチングは酸素を含んだガスを用いて行われる。エッチング時に有機物質膜がサイドエッチされるため、反応生成物からなる側壁再付着層は有機物質膜層の側壁には生じない。この後、アッシング処理を行えば、有機物質膜層のみがエッチングされ、マスクの役割を果たした TiN 層は容易に除去され、パターニングされた被エッチング材だけが残される。このような従来技術については、例えば特許文献 17 に開示されている。

【0023】

なお、ハードマスクの表面及びその付近において Al や、Ti が幾分酸化して AlO_x (たとえば、 Al_2O_3) や TiO_x (たとえば、 TiO_2) を形成するが、 O_2 中において 450℃ でアニールすると除去されることが知られている。このような従来技術については、例えば特許文献 18 に開示されている。

【0024】

また、キャパシタの保護膜を Al_2O_3 、 ZrO_2 、 HfO_2 、 TiO_x 、 TaO_x 、 SiN 及び AlN から成る群から選択される材料で作製し、下部電極及び強誘電体層の側壁、上部電極の側壁の下部をその保護膜で被覆することが知られている。このような従来技術については、例えば特許文献 19 に開示されている。

【0025】

そして、シリコン基板上に絶縁膜を介して第1水素バリア膜、下部電極膜、強誘電体膜、上部電極膜及び第2水素バリア膜を順次堆積させることで水素還元作用による劣化を抑制することが試みられている。上部電極をパターニングするときには、マスクを用いて水素バリア膜及び上部電極膜を順次エッチングする。さらに、露出した強誘電体膜を覆う第3の水素バリア膜を堆積させ、この上に形成したマスクを用いて強誘電体膜及び下部電極膜を順次エッチングする。これによって、強誘電体膜とこれに自己整合された下部電極のパターンが形成される。このような従来技術については、例えば特許文献20、21、22、23、24、25、26に開示されている。

【特許文献1】特開2003-332536号公報

【特許文献2】特開2005-116756号公報

10

【特許文献3】特開2004-349474号公報

【特許文献4】特開2004-95861号公報

【特許文献5】特開平9-293868号公報

【特許文献6】特開2003-115545号公報

【特許文献7】特開2001-210798号公報

【特許文献8】特開2005-183843号公報

【特許文献9】特開2003-273332号公報

【特許文献10】特開2002-93797号公報

【特許文献11】特開2004-282041号公報

20

【特許文献12】特開2005-129875号公報

【特許文献13】特開2002-176149号公報

【特許文献14】特開2001-111007号公報

【特許文献15】特開平9-162311号公報

【特許文献16】特開2002-94016号公報

【特許文献17】特開2001-313282号公報

【特許文献18】特開2000-133633号公報

【特許文献19】特開2004-186518号公報

【特許文献20】特開2001-36026号公報

【特許文献21】特開2001-168290号公報

【特許文献22】特開2001-358309号公報

30

【特許文献23】特開2002-43540号公報

【特許文献24】特開2002-280528号公報

【特許文献25】特開2003-324157号公報

【特許文献26】特許第3276351号公報

【発明の開示】

【発明が解決しようとする課題】

【0026】

強誘電体キャパシタを備えた半導体装置において、強誘電体キャパシタの特性劣化を抑制するために上記した種々の構造或いは工程が採用されているが、特定劣化をさらに防止する必要がある。

40

【0027】

本発明は、このような事情を鑑みてなされたものであり、信頼性の高い半導体装置を効率良く製造できるようにすることを主な目的とする。

【課題を解決するための手段】

【0028】

本願の一観点によれば、半導体基板と、半導体基板の上方に下部導電膜、強誘電体膜、上部導電膜を積層する工程と、前記上部電極の上に還元性物質の透過を防ぐ第1保護膜を形成する工程と、前記第1保護膜及び前記上部導電膜をパターニングすることにより上部電極を形成する工程と、前記強誘電体膜及び前記第1保護膜を酸素雰囲気中で加熱する熱処理工程と、前記強誘電体膜及び前記下部導電膜をパターニングして強誘電体キャパシタ

50

を形成する工程と、前記第 1 保護膜及び前記強誘電体キャパシタを覆う第 2 保護膜を形成する工程と、を有し、前記熱処理は、前記第 1 保護膜中の酸素濃度が異なる部分を形成する工程を含むことを特徴とする半導体装置の製造方法とした。

【0029】

また、本発明の別の観点によれば、半導体基板の上方に下部導電膜、強誘電体膜、上部導電膜を積層する工程と、前記上部電極の上に第 1 保護膜を形成する工程と、前記第 1 保護膜及び前記上部導電膜をパターニングすることにより、前記導電膜からキャパシタの上部電極を形成する工程と、前記強誘電体膜及び前記第 1 保護膜を酸素雰囲気中で加熱することにより、前記第 1 保護膜中で酸素濃度が膜厚方向に異なる部分を形成する熱処理工程と、前記強誘電体膜及び前記下部導電膜をパターニングすることにより、前記下部導電膜から前記キャパシタの下部電極を形成する工程と、前記第 1 保護膜及び前記キャパシタを覆う第 2 保護膜を形成する工程と、を有する工程を含むことを特徴とする半導体装置の製造方法が提供される。

10

【0030】

本発明のさらに別の観点によれば、半導体基板の上方に下部導電膜、強誘電体膜、及び上部導電膜を順に積層する工程と、前記上部導電膜の上に第 1 のハードマスク及び第 2 のハードマスクを順番に形成する工程と、前記第 1 及び第 2 のハードマスクを用いて、前記下部導電膜、前記強誘電体膜、及び前記上部導電膜をパターニングして強誘電体キャパシタを形成する工程と、前記強誘電体キャパシタを形成した後に、前記第 1 のハードマスクを残して前記第 2 のハードマスクを除去する工程と、前記強誘電体キャパシタ及び前記第 1 のハードマスクを酸素雰囲気中で加熱し、前記第 1 のマスクの少なくとも一部を酸化させ膜厚方向で酸素濃度の分布が異なる部分を有する第 1 保護膜を形成する熱処理工程と、前記第 1 保護膜及び前記強誘電体キャパシタを覆う第 2 保護膜を形成する工程と、を有することを特徴とする半導体装置の製造方法が提供される。

20

【発明の効果】

【0031】

本発明によれば、膜厚方向で酸素濃度が異なる部分を有する第 1 保護膜をキャパシタ上部電極の上に設けたので、第 1 保護膜により強誘電体キャパシタ内への還元性物質の透過を防止することができ、強誘電体キャパシタの性能劣化を防止できる。

【0032】

また、第 1 保護膜をマスクに使用して強誘電体キャパシタの上部電極をパターニングした後に、第 1 保護膜を除去することなく、強誘電体キャパシタに還元性物質の透過を防止する膜として残すようにしたので、従来のようにマスクを除去する工程が不要になり、微小異物の発生を防止できる。これにより工程劣化が防止され、しかも半導体装置の歩留まりを向上できる。

30

【発明を実施するための最良の形態】

【0033】

(第 1 実施の形態)

本発明の第 1 実施の形態について図面を参照して詳細に説明する。

【0034】

図 1 A ～ 図 1 L は、本発明の第 1 実施形態に係る半導体装置の製造途中の断面図である。

40

【0035】

半導体装置は、プレーナ型の F e R A M であって、以下のようにして作製される。

【0036】

最初に、図 1 A に示す断面構造を得るまでの工程について説明する。

【0037】

まず、半導体基板である n 型又は p 型のシリコン基板 1 の表面に、トランジスタの活性領域を画定する素子分離絶縁膜 2 を形成する。この実施の形態では素子分離絶縁層 2 として、シャロートレンチアイソレーション (S T I) を形成する。 S T I は、シリコン基板

50

1の素子分離領域に溝を形成し、その中に酸化シリコン等の絶縁膜を埋め込むことにより形成される。なお、素子分離絶縁層2は、STIに限られず、LOCOS(Local Oxidation of Silicon)法で形成した絶縁膜であってもよい。

【0038】

次いで、シリコン基板1のメモリセル領域Aにおけるトランジスタ活性領域にp型不純物、例えばボロンを導入してpウェル3を形成する。また、周辺回路領域Bにおける所定の活性領域にn型不純物を選択的に導入してnウェル4を形成する。この後、活性領域の表面にゲート絶縁膜5を形成する。ゲート絶縁膜5は、熱酸化によるシリコン酸化膜が用いられ、その厚さは約6~7nmとする。

【0039】

さらに、シリコン基板1の全面に、非晶質シリコン膜とタングステンシリサイド膜とを順番に形成し、フォトリソグラフィ技術を用いてパターニングしてゲート電極6A、6B、6Cを形成する。ゲート電極6A、6Bはメモリセル領域Aに形成される。ゲート電極6Cは周辺回路領域Bに形成される。非晶質シリコン膜は例えば厚さ約50nmとし、タングステンシリサイド膜の厚さは約150nmとする。なお、非晶質シリコン膜の代わりにポリシリコン膜を形成しても良い。

【0040】

ゲート電極6A、6Bは、pウェル3上に互いに平行に二つ形成され、その各々がワード線の一部を構成する。さらに、ゲート電極6A、6Bをマスクにしたイオン注入により、ゲート電極6A、6Bの両側のシリコン基板1の表層にn型不純物、例えばリンを導入し、第1、第2ソース/ドレインエクステンション8A、8Bを形成する。

【0041】

なお、これと同時に、周辺回路領域Bのpウェル4において、ゲート電極6Cの両側のシリコン基板1にp型不純物を導入し、ソース/ドレインエクステンション9を形成する。n型不純物とp型不純物の打ち分けはレジストパターンを使用して行われる。

【0042】

この後に、ゲート電極6A~6Cを含むシリコン基板1の上側全面に絶縁膜を形成し、その絶縁膜をエッチバックしてゲート電極6A~6Cの両側部分のみを残して、絶縁性サイドウォール10を形成する。絶縁膜には、例えばCVD法により形成された酸化シリコン膜が用いられる。

【0043】

続いて、絶縁性サイドウォール10とゲート電極6A、6Bをマスクにしてシリコン基板1の表層に砒素等のn型不純物を再びイオン注入し、各ゲート電極6A、6Bの側方のシリコン基板1に第1、第2ソース/ドレイン領域11A、11Bを形成する。

【0044】

同様に、周辺回路領域Bにおいてもイオン注入によってゲート電極6Cの側方のシリコン基板1に第1、第2ソース/ドレイン領域13A、13Bを形成する。

【0045】

さらに、ゲート電極6A~6Cを含むシリコン基板1の上側全面に金属膜をスパッタ法により形成する。金属膜は、例えば、コバルト膜等の高融点金属が好ましいが、比較的融点が高い金属であっても良い。そして、この金属膜を加熱してシリコンと反応させることにより、ゲート電極6A~6Cの上面と、第1、第2ソース/ドレイン領域11A、11B、13A、13Bにおけるシリコン基板1上にそれぞれにコバルトシリサイド層等の金属シリサイド層12を形成する。この熱処理によって、各ソース/ドレイン領域11A、11B、13A、13Bが活性化されて低抵抗化する。

【0046】

その後に、素子分離絶縁膜2上などで未反応となっている高融点金属膜をウェットエッチングによって除去する。

【0047】

ここまでの工程で、シリコン基板1の活性領域にゲート絶縁膜5、ゲート電極6A、6

10

20

30

40

50

B、第1、第2ソース／ドレイン領域11A、11B等によって構成されるMOSトランジスタT1、T2が形成される。また、周辺回路領域BにもトランジスタT3が形成される。

【0048】

次に、ゲート電極6A～6Cを含むシリコン基板1の上側全面に、酸化防止絶縁膜15（カバー膜）としてプラズマCVD法で酸化窒化シリコン（SiON）膜を厚さ約200nmに形成する。さらに、TEOS（tetra ethoxy silane）ガスを使用するプラズマCVD法により、酸化防止絶縁膜15の上に第1層間絶縁膜16として酸化シリコン（SiO₂）膜を厚さ約1000nmに形成する。なお、TEOSを用いてプラズマCVD法によって形成されるSiO₂膜を以下TEOS膜という。

10

【0049】

そして、第1層間絶縁膜16の表面をCMP（Chemical Mechanical Polishing：化学的機械研磨）法で研磨して平坦化させ、シリコン基板1の表面から第1層間絶縁膜16の表面までの膜厚を所定値、例えば、約785nmに調整する。

【0050】

次に、図1Bに示す断面構造を得るまでの工程について説明する。

【0051】

まず、酸化防止絶縁膜15と第1層間絶縁膜16とをフォトリソグラフィ法によってパターンニングして、第1コンタクトホール17A、17B、17Cを形成する。第1コンタクトホール17A～17Cの深さは第1ソース／ドレイン領域10A～10Dのそれぞれの高融点金属シリサイド層11に到達するまでとし、その径は例えば0.25μmにする。

20

【0052】

そして、第1コンタクトホール17A～17Cを用いて第1ソース／ドレイン領域11A、11B、13A、13Bに電氣的に接続される導電性プラグ18A～18Eを形成する。具体的には、第1コンタクトホール17A～17Cの内面に厚さが30nmのTi膜と、厚さが20nmのTiN膜とを順番にスパッタ法等により形成し、2層の積層構造を有する密着膜（グルー膜）19Aを作製する。さらに、密着膜19A上にタングステン（W）膜19BをCVD法により成長させる。この膜厚は、第1層間絶縁膜16上で、例えば300nmとし、W膜19Bで第1コンタクトホール17A～17Cの空隙を埋める。第1層間絶縁膜16の上面上に成長した余分なW膜19Bは、CMP法で除去する。これにより、コンタクトホール17A～17Cには、それぞれ導電性プラグ18A～18Cが形成される。

30

【0053】

なお、周辺回路領域Bにも同様にして第1コンタクトホール17D、17Eを作製し、それぞれに導電性プラグ18D、18Eを形成する。

【0054】

次に、後の工程の熱アニール時に導電性プラグ18A～18Eが酸化されないように、第1層間絶縁膜16上及び導電性プラグ18A～18E上に第2層間絶縁膜20を形成する。第2層間絶縁膜20は、例えば、SiON膜を約100nmの膜厚に形成し、さらにTEOS膜を約130nmの膜厚で堆積させた構成を有する。第2層間絶縁膜20を形成した後に、窒素雰囲気中で約650℃の温度で30分間程度アニールして第2層間絶縁膜20の脱ガスを行う。

40

【0055】

次に、図1Cに示す断面構造を得るまでの工程について説明する。

【0056】

まず、第2層間絶縁膜20の上に、下部電極密着膜21として酸化アルミニウム（Al₂O₃）膜をスパッタ法で20nm程度の厚さに形成する。その後、急速加熱処理（RTA）により650℃の酸素雰囲気中で下部電極密着膜21を酸化させる。

【0057】

50

次に、下部電極密着膜 21 の上に、下部電極となる第 1 導電膜 22（下部導電膜）を形成する。第 1 導電膜 22 には、例えば、スパッタ法で形成したプラチナ膜が用いられ、その厚さは約 150 nm とする。なお、第 1 導電膜 22 は、プラチナ膜の代りにイリジウム膜、ルテニウム膜、酸化ルテニウム (RuO_2) 膜、 SrRuO_3 膜のいずれかの単層膜、或いはこれらの積層膜でも良い。なお、第 1 導電膜 22 を形成する前に下部電極密着膜 21 を形成しているため、第 1 導電膜 22 と第 2 層間絶縁膜 20 との密着力が高められる。

【0058】

次に、第 1 導電膜 22 の上に第 1 強誘電体膜 23 を形成する。第 1 強誘電体膜 23 としては、例えば $\text{PZT}(\text{Pb}(\text{Zr}_x, \text{Ti}_{1-x})\text{O}_3 (0 \leq x \leq 1))$ 膜が用いられ、PZT ターゲットを用いる RF (Radio Frequency) スパッタ法により厚さ約 90 nm に形成される。

10

【0059】

なお、第 1 強誘電体膜 23 は PZT に限定されない。PZT に Ca、Sr、La、Nb、Ta、Ir、W のいずれかを添加した材料から第 1 強誘電体膜 23 を形成しても良い。さらに、 $(\text{Bi}_{1-x}\text{R}_x)\text{Ti}_3\text{O}_{12}$ (R は希土類元素で $0 < x < 1$)、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT)、 $\text{SrBi}_4\text{Ti}_4\text{O}_{15}$ 等の Bi 層状化合物から第 1 強誘電体膜 23 を形成しても良い。また、第 1 強誘電体膜 23 の成膜方法もスパッタ法に限定されず、ゾル・ゲル法、MOD (Metal Organic Deposition) 法、MOCVD (Metal Organic CVD) 法を採用しても良い。

【0060】

20

ところで、第 1 強誘電体膜 23 をスパッタ法で形成すると膜質が非晶質になり、強誘電体特性が結晶質の場合に比べて劣ることが知られている。そこで、成膜後に結晶化アニールを実施して第 1 強誘電体膜 23 を結晶化させる。

【0061】

結晶化アニールは、酸素含有雰囲気、例えば酸素濃度が 1.25 流量% となるように調整された酸素 + アルゴンの雰囲気、RTA (Rapid Thermal Anneal) により行われる。基板温度は例えば 600 °C で、処理時間は 90 秒とする。これにより、第 1 強誘電体膜 23 が結晶化して膜中に PZT 結晶粒が多数形成される。なお、MOCVD 法を採用した場合、第 1 強誘電体膜 23 は成膜の時点で結晶化しているので結晶化アニールは不要になる。

【0062】

30

次に、第 1 強誘電体膜 23 の上に、第 2 強誘電体膜 24 として非晶質の PZT 膜を RF スパッタ法で例えば厚さ 10 nm ~ 30 nm に形成する。なお、第 2 強誘電体膜 24 は PZT 膜に限定されず、PZT に Ca、Sr、La、Nb、Ta、Ir、W のいずれかを添加した材料から第 2 強誘電体膜 24 を形成してもよい。さらに、 $(\text{Bi}_{1-x}\text{R}_x)\text{Ti}_3\text{O}_{12}$ (R は希土類元素で $0 < x < 1$)、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (SBT) や、 $\text{SrBi}_4\text{Ti}_4\text{O}_{15}$ 等の Bi 層状化合物で第 2 強誘電体膜 24 を形成しても良い。なお、第 2 強誘電体膜 24 は、第 1 強誘電体膜 23 と同じ材料で形成することが好ましい。

【0063】

次に、第 2 強誘電体膜 24 の上に第 2 導電膜 25（上部導電膜）として第 1 酸化イリジウム膜 25A をスパッタ法により、例えば、厚さ約 50 nm に形成する。その後、酸素含有雰囲気中において第 2 強誘電体膜 24 に対する結晶化アニールを行って非晶質の第 2 強誘電体膜 24 を結晶化させると共に、第 2 強誘電体膜 24 の下の第 1 強誘電体膜 23 の結晶性をさらに高める。アニールの条件は、例えば、基板温度 710 °C、処理時間を 120 秒とする。アニールを行う酸素含有雰囲気には、酸素濃度が 1 流量% に調整された酸素ガスとアルゴンガスとの混合雰囲気が用いられる。

40

【0064】

第 1 酸化イリジウム膜 25A を形成した後に第 2 強誘電体膜 24 を結晶化することにより、膜を構成する酸化イリジウムが第 2 強誘電体膜 24 の結晶粒界に入り込むのを防止できる。これによって、酸化イリジウムによって第 2 強誘電体膜 24 にリークパスが形成されることを抑制できる。また、このアニールにより、第 1 酸化イリジウム膜 25A を透過

50

して酸素が第2強誘電体膜24に供給され、第2強誘電体膜24の酸素欠損が補われるという利点も有する。

【0065】

このような利点を得るために、第1酸化イリジウム膜25Aの厚さは酸素が透過し易いように薄く、例えば10nm~100nmとするのが好ましい。しかしながら、このように薄い第2導電膜25を第2強誘電体膜24上に形成しただけでは、後のエッチング工程等において第2導電膜25で吸収しきれなかったダメージが第1、2強誘電体膜23、24に影響を及ぼす可能性がある。

【0066】

そこで、次の工程で第1、第2強誘電体膜23、24を保護するための導電性保護膜として、第2酸化イリジウム膜25Bを第1酸化イリジウム膜25Aの上にスパッタ法で厚さ約200nmに形成する。この第2酸化イリジウム膜25B及び第1酸化イリジウム膜25Aとで第2導電膜25が形成される。

【0067】

シリコン基板1の背面洗浄を行った後、第2酸化イリジウム膜25Bの上に、水素や水などの還元性物質の透過を防止する拡散防止膜として機能する第1保護膜27を形成する。第1保護膜27としては、例えばTiN膜が用いられ、スパッタ法で30~100nmの膜厚に形成される。TiN膜は、基板温度を200℃、Arを50sccm、N₂を90sccmの混合ガス雰囲気中でTiのターゲットを用いて成膜する。

【0068】

第1保護膜27は、第2導電膜25をエッチングして上部電極を形成する際のハードマスク（第1のマスク）としても使用される。本実施の形態ではTiN膜の膜厚を50nmとした。なお、第1保護膜27はTiN膜に限定されず、Ti、TiN、Ta、Ta₂N、TiAl、TaAl、TiAlN、TaAlN、TiSiN、TaSiN、TiSi、TaSiのいずれかから形成しても良い。

【0069】

次に、第1保護膜27の全面にレジストを塗布してから露光、現像する。これにより、図1Dに示すように、第2のマスクであるフォトレジスト膜38を所定の平面形状、即ち強誘電体キャパシタの上部電極の平面形状にパターンニングする。そして、フォトレジスト膜38のパターンを利用して第2導電膜25、酸化イリジウム膜26及び第1保護膜27をエッチングする。この際、第1保護膜27はハードマスク（第1のハードマスク）としても機能し、第2導電膜25及び第1保護膜27が確実にエッチングされる。なお、フォトレジスト膜38の代わりに、第2のハードマスクを形成してエッチングを行っても良い。

【0070】

これにより、図1Eに示すように第2導電膜25からなる上部電極28が形成される。エッチング後、フォトレジスト膜38は除去する。一方、ハードマスクとして使用した第1保護膜27は除去せずに残しておく。

【0071】

なお、ハードマスクとしても機能する第1保護膜27の側部はある程度にエッチングされるので、上部領域27Aの積層方向に平行な断面積は下部領域27Bの段面積より小さくなる。つまり、第1保護膜27は上面の面積が下面より狭くなっている。

【0072】

さらに、レジスト除去したシリコン基板1を酸素含有雰囲気中で熱処理する。熱処理の温度は600~700℃とする。本実施の形態では、その一例として650℃で40分間熱処理を行った。この熱処理は、プロセス中に強誘電体膜23、24が受けたダメージを回復させるもので、このようなアニールは回復アニールとも呼ばれる。

【0073】

このとき、第1保護膜27も表面及び側面から酸化され、第1保護膜27の表層（上部領域及び側部領域）のTiNは殆ど酸化される。TiNの酸化度は膜厚方向、且つ基板方

10

20

30

40

50

向に徐々に低くなる。一方、第2酸化イリジウム膜25A中の酸素はその真上にある第1保護膜27の下部領域のTiNへ拡散する。つまり、第1保護膜27が上下方向及び側方のそれぞれから酸化されて、酸素が膜中心へ拡散する。これにより、酸化されたTiN膜の上部領域及び下部領域並びに側部領域のそれぞれの酸化度が中心より高くなる。

【0074】

つまり、図2(a)に拡大して断面で示すように、第1保護膜27には、酸素含量が多い上部領域27A及び下部領域27Bと、積層方向で上部領域27A及び下部領域27Bに挟まれ、これら2つの領域27A、27Bよりも酸素濃度が相対的に低い膜中心領域27Cとが形成される。つまり、第1保護膜27は、膜厚方向(積層方向)に酸素濃度が異なる部分を有する。膜厚方向の酸素濃度プロファイルは、例えば、図2(b)に示すよう

10

【0075】

なお、第1保護膜27の外周側の表面領域である側部領域は、上部領域27Aと一体に形成され、略同じ酸素濃度になる。即ち、第1保護膜27は、膜中心領域27Cの酸素濃度が上部領域27A及び下部領域27B及び側部領域27Dのそれぞれの酸素濃度より低くなっている。例えば、第1保護膜27の厚さが約50nmのとき、上部領域27Aの厚さは約30nm、側部領域27Dの幅は約30nm、下部領域27Bの厚さは5~10nm程度になっている。特に上部領域27Aを最も厚くすることで還元物質の透過を効率的に防止することが可能になる。

【0076】

20

ここで、第1保護膜27を構成するTiNの酸化度は熱処理雰囲気中の酸素含量で調整できる。さらに、第1保護膜27の表面が貴金属膜である場合、第1保護膜27を表面側から酸化させたときの酸化度、即ち酸素の組成比は上部領域27Aから下部領域27Bに向かって徐々に低くなる。したがって、この熱処理により、第1保護膜27が下から順に(又は上から順に)TiO_x、TiON、TiO_y(x>y)の層構造、又はTiO_x、TiO_y、TiON(x>y)の層構造、又はTiO_x、TiON、TiO_xの層構造を持つようになる。一般に、TiNよりもTiOの方が水分や水素を透過し難いことが知られているので、このような構成にすることで、確実に水分等の透過を防止できるようになり、強誘電体膜23、24の還元が防止される。

【0077】

30

なお、酸化処理後の第1保護膜27はTiOやTiONに限定されず、Ta₂N、TaO_x、TaON、TiAlO_x、TaAlO_x、TiAlON、TaAlON、TiSiON、TaSiON、TiSiO_x、TaSiO_x、AlO_x、ZrO_xなどでも良い。

【0078】

次に、図1Fに示す断面構造を得るまでの工程について説明する。

【0079】

まず、第1保護膜27及び第2強誘電体膜24の全面に、図示を省略するフォトリソスト膜を例えばスピンコート法によって形成し、フォトリソグラフィ法によってフォトリソスト膜を強誘電体膜23、24の平面形状にパターニングする。続いて、パターニングされたフォトリソストマスクを使用して強誘電体膜23、24をエッチングする。その後、フォトリソスト膜を除去する。次いで、酸素雰囲気例えば300℃~400℃、30分間~120分間、熱処理を行う。なお、強誘電体膜23、24は、複数の上部電極28の下を通る長方形の平面形状を有している。

40

【0080】

この後、第1保護膜27、上部電極28、強誘電体膜23、24、及び第1導電膜22の上に第2保護膜30を例えばスパッタ法又はCVD法、或いはALD法により形成する。第2保護膜30としては、例えば膜厚が20nm~50nmの酸化アルミニウム膜が用いられる。第2保護膜30の形成後は酸素雰囲気熱処理を行う。熱処理条件は、例えば400℃~600℃、30分~120分間である。

【0081】

50

なお、第2保護膜30は第1保護膜27と構成材料が異なるが、第1保護膜27と同様に水素又は水が強誘電キャパシタ31に拡散することを防止する拡散防止膜である。また、第2保護膜30は、酸化アルミニウム膜に限定されず、 TiO_x 、 TaO_x 、 AlO_x 、 ZrO_x 、 HfO_x 、 NbO_x 、 VO_x 、 ZnO_x 膜や、PZTからなる群から選択される材料から形成された膜であっても良い。

【0082】

さらに、図1Gに示す断面構造を得るまでの工程について説明する。

【0083】

第2保護膜30の全面にフォトリソグロフ法でフォトリソグロフ膜を例えばスピコート法によって形成する。フォトリソグロフ法でフォトリソグロフ膜を所定の平面形状、即ち強誘電体キャパシタの下部電極の平面形状にパターニングする。続いて、フォトリソグロフ膜をマスクにして第2保護膜30及び第1導電膜22及び下部電極密着膜21をエッチングすることによって第1導電膜22からなる下部電極29を形成する。下部電極29の平面形状は、複数の上部電極28を含む略長方形であり、その端部は誘電体膜23、24からはみ出す大きさである。

10

【0084】

このようにしてパターニングされた上部電極28、強誘電体膜23、24及び下部電極29によって、強誘電体キャパシタ31が構成される。

【0085】

第2保護膜30は、上部電極膜である第2導電膜25と、強誘電体膜23、24を覆うように残存する。エッチングが終了したら残ったフォトリソグロフ膜（不図示）を除去する。次いで、例えば300℃～400℃の酸素雰囲気中で、30分間～120分間の熱処理を行う。

20

【0086】

強誘電体キャパシタ31及び第2層間絶縁膜20の上面に第3保護膜32を例えばスパッタ法又はCVD法、或いはALD法により形成する。第3保護膜32は、例えば膜厚が20nmの酸化アルミニウム膜からなる。

【0087】

第3保護膜32を形成した後、例えば500℃～700℃の酸素雰囲気にて、30分間～120分間の熱処理を行う。この結果、強誘電体膜23、24に酸素が供給され、強誘電体キャパシタ31の電気的特性が回復する。

30

次に、図1Hに示す断面構造を得るまでの工程について説明する。

【0088】

第3保護膜32の全面に第3層間絶縁膜33として、例えばTEOSを用いるプラズマCVD法により膜厚が1400nmのシリコン酸化物を形成する。この後、例えばCMP法により、第3層間絶縁膜33の表面を平坦化する。

【0089】

次いで、 N_2O ガス又は N_2 ガスを用いて発生させたプラズマ雰囲気にて、例えば350℃、2分間の熱処理を行う。熱処理の結果、第3層間絶縁膜33中の水分が除去されると共に、第3層間絶縁膜33の膜質が変化して膜中に水分が入り難くなる。この熱処理によって、第3層間絶縁膜33の表面が窒化されてSiON膜が形成される。

40

【0090】

さらに、第3層間絶縁膜33の全面に、第4保護膜34を形成する。第4保護膜34は、例えばスパッタ法又はCVD法で成膜した膜厚20nm～50nmの酸化アルミニウム膜からなる。さらに、第4保護膜34の全面に、第4層間絶縁膜35として例えば膜厚が300nmのシリコン酸化物をTEOSを用いるプラズマCVD法で形成する。

【0091】

次に、図1Iに示す断面構造を得るまでの工程について説明する。

【0092】

まず、第4層間絶縁膜35の上面に図示を省略するフォトリソグロフ膜を形成し、フォト

50

レジスト膜をマスクにしてエッチングを行い、第4保護膜34、第3層間絶縁膜33、第3保護膜32を経て強誘電体キャパシタ31の上部電極28まで達する第2コンタクトホール41を形成する。

【0093】

この実施の形態では第1保護膜27が導電性を有しないので、第2コンタクトホール41は第1保護膜27を貫通して上部電極28に至る深さにしている。しかしながら、第1保護膜27が導電性を有する材料から形成され、第1保護膜27を介して上部電極28と電氣的な接続が可能な場合には、第2コンタクトホール41は第1保護膜27に至る深さにすれば良い。

【0094】

同様に、第4層間絶縁膜35上に形成したフォトリソグرافィを用いてエッチングを実施し、強誘電体キャパシタ31の下部電極29まで達する第2コンタクトホール42を形成する。

【0095】

次いで、例えば400℃～600℃の酸素雰囲気中で、30分間～120分間の熱処理を行う。この結果、強誘電体膜23、24に酸素が供給され、強誘電体キャパシタ31の電氣的特性が回復する。なお、この熱処理を、酸素雰囲気中ではなく、オゾン雰囲気中であっても良い。オゾン雰囲気中で熱処理を行った場合にも、強誘電体膜23、24に酸素が供給されて強誘電体キャパシタ31の電氣的特性が回復する。

【0096】

次いで、第3及び第4層間絶縁膜33、34、第3保護膜32、第1及び第2層間絶縁膜16、20を貫通し、導電性プラグ18A～18Eまで達するビアホール43A～43Eをフォトリソグرافィ及びエッチングにより形成する。

【0097】

次に、図1Jに示す断面構造を得るまでの工程について説明する。

【0098】

第2コンタクトホール41内に例えば膜厚が20nmのTi膜と、膜厚が50nmのTiN膜と順番に例えばスパッタ法により形成する。これらのTi膜及びTiN膜によって、第2コンタクトホール41に密着膜44Aが形成される。さらに、密着膜44A上にW膜44BをCVD法により成長させ、W膜44Bで第2コンタクトホール41、42、ビアホール43A～43Eの空隙を埋めて導電性プラグ45A～45Gを形成する。第4層間絶縁膜35上に形成された余分な密着膜44A及びW膜44BはCMP法により除去する。これにより、各導電性プラグ45C～45Gがその下の導電性プラグ18A～18Eを介してソース／ドレイン領域11A、11B、13A、13Bに電氣的に接続される。

【0099】

次いで、プラズマ洗浄を行って導電性プラグ45A～45Gの表面の自然酸化膜等を除去する。プラズマ洗浄には、例えばアルゴンガスが用いられる。

【0100】

そして、導電性プラグ45及び第4層間絶縁膜34の上面に、導体膜46を形成する。導体膜46は、例えば膜厚が150nmのTiN膜と、膜厚が550nmのAlCu合金膜と、膜厚が5nmのTi膜と、膜厚が150nmのTiN膜とを順次積層することによって形成される。

【0101】

図1Kに示すように、フォトリソグرافィ及びドライエッチングにより、導体膜46をパターンニングして第1層目の金属配線層を形成する。これにより、導電体プラグ45Aを介して上部電極28に電氣的に接続された配線47Aと、導電体プラグ45Bを介して下部電極29に電氣的に接続された配線47Bと導電体プラグ18A～18E、45C～45Gを介してソース／ドレイン領域11A、11B、13A、13Bに電氣的に接続される配線47Cとが形成される。

【0102】

10

20

30

40

50

図示を省略するが、この後に第1層目の金属配線層の形成とほぼ同様な成膜方法や、パターニング方法によって3層配線や5層配線を行うと、この実施の形態に係る半導体装置の基本構造が完成する。

【0103】

以上、説明したように、この実施の形態における第1保護膜27は、強誘電体キャパシタ31の回復アニールによって上部領域27A及び下部領域27Bの酸素濃度が膜中心領域27Cに比べて高くなるような構造を有する。このような第1保護膜27は、上部電極28をパターニングする際のメタルマスクになると共に、還元性物質の透過を防止する機能を備える。即ち、強誘電体キャパシタ31をパターニングした後に、除去されることなく上部電極28上に残されて、還元性物質が強誘電体キャパシタ31に透過することを防止する還元元素バリア膜として機能する。上部電極28をパターニングするときの第1保護膜27は、酸化前の金属膜の状態であるので、酸化膜に比べてエッチングレートが大きく、エッチングプロセスに要する時間を短縮できる。

10

【0104】

なお、従来では、ハードマスクを使用して上部電極を形成し、上部電極の上に形成したハードマスクをパターニング後に除去していた。ハードマスクの除去はウェットやドライエッチングの二種類の方法があるが、ウェット方法で除去する場合、シリコン基板の周辺やベベル部分に膜剥がれが発生し易くなり、剥がれた膜がシリコン基板に再付着して、コンタクト不良の原因となっていた。

【0105】

20

一方、ドライエッチング方法では、ハードマスクをうまく除去できるが、ドライエッチングすると同時に、微小異物(0.2 μm以下)が上部電極の表面に残される。上部電極28の上に微小異物が残ったままで第2保護膜30を形成すると、図6の破線で囲まれた部分に例示するように、微小異物が介在する第2保護膜30と上部電極29の密着性が悪くなったり、膜に欠陥が生じたりしていた。これにより、導電性プラグ45Aを形成する際に、WF₆を含む反応ガスを構成するタングステン、フッ素、水素が第2保護膜30の欠陥を通してキャパシタに侵入し、強誘電体膜23, 24を劣化するおそれがある。

【0106】

この実施の形態では、強誘電体キャパシタ31のパターニング後に第1保護膜27を除去する必要がなくなるので、従来のような微小異物が発生することがない。したがって、膜剥がれや強誘電体膜の劣化を防止でき、高品質の半導体装置が得られる。さらに、第1保護膜27の除去工程が不要になることで、プロセスを簡略化することができ、作業効率を向上できる。

30

【0107】

ここで、この実施の形態の変形例について説明する。

【0108】

図3(a)に示すように、第1保護膜27は、膜厚方向で上側の上部領域27Aから中間領域、下部領域27の順に徐々に酸素濃度が低下する構成であっても良い。つまり、図3(b)に膜厚方向の酸素濃度プロファイルの一例を示すように、上部領域27から下部領域27Bに向かって酸素濃度が漸次低下するような構成であっても同様の効果が得られる。なお、この場合も側部は酸化によって酸素濃度が高められている。

40

【0109】

また、図4Aに示すように、第2保護膜30は、第1層30Aと第2層30Bと順番に積層した二層構造でも良い。第2保護膜30を構成する材料としては、例えばTiO_x、TaO_x、AlO_x、ZrO_x、HfO_x、NbO_x、VO_x、ZnO_xや、PZTなどがあげられる。第1層30Aと第2層30Bとは、同一成分から構成しても良いし、異なる成分にしても良い。いずれの場合でも水素や水が強誘電体キャパシタ31に拡散することを防止する拡散防止膜として機能する。そして、2層の積層構造を有することから、より確実に水素等の拡散を防止できる。また、第1層30Aを第2層30Bより薄くすることにより、第1層30Aを形成した後に回復アニールを行えば強誘電体膜23, 24への

50

酸素添加が容易になる。

【0110】

図4Bに示すように、第1保護膜51は、積層方向に2層構造を有し、上部電極28に接する下部領域となる下層保護膜51Aと、上部領域になる上層保護膜51Bとからなる。上層保護膜51Bは酸素含有量が略均一で、下層保護膜51Aより高い。下層保護膜51Aは、膜内の酸素含有量の分布が積層方向で異なり、より具体的には上部から下部にかけて漸次酸素含有量が低下している。このような第1保護膜51であっても前記と同様の効果が得られる。なお、上層保護膜51Bは、成膜時に金属酸化膜として形成される。下層保護膜51Aの側部も酸化によって酸素濃度を高められる。また、第1保護膜51を1層構造とし、成膜後の熱処理で酸化させることによって下層保護膜51A及び上層保護膜51Bを形成しても良い。

10

【0111】

さらに、図5に示すように、上部電極28の上には、還元性物質の透過を防止する機能を有する第1保護膜52が3層構造になっている。具体的には、第1保護膜52は、積層方向に順番に積層された下層保護膜52Aと、中間保護膜52Bと、上層保護膜52Cとを有する。下層保護膜52Aは下部領域に相当し、中間保護膜52Bは膜中心領域に相当する。上層保護膜52Cは上部領域に相当する。さらに、第2保護膜53が第1保護膜52の上面及び側面を覆うと共に、上部電極27を含む強誘電体キャパシタ31の側面を覆うように設けられている。

【0112】

下層保護膜52Aと上層保護膜52Cとは、第1保護膜27と同様の材料、例えばTiO_xや、TiON、TaO_x、TaON、TiAlO_x、TaAlO_x、TiAlON、TaAlON、TiSiON、TaSiON、TiSiO_x、TaSiO_x、AlO_x、ZrO_xなどから形成される。保護膜52Aと上層保護膜52Cとは同じ材料から構成しても良い。中間保護膜52Bは、例えば、TiONや、TaON、TiAlON、TaAlON、TiSiON、TaSiONなどから形成される。中間保護膜52Bは、その直下の下層保護膜52A及び直上に上層保護膜52Cのそれぞれより酸素含有量が低い。この第1保護膜52を作製するときは、下層保護膜52A、中間保護膜52B、上層保護膜52Cの順番に膜を形成する。中間保護膜52Bの酸素量を相対的に少なくしている理由は、酸素が少ないほどパターニング時のエッチングレートを速くできるからである。

20

30

【0113】

このように膜質が異なる保護膜積の積層構造を採用することで水素に対する耐性がさらに向上される。なお、積層構造を有する第1保護膜52は、4層以上、でも良い。そのような場合でも中間保護膜の酸素含有量を下部領域の保護膜及び上部領域の保護膜より低くすることが好ましい。

(第2実施の形態)

本発明の第2実施の形態について図面を参照して詳細に説明する。なお、第1実施の形態と同じ構成要素には同じ符号を付し、重複する説明は省略する。

【0114】

本実施の形態に係る半導体装置は、スタック構造を有する半導体記憶装置（強誘電体メモリ）である。

40

【0115】

図7Aに示す断面構造を得るまでの工程について説明する。

【0116】

まず、シリコン基板1の表面に素子分離絶縁膜2によってメモリ領域A内の活性領域同士、即ちpウェル3同士を区画し、トランジスタT1、T2を形成する。さらに、各ソース／ドレイン領域11A、11Bの位置に対応して第1層間絶縁膜16にコンタクトホール17A～17Eを利用した導電性プラグ18A～18Cを形成する。ここまでの工程の詳細は、第1実施の形態と同様である。

【0117】

50

次に、導電性プラグ18～18Cを含む第1層間絶縁膜16の全面に第1酸化防止膜61として、SiON膜を例えばプラズマCVD法により130nmの膜厚に形成する。さらに、第1酸化防止膜61の上に第2層間絶縁膜62として、シリコン酸化膜を例えばTEOSを原料とするプラズマCVD法によって300nmの膜厚で形成する。なお、SiON膜の代わりにSiN膜やAlO膜を形成しても良い。

【0118】

第2層間絶縁膜62上にレジストパターンを形成する。レジストパターンはpウェル3の両側寄りの導電性プラグ18A、18Cの上に開口を有している。そして、レジストパターンをマスクに用いて第2層間絶縁膜62及び第1酸化防止膜61をドライエッチングし、第2ソース／ドレイン領域11A、11Bに達するビアホール63を形成する。ビアホール63には、導電性プラグ64A、64Bが埋め込まれる。導電性プラグ64A、64Bは、第1の実施の形態と同様のプロセスで作製される密着層65AとW層65Bとから形成される。

【0119】

第2層間絶縁膜62の上に形成された余分な密着層65A及びW層65Bは、CMP法による研磨で除去される。CMP法では、研磨対象である密着層65A及びW層65Bの研磨速度が下地の第1絶縁膜よりも速くなるようなスラリー、例えばキャボット・マイクロエレクトロニクス社製のSSW2000を使用することができる。そして、第1層間絶縁膜16上に研磨残を残さないために、このCMPの研磨量は密着層65A及びW層65Bの合計膜厚よりも厚く設定する。即ち、ここでのCMP研磨はオーバー研磨となる。

【0120】

その結果、導電性プラグ64A、64Bの上面高さが第2層間絶縁膜62の上面よりも低くなってリセスが発生する。このリセスの深さは20～50nmであり、典型的には約50nm程度である。

【0121】

このリセスを解消するために、第2層間絶縁膜62の表面をNH₃プラズマで処理することにより、表面の酸素原子にNH基を結合させる。これによって、第2層間絶縁膜62上にTi原子をさらに堆積させてもTi原子が酸素原子に捕獲されてしまうことがなく、第2層間絶縁膜62の表面を自在に移動できるようになる。このようにして第2層間絶縁膜62上に(002)配向に自己組織化されたTi膜は、その上面の平坦性が改善される。

【0122】

なお、アンモニアプラズマ処理は、例えばシリコン基板1に対して約9mm(350mils)離間した位置に対向電極を有する平行平板型のプラズマ処理装置を用いて実施する。処理条件は、例えば、266Pa(2Torr)の圧力下、400℃の基板温度に保持された処理容器中にアンモニアガスを350sccmの流量で供給し、シリコン基板1側に13.56MHzの高周波を100Wのパワーで、また対向電極に350kHzの高周波を55Wのパワーで、60秒間供給することにより実行する。

【0123】

次に、図7Bに示す断面構造を得るまでの工程について説明する。

【0124】

例えばシリコン基板1とターゲットの間の距離を60mmに設定したスパッタ装置中で、0.15PaのAr雰囲気下、20℃の基板温度で2.6kWのスパッタDCパワーを35秒間供給する。これによって、強い(002)配向のTi膜が約100nmの厚さに形成される。

【0125】

さらに、窒素の雰囲気中において基板温度650℃で60秒のRTAを行い、(111)配向のTiN膜からなる下地導電膜70を形成する。この下地導電膜70の厚さは100nm～300nmで、より好ましくは約100nmである。下地導電膜70は窒化チタン膜に限定されず、タンゲステン膜、シリコン膜、及び銅膜のいずれかを下地導電膜70

10

20

30

40

50

として形成しても良い。但し、結晶性を向上するために、下地導電膜 70 は Ti 膜をアンモニアプラズマ処理することにより作製した TiN 膜であることが好ましい。

【0126】

導電性プラグ 64A, 64B のリセスの影響によって、下地導電膜 70 の上面には凹部が形成されるので、CMP 法で下地導電膜 70 の上面を研磨して平坦化されることで凹部を除去する。CMP で使用されるスラリは特に限定されないが、例えば、キャボット・マイクロエレクトロニクス社製の SSW2000 を使用できる。ところで、CMP 後の下地導電膜 70 の厚さは、研磨誤差に起因して、シリコン基板 1 の面内や、複数のシリコン基板 1 間でばらつきが生じる。そのようなばらつきを考慮して研磨時間を制御すれば、CMP 後の下地導電膜 70 の厚さの目標値を 50 nm ~ 100 nm、より好ましくは 50 nm にする。

10

【0127】

ところで、下地導電膜 70 に対して CMP を行った後では、下地導電膜 70 の上面付近の結晶が研磨によって歪んだ状態となっている。このように結晶に歪を有する下地導電膜 70 の上方にキャパシタの下部電極を形成すると、その歪みの影響が下部電極に及んで下部電極の結晶性が劣化し、下地導電膜 70 の上の強誘電体膜の強誘電体特性が劣化することがある。

【0128】

このような不都合を回避するために、下地導電膜 70 の上面を前記した NH₃ プラズマに曝すことで、下地導電膜 70 の結晶の歪みを解消させ、これ以降に堆積させる膜に影響を与えないようにする。

20

【0129】

そして、NH₃ プラズマ処理を行って結晶の歪みを解消した下地導電膜 70 の上に結晶性導電密着膜 71 として Ti 膜をスパッタ法により厚さ約 20 nm に形成する。結晶性導電密着膜 71 を形成した後、窒素雰囲気中で 650 °C、60 秒間の処理条件で RTA を行い、(111) 配向の TiN 膜を形成する。結晶性導電密着膜 71 は、自身の配向の作用によって、その上に後に堆積される膜の配向を高める機能に加え、密着膜としての機能も有する。

【0130】

なお、結晶性導電密着膜 71 は、TiN に限定されない。例えば、薄い (20 nm が望ましい) 貴金属 Ir、Pt などでも良い。

30

【0131】

次に、結晶性導電密着膜 71 上に導電性酸素バリア膜 72A として TiAlN 膜を形成する。

【0132】

導電性酸素バリア膜 72A は、Ti と Al を合金化させたターゲットを使った反応性スパッタにより 100 nm の厚さに形成される。成膜条件は、例えば Ar を 40 SCCM 及び窒素を 10 SCCM の流量で供給した混合雰囲気において、253.3 Pa の圧力、400 °C の基板温度、1.0 kW のスパッタパワーに設定する。

【0133】

さらに、導電性酸素バリア膜 72A 上に下部電極膜 72B として Ir 膜を Ar 雰囲気中、0.11 Pa の圧力下、500 °C の基板温度、0.5 kW のスパッタパワーで 100 nm の厚さに形成する。

40

【0134】

なお、下部電極膜 72B は、Ir 膜の代わりに Pt などの白金族の金属、あるいは PtO_x、IrO_x、SrRuO₃ などの導電性酸化物を用いることもできる。さらに、これらの金属あるいは金属酸化物の積層膜でも良い。

【0135】

次に、第 1 強誘電体膜 74 として PZT 膜を MOCVD 法により形成する。より具体的には、Pb(DPM)₂、Zr(dmhd)₄ および Ti(O-iOr)₂(DPM)₂

50

をTHF溶媒中に、いずれも0.3mol/lの濃度で溶解し、Pb、ZrおよびTiの各液体原料を形成する。さらにこれらの液体原料を、MOCVD装置の気化器に、流量が0.474ml/分のTHF溶媒と共に、それぞれ0.326ml/分、0.200ml/分、及び0.200ml/分の流量で供給する。

【0136】

このような液体が気化することでPb、Zr及びTiの原料ガスが形成される。さらに、MOCVD装置中に、665Pa(5Torr)の圧力下、620℃の基板温度で、Pb、Zr及びTiの原料ガスをMOCVD装置に620秒間供給する。これにより、第2の下部電極膜72B上に所望のPZT膜が、例えば100nmの厚さに形成される。

【0137】

次に、図7Cに示す断面構造を得るまでの工程について説明する。

【0138】

まず、第1強誘電体膜74の全面に、アモルファス状の第2強誘電体膜75を例えばスパッタ法により形成する。第2強誘電体膜75は、例えば膜厚が1nm~30nm(より好ましくは20nm)とする。MOCVDで成膜する場合、鉛(Pb)供給用の有機ソースとしては、 $Pb(DPM)_2$ ($Pb(C_{11}H_{19}O_2)_2$)をTHF(tetrahydrofuran: C_4H_8O)液に溶かした材が用いられる。また、ジルコニウム(Zr)供給用の有機ソースとしては、 $Zr(DMHD)_4$ ($Zr((C_9H_{15}O_2)_4)$)をTHF液に溶かした材料が用いられる。チタン(Ti)供給用の有機ソースとしては、 $Ti(O-iPr)_2$ ($DPM)_2$ ($Ti(C_3H_7O)_2$ ($C_{11}H_{19}O_2)_2$)をTHF液に溶かした材料が用いられる。

【0139】

次いで、第2強誘電体膜75上に第1上部電極膜76Aを形成する。第1上部電極膜76Aの形成に当たっては、先ず、第2強誘電体膜75上に、厚さが50nmで成膜の時点で結晶化した IrO_x 膜をスパッタ法により形成する。例えば、このときの成膜温度を300℃とし、成膜ガスとしてAr及び O_2 を用い、これらの流量をいずれも100sccmとする。また、スパッタパワーは、例えば1kW~2kW程度とする。

【0140】

ついで、RTA法で725℃、20sccmの酸素と2000sccmのArを供給した雰囲気中で60秒間熱処理を行う。この熱処理によって第2強誘電体膜75が完全に結晶化すると共に、第1上部電極膜76Aのプラズマダメージが回復し、第1強誘電体膜74中の酸素欠損が補償される。

【0141】

さらに、膜厚が100nm~300nmの第2上部電極膜76Bとして、 IrO_Y 膜を例えば200nm形成する。 IrO_Y 膜は、例えば、Ar雰囲気中、且つ0.8Paの圧力下、1.0kWのスパッタパワーで79秒間堆積させる。

【0142】

この際、工程劣化を抑えるために酸化イリジウム膜を IrO_2 の化学量論組成に近い組成にすると、水素に対して触媒作用を生じることがなく、第2強誘電体膜75が水素ラジカルにより還元される問題が抑制され、キャパシタの水素耐性が向上する。

【0143】

なお、第2上部電極76Bの材料として、 IrO_2 の代わりにIr、Ru、Rh、Re、Os、Pd、これらの酸化物、 $SrRuO_3$ などの導電性酸化物や、これらの積層構造を用いても良い。

【0144】

次に、図7Dに示す断面構造を得るまでの工程について説明する。

【0145】

まず、第2上部電極膜76上に水素バリア膜77として、Ir膜をスパッタにより、Ar雰囲気中、1Paの圧力下、1.0kWのスパッタパワーで100nmの厚さに堆積する。なお、水素バリア膜77は、Ir膜に限定されず、Pt膜や $SrRuO_3$ 膜を使用し

10

20

30

40

50

ても良い。

【0146】

そして、シリコン基板1の背面を洗浄した後、第1、第2上部電極膜76A、76Bや、第1、第2強誘電体膜74、75、第1、第2下部電極膜72A、72Bなどをパターンニングする際にハードマスクとして用いる第1保護膜78とマスク材料層79とを順次形成する。

【0147】

第1保護膜78は、水素バリア膜77の上に形成され、スパッタ法により成膜されたTiNからなる。第1保護膜78は、TiAlNや、TaAlN、Ta₂N膜及びこれらの積層膜でも良い。

10

【0148】

マスク材料層79は、第1保護膜78の上に形成され、例えばTEOSガスを使用するCVD法で成膜された酸化シリコン膜からなる。

【0149】

この後、マスク材料層79の上にフォトリジストを塗布し、次いでフォトリジストを露光、現像してキャパシタ平面形状のレジストパターンを形成する。

【0150】

次に、図7Eに示すように、エッチングの際には、最初にレジストパターンをマスクに使用してマスク材料層79を島状にパターンニングし、マスク材料層79をマスクにして第1保護膜78をエッチングする。これにより、マスク材料層79（第2のマスク）と、第1保護膜78（第1のマスク）とからなるハードマスクがキャパシタ形成領域に島状に形成される。その後、マスク材料層79上のレジストパターンを除去する。

20

【0151】

次に、図7Fに示す断面構造を得るまでの工程について説明する。

【0152】

HBr、O₂、Ar、及びC₄F₈の混合ガスをエッチングガスとするプラズマエッチングにより、ハードマスクで覆われていない部分の第1、第2上部電極膜76A、76B、第1、第2強誘電体膜74、75、第2下部電極膜72A、72Bをドライエッチングする。

【0153】

これによって、上部電極膜76A、76Bがパターンニングされてキャパシタ用の上部電極80が形成され、同様に下部電極膜72A、72Bがパターンニングされてキャパシタ用の下部電極73が形成される。

30

【0154】

上部電極80、強誘電体膜74、75、及び下部電極73を有する強誘電体キャパシタ81が形成される。

【0155】

次に、強誘電体キャパシタ81で覆われていない部分の結晶性導電密着膜71、下地導電膜70をエッチングにより除去し、これらの膜を強誘電体キャパシタ81の下のみに島状に残す。

40

【0156】

なお、エッチング後にハードマスクの内、マスク材料層79を除去する。その一方で、第1保護膜78は除去せずに残される。

【0157】

下地導電膜70及び結晶性導電密着膜71のエッチングは、例えば、ダウンフロー型プラズマエッチングにより行われる。その条件として、チャンバ内に流量比で5%のCF₄ガスと95%のO₂ガスとの混合ガスをエッチングガスとして供給すると共に、チャンバの上部電極に周波数2.45GHzでパワーが1400Wの高周波電力を供給して、基板温度を200℃にする。

【0158】

50

図 8 に拡大して示すように、第 1 保護膜 78 には、酸素含量が多い上部領域 78A 及び下部領域 78B と、積層方向で上部領域 78A 及び下部領域 78B に挟まれ、これら 2 つの領域 78A、78B よりも酸素濃度が相対的に低い膜中心領域 78C とが形成される。つまり、第 1 保護膜 78 は、積層方向に酸素濃度が異なる部分を有する。

【0159】

なお、第 1 保護膜 78 の外周側の表面領域である側部領域 78D は、上部領域 78A と一体に形成され、略同じ酸素濃度になる。即ち、第 1 保護膜 78 は、側部領域 78D を除いて、酸素濃度が積層方向に異なる。より詳細には、側部領域 78D を除いて、膜中心領域 78C の酸素濃度が上部領域 78A 及び下部領域 78B のそれぞれの酸素濃度より低くなっている。各領域の膜厚の割合は第 1 の実施の形態と同様であることが好ましい。

10

【0160】

これにより、第 1 保護膜 78 が下から順に TiO_x 、 $TiON$ 、 TiO_y ($x > y$) の層構造、又は TiO_x 、 TiO_y 、 $TiON$ ($x > y$) の層構造、又は TiO_x 、 $TiON$ 、 TiO_x の層構造を持つようになる。

【0161】

なお、第 1 保護膜 78 は TiN 膜に限定されず、 Ti 、 TiN 、 Ta 、 TaN 、 $TiAl$ 、 $TaAl$ 、 $TiAlN$ 、 $TaAlN$ 、 $TiSiN$ 、 $TaSiN$ 、 $TiSi$ 、 $TaSi$ のいずれかから形成しても良い。つまり、酸化後の第 1 保護膜 78 は、 TaN 、 $TiON$ 、 TiO_x 、 TaO_x 、 $TaON$ 、 $TiAlO_x$ 、 $TaAlO_x$ 、 $TiAlON$ 、 $TaAlON$ 、 $TiSiON$ 、 $TaSiON$ 、 $TiSiO_x$ 、 $TaSiO_x$ 、 AlO_x 、 ZrO_x などの材料から形成しても良い。

20

【0162】

また、ハードマスクとしても機能する第 1 保護膜 78 の側部はある程度にエッチングされるので、膜厚方向の上部領域の面積が下部領域の面積より小さくなる。

【0163】

次に、図 7G に示す断面構造を得るまでの工程について説明する。

【0164】

強誘電体キャパシタ 81 及び第 2 層間絶縁膜 62 を覆う第 2 保護膜 82 として Al_2O_3 をスパッタ法により 20nm の膜厚に形成する。或いは、MOCVD 法又は ALD 法で 2nm～5nm の AlO を形成する。

30

【0165】

ここで、強誘電体膜 74、75 のダメージを回復させる目的で、酸素含有雰囲気中で回復アニールを施す。回復アニールの条件は特に限定されないが、例えば炉内において基板温度 550℃～700℃で実施する。また、強誘電体膜 74、75 が PZT の場合、600℃酸素の雰囲気中で 60 分アニールを行うことが好ましい。この熱処理により、ハードマスクである第 1 保護膜 78 中の TiN が酸化する。酸化された TiN 膜の酸素含有量は、膜の縦方向（積層方向）における上部領域の方が下部領域より多くなる。

【0166】

次に、第 1 保護膜 78 及び強誘電体キャパシタ 81 を覆うように、第 3 保護膜 83 として Al_2O_3 を CVD 法により約 38nm の膜厚に形成する。

40

【0167】

第 3 保護膜 83 を構成する酸化アルミニウム膜は、水素や水分等の還元性物質が透過することを阻止する機能に優れている。このため、強誘電体膜 74、75 の強誘電体特性が還元性物質により劣化されるのを防止する。

【0168】

なお、第 2、第 3 絶縁保護膜 82、83 の膜剥がれを防止するために、第 3 保護膜 83 の形成前に酸素を含む炉内でアニールを行っても良い。アニール条件としては、例えば基板温度 350℃、処理時間 1 時間とする。第 3 保護膜 83 は、酸化アルミニウム以外に、チタン酸化膜、タンタル酸化膜、ジルコニウム酸化膜、アルミニウム窒化膜、タンタル窒化膜及びアルミニウム酸窒化膜でも良い。なお、第 2、第 3 保護膜 82、83 は、第 1 実

50

施の形態の第 2 保護膜 30 に相当し、同様の材料から形成しても良い。

【0169】

次に、第 3 保護膜 83 の全面に、第 3 層間絶縁膜 85 としてシリコン酸化物を例えばプラズマ TEOSCV D 法により膜厚 1500 nm で形成する。第 3 層間絶縁膜 85 としてシリコン酸化膜を形成する場合には、原料ガスとして、例えば、TEOS ガスと酸素ガスとヘリウムガスとの混合ガスを用いる。なお、第 3 層間絶縁膜 85 として、例えば、絶縁性を有する無機膜等を形成しても良い。第 3 層間絶縁膜 85 を形成したら、その表面を例えば CMP で平坦化する。

【0170】

続いて、N₂O ガス又は N₂ ガス等を用いて発生させたプラズマ雰囲気中で、熱処理を行って第 3 層間絶縁膜 85 中の水分を除去する。この際、第 3 層間絶縁膜 85 の膜質が改善されて膜中に水分が入り難くなる。

【0171】

次に、図 7 H に示す断面構造を得るまでの工程について説明する。

【0172】

まず、第 3 層間絶縁膜 85 の全面に、バリア膜 86 を例えばスパッタ法又は CVD 法により形成する。バリア膜 86 としては、例えば、膜厚が 20 nm ~ 100 nm の酸化アルミニウム膜が用いられる。平坦化された第 3 層間絶縁膜 85 上にバリア膜 86 が形成されるため、バリア膜 86 の表面は平坦になる。

【0173】

さらに、バリア膜 86 の全面に第 4 層間絶縁膜 87 を例えばプラズマ TEOSCV D 法により形成する。第 4 層間絶縁膜 87 としては、例えば膜厚が 800 nm ~ 1000 nm のシリコン酸化膜が用いられる。なお、第 4 層間絶縁膜 87 として、SiON 膜又はシリコン窒化膜等を形成しても良い。第 4 層間絶縁膜 87 を形成したら、その表面を例えば CMP で平坦化する。

【0174】

続いて、レジストマスクを用いて第 4 層間絶縁膜 87 中にビアホール 88 A, 88 B を形成する。ビアホール 88 A, 88 B を形成する際には、キャパタ 81 の上部電極 80 を覆う水素バリア膜 77 を露出させた後、550 °C で酸素雰囲気中において熱処理を行う。これによって、ビアホール 88 A, 88 B の形成時に第 1 強誘電体膜 74 中に生じた酸素欠損が回復される。また、この後に、p ウェル 3 の中央の導電性プラグ 18 B の上にビアホール 89 を形成する。

【0175】

次に、図 7 I に示す断面構造を得るまでの工程について説明する。

【0176】

ビアホール 88, 89 に導電性プラグ 90 A, 90 B, 90 C を形成する。まず、ビアホール 88, 89 の内面に TiN 膜を単層で密着層として形成することが好ましい。なお、密着層は、TiN 膜をスパッタにより形成し、その上に TiN 膜を MOCVD 法により形成した積層構造でも良い。この場合、TiN 膜から炭素除去を行うため、窒素と水素の混合ガスプラズマ中での処理が必要になるが、上部電極 80 に Ir よりなる水素バリア膜 77 をそれぞれ形成しているため、上部電極 80 の還元は防止される。

【0177】

なお、ビアホール 88 A, 88 B は、第 1 保護膜 78 を貫通して導電性の水素バリア膜 77 に至るまで形成されているが、水素バリア膜 77 を絶縁材から形成する場合には、ビアホール 88 A, 88 B は上部電極 80 に達する深さに形成する。

【0178】

次に、図 7 J に示す断面構造を得るまでの工程について説明する。

【0179】

第 4 層間絶縁膜 87 上に導電性プラグ 90 A, 90 B, 90 C に対応して配線パターンを形成する。即ち、例えばスパッタ法により、膜厚が 60 nm の Ti 膜と、膜厚が 30 nm

10

20

30

40

50

mのTiN膜と、膜厚が360nmのAlCu合金膜と、膜厚が5nmのTi膜と、膜厚が70nmのTiN膜とを順次形成する。これにより、Ti膜、TiN膜、AlCu合金膜、Ti膜及びTiN膜からなる積層膜を形成する。

【0180】

次に、フォトリソグラフィ技術を用い、積層膜をパターニングする。この結果、積層膜からなる配線（第1金属配線層）92A、92Bが形成される。これにより、導電性プラグ90A、90Bを介して強誘電体キャパシタ81の上部電極膜80と配線92Aとが電氣的に接続される。同様に、導電性プラグ18B、90Cを介して第1ソース／ドレイン領域11Aと配線92Bとが電氣的に接続される。

【0181】

その後、図示を省略するが層間絶縁膜を形成した後、導電性プラグの形成及び下から第2～5層目以降の配線の形成等を行う。そして、例えばTEOS酸化膜及びSiN膜からなるカバー膜を形成すると、強誘電体キャパシタを有する強誘電体メモリが完成する。

【0182】

以上、述べたように、この実施の形態における第1保護膜78は、強誘電体キャパシタ81の回復アニールによって上部領域78A及び下部領域78Bの酸素濃度が膜中心領域78Cに比べて高くなるような構造を有する。このような第1保護膜78は、上部電極80をパターニングする際のメタルマスクになると共に、還元性物質の透過を防止する機能を備える。即ち、強誘電体キャパシタ81のパターニングを行った後に、除去されることなく上部電極80上に残されて、還元性物質が強誘電体キャパシタ81に透過することを防止するバリア膜として機能する。これにより、半導体装置の製造工程を簡略化できると共に、不良の発生が抑制されて生産効率が向上する。さらに、強誘電体メモリ（半導体装置）の信頼性を向上できる。

【0183】

なお、強誘電体膜74、75の形成方法としては、スパッタ法及びMOCVD法の他に、ゾルーゲル法や、有機金属分解（MOD）法、CSD（Chemical Solution Deposition）法、化学気相蒸着（CVD）法、エピタキシャル成長法等があげられる。

【0184】

また、強誘電体膜74、75としては、例えば、熱処理により結晶構造がBi層状構造又はペロブスカイト構造となる膜を形成することができる。このような膜としては、PZT膜の他、La、Ca、Sr及び／又はSi等を微量ドーブしたPZT、SbT、BLT並びにBi系層状化合物などの一般式 ABO_3 で表される膜が挙げられる。

【0185】

また、第1上部電極膜76Aを形成する際には、例えば、白金、イリジウム、ルテニウム、ロジウム、レニウム、オスミウム及び／又はパラジウムを含むターゲットを用いたスパッタリングを、これらの貴金属元素の酸化が生じる条件下で行うことができる。特に、Ir酸化膜を形成する場合には、成膜温度を20℃乃至400℃、例えば300℃とすることが好ましい。また、スパッタガスを構成する酸素ガス及び不活性ガスの圧力に対する酸素ガスの分圧は10%乃至60%が好ましい。膜厚さは10nm乃至75nmとすることが好ましい。

【0186】

また、第1上部電極膜76Aを成膜した後の熱処理温度は、650℃乃至750℃、例えば700℃とすることが好ましく、熱処理雰囲気は酸素含有量を1%乃至50%とすることが好ましい。

【0187】

さらに、第1上部電極76A上に形成される導電膜は IrO_x 膜に限定されるものではなく、白金（Pt）、イリジウム（Ir）、ルテニウム（Ru）、ロジウム（Rh）、レニウム（Re）、オスミウム（Os）及び／又はパラジウム（Pd）等の貴金属元素を含有する金属膜を形成しても良い。さらに、これらの酸化膜、例えば $SrRuO_3$ 膜を形成しても良い。また、導電膜として、2層構造以上、の膜を形成しても良い。

【0188】

なお、第1保護膜78の構成を第1の実施の形態と同様、例えば図3、図4A、図4B、図5に示すような構造にしても良い。

【0189】

以下に、本発明の実施形態についてさらに付記する。

(付記1) 半導体基板と、

前記半導体基板上に絶縁膜を介して順次積層された下部電極、強誘電体膜及び上部電極を有する強誘電体キャパシタと、

前記強誘電体キャパシタの積層方向において前記上部電極の上方に設けられ、膜厚方向に酸素濃度の分布が異なる部分を有する第1保護膜と、

前記第1保護膜の上方、及び前記強誘電体キャパシタの側壁を含む領域に設けられる第2保護膜と、

を有することを特徴とする半導体装置。(請求項1)

(付記2) 前記第1保護膜は、膜厚方向の上部領域より下部領域の前記酸素濃度が低い部分を有することを特徴とする付記1に記載の半導体装置。(請求項2)

(付記3) 前記第1保護膜は、膜厚方向の上部領域及び下部領域より膜中心となる部分の前記酸素濃度が低い部分を有することを特徴とする付記1に記載の半導体装置。(請求項3)

(付記4) 前記第1保護膜は、前記上部領域の少なくとも一部が膜厚方向に均一な高い前記酸素濃度を有し、前記下部領域が下方へ向かうほど前記酸素濃度が低くなっている部分を有することを特徴とする付記1乃至付記3のいずれか一項に記載の半導体装置。

(付記5) 前記第1保護膜は、複数の膜を積層させた構成を有し、積層方向で最も下層に配置される下層保護膜と、最も上側に配置される上層保護膜と、これら2つの膜に挟まれる中間保護膜を有し、前記中間保護膜の前記酸素濃度は、前記上層保護膜及び前記下層保護膜のそれぞれの前記酸素濃度より低いことを特徴とする付記1に記載の半導体装置。

(付記6) 前記第1及び第2保護膜は異なる材料から形成されていることを特徴とする付記1乃至付記5のいずれか一項に記載の半導体装置。

(付記7) 前記第2保護膜は、同一成分或いは異なる成分を有する複数の膜の積層体であることを特徴とする付記1乃至付記6のいずれか一項に記載の半導体装置。

(付記8) 前記第1保護膜は、 TiO_x 、 $TiON$ 、 TaO_x 、 $TaON$ 、 $TiAlO_x$ 、 $TaAlO_x$ 、 $TiAlON$ 、 $TaAlON$ 、 $TiSiON$ 、 $TaSiON$ 、 $TiSiO_x$ 、 $TaSiO_x$ 、 AlO_x 、 ZrO_x 膜からなる群から選択された1種であることを特徴とする付記5に記載の半導体装置。

(付記9) 前記中間保護膜は、 $TiON$ 、 $TaON$ 、 $TiAlON$ 、 $TaAlON$ 、 $TiSiON$ 、 $TaSiON$ 膜からなる群から選択された1種であることを特徴とする付記5に記載の半導体装置。

(付記10) 前記第1保護膜は、上面が下面よりの面積が狭いことを特徴とする付記1乃至付記9のいずれか一項に記載の半導体装置。

(付記11) 半導体基板の上方に下部導電膜、強誘電体膜、上部導電膜を積層する工程と、

前記上部電極の上に第1保護膜を形成する工程と、

前記第1保護膜及び前記上部導電膜をパターニングすることにより、前記導電膜からキャパシタの上部電極を形成する工程と、

前記強誘電体膜及び前記第1保護膜を酸素雰囲気中で加熱することにより、前記第1保護膜中で酸素濃度が膜厚方向に異なる部分を形成する熱処理工程と、

前記強誘電体膜及び前記下部導電膜をパターニングすることにより、前記下部導電膜から前記キャパシタの下部電極を形成する工程と、

前記第1保護膜及び前記キャパシタを覆う第2保護膜を形成する工程と、
を有する工程を含むことを特徴とする半導体装置の製造方法。(請求項4)

(付記12) 半導体基板の上方に下部導電膜、強誘電体膜、及び上部導電膜を順に積層

10

20

30

40

50

する工程と、

前記上部導電膜の上に第１のハードマスク及び第２のハードマスクを順番に形成する工程と、

前記第１及び第２のハードマスクを用いて、前記下部導電膜、前記強誘電体膜、及び前記上部導電膜をパターンニングして強誘電体キャパシタを形成する工程と、

前記強誘電体キャパシタを形成した後に、前記第１のハードマスクを残して前記第２のハードマスクを除去する工程と、

前記強誘電体キャパシタ及び前記第１のハードマスクを酸素雰囲気中で加熱し、前記第１のマスクの少なくとも一部を酸化させ膜厚方向で酸素濃度の分布が異なる部分を有する第１保護膜を形成する熱処理工程と、

前記第１保護膜及び前記強誘電体キャパシタを覆う第２保護膜を形成する工程と、
を有することを特徴とする半導体装置の製造方法。（請求項５）

（付記１３） 前記熱処理を行う工程を、５５０℃乃至７００℃の温度条件下で行うことを特徴とする付記１２に記載の半導体装置の製造方法。

（付記１４） 前記上部導電膜として、貴金属の酸化物を含有する膜を形成することを特徴とする付記１２又は付記１３に記載の半導体装置の製造方法。

（付記１５） 前記熱処理は、前記第１のハードマスク中の前記酸素濃度を上部領域より下部領域が低くなる部分を形成する工程を含むことを特徴とする付記１２に記載の半導体装置の製造方法。

（付記１６） 前記熱処理は、前記第１のハードマスク中の前記酸素濃度を上部領域及び下部領域よりも膜中心の方が低くなる部分を形成する工程を含むことを特徴とする付記１２乃至付記１５のいずれか一項に記載の半導体装置の製造方法。

（付記１７） 前記上部導電膜と前記第１保護膜をパターンニングする工程は、前記第１保護膜の上面を下面の面積より狭くする工程を含むことを特徴とする付記１２乃至付記１６のいずれか一つに記載の半導体装置の製造方法。

（付記１８） 前記第１保護膜を形成する工程は、Ti、TiN、Ta、Ta₂N、TiAl、TaAl、TiAlN、TaAlN、TiSiN、TaSiN、TiSi、TaSi膜からなる群から選択された１種の膜を形成する工程であることを特徴とする付記１２乃至付記１７のいずれか一項に記載の半導体装置の製造方法。

（付記１９） 前記第１保護膜を形成する工程は、積層方向で最も下層に配置される下層保護膜と、前記下層保護膜上に形成される中間保護膜と、最も上側に配置される上層保護膜とを順番に積層させる工程を含み、

前記中間保護膜は、前記上層保護膜及び前記下層保護膜のそれぞれより前記酸素濃度が低くなるように形成することを特徴とする付記１２乃至付記１７に記載の半導体装置の製造方法。

【図面の簡単な説明】

【０１９０】

【図１Ａ】図１Ａは、本発明の第１の実施の形態に係る半導体装置の製造工程を示す断面図（その１）である。

【図１Ｂ】図１Ｂは、本発明の第１の実施の形態に係る半導体装置の製造工程を示す断面図（その２）である。

【図１Ｃ】図１Ｃは、本発明の第１の実施の形態に係る半導体装置の製造工程を示す断面図（その３）である。

【図１Ｄ】図１Ｄは、本発明の第１の実施の形態に係る半導体装置の製造工程を示す断面図（その４）である。

【図１Ｅ】図１Ｅは、本発明の第１の実施の形態に係る半導体装置の製造工程を示す断面図（その５）である。

【図１Ｆ】図１Ｆは、本発明の第１の実施の形態に係る半導体装置の製造工程を示す断面図（その６）である。

【図１Ｇ】図１Ｇは、本発明の第１の実施の形態に係る半導体装置の製造工程を示す断面

10

20

30

40

50

図（その 7）である。

【図 1 H】図 1 H は、本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す断面図（その 8）である。

【図 1 I】図 1 I は、本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す断面図（その 9）である。

【図 1 J】図 1 J は、本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す断面図（その 10）である。

【図 1 K】図 1 K は、本発明の第 1 の実施の形態に係る半導体装置の製造工程を示す断面図（その 11）である。

【図 2】図 2（a）は第 1 保護膜の構成を説明する断面図を示し、図 2（b）は膜厚方向の酸素濃度の変化の一例を示すグラフである。

【図 3】図 3（a）は第 1 保護膜の構成の変形例を説明する断面図を示し、図 3（b）は膜厚方向の酸素濃度の変化の一例を示すグラフである。

【図 4 A】図 4 A は、本発明の第 1 の実施の形態に係る半導体装置におけるキャパシタ上の第 1 保護膜の構成の第 1 変形例を説明する断面図である。

【図 4 B】図 4 B は、本発明の第 1 の実施の形態に係る半導体装置におけるキャパシタ上の第 1 保護膜の構成の第 2 変形例を説明する断面図である。

【図 5】図 5 は、本発明の第 1 の実施の形態に係る半導体装置におけるキャパシタ上の第 1 保護膜の構成の第 3 変形例を説明する断面図である。

【図 6】図 6 は、リファレンスに係る半導体装置のキャパシタを示す断面図である。

【図 7 A】図 7 A は、本発明の第 2 の実施の形態に係る半導体装置の製造工程を示す断面図（その 1）である。

【図 7 B】図 7 B は、本発明の第 2 の実施の形態に係る半導体装置の製造工程を示す断面図（その 2）である。

【図 7 C】図 7 C は、本発明の第 2 の実施の形態に係る半導体装置の製造工程を示す断面図（その 3）である。

【図 7 D】図 7 D は、本発明の第 2 の実施の形態に係る半導体装置の製造工程を示す断面図（その 4）である。

【図 7 E】図 7 E は、本発明の第 2 の実施の形態に係る半導体装置の製造工程を示す断面図（その 5）である。

【図 7 F】図 7 F は、本発明の第 2 の実施の形態に係る半導体装置の製造工程を示す断面図（その 6）である。

【図 7 G】図 7 G は、本発明の第 2 の実施の形態に係る半導体装置の製造工程を示す断面図（その 7）である。

【図 7 H】図 7 H は、本発明の第 2 の実施の形態に係る半導体装置の製造工程を示す断面図（その 8）である。

【図 7 I】図 7 I は、本発明の第 2 の実施の形態に係る半導体装置の製造工程を示す断面図（その 9）である。

【図 7 J】図 7 J は、本発明の第 2 の実施の形態に係る半導体装置の製造工程を示す断面図（その 10）である。

【図 8】図 8 は、本発明の第 2 の実施の形態に係る半導体装置におけるキャパシタ上の第 1 保護膜の構成を説明する断面図である。

【符号の説明】

【0191】

1 シリコン基板

16 第 1 層間絶縁膜

11A 第 1 ソース／ドレイン領域

11B 第 2 ソース／ドレイン領域

17A, 17B, 17C 第 1 コンタクトホール

18A, 18B, 18C, 18D, 18E, 44A, 45B, 45C, 45D, 45E

10

20

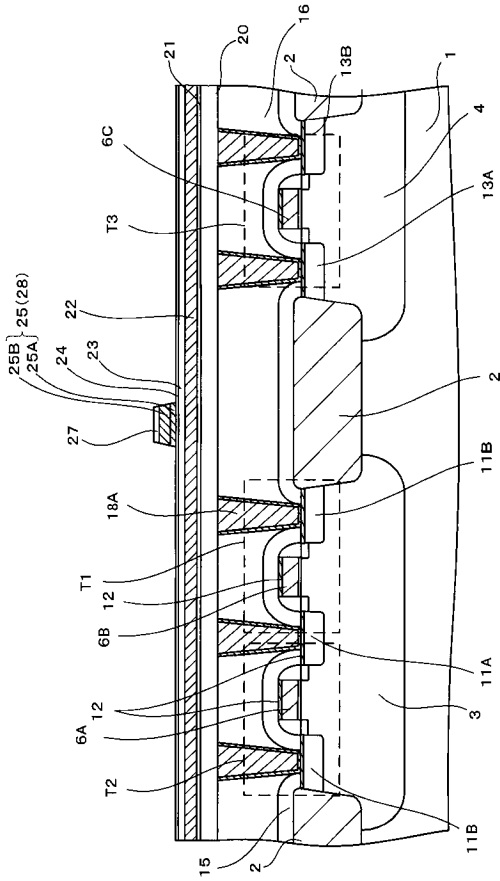
30

40

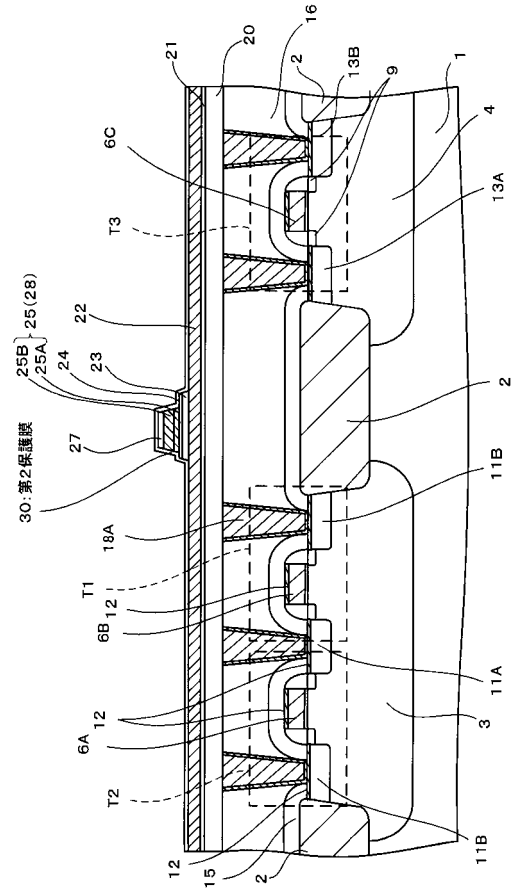
50

, 6 4 A, 6 4 B, 9 0 A, 9 0 B, 9 0 C	導電性プラグ	
2 0, 6 2	第 2 層間絶縁膜	
2 2	第 1 導電膜	
2 3, 7 5	第 1 強誘電体膜	
2 4, 7 5	第 2 強誘電体膜	
2 5	第 2 導電膜	
2 6	酸化イリジウム膜	
2 7, 5 1, 5 2, 7 8	第 1 保護膜 (第 1 のマスク)	
2 7 A, 5 1 B, 5 2 C, 7 8 A	上部領域	
2 7 B, 5 1 A, 5 2 A, 7 8 B	下部領域	10
2 7 C, 5 2 B, 7 8 C	膜中心領域	
2 8, 8 0	上部電極	
2 9, 7 3	下部電極	
3 0	第 2 保護膜	
3 0 A	第 1 層	
3 0 B	第 2 層	
3 1, 8 1	強誘電体キャパシタ	
3 3, 8 5	第 3 層間絶縁膜	
3 5, 8 7	第 4 層間絶縁膜	
3 8	フォトレジスト膜	20
4 1, 4 2, 4 3, 8 8, 8 9	コンタクトホール	
7 2 A	第 1 下部電極膜	
7 2 B	第 2 下部電極膜	
7 6 A	第 1 上部電極膜	
7 6 B	第 2 上部電極膜	
7 9	マスク材料層 (第 2 のマスク)	

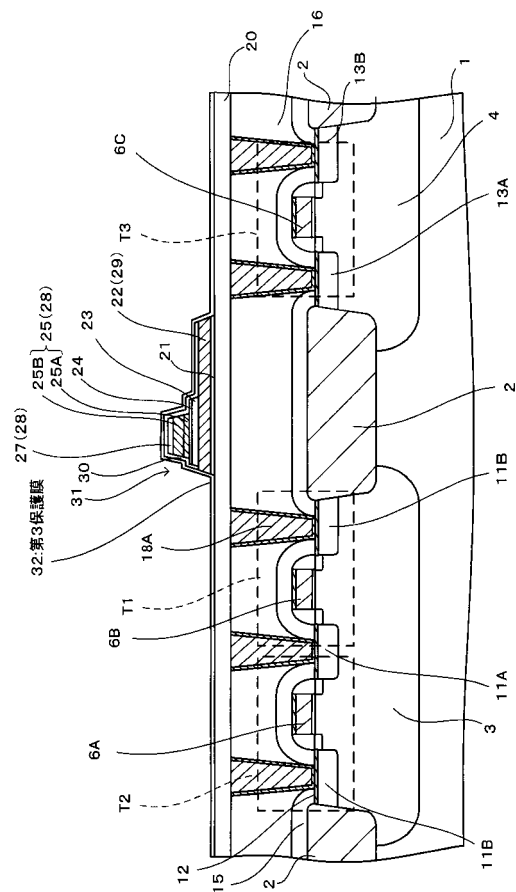
【図 1 E】



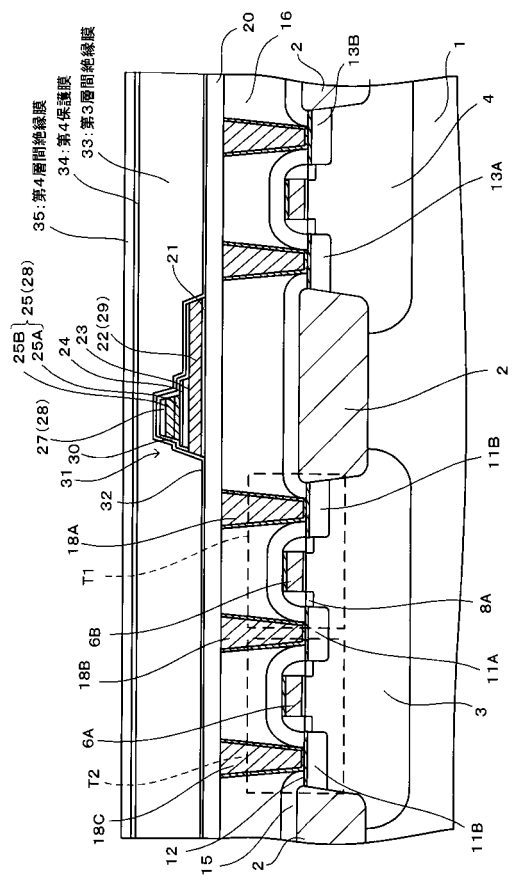
【図 1 F】



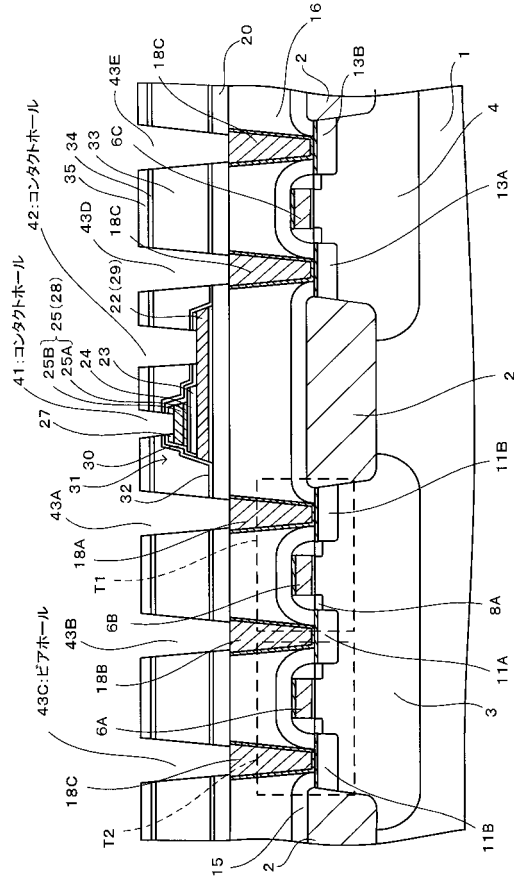
【図 1 G】



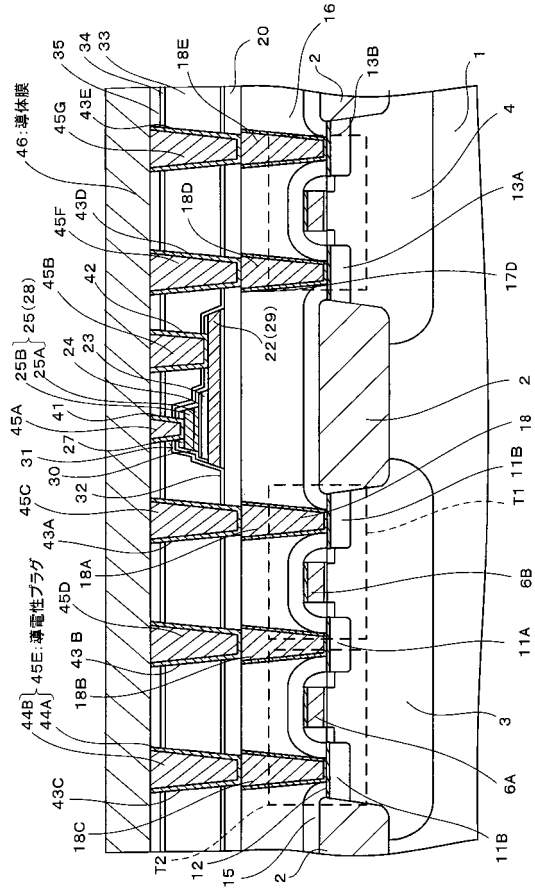
【図 1 H】



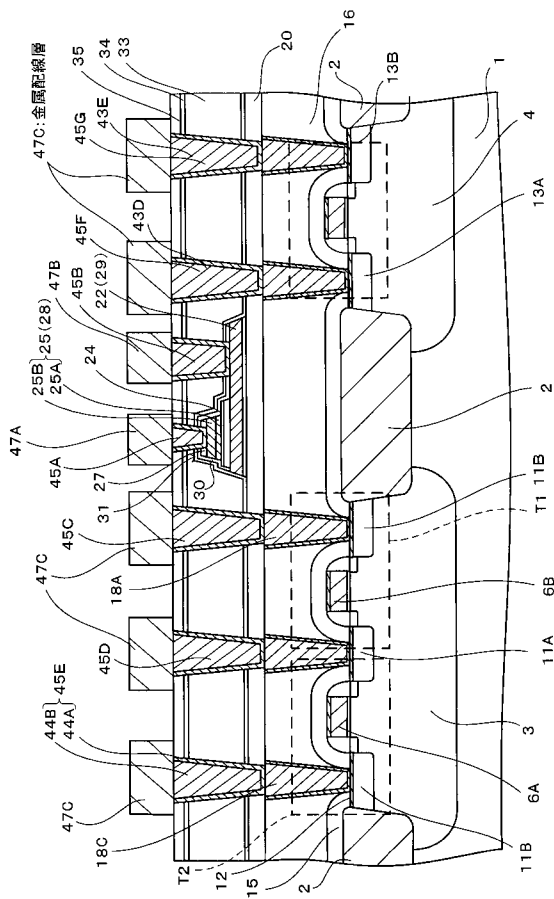
【図 1 I】



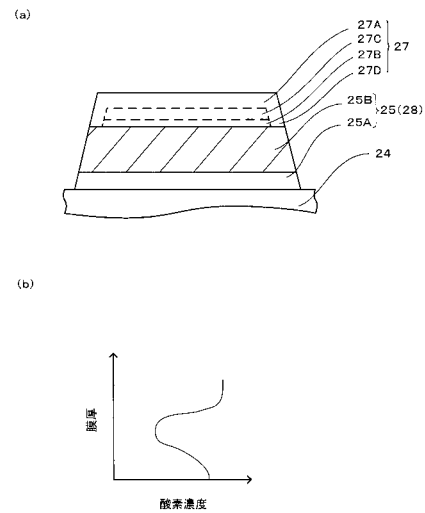
【図 1 J】



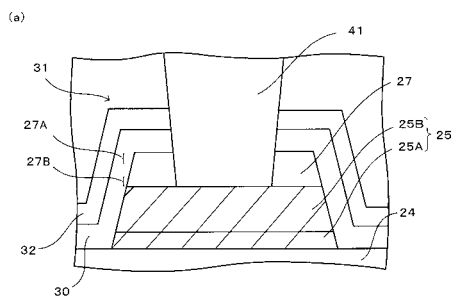
【図 1 K】



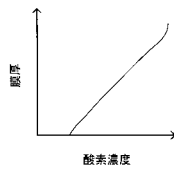
【図 2】



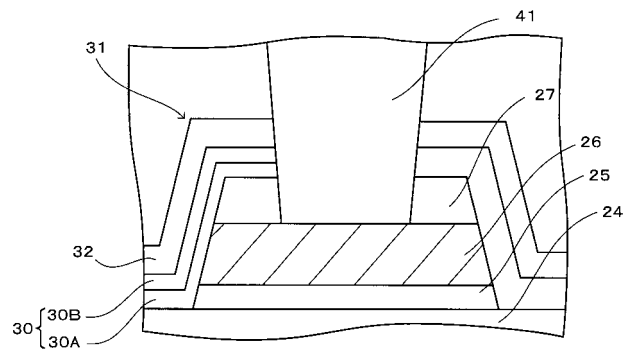
【図 3】



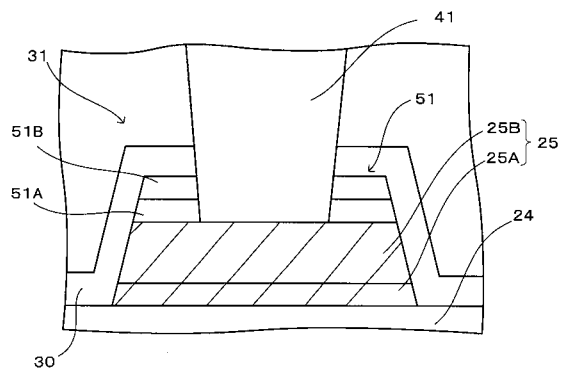
(b)



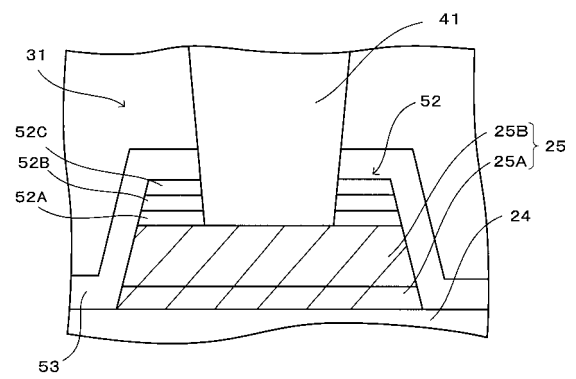
【図 4 A】



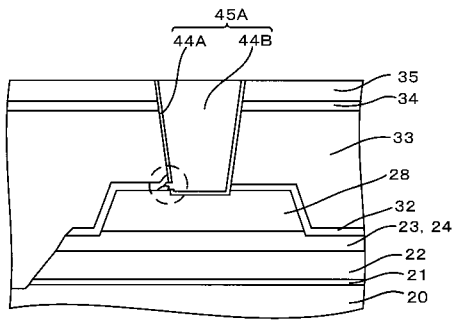
【図 4 B】



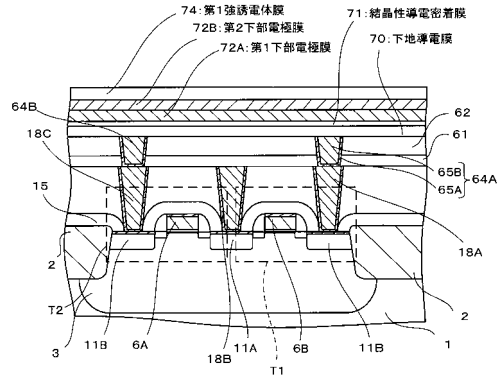
【図 5】



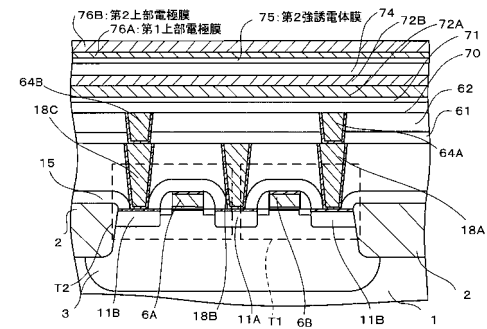
【図 6】



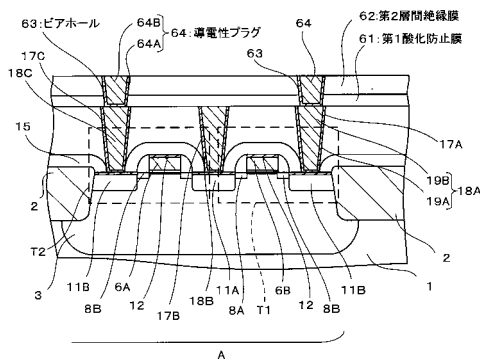
【図 7 B】



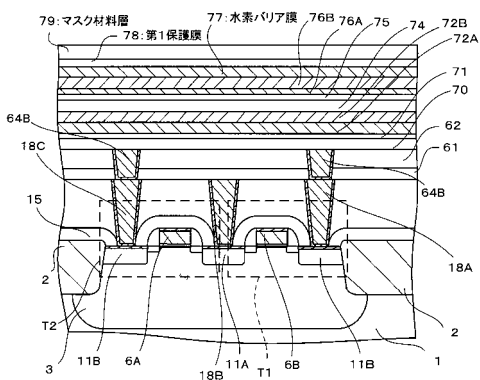
【図 7 C】



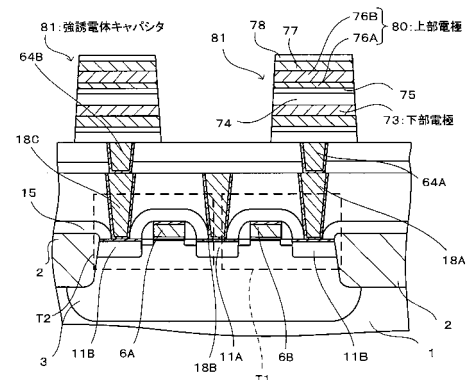
【図 7 A】



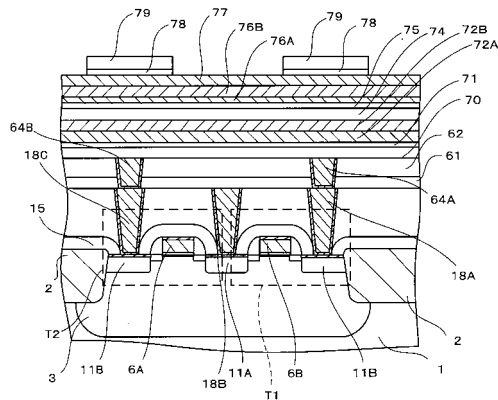
【図 7 D】



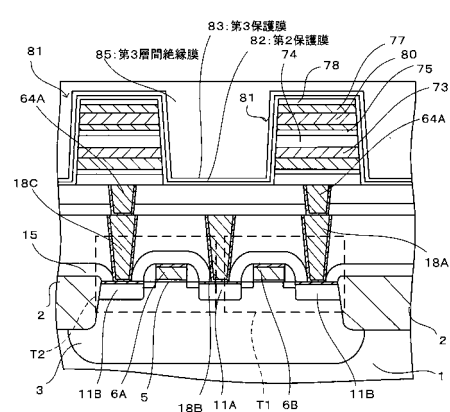
【図 7 F】



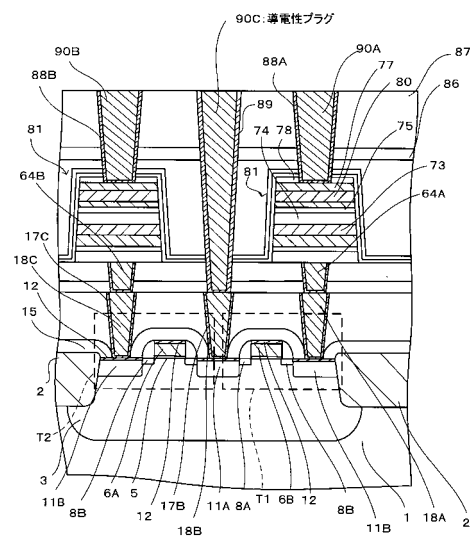
【図 7 E】



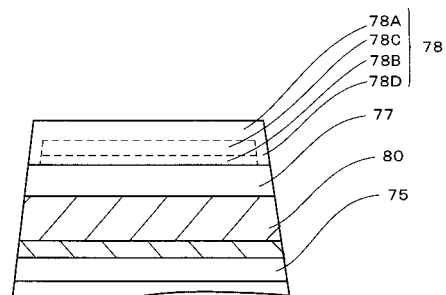
【図 7 G】



【図 7 I】



【图 8】



フロントページの続き

Fターム(参考) 5F083 FR02 GA06 GA25 GA27 GA28 JA15 JA17 JA33 JA35 JA36
JA37 JA38 JA39 JA40 JA43 JA44 JA53 JA56 MA05 MA06
MA17 MA18 MA19 NA01 PR03 PR06 PR07 PR09 PR21 PR22
PR25 PR34 PR40 PR43 PR44 PR45 PR46 PR53 PR54 PR55
PR56