

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-32461

(P2018-32461A)

(43) 公開日 平成30年3月1日(2018.3.1)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 19/28 (2006.01)	G 1 1 C 19/28 2 3 0	2 H 1 9 2
G 0 9 G 3/36 (2006.01)	G 0 9 G 3/36	3 K 1 0 7
G 0 2 F 1/1368 (2006.01)	G 0 2 F 1/1368	5 B 0 7 4
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/20 6 7 0 J	5 C 0 0 6
G 0 9 F 9/30 (2006.01)	G 0 9 G 3/20 6 1 1 J	5 C 0 8 0
審査請求 有 請求項の数 4 O L (全 93 頁) 最終頁に続く		

(21) 出願番号	特願2017-182157 (P2017-182157)	(71) 出願人	000153878
(22) 出願日	平成29年9月22日 (2017.9.22)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2017-23765 (P2017-23765) の分割	(72) 発明者	木村 肇
原出願日	平成22年3月25日 (2010.3.25)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2009-77200 (P2009-77200)		半導体エネルギー研究所内
(32) 優先日	平成21年3月26日 (2009.3.26)	(72) 発明者	梅崎 敦司
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		Fターム(参考)	2H192 AA24 BC31 CB02 CB05 CB37 CB53 CB83 CC32 CC72 DA12 FB03 FB05 GD61 HA13 HA90 JA06 JA13 JA17 JA24 JA25 JA32 JA53 JA62 JA64
			最終頁に続く

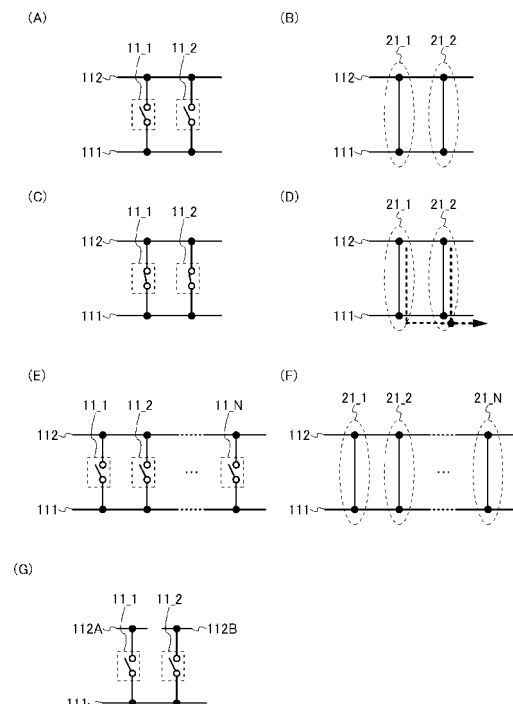
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】駆動回路におけるトランジスタの特性劣化を抑制することを課題の一つとする。

【解決手段】第1の入力信号に応じてオン又はオフになることにより出力信号の電位状態を設定するか否かを制御する第1のスイッチと、第2の入力信号に応じてオン又はオフになることにより出力信号の電位状態を設定するか否かを制御する第2のスイッチと、を有し、第1のスイッチまたは第2のスイッチがオン又はオフになることにより第1の配線と第2の配線とが導通状態または非導通状態となる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ゲートドライバを有し、
前記ゲートドライバは、第 1 のトランジスタを有し、
前記第 1 のトランジスタは、第 1 のゲート電極と、第 1 の半導体層と、第 1 のソース電極と、第 1 のドレイン電極と、を有し、
前記第 1 の半導体層は、前記第 1 のゲート電極上方に設けられ、
前記第 1 のソース電極は、前記第 1 の半導体層上方に設けられ、
前記第 1 のドレイン電極は、前記第 1 の半導体層上方に設けられ、
前記第 1 のソース電極又は前記第 1 のドレイン電極の一方は、第 1 の導電層を有し、
前記第 1 のゲート電極は、第 2 の導電層を有し、
前記第 1 の導電層は、開口部を有し、
前記開口部は、前記第 2 の導電層と重なる領域と、前記第 2 の導電層と重ならない領域と、を有し、
前記第 1 のソース電極又は前記第 1 のドレイン電極の他方は、ゲート信号線と電氣的に接続される表示装置。

【請求項 2】

ゲートドライバを有し、
前記ゲートドライバは、第 1 のトランジスタと、第 2 のトランジスタと、を有し、
前記第 1 のトランジスタは、第 1 のゲート電極と、第 1 の半導体層と、第 1 のソース電極と、第 1 のドレイン電極と、を有し、
前記第 1 の半導体層は、前記第 1 のゲート電極上方に設けられ、
前記第 1 のソース電極は、前記第 1 の半導体層上方に設けられ、
前記第 1 のドレイン電極は、前記第 1 の半導体層上方に設けられ、
前記第 2 のトランジスタは、第 2 のゲート電極と、第 2 の半導体層と、第 2 のソース電極と、第 2 のドレイン電極と、を有し、
前記第 2 の半導体層は、前記第 2 のゲート電極上方に設けられ、
前記第 2 のソース電極は、前記第 2 の半導体層上方に設けられ、
前記第 2 のドレイン電極は、前記第 2 の半導体層上方に設けられ、
前記第 1 のソース電極又は前記第 1 のドレイン電極の一方は、第 1 の導電層を有し、
前記第 1 の導電層は、前記第 2 のソース電極又は前記第 2 のドレイン電極の一方を有し、
、
前記第 1 のゲート電極は、第 2 の導電層を有し、
前記第 1 の導電層は、開口部を有し、
前記開口部は、前記第 2 の導電層と重なる領域と、前記第 2 の導電層と重ならない領域と、を有し、
前記第 1 のソース電極又は前記第 1 のドレイン電極の他方は、ゲート信号線と電氣的に接続される表示装置。

【請求項 3】

第 1 の画素と、第 2 の画素と、ゲートドライバと、を有し、
前記第 1 の画素及び前記第 2 の画素は、同じ列に属しており、
前記第 1 の画素は、第 1 のトランジスタと、第 1 の液晶素子と、を有し、
前記第 2 の画素は、第 2 のトランジスタと、第 2 の液晶素子と、を有し、
前記第 1 のトランジスタは、第 1 のゲート電極と、第 1 の半導体層と、第 1 のソース電極と、第 1 のドレイン電極と、を有し、
前記第 2 のトランジスタは、第 2 のゲート電極と、第 2 の半導体層と、第 2 のソース電極と、第 2 のドレイン電極と、を有し、
前記第 1 のゲート電極は、第 1 のゲート信号線と電氣的に接続され、
前記第 2 のゲート電極は、第 2 のゲート信号線と電氣的に接続され、
前記第 1 のソース電極又は前記第 1 のドレイン電極の一方は、第 1 のソース信号線と電

氣的に接続され、

前記第2のソース電極又は前記第2のドレイン電極の一方は、第2のソース信号線と電氣的に接続され、

前記第1のソース電極又は前記第1のドレイン電極の他方は、前記第1の液晶素子と電氣的に接続され、

前記第2のソース電極又は前記第2のドレイン電極の他方は、前記第2の液晶素子と電氣的に接続され、

前記ゲートドライバは、第3のトランジスタを有し、

前記第3のトランジスタは、第3のゲート電極と、第3の半導体層と、第3のソース電極と、第3のドレイン電極と、を有し、

前記第3の半導体層は、前記第3のゲート電極上方に設けられ、

前記第3のソース電極は、前記第3の半導体層上方に設けられ、

前記第3のドレイン電極は、前記第3の半導体層上方に設けられ、

前記第3のソース電極又は前記第3のドレイン電極の一方は、第1の導電層を有し、

前記第3のゲート電極は、第2の導電層を有し、

前記第1の導電層は、開口部を有し、

前記開口部は、前記第2の導電層と重なる領域と、前記第2の導電層と重ならない領域と、を有し、

前記第3のソース電極又は前記第3のドレイン電極の他方は、前記第1のゲート信号線又は前記第2のゲート信号線の一方と電氣的に接続される表示装置。

【請求項4】

第1の画素と、第2の画素と、ゲートドライバと、を有し、

前記第1の画素及び前記第2の画素は、同じ列に属しており、

前記第1の画素は、第1のトランジスタと、第1の液晶素子と、を有し、

前記第2の画素は、第2のトランジスタと、第2の液晶素子と、を有し、

前記第1のトランジスタは、第1のゲート電極と、第1の半導体層と、第1のソース電極と、第1のドレイン電極と、を有し、

前記第2のトランジスタは、第2のゲート電極と、第2の半導体層と、第2のソース電極と、第2のドレイン電極と、を有し、

前記第1のゲート電極は、第1のゲート信号線と電氣的に接続され、

前記第2のゲート電極は、第2のゲート信号線と電氣的に接続され、

前記第1のソース電極又は前記第1のドレイン電極の一方は、第1のソース信号線と電氣的に接続され、

前記第2のソース電極又は前記第2のドレイン電極の一方は、第2のソース信号線と電氣的に接続され、

前記第1のソース電極又は前記第1のドレイン電極の他方は、前記第1の液晶素子と電氣的に接続され、

前記第2のソース電極又は前記第2のドレイン電極の他方は、前記第2の液晶素子と電氣的に接続され、

前記ゲートドライバは、第3のトランジスタと、第4のトランジスタと、を有し、

前記第3のトランジスタは、第3のゲート電極と、第3の半導体層と、第3のソース電極と、第3のドレイン電極と、を有し、

前記第3の半導体層は、前記第3のゲート電極上方に設けられ、

前記第3のソース電極は、前記第3の半導体層上方に設けられ、

前記第3のドレイン電極は、前記第3の半導体層上方に設けられ、

前記第4のトランジスタは、第4のゲート電極と、第4の半導体層と、第4のソース電極と、第4のドレイン電極と、を有し、

前記第4の半導体層は、前記第4のゲート電極上方に設けられ、

前記第4のソース電極は、前記第4の半導体層上方に設けられ、

前記第4のドレイン電極は、前記第4の半導体層上方に設けられ、

前記第 3 のソース電極又は前記第 3 のドレイン電極の一方は、第 1 の導電層を有し、
前記第 1 の導電層は、前記第 4 のソース電極又は前記第 4 のドレイン電極の一方を有し

、
前記第 3 のゲート電極は、第 2 の導電層を有し、
前記第 1 の導電層は、開口部を有し、

前記開口部は、前記第 2 の導電層と重なる領域と、前記第 2 の導電層と重ならない領域
と、を有し、

前記第 3 のソース電極又は前記第 3 のドレイン電極の他方は、前記第 1 のゲート信号線
又は前記第 2 のゲート信号線の一方と電気的に接続される表示装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

半導体装置、表示装置、液晶表示装置、それらの駆動方法、又はそれらを生産する方法に
関する。特に、画素部と同じ基板に形成される駆動回路を有する半導体装置、表示装置、
液晶表示装置、又はそれらの駆動方法に関する。又は、当該半導体装置、当該表示装置、
又は当該液晶表示装置を有する電子機器に関する。

【背景技術】

【0002】

近年、表示装置は、液晶テレビなどの大型表示装置の増加から、活発に開発が進められて
いる。特に、非単結晶半導体によって構成されるトランジスタを用いて、画素部と同じ基
板にゲートドライバなどの駆動回路を構成する技術は、コストの低減、信頼性の向上に大
きく貢献するため、活発に開発が進められている。

20

【0003】

非単結晶半導体によって構成されるトランジスタは、閾値電圧の変動、又は移動度の低下
などの劣化を生じる。このトランジスタの劣化が進むと、駆動回路が動作しづらくなり、
画像を表示できなくなるといった問題がある。そこで、特許文献 1、特許文献 2、及び非
特許文献 1 には、フリップフロップの出力信号を L レベル（ローレベルともいう）に下げ
る機能を有するトランジスタ（以下、プルダウントランジスタともいう）の劣化を抑制す
ることができるシフトレジスタが開示されている。これらの文献では、二つのプルダウン
トランジスタが用いられる。この二つのプルダウントランジスタは、フリップフロップの
出力端子と、VSS（以下負電源）が供給される配線との間に接続される。そして、一方
のプルダウントランジスタと、他方のプルダウントランジスタとが交互にオン（オン状態
ともいう）になる。こうすることによって、それぞれのプルダウントランジスタがオンに
なる時間が短くなるので、プルダウントランジスタの特性劣化を抑制することができる。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2005-50502 号公報

【特許文献 2】特開 2006-24350 号公報

【非特許文献】

40

【0005】

【非特許文献 1】Yong Ho Jang, et al., "Integrated Gate Driver Circuit Using a-Si TFT with Dual Pull-down Structure", Proceedings of The 11th International Display Workshops 2004, pp. 333-336

【発明の概要】

【発明が解決しようとする課題】

【0006】

従来の技術の構成において、出力信号をハイレベルに制御するためのトランジスタ（以下

50

、プルアップトランジスタともいう)のゲートの電位は、正電源電圧、又はクロック信号のハイレベルの電位よりも高くなる場合がある。このために、プルアップトランジスタには、大きな電圧が印加される場合がある。又は、プルアップトランジスタのゲートと接続されるトランジスタには、大きな電圧が印加される場合がある。又は、トランジスタが劣化しても、シフトレジスタが動作するように、シフトレジスタを構成するトランジスタのチャンネル幅が大きい場合がある。又は、トランジスタのチャンネル幅が大きいと、トランジスタのゲートと、ソース又はドレインとの間でショートしやすくなる場合がある。又は、トランジスタのチャンネル幅が大きくなると、シフトレジスタを構成する各トランジスタでの寄生容量が増加してしまう場合がある。

【0007】

本発明の一態様は、トランジスタの特性劣化を抑制することを課題とする。又は、本発明の一態様は、トランジスタのチャンネル幅を小さくすることを課題とする。又は、本発明の一態様は、プルアップトランジスタの特性劣化の抑制、又はチャンネル幅を小さくすることを課題とする。又は、本発明の一態様は、出力信号の振幅を大きくすることを課題とする。又は、本発明の一態様は、画素が有するトランジスタのオン時間を長くすることを課題とする。又は、本発明の一態様は、画素への書き込み不足を改善することを課題とする。又は、本発明の一態様は、出力信号の立ち下がり時間を短くすることを課題とする。又は、本発明の一態様は、出力信号の立ち上がり時間を短くすることを課題とする。又は、本発明の一態様は、ある行に属する画素に、別の行に属する画素へのビデオ信号が書き込まれることを防止することを課題とする。又は、駆動回路の出力信号の立ち下がり時間のばらつきを低減することを課題とする。又は、各画素へのフィードスルーの影響を一定にすることを課題とする。又は、クロストークを低減することを課題とする。又は、本発明の一態様は、レイアウト面積を小さくすることを課題とする。又は、本発明の一態様は、表示装置の額縁を狭くすることを課題とする。又は、本発明の一態様は、表示装置を高精細にすることを課題とする。又は、本発明の一態様は、歩留まりを高くすることを課題とする。又は、本発明の一態様は、製造コストを低減することを課題とする。又は、本発明の一態様は、出力信号のなまりを低減することを課題とする。又は、本発明の一態様は、出力信号の遅延を低減することを課題とする。又は、本発明の一態様は、消費電力を低減することを課題とする。又は、本発明の一態様は、外部回路の電流供給能力を小さくすることを課題とする。又は、本発明の一態様は、外部回路のサイズ、又は当該外部回路を有する表示装置のサイズを小さくすることを課題とする。なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これら課題の全てを解決する必要はないものとする。

【課題を解決するための手段】

【0008】

本発明の一態様は、第1の入力信号、第2の入力信号、及び第3の入力信号が入力され、出力信号を出力する駆動回路と、液晶素子を有し、出力信号に応じて液晶素子に印加される電圧が設定される画素と、を有し、駆動回路は、第3の入力信号に応じてオンまたはオフになる第1のスイッチ及び第2のスイッチと、第1のスイッチがオン又はオフになることにより第1の入力信号が入力されるか否かが制御され、第1の入力信号に応じてオンまたはオフになることにより出力信号の電位状態を設定するか否かを制御する第3のスイッチと、第2のスイッチがオン又はオフになることにより第2の入力信号が入力されるか否かが制御され、第2の入力信号に応じてオンまたはオフになることにより出力信号の電位状態を設定するか否かを制御する第4のスイッチと、を有する液晶表示装置である。

【0009】

本発明の一態様は、第1の入力信号、第2の入力信号、及び第3の入力信号が入力され、出力信号を出力する駆動回路と、液晶素子を有し、出力信号に応じて液晶素子に印加される電圧が設定される画素と、を有し、駆動回路は、ゲート、ソース、及びドレインを有し、ゲートに第3の入力信号が入力され、ソース及びドレインの一方に第1の入力信号が入力される第1のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートに第3の

入力信号が入力され、ソース及びドレインの一方に第2の入力信号が入力される第2のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第1のトランジスタのソース及びドレインの他方に電氣的に接続され、オンまたはオフになることにより出力信号の電位状態を設定するか否かを制御する第3のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第2のトランジスタのソース及びドレインの他方に電氣的に接続され、オンまたはオフになることにより出力信号の電位状態を設定するか否かを制御する第4のトランジスタと、を有する液晶表示装置である。

【0010】

本発明の一態様は、第1の入力信号、第2の入力信号、第3の入力信号、及び第4の入力信号が入力され、出力信号を出力する駆動回路と、液晶素子を有し、出力信号に応じて液晶素子に印加される電圧が設定される画素と、を有し、駆動回路は、第1の入力信号が入力される第1の配線と、第2の入力信号が入力される第2の配線と、第3の入力信号が入力される第3の配線と、第4の入力信号が入力される第4の配線と、ゲート、ソース、及びドレインを有し、ゲートが第3の配線に電氣的に接続され、ソース及びドレインの一方が第1の配線に電氣的に接続された第1のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第3の配線に電氣的に接続され、ソース及びドレインの一方が第2の配線に電氣的に接続された第2のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第1のトランジスタのソース及びドレインの他方に電氣的に接続され、ソース及びドレインの一方が第4の配線に電氣的に接続された第3のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第2のトランジスタのソース及びドレインの他方に電氣的に接続され、ソース及びドレインの一方が第4の配線に電氣的に接続された第4のトランジスタと、第3のトランジスタのソース及びドレインの他方並びに第4のトランジスタのソース及びドレインの他方に電氣的に接続され、与えられる電位が出力信号の電位となる第5の配線と、を有する液晶表示装置である。

【0011】

本発明の一態様は、第1の入力信号、第2の入力信号、第3の入力信号、及び第4の入力信号が入力され、出力信号を出力する駆動回路と、液晶素子を有し、出力信号に従って液晶素子に印加される電圧が設定される画素と、を有し、駆動回路は、第1の入力信号が入力される第1の配線と、第2の入力信号が入力される第2の配線と、第3の入力信号が入力される第3の配線と、第4の入力信号が入力される第4の配線と、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方が第1の配線に電氣的に接続された第1のトランジスタと、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方が第2の配線に電氣的に接続された第2のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第1のトランジスタのソース及びドレインの他方に電氣的に接続され、ソース及びドレインの一方が第3の配線に電氣的に接続された第3のトランジスタと、ゲート、ソース、及びドレインを有し、ゲートが第2のトランジスタのソース及びドレインの他方に電氣的に接続され、ソース及びドレインの一方が第4の配線に電氣的に接続された第4のトランジスタと、第3のトランジスタのソース及びドレインの他方並びに第4のトランジスタのソース及びドレインの他方に電氣的に接続され、与えられる電位が出力信号の電位となる第5の配線と、を有する液晶表示装置である。

【0012】

本発明の一態様は、第1の入力信号及び第2の入力信号が入力され、出力信号を出力する駆動回路と、液晶素子を有し、出力信号に従って液晶素子に印加される電圧が設定される画素と、を有し、駆動回路は、第1の入力信号が入力される第1の配線と、第2の入力信号が入力される第2の配線と、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方が第1の配線に電氣的に接続された第1のトランジスタと、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方が第2の配線に電氣的に接続された第2のトランジスタと、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方が第1のトランジスタのソース及びドレインの他方に電氣的に接続された第3のトランジスタと、ゲート、ソース、及びドレインを有し、ゲート

ト並びにソース及びドレインの一方が第2のトランジスタのソース及びドレインの他方に電氣的に接続された第4のトランジスタと、第3のトランジスタのソース及びドレインの他方並びに第4のトランジスタのソース及びドレインの他方に電氣的に接続され、与えられる電位が出力信号の電位となる第3の配線と、を有する液晶表示装置である。

【0013】

なお、本発明の一態様において、第3のトランジスタのチャネル幅を第4のトランジスタのチャネル幅と等しくすることもできる。

【0014】

また、本発明の一態様において、第1のトランジスタのチャネル幅を第3のトランジスタのチャネル幅よりも小さくし、第2のトランジスタのチャネル幅を第4のトランジスタのチャネル幅よりも小さくすることもできる。

10

【0015】

本発明の一態様は、第1の入力信号及び第2の入力信号が入力され、出力信号を出力する駆動回路と、液晶素子を有し、出力信号に従って液晶素子に印加される電圧が設定される画素と、を有し、駆動回路は、第1の入力信号が入力される第1の配線と、第2の入力信号が入力される第2の配線と、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方が第1の配線に電氣的に接続された第1のトランジスタと、ゲート、ソース、及びドレインを有し、ゲート並びにソース及びドレインの一方が第2の配線に電氣的に接続された第2のトランジスタと、を有し、正極及び負極を有し、正極が第1のトランジスタのソース及びドレインの他方に電氣的に接続された第1のダイオードと、正極及び負極を有し、正極が第2のトランジスタのソース及びドレインの他方に電氣的に接続された第2のダイオードと、第1のダイオードの負極並びに第2のダイオードの負極に電氣的に接続され、与えられる電位が出力信号の電位となる第3の配線と、を有する液晶表示装置である。

20

【0016】

なお、本発明の一態様において、第1のトランジスタのチャネル幅を第2のトランジスタのチャネル幅と等しくすることもできる。

【0017】

本発明の一態様は、上記いずれかに記載の液晶表示装置と、液晶表示装置の動作を制御する操作スイッチと、を少なくとも有する電子機器である。

30

【0018】

なお、スイッチとしては、様々な形態のものを用いることができる。スイッチの一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

【0019】

スイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。機械的なスイッチの一例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロエレクトロメカニカルシステム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

40

【0020】

なお、スイッチとして、Nチャネル型トランジスタとPチャネル型トランジスタとの両方を用いて、CMOS型のスイッチを用いてもよい。

【0021】

なお、表示素子、表示素子を有する装置である表示装置、発光素子、及び発光素子を有する装置である発光装置は、様々な形態を用いること、又は様々な素子を有することができ

50

る。表示素子、表示装置、発光素子又は発光装置の一例としては、EL（エレクトロルミネッセンス）素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、LED（白色LED、赤色LED、緑色LED、青色LEDなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、デジタルマイクロミラーデバイス（DMD）、カーボンナノチューブ、など、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有するものがある。また、表示装置をプラズマディスプレイ又は圧電セラミックディスプレイとすることもできる。EL素子を用いた表示装置の一例としては、ELディスプレイなどがある。電子放出素子を用いた表示装置の一例としては、フィールドエミッションディスプレイ（FED）又はSED（Surface-conduction Electron-emitter Display）方式平面型ディスプレイなどがある。液晶素子を用いた表示装置の一例としては、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）などがある。電子インク又は電気泳動素子を用いた表示装置の一例としては、電子ペーパーなどがある。

10

【0022】

液晶素子の一例としては、液晶の光学的変調作用によって光の透過又は非透過を制御する素子がある。その素子是一对の電極と液晶層により構成されることが可能である。なお、液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界又は斜め方向の電界を含む）によって制御される。なお、具体的には、液晶素子の一例としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、リオトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（PDLC）、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、プラズマアドレス液晶（PALC）、バナナ型液晶、TN（Twisted Nematic）モード、STN（Super Twisted Nematic）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Switching）モード、MVA（Multi-domain Vertical Alignment）モード、PVA（Patterned Vertical Alignment）、ASV（Advanced Super View）モード、ASM（Axially Symmetric aligned Micro-cell）モード、OCB（Optical Compensated Birefringence）モード、ECB（Electrically Controlled Birefringence）モード、 FLC（Ferroelectric Liquid Crystal）モード、AFLC（AntiFerroelectric Liquid Crystal）モード、PDLC（Polymer Dispersed Liquid Crystal）モード、ゲストホストモード、ブルー相（Blue Phase）モードなどを用いたものがある。ただし、これに限定されず、液晶素子として様々なものを用いることができる。

20

30

【0023】

なお、トランジスタとして、様々な構造のトランジスタを用いることができる。よって、トランジスタの種類に限定はない。トランジスタの一例としては、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、ナノクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体膜を有する薄膜トランジスタ（TFT）などを用いることができる。

40

【0024】

また、トランジスタの一例としては、ZnO、 α -InGaZnO、SiGe、GaAs、IZO（インジウム亜鉛酸化物）、ITO（インジウム錫酸化物）、SnO、TiO、AlZnSnO（AZTO）などの化合物半導体又は酸化物半導体を有するトランジスタ、又はこれらの化合物半導体又は酸化物半導体を薄膜化した薄膜トランジスタなどを用いることができる。

【0025】

50

また、トランジスタの一例としては、インクジェット法又は印刷法を用いて形成したトランジスタなどを用いることができる。

【0026】

また、トランジスタの一例としては、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。

【0027】

また、トランジスタとしては、他にも様々な構造のトランジスタを用いることができる。例えば、トランジスタとして、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを用いることができる。

【0028】

また、トランジスタの一例としては、ゲート電極が2個以上のマルチゲート構造のトランジスタを用いることができる。

【0029】

また、トランジスタの一例としては、チャンネルの上下にゲート電極が配置されている構造のトランジスタを適用することができる。

【0030】

また、トランジスタの一例としては、チャンネル領域の上にゲート電極が配置されている構造、チャンネル領域の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャンネル領域を複数の領域に分けた構造、チャンネル領域を並列に接続させた構造、又はチャンネル領域を直列に接続させた構造などのトランジスタを用いることができる。

【0031】

また、トランジスタの一例としては、チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なっている構造のトランジスタを用いることができる。

【0032】

また、トランジスタの一例としては、LDD (Lightly Doped Drain) 領域を設けた構造のトランジスタを適用できる。

【0033】

また、トランジスタを形成する基板の種類は、特定のものに限定されることはなく、様々な基板を用いて、トランジスタを形成することができる。その基板の一例としては、半導体基板、単結晶基板（例えばシリコン基板）、SOI基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート (PET)、ポリエチレンナフタレート (PEN)、ポリエーテルサルホン (PES) に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。貼り合わせフィルムの一例としては、ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、又は塩化ビニルなどがある。基材フィルムの一例としては、ポリエステル、ポリアミド、ポリイミド、無機蒸着フィルム、又は紙類などがある。特に、半導体基板、単結晶基板、又はSOI基板などを用いてトランジスタを製造することによって、特性、サイズ、又は形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、又は回路の高集積化を図ることができる。

【0034】

なお、ある基板を用いてトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置してもよい。トランジスタが転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュブラ、レーヨン、再

10

20

30

40

50

生ポリエステル)などを含む)、皮革基板、又はゴム基板などがある。これらの基板を用いることにより、トランジスタの電気特性の向上又はトランジスタの消費電力の低減を図ることができ、さらにはトランジスタを利用した装置の信頼性の向上、耐熱性の向上、軽量化、又は薄型化を図ることができる。

【0035】

なお、所定の機能を実現させるために必要な回路の全てを、同一の基板(例えば、ガラス基板、プラスチック基板、単結晶基板、又はSOI基板など)に形成することが可能である。こうして、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。

【0036】

なお、所定の機能を実現させるために必要な回路の全てを同じ基板に形成しないことが可能である。つまり、所定の機能を実現させるために必要な回路の一部は、ある基板に形成され、所定の機能を実現させるために必要な回路の別の一部は、別の基板に形成されることが可能である。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板の上に形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板(又はSOI基板)に形成されることが可能である。そして、所定の機能を実現させるために必要な回路の別の一部が形成された単結晶基板を、COG(Chip On Glass)によって、ガラス基板に接続して、ガラス基板にその基板に回路が設けられたもの(ICチップともいう)を配置することが可能である。又は、ICチップを、TAB(Tape Automated Bonding)、COF(Chip On Film)、SMT(Surface Mount Technology)、又はプリント基板などを用いてガラス基板と接続することが可能である。このように、回路の一部が画素部と同じ基板に形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。特に、駆動電圧が大きい部分の回路、又は駆動周波数が高い部分の回路などは、消費電力が大きくなってしまいう場合が多い。そこで、このような回路を、画素部とは別の基板(例えば単結晶基板)に形成して、ICチップを構成する。このICチップを用いることによって、消費電力の増加を防ぐことができる。

【0037】

なお、トランジスタとして例えばゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子を用いることができる。該素子は、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域とチャンネル領域とソース領域とを介して電流を流すことができる。ここで、ソースとドレインとは、トランジスタの構造又は動作条件等によって変わるため、いずれがソース又はドレインであるかを限定することが困難である。そこで、ソースとして機能する領域、及びドレインとして機能する領域を、ソース又はドレインと呼ばない場合がある。その場合、一例として、ソースとドレインとのいずれか一方を、第1端子、第1電極、又は第1領域と表記し、他方を、第2端子、第2電極、又は第2領域と表記する場合がある。また、ゲートを第3端子又は第3電極と表記する場合がある。

【0038】

なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、一例として、エミッタとコレクタとの一方を、第1端子、第1電極、又は第1領域と表記し、エミッタとコレクタとの他方を、第2端子、第2電極、又は第2領域と表記する場合がある。なお、トランジスタとしてバイポーラトランジスタが用いられる場合、ゲートという表記をベースと言い換えることが可能である。

【0039】

なお、AとBとが接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。ここで、A、Bは、対象物(例えば、装置、素子、回路

10

20

30

40

50

、配線、電極、端子、導電膜、層、など）であるとする。したがって、所定の接続関係、例えば、図又は文章に示された接続関係に限定されず、図又は文章に示された接続関係以外のものも含むものとする。

【0040】

AとBとが電氣的に接続されている場合の一例としては、AとBとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が、AとBとの間に1個以上接続されることが可能である。

【0041】

AとBとが機能的に接続されている場合の一例としては、AとBとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタなど）、電圧源、電流源、切り替え回路、増幅回路（信号振幅又は電流量などを大きくできる回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、AとBとの間に1個以上接続されることが可能である。なお、一例として、AとBとの間に別の回路を挟んでいても、Aから出力された信号がBへ伝達される場合は、AとBとは機能的に接続されているものとする。

【0042】

なお、AとBとが電氣的に接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合（つまり、AとBとの間に別の素子又は別の回路を挟んで接続されている場合）と、AとBとが機能的に接続されている場合（つまり、AとBとの間に別の回路を挟んで機能的に接続されている場合）と、AとBとが直接接続されている場合（つまり、AとBとの間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

【0043】

なお、Aの上にBが形成されている、あるいは、A上にBが形成されている、と明示的に記載する場合は、Aの上にBが直接接して形成されていることに限定されない。直接接していない場合、つまり、AとBと間に別の対象物が介在する場合も含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0044】

従って例えば、層Aの上に（もしくは層A上に）、層Bが形成されている、と明示的に記載されている場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

【0045】

さらに、Aの上方にBが形成されている、と明示的に記載されている場合についても同様であり、Aの上にBが直接接していることに限定されず、AとBとの間に別の対象物が介在する場合も含むものとする。従って例えば、層Aの上方に、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

【0046】

なお、Aの上にBが形成されている、A上にBが形成されている、又はAの上方にBが形成されている、と明示的に記載する場合、斜め上にBが形成される場合も含むこととする。また、Aの下にBが形成されている、あるいは、Aの下方にBが形成されている、の場合についても、同様である。

10

20

30

40

50

【0047】

なお、明示的に単数として記載されているものについては、単数であることが望ましい。ただし、これに限定されず、複数であることも可能である。同様に、明示的に複数として記載されているものについては、複数であることが望ましい。ただし、これに限定されず、単数であることも可能である。

【0048】

なお、図において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0049】

なお、図は、理想的な例を模式的に示したものであり、図に示す形状又は値などに限定されない。例えば、図は、製造技術による形状のばらつき、誤差による形状のばらつき、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

10

【0050】

なお、専門用語は、特定の実施の形態、又は実施例などを述べる目的で用いられる場合が多い。ただし、発明の一態様は、専門用語によって、限定して解釈されるものではない。

【0051】

なお、定義されていない文言（専門用語又は学術用語などの科学技術文言を含む）は、通常の当業者が理解する一般的な意味と同等の意味として用いることが可能である。辞書等により定義されている文言は、関連技術の背景と矛盾がないような意味に解釈されることが好ましい。

20

【0052】

なお、第1、第2、第3などの語句は、様々な要素、部材、領域、層、区域を他のものと区別して記述するために用いられる。よって、第1、第2、第3などの語句は、要素、部材、領域、層、区域などの数を限定するものではない。さらに、例えば、「第1の」を「第2の」又は「第3の」などと置き換えることが可能である。

【0053】

なお、「上に」、「上方に」、「下に」、「下方に」、「横に」、「右に」、「左に」、「斜めに」、「奥に」、「手前に」、「内に」、「外に」、又は「中に」などの空間的配置を示す語句は、ある要素又は特徴と、他の要素又は特徴との関連を、図によって簡単に示すために用いられる場合が多い。ただし、これに限定されず、これらの空間的配置を示す語句は、図に描く方向に加えて、他の方向を含むことが可能である。例えば、Aの上にB、と明示的に示される場合は、BがAの上にあることに限定されない。図中のデバイスは反転、又は180°回転することが可能なので、BがAの下にあることを含むことが可能である。このように、「上に」という語句は、「上に」の方向に加え、「下に」の方向を含むことが可能である。ただし、これに限定されず、図中のデバイスは様々な方向に回転することが可能なので、「上に」という語句は、「上に」、及び「下に」の方向に加え、「横に」、「右に」、「左に」、「斜めに」、「奥に」、「手前に」、「内に」、「外に」、又は「中に」などの他の方向を含むことが可能である。つまり、状況に応じて適切に解釈することが可能である。

30

40

【0054】

本発明の一態様は、第1の配線と第2の配線との間に接続される第1のスイッチと、第1の配線と第2の配線との間に接続される第2のスイッチと、を有し、第1の期間において、第1のスイッチはオンになり、第2のスイッチはオフになり、第2の期間において、第1のスイッチはオフになり、第2のスイッチはオフになり、第3の期間において、第1のスイッチはオフになり、第2のスイッチはオンになり、第4の期間において、第1のスイッチはオフになり、第2のスイッチはオフになるものである。

【0055】

本発明の一態様は、第1の配線と第2の配線との間に、第1の経路と第2の経路とを有し、第1の期間において、第1の配線と第2の配線とは第1の経路を介して導通状態になり

50

、第 2 の期間において、第 1 の配線と第 2 の配線とは非導通状態になり、第 3 の期間において、第 1 の配線と第 2 の配線とは第 2 の経路を介して導通状態になり、第 4 の期間において、第 1 の配線と第 2 の配線とは非導通状態になるものである。

【0056】

本発明の一態様は、第 1 のトランジスタと第 2 のトランジスタとを有し、第 1 のトランジスタの第 1 の端子は第 1 の配線と接続され、第 1 のトランジスタの第 2 の端子は第 2 の配線と接続され、第 1 のトランジスタのゲートは第 3 の配線と接続され、第 2 のトランジスタの第 1 の端子は第 1 の配線と接続され、第 2 のトランジスタの第 2 の端子は第 2 の配線と接続され、第 2 のトランジスタのゲートは第 4 の配線と接続されるものである。

【0057】

本発明の一態様は、第 1 のトランジスタと第 2 のトランジスタとを有し、第 1 の期間において、第 1 のトランジスタはオンになり、且つ第 2 のトランジスタはオフになり、第 2 の期間において、第 1 のトランジスタはオフになり、且つ第 2 のトランジスタはオンになり、第 3 の期間において、第 1 のトランジスタはオフになり、且つ第 2 のトランジスタはオンになり、第 4 の期間において、第 1 のトランジスタはオフになり、且つ第 2 のトランジスタはオンになるものである。

【0058】

本発明の一態様は、第 1 のトランジスタと第 2 のトランジスタと第 3 のトランジスタとを有し、第 1 のトランジスタの第 1 の端子は第 1 の配線と接続され、第 1 のトランジスタの第 2 の端子は第 2 の配線と接続され、第 1 のトランジスタのゲートは第 3 の配線と接続され、第 2 のトランジスタの第 1 の端子は第 1 の配線と接続され、第 2 のトランジスタの第 2 の端子は第 2 の配線と接続され、第 2 のトランジスタのゲートは第 4 の配線と接続され、第 3 のトランジスタの第 1 の端子は、第 5 の配線と接続され、第 3 のトランジスタの第 2 の端子は、第 2 の配線と接続され、第 3 のトランジスタのゲートは、第 6 の配線と接続されるものである。

【発明の効果】

【0059】

本発明の一態様は、トランジスタの特性劣化を抑制することができる。又は、本発明の一態様は、トランジスタのチャネル幅を小さくすることができる。特に、ブルアップトランジスタの特性劣化の抑制、又はチャネル幅の縮小を図ることができる。又は、本発明の一態様は、レイアウト面積を小さくすることができる。又は、本発明の一態様は、表示装置の額縁を狭くすることができる。又は、本発明の一態様は、表示装置を高精細にすることができる。又は、本発明の一態様は、歩留まりを高くすることができる。又は、本発明の一態様は、製造コストを低減することができる。又は、本発明の一態様は、消費電力を低減することができる。又は、本発明の一態様は、外部回路の電流供給能力を小さくすることができる。又は、本発明の一態様は、外部回路のサイズ、又は当該外部回路を有する表示装置のサイズを小さくすることができる。

【図面の簡単な説明】

【0060】

【図 1】実施の形態 1 における半導体装置の回路図の一例と、動作を説明するための模式図の一例。

【図 2】実施の形態 1 における半導体装置の回路図の一例と、実施の形態 1 における半導体装置の動作を説明するための模式図の一例と、実施の形態 1 における半導体装置の動作を説明するためのタイミングチャートの一例。

【図 3】実施の形態 1 における半導体装置の動作を説明するためのタイミングチャートの一例。

【図 4】実施の形態 2 における半導体装置の回路図の一例と、その動作を説明するためのタイミングチャートの一例。

【図 5】実施の形態 2 における半導体装置の動作を説明するための模式図の一例と、実施の形態 2 における半導体装置の回路図の一例。

10

20

30

40

50

- 【図 6】実施の形態 2 における半導体装置の動作を説明するための模式図の一例。
- 【図 7】実施の形態 2 における半導体装置の動作を説明するためのタイミングチャートの一例。
- 【図 8】実施の形態 2 における半導体装置の回路図の一例。
- 【図 9】実施の形態 2 における半導体装置の回路図の一例。
- 【図 10】実施の形態 2 における半導体装置の動作を説明するための模式図の一例。
- 【図 11】実施の形態 2 における半導体装置の回路図の一例。
- 【図 12】実施の形態 2 における半導体装置の回路図の一例。
- 【図 13】実施の形態 2 における半導体装置の回路図の一例と、その動作を説明するためのタイミングチャートの一例。
- 【図 14】実施の形態 3 における半導体装置の回路図の一例。
- 【図 15】実施の形態 3 における半導体装置の回路図の一例。
- 【図 16】実施の形態 3 における半導体装置の動作を説明するための模式図の一例。
- 【図 17】実施の形態 3 における半導体装置の動作を説明するための模式図の一例。
- 【図 18】実施の形態 3 における半導体装置の回路図の一例。
- 【図 19】実施の形態 3 における半導体装置の回路図の一例。
- 【図 20】実施の形態 3 における半導体装置の回路図の一例。
- 【図 21】実施の形態 3 における半導体装置の回路図の一例。
- 【図 22】実施の形態 3 における半導体装置の回路図。
- 【図 23】実施の形態 3 における半導体装置の回路図の一例。
- 【図 24】実施の形態 3 における半導体装置の回路図の一例。
- 【図 25】実施の形態 3 における半導体装置の回路図の一例。
- 【図 26】実施の形態 4 におけるシフトレジスタの回路図の一例。
- 【図 27】実施の形態 4 におけるシフトレジスタの動作を説明するためのタイミングチャートの一例。
- 【図 28】実施の形態 4 におけるシフトレジスタの動作を説明するためのタイミングチャートの一例。
- 【図 29】実施の形態 4 におけるシフトレジスタの回路図の一例。
- 【図 30】実施の形態 5 における表示装置のブロック図の一例。
- 【図 31】実施の形態 5 における表示装置のブロック図の一例。
- 【図 32】実施の形態 6 における信号線駆動回路の回路図の一例と、その動作を説明するためのタイミングチャートの一例。
- 【図 33】実施の形態 7 における画素の回路図の一例と、その動作を説明するためのタイミングチャートの一例。
- 【図 34】実施の形態 7 における画素の回路図の一例。
- 【図 35】実施の形態 8 における表示装置の上面図及び断面図の一例。
- 【図 36】実施の形態 9 におけるトランジスタの断面図の一例。
- 【図 37】実施の形態 10 におけるトランジスタの作製工程を説明する断面図の一例。
- 【図 38】実施の形態 11 における半導体装置のレイアウト図の一例。
- 【図 39】実施の形態 12 における電子機器を説明する図の一例。
- 【図 40】実施の形態 12 における電子機器を説明する図の一例。
- 【図 41】実施の形態 3 における半導体装置の回路図の一例。
- 【図 42】実施の形態 3 における半導体装置の検証結果を示す図である。

【発明を実施するための形態】

【0061】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同様のものを指す符号は異なる図面間で共通の符号を用いて示し、同一部分又は同様な機能

10

20

30

40

50

を有する部分の詳細な説明は省略する。

【0062】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び／又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことができる。

【0063】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【0064】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることができる。

【0065】

なお、ある一つの実施の形態において述べる図又は文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図又は文章が記載されている場合、その一部分の図又は文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、抵抗素子など）、導電層、絶縁層、半導体層、有機材料、無機材料、部品、基板、モジュール、装置、固体、液体、気体、動作方法、製造方法などが単数又は複数記載された図面（断面図、平面図、回路図、ブロック図、フローチャート、工程図、斜視図、立面図、配置図、タイミングチャート、構造図、模式図、グラフ、表、光路図、ベクトル図、状態図、波形図、写真、化学式など）又は文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。

【0066】

（実施の形態1）

本実施の形態では、半導体装置の一例について説明する。本実施の形態の半導体装置は、一例として、シフトレジスタ、ゲートドライバ、又はソースドライバなどの様々な駆動回路に用いることが可能である。なお、本実施の形態の半導体装置を駆動回路、又は回路と示すことが可能である。

【0067】

まず、本実施の形態の半導体装置について、図1（A）を参照して説明する。図1（A）の半導体装置は、スイッチ11_1～11_2という複数のスイッチを有する。スイッチ11_1～11_2は、配線11_1と配線11_2との間に接続される。ただし、これに限定されず、半導体装置は、三つ以上のスイッチを有することが可能である。

【0068】

次に、各配線に入力又は出力される信号又は電圧などについて説明する。

【0069】

配線11_1からは、一例として、信号OUTが出力されるものとする。信号OUTは、例えば第1の電位状態及び第2の電位状態を有する信号とすることができる。例えば信号OUTは、Hレベル（ハイレベルともいう）とLレベルとの二つの状態を有するデジタル信号である場合が多く、出力信号として機能することが可能である。よって、配線11_1は、信号線として機能することが可能である。特に、配線11_1は、画素部に延伸して配置されることが可能である。そして、配線11_1は、画素と接続されることが可能である。例えば液晶表示装置の場合は、配線11_1を液晶素子を有する画素に接続し、配線11_1の電位に応じて液晶素子に印加される電圧を設定する構成とすることができる。又は、配線11_1は、画素が有するトランジスタ（例えば選択用トランジスタ、又はスイッチングトランジスタ）のゲートと接続されることが可能である。このような場合、信号OUTは

10

20

30

40

50

、選択信号、転送信号、スタート信号、リセット信号、ゲート信号、又は走査信号として機能することが可能である。よって、配線 1 1 1 は、ゲート信号線（ゲート線）、又は走査線として機能することが可能である。

【0070】

配線 1 1 2 には、一例として、信号 C K 1 が入力されるものとする。信号 C K 1 は、例えば第 1 の電位状態及び第 2 の電位状態を有する信号とすることができる。例えば信号 C K 1 は、H レベルと L レベルとの二つの状態を繰り返すデジタル信号である場合が多く、クロック信号として機能することが可能である。よって、配線 1 1 2 は、信号線、又はクロック信号線として機能することが可能である。ただし、これに限定されず、配線 1 1 1、又は配線 1 1 2 には、他にも様々な信号、様々な電圧、又は様々な電流を入力することが可能である。例えば、配線 1 1 1、又は配線 1 1 2 に電圧が供給され、これらの配線は電源線として機能することが可能である。

10

【0071】

なお、一例として、第 1 の電位状態、すなわち L レベルの信号の電位を V_1 とし、第 2 の電位状態、すなわち H レベルの信号の電位を V_2 とする。そして、 $V_2 > V_1$ とする。ただし、これに限定されず、L レベルの信号の電位は、 V_1 よりも低くすることが可能であるし、 V_1 よりも高くすることが可能である。又は、H レベルの信号の電位は、 V_2 よりも低いことが可能であるし、 V_2 よりも高いことが可能である。例えば、回路構成によっては、H レベルの信号と記載する場合でも、その電位は V_2 よりも低い場合があるし、 V_2 よりも高い場合がある。又は、回路構成によっては、L レベルの信号と記載する場合でも、その電位は V_1 よりも低い場合があるし、 V_1 よりも高い場合がある。

20

【0072】

なお、おおむねとは、ノイズによる誤差、プロセスのばらつきによる誤差、素子の作製工程のばらつきによる誤差、及び／又は、測定誤差などの様々な誤差を含むものとする。

【0073】

なお、一般的に電圧とは、2 点間における電位の差（電位差ともいう）のことをいい、電位とは、ある一点における静電場の中にある単位電荷が持つ静電エネルギー（電気的な位置エネルギー）のことをいう。しかし、電子回路では、一点のみであっても、例えば該一点の電位と基準となる電位（基準電位ともいう）との電位差を値として用いることがあり、また、電圧と電位の値は、回路図などにおいていずれもボルト（V）で表されることが可能である。よって、図 1（B）に示すように、配線 1 1 1 と配線 1 1 2 との間には、経路 2 1 __ 1 ~ 2 1 __ 2 という複数の経路が存在する。又は、スイッチ 1 1 __ 1 及びスイッチ 1 1 __ 2 は、信号 O U T の電位状態を設定するか否かを制御する機能を有する。ただし、これに限定されず、スイッチ 1 1 __ 1 ~ 1 1 __ 2 は、他にも様々な機能を有することが可能である。

30

【0074】

なお、信号 C K 1 は、平衡であることが可能であるし、非平衡（不平衡ともいう）であることが可能である。平衡とは、1 周期のうち、H レベルになる期間と L レベルになる期間とがおおむね等しいことをいう。非平衡とは、H レベルになる期間と L レベルになる期間とが異なることをいう。なお、ここでの「異なる」とは、おおむね等しい場合の範囲は含まれないものとする。

【0075】

次に、スイッチ 1 1 __ 1 ~ 1 1 __ 2 の機能について説明する。スイッチ 1 1 __ 1 ~ 1 1 __ 2 は、配線 1 1 1 と配線 1 1 2 との導通状態を制御する機能を有する。よって、図 1（B）に示すように、配線 1 1 1 と配線 1 1 2 との間には、経路 2 1 __ 1 ~ 2 1 __ 2 という複数の経路が存在する。又は、スイッチ 1 1 __ 1 及びスイッチ 1 1 __ 2 は、信号 O U T の電位状態を設定するか否かを制御する機能を有する。ただし、これに限定されず、スイッチ 1 1 __ 1 ~ 1 1 __ 2 は、他にも様々な機能を有することが可能である。

40

【0076】

なお、配線 A（例えば配線 1 1 1）と配線 B（例えば配線 1 1 2）との間の経路と記載する場合、配線 A と配線 B との間には、スイッチが接続されることが可能である。ただし、これに限定されず、配線 A と配線 B との間には、スイッチの他にも、様々な素子（例えばトランジスタ、ダイオード、抵抗素子、又は容量素子など）、又は様々な回路（例えばパ

50

ツファ回路、インバータ回路、又はシフトレジスタ回路など）などが接続されることが可能である。よって、例えば、スイッチ 1 1 __ 1 と直列に、又は並列に、抵抗素子、又はトランジスタなどの素子が接続されることが可能である。

【0077】

次に、図 1 (A) の半導体装置の動作について、図 2 (A) のタイミングチャートの一例を参照して説明する。ただし、これに限定されず、図 1 (A) の半導体装置は、様々なタイミングによって制御されることが可能である。

【0078】

図 2 (A) のタイミングチャートには、信号 CK 1、スイッチ 1 1 __ 1 の状態（オン又はオフ）、スイッチ 1 1 __ 2 の状態（オン又はオフ）、及び信号 OUT の波形をそれぞれ示す。図 2 (A) のタイミングチャートは、複数の期間を有し、各期間は、複数のサブ期間を有する。例えば、図 2 (A) のタイミングチャートは、期間 T 1、及び期間 T 2 という複数の期間（以下、期間のことをフレーム期間ともいう）を有する。期間 T 1 は、期間 A 1、期間 B 1、期間 C 1、期間 D 1、期間 E 1 という複数のサブ期間（以下、サブ期間のことを 1 ゲート選択期間ともいう）を有し、期間 T 2 は、期間 A 2、期間 B 2、期間 C 2、期間 D 2、期間 E 2 という複数のサブ期間を有する。ただし、これに限定されず、図 2 (A) のタイミングチャートは、期間 T 1、及び期間 T 2 とは別の期間を有することが可能であるし、期間 T 1 と期間 T 2 との一方を省略することが可能である。又は、期間 T 1 は、期間 A 1 ~ E 1 の他にも様々な期間を有することが可能であるし、期間 A 1 ~ E 1 のいずれかを省略することが可能である。又は、期間 T 2 は、期間 A 2 ~ E 2 の他にも様々な期間を有することが可能であるし、期間 A 2 ~ E 2 のいずれかを省略することが可能である。

【0079】

なお、図 1 (A) の半導体装置は、一例として、期間 T 1 と期間 T 2 における動作を交互に行うものとする。ただし、これに限定されず、図 1 (A) の半導体装置は、様々な順番で期間 T 1、及び期間 T 2 における動作を行うことが可能である。

【0080】

なお、一例として、期間 T 1 において、図 1 (A) の半導体装置は、スイッチ 1 1 __ 1 がオンになるまで期間 D 1 における動作と期間 E 1 における動作とを繰り返すものとする。そして、図 1 (A) の半導体装置は、スイッチ 1 1 __ 1 がオンになると、期間 A 1 における動作、期間 B 1 における動作、及び期間 C 1 における動作を順番に行うものとする。その後、図 1 (A) の半導体装置は、再びスイッチ 1 1 __ 1 がオンになるまで、期間 D 1 における動作と期間 E 1 における動作とを繰り返すものとする。ただし、これに限定されず、図 1 (A) の半導体装置は、期間 A 1 ~ E 1 における動作を様々な順番で行うことが可能である。

【0081】

なお、期間 T 2 において、一例として、図 1 (A) の半導体装置は、スイッチ 1 1 __ 2 がオンになるまで、期間 D 2 における動作と期間 E 2 における動作とを繰り返すものとする。そして、図 1 (A) の半導体装置は、スイッチ 1 1 __ 2 がオンになると、期間 A 2 における動作、期間 B 2 における動作、及び期間 C 2 における動作を順番に行うものとする。その後、図 1 (A) の半導体装置は、再びスイッチ 1 1 __ 2 がオンになるまで、期間 D 2 における動作と期間 E 2 における動作とを繰り返すものとする。ただし、これに限定されず、図 1 (A) の半導体装置は、期間 A 2 ~ E 2 における動作を様々な順番で行うことが可能である。

【0082】

期間 T 1 の動作について説明する。期間 T 1 では、スイッチ 1 1 __ 1 はオン又はオフになり、スイッチ 1 1 __ 2 はオフになる。

【0083】

期間 T 1 の期間 A 1 において、図 2 (D) に示すように、スイッチ 1 1 __ 1 はオンになり、スイッチ 1 1 __ 2 はオフになる。よって、図 2 (E) に示すように、経路 2 1 __ 1 は導

10

20

30

40

50

通状態になり、経路 2 1 __ 2 は非導通状態になる。すると、配線 1 1 2 に入力される信号（例えば L レベルの信号 C K 1）は、スイッチ 1 1 __ 1 を介して配線 1 1 1 に供給される。よって、信号 O U T は L レベルになる。

【 0 0 8 4 】

期間 T 1 の期間 B 1 において、図 2（D）に示すように、スイッチ 1 1 __ 1 はオンのままになり、スイッチ 1 1 __ 2 はオフのままになる。よって、図 2（E）に示すように、経路 2 1 __ 1 は導通状態のままになり、経路 2 1 __ 2 は非導通状態のままになる。すると、配線 1 1 2 に入力される信号（例えば H レベルの信号 C K 1）は、スイッチ 1 1 __ 1 を介して配線 1 1 1 に供給される。よって、信号 O U T は H レベルになる。

【 0 0 8 5 】

期間 T 1 の期間 C 1 において、図 2（B）に示すように、スイッチ 1 1 __ 1 はオフになり、スイッチ 1 1 __ 2 はオフのままになる。よって、図 2（C）に示すように、経路 2 1 __ 1 は非導通状態になり、経路 2 1 __ 2 は非導通状態のままになる。すると、配線 1 1 1 と配線 1 1 2 とは、非導通状態になるので、配線 1 1 2 に入力される信号（例えば L レベルの信号 C K 1）は、配線 1 1 1 に供給されなくなる。

【 0 0 8 6 】

なお、期間 T 1 の期間 C 1 において、スイッチ 1 1 __ 1 がオフになるタイミングは、信号 C K 1 が L レベルになるタイミングよりも遅い場合が多い。よって、スイッチ 1 1 __ 1 がオフになる前に、配線 1 1 2 に入力される信号（例えば L レベルの信号 C K 1）は、スイッチ 1 1 __ 1 を介して、配線 1 1 1 に供給される場合が多い。よって、信号 O U T は L レベルになる。ただし、これに限定されず、配線 1 1 1 に L レベルの信号又は電圧 V 1 が供給されることが可能である。

【 0 0 8 7 】

期間 T 1 の期間 D 1 及び期間 E 1 において、図 2（B）に示すように、スイッチ 1 1 __ 1 及びスイッチ 1 1 __ 2 は、オフのままになる。よって、図 2（C）に示すように、経路 2 1 __ 1、及び経路 2 1 __ 2 は、非導通状態のままになる。よって、配線 1 1 1 と配線 1 1 2 とは非導通状態になるので、配線 1 1 2 に入力される信号は、配線 1 1 1 に供給されないままになる。よって、信号 O U T は L レベルのままになる。

【 0 0 8 8 】

次に、期間 T 2 の動作について説明する。期間 T 2 では、スイッチ 1 1 __ 1 はオフになり、スイッチ 1 1 __ 2 はオン又はオフになる。

【 0 0 8 9 】

期間 T 2 の期間 A 2 において、図 2（F）に示すように、スイッチ 1 1 __ 1 はオフになり、スイッチ 1 1 __ 2 はオンになる。よって、図 2（G）に示すように、経路 2 1 __ 1 は非導通状態になり、経路 2 1 __ 2 は導通状態になる。すると、配線 1 1 2 に入力される信号（例えば L レベルの信号 C K 1）は、スイッチ 1 1 __ 2 を介して配線 1 1 1 に供給される。よって、信号 O U T は L レベルになる。

【 0 0 9 0 】

期間 T 2 の期間 B 2 において、図 2（F）に示すように、スイッチ 1 1 __ 1 はオフのままになり、スイッチ 1 1 __ 2 はオンのままになる。よって、図 2（G）に示すように、経路 2 1 __ 1 は非導通状態のままになり、経路 2 1 __ 2 は導通状態のままになる。すると、配線 1 1 2 に入力される信号（例えば H レベルの信号 C K 1）は、スイッチ 1 1 __ 2 を介して配線 1 1 1 に供給される。よって、信号 O U T は H レベルになる。

【 0 0 9 1 】

期間 T 2 の期間 C 2 において、図 2（B）に示すように、スイッチ 1 1 __ 1 はオフのままになり、スイッチ 1 1 __ 2 はオフになる。よって、図 2（C）に示すように、経路 2 1 __ 1 は非導通状態のままになり、経路 2 1 __ 2 は非導通状態になる。すると、配線 1 1 1 と配線 1 1 2 とは、非導通状態になるので、配線 1 1 2 に入力される信号（例えば L レベルの信号 C K 1）は、配線 1 1 1 に供給されなくなる。

【 0 0 9 2 】

なお、期間 T 2 の期間 C 2 において、スイッチ 1 1 __ 2 がオフになるタイミングは、信号 C K 1 が L レベルになるタイミングよりも遅い場合が多い。よって、スイッチ 1 1 __ 2 がオフになる前に、配線 1 1 2 に入力される信号（例えば L レベルの信号 C K 1）は、スイッチ 1 1 __ 2 を介して配線 1 1 1 に供給される場合が多い。よって、信号 O U T は L レベルになる。ただし、これに限定されず、配線 1 1 1 に L レベルの信号又は電圧 V 1 が供給されることが可能である。

【0093】

期間 T 2 の期間 D 2 及び期間 E 2 において、図 2（B）に示すように、スイッチ 1 1 __ 1 及びスイッチ 1 1 __ 2 は、オフのままになる。よって、図 2（C）に示すように、経路 2 1 __ 1、及び経路 2 1 __ 2 は、非導通状態のままになる。よって、配線 1 1 1 と配線 1 1 2 とは非導通状態になるので、配線 1 1 2 に入力される信号は、配線 1 1 1 に供給されないままになる。よって、信号 O U T は L レベルのままになる。

【0094】

以上のように、各スイッチがオンになる期間を切り替えることによって、スイッチがオンになる回数を少なくする、又はスイッチがオンになる時間を短くすることができる。よって、スイッチとして用いられる素子、又は回路などの特性劣化を抑制することができる。

【0095】

又は、スイッチとして用いられる素子又は回路などの特性劣化を抑制することができることによって、様々なメリットを得ることができる。例えば、配線 1 1 1 がゲート信号線又は走査線としての機能を有する場合、又は配線 1 1 1 が画素と接続される場合、画素が保持するビデオ信号は、信号 O U T の波形に影響を受けることがある。例えば、信号 O U T の電位が V 2 まで上昇しない場合、画素が有するトランジスタ（例えば選択トランジスタ、又はスイッチングトランジスタ）がオンになる時間は短くなる。この結果、画素へのビデオ信号の書き込み不足を生じ、表示品位が低下してしまうことがある。又は、信号 O U T の立ち下がり時間、及び立ち上がり時間が長くなる場合、選択された行に属する画素に、別の行に属する画素へのビデオ信号が書き込まれてしまうことがある。この結果、表示品位が低下してしまう。又は、信号 O U T の立ち下がり時間がばらつく場合、画素が保持するビデオ信号へのフィードスルーの影響がばらついてしまうことがある。この結果、表示ムラが生じてしまう。

【0096】

しかしながら、本実施の形態の半導体装置は、スイッチとして用いられる素子又は回路などの特性劣化を抑制することができる。よって、信号 O U T の電位を V 2 まで上昇させることができるので、画素が有するトランジスタのオンになる時間を長くすることができる。この結果、画素に十分な時間でビデオ信号を書き込むことができるので、表示品位の向上を図ることができる。又は、信号 O U T の立ち下がり時間、及び立ち上がり時間を短くすることができるので、選択された行に属する画素に、別の行に属する画素へのビデオ信号が書き込まれてしまうことを防止することができる。この結果、表示品位の向上を図ることができる。又は、信号 O U T の立ち下がり時間のばらつきを抑制することができるので、画素が保持するビデオ信号へのフィードスルーの影響のばらつきを抑制することができる。よって、表示ムラを抑制することができる。

【0097】

なお、期間 T 1 において、期間 B 1 を選択期間と呼び、期間 A 1、期間 C 1、期間 D 1、及び期間 E 1 を非選択期間と呼ぶことが可能である。同様に、期間 T 2 において、期間 B 2 を選択期間と呼び、期間 A 2、期間 C 2、期間 D 2、及び期間 E 2 を非選択期間と呼ぶことが可能である。

【0098】

なお、期間 T 1 において、スイッチ 1 1 __ 1 がオンになる期間（期間 A 1 及び期間 A 2）を第 1 の期間と呼び、スイッチ 1 1 __ 1 がオフになる期間（期間 C 1、期間 D 1、及び期間 E 1）を第 2 の期間と呼ぶことが可能である。同様に、期間 T 2 において、期間 A 2 及び期間 B 2 を第 3 の期間と呼び、期間 C 2、期間 D 2、及び期間 E 2 を第 4 の期間と呼ぶ

ことが可能である。

【0099】

なお、期間 T 1、及び期間 T 2 をフレーム期間と呼び、期間 A 1 ～ E 1、及び期間 A 2 ～ E 2 をサブ期間、又は 1 ゲート選択期間と呼ぶことが可能である。

【0100】

なお、期間又はサブ期間は、ステップ、処理、又は動作などを置き換えられることが可能である。

【0101】

なお、期間 T 1 において、期間 A 1 の前に、期間 D 1 と期間 E 1 とが順に繰り返して配置されることが可能である。同様に、期間 T 2 において、期間 A 2 の前に、期間 D 2 と期間 E 2 とが順に繰り返して配置されることが可能である。このような場合、期間 T 1 の開始時刻から、期間 A 1 の開始時刻までの時間と、期間 T 2 の開始時刻から期間 A 2 の開始時刻までの時間とは、おおむね等しいことが好ましい。ただし、これに限定されない。

10

【0102】

なお、図 1 (C) に示すように、スイッチ 1 1 __ 1、及びスイッチ 1 1 __ 2 は、同じ期間にオンになることが可能である。この場合、図 1 (D) に示すように、経路 2 1 __ 1、及び経路 2 1 __ 2 は、同じ期間に導通状態になる。よって、配線 1 1 2 に入力される信号は、スイッチ 1 1 __ 1、及びスイッチ 1 1 __ 2 を介して配線 1 1 1 に供給される。ただし、これに限定されない。

【0103】

20

なお、図 1 (E) に示すように、半導体装置は、スイッチ 1 1 __ 1 ～ 1 1 __ N (N は 2 以上の自然数) という複数のスイッチを有することが可能である。スイッチ 1 1 __ 1 ～ 1 1 __ N は、配線 1 1 1 と配線 1 1 2 との間に接続される。スイッチ 1 1 __ 1 ～ 1 1 __ N は、スイッチ 1 1 __ 1 又はスイッチ 1 1 __ 2 と同様の機能を有する。よって、図 1 (F) に示すように、配線 1 1 1 と配線 1 1 2 との間には、経路 2 1 __ 1 ～ 2 1 __ N という経路が存在する。

【0104】

なお、半導体装置が N 個のスイッチを有する場合、図 3 に示すように、期間 T 1 ～ T N という複数の期間を有することが可能である。例えば、図 3 のタイミングチャートでは、期間 T 1 ～ T N が順に配置されている。ただし、これに限定されず、本実施の形態では、期間 T 1 ～ T N を様々な順番に配置することが可能である。又は、期間 T 1 ～ T N のいずれかを省略することが可能である。期間 T 1 ～ T N は、各々、複数のサブ期間を有することが可能である。例えば、期間 T i (i は 1 ～ N のいずれか) は、期間 A i ～ E i という複数のサブ期間を有することが可能である。期間 A i ～ E i は、各々、期間 A 1 ～ E 1 又は期間 A 2 ～ E 2 と同様に、スイッチ 1 1 __ i 以外のスイッチ 1 1 __ 1 ～ 1 1 __ N (例えば、スイッチ 1 1 __ 1 ～ 1 1 __ i - 1、及びスイッチ 1 1 __ i + 1 ～ 1 1 __ N) はオフになる。そして、期間 T i の期間 A i、及び B i において、スイッチ 1 1 __ i はオンになり、期間 T i の期間 C i、期間 D i、期間 E i において、スイッチ 1 1 __ i はオフになる。

30

【0105】

なお、N が大きいことによって、それぞれのスイッチがオンになる回数、又はそれぞれのスイッチがオンになる時間を減らすことができる。ただし、N が大きすぎると、スイッチの数が増えすぎてしまい、回路規模が大きくなってしまう。よって、N は、6 以下であることが好ましい。より好ましくは 4 以下であることが好ましい。さらに好ましくは、3 又は 2 であることが好ましい。ただし、これに限定されない。

40

【0106】

なお、図 1 (G) に示すように、配線 1 1 2 を配線 1 1 2 A ～ 1 1 2 B という複数の配線に分割することが可能である。そして、スイッチ 1 1 __ 1 は、配線 1 1 1 と配線 1 1 2 A との間に接続され、スイッチ 1 1 __ 2 は、配線 1 1 1 と配線 1 1 2 B との間に接続されることが可能である。配線 1 1 2 A ～ 1 1 2 B は、他の様々な配線、又は様々な素子と接続されることが可能である。

50

【0107】

なお、図1（G）と同様に、図1（E）においても、配線112を複数の配線に分割することが可能である。

【0108】

（実施の形態2）

本実施の形態では、半導体装置の一例を示す。本実施の形態の半導体装置は、実施の形態1で述べる半導体装置を有することが可能である。特に、実施の形態1で述べる半導体装置が有するスイッチとして、例えばトランジスタが用いられる場合の構成について説明する。ただし、これに限定されず、スイッチとしては様々な素子、又は様々な回路などを用いることが可能である。なお、実施の形態1で述べる内容は、その説明を省略する。なお、本実施の形態の内容は、実施の形態1で述べる内容と適宜組み合わせることが可能である。

10

【0109】

まず、本実施の形態の半導体装置について、図4（A）を参照して説明する。図4（A）の半導体装置は、回路100を有する。回路100は、実施の形態1で述べる構成において、スイッチとしてトランジスタを用いる場合の構成と同様である。図4（A）では、図1（A）のスイッチ11__1としてトランジスタ101__1が用いられ、スイッチ11__2としてトランジスタ101__2が用いられる場合の構成を示す。よって、トランジスタ101__1は、スイッチ11__1と同様の機能を有し、トランジスタ101__2は、スイッチ11__2と同様の機能を有する。ただし、これに限定されず、実施の形態1で述べる構成において、スイッチとしてトランジスタを用いることが可能である。又は、スイッチとして、CMOSのスイッチなどを用いることが可能である。

20

【0110】

なお、トランジスタ101__1、及びトランジスタ101__2は、Nチャネル型であるものとする。Nチャネル型のトランジスタは、ゲートとソースとの間の電位差（ V_{gs} ）が閾値電圧（ V_{th} ）を上回った場合にオンするものとする。ただし、これに限定されず、トランジスタ101__1、及び／又は、トランジスタ101__2は、Pチャネル型であることが可能である。Pチャネル型トランジスタは、ゲートとソースとの間の電位差（ V_{gs} ）が閾値電圧（ V_{th} ）を下回った場合にオンするものとする。

【0111】

次に、図4（A）の半導体装置の接続関係について説明する。トランジスタ101__1の第1端子は、配線112と接続され、トランジスタ101__1の第2端子は、配線111と接続される。トランジスタ101__2の第1端子は、配線112と接続され、トランジスタ101__2の第2端子は、配線111と接続される。

30

【0112】

なお、トランジスタ101__1のゲートと回路10との接続箇所をノードn1と示し、トランジスタ101__2のゲートと回路10との接続箇所をノードn2と示す。なお、ノードn1、及びノードn2を配線と呼ぶことが可能である。

【0113】

次に、トランジスタ101__1、及びトランジスタ101__2が有する機能について説明する。

40

【0114】

トランジスタ101__1は、ノードn1の電位に応じて、配線112の電位を配線111に供給するタイミングを制御する機能を有する。例えば、配線112に電圧（例えば電圧V1又は電圧V2）が供給される場合、トランジスタ101__1は、ノードn1の電位に応じて、配線112に供給される電圧を配線111に供給するタイミングを制御する機能を有する。別の例として、配線112に信号（例えば信号CK1）が入力される場合、トランジスタ101__1は、ノードn1の電位に応じて、配線112に入力される信号を配線111に供給するタイミングを制御する機能を有する。このような場合、信号CK1がLレベルとすると、トランジスタ101__1は、Lレベルの信号CK1を配線111に供

50

給するタイミングを制御する機能を有する。又は、トランジスタ101__1は、信号OUTがLレベルになるタイミングを制御する機能を有する。又は、信号CK1がHレベルとすると、トランジスタ101__1は、Hレベルの信号CK1を配線111に供給するタイミングを制御する機能を有する。又は、トランジスタ101__1は、信号OUTがHレベルになるタイミングを制御する機能を有する。このとき、ノードn1は、浮遊状態になっていることが可能である。この場合、トランジスタ101__1は、配線111の電位の上昇に応じて、ノードn1の電位を上昇させる機能を有する。又は、トランジスタ101__1は、ブートストラップ動作を行う機能を有する。又は、トランジスタ101__1は、ゲートに入力される信号に応じてオン又はオフになることにより信号OUTの電位状態を設定するか否かを制御する機能を有する。

10

【0115】

トランジスタ101__2は、ノードn2の電位に応じて、配線112の電位を配線111に供給するタイミングを制御する機能を有する。例えば、配線112に電圧（例えば電圧V1又は電圧V2）が供給される場合、トランジスタ101__2は、ノードn2の電位に応じて、配線112に供給される電圧を配線111に供給するタイミングを制御する機能を有する。別の例として、配線112に信号（例えば信号CK1）が入力される場合、トランジスタ101__2は、ノードn2の電位に応じて、配線112に入力される信号を配線111に供給するタイミングを制御する機能を有する。このような場合、信号CK1がLレベルとすると、トランジスタ101__2は、Lレベルの信号CK1を配線111に供給するタイミングを制御する機能を有する。又は、トランジスタ101__2は、信号OUTがLレベルになるタイミングを制御する機能を有する。又は、信号CK1がHレベルとすると、トランジスタ101__2は、Hレベルの信号CK1を配線111に供給するタイミングを制御する機能を有する。又は、トランジスタ101__2は、信号OUTがHレベルになるタイミングを制御する機能を有する。このとき、ノードn2は、浮遊状態になっていることが可能である。この場合、トランジスタ101__2は、配線111の電位の上昇に応じて、ノードn2の電位を上昇させる機能を有する。又は、トランジスタ101__2は、ブートストラップ動作を行う機能を有する。又は、トランジスタ101__1は、ゲートに入力される信号に応じてオン又はオフになることにより信号OUTの電位状態を設定するか否かを制御する機能を有する。

20

【0116】

なお、図4（B）に示すように、本実施の形態の半導体装置は、回路10を有することが可能である。例えば、回路10は、配線113、配線114、配線115__1、配線115__2、配線116、配線117、トランジスタ101__1のゲート、トランジスタ101__2のゲート、及び／又は配線111と接続される。ただし、これに限定されない。回路10の構成に応じて、回路10は、他の配線、又は他のノードと接続されることが可能である。又は、回路10は、配線113、配線114、配線115__1、配線115__2、配線116、配線117、トランジスタ101__1のゲート、トランジスタ101__2のゲート、及び／又は配線111と接続されていないことが可能である。

30

【0117】

回路10は、一つ又は二つ以上のトランジスタを有する場合が多い。これらのトランジスタの極性は、トランジスタ101__1～101__2の極性と同じ場合が多く、Nチャネル型である場合が多い。ただし、これに限定されず、回路10は、Pチャネル型のトランジスタを有することが可能である。又は、回路10は、Nチャネル型のトランジスタとPチャネル型のトランジスタとを有することが可能である。つまり、回路10は、CMOS回路であることが可能である。

40

【0118】

配線111からは、実施の形態1と同様に、信号OUTが出力されるものとする。配線112には、実施の形態1と同様に、信号CK1が入力されるものとする。なお、信号CK2と記載する場合、信号CK2は、信号CK1の反転信号、又は位相が信号CK1から180°ずれた信号である場合が多い。配線113には、電圧V2が供給されるものとする

50

。電圧V 2は、電源電圧、基準電圧、又は正電源電圧として機能することが可能である。よって、配線1 1 3は、電源線として機能することが可能である。配線1 1 4には、信号S Pが入力されるものとする。信号S Pは、スタート信号として機能することが可能である。よって、配線1 1 4は、信号線として機能することが可能である。例えば複数の半導体装置を有する構成とし、配線1 1 4が別の段（例えば前の段）の半導体装置の配線1 1 1と接続される場合、信号S Pは、選択信号、転送信号、スタート信号、リセット信号、ゲート信号、又は走査信号として機能することが可能である。この場合、配線1 1 4は、ゲート信号線、又は走査線として機能することが可能である。配線1 1 5__1には、信号S E L 1が入力されるものとする。信号S E L 1は、ある期間毎（例えばフレーム期間毎）に、HレベルとLレベルとを繰り返し、クロック信号、選択信号、又は制御信号として機能することが可能である。よって、配線1 1 5__1は、信号線として機能することが可能である。配線1 1 5__2には、信号S E L 2が入力されるものとする。信号S E L 2は、信号S E L 1の反転信号、又は位相が信号S E L 1から1 8 0°ずれた信号である場合が多い。よって、配線1 1 5__2は、信号線として機能することが可能である。配線1 1 6には、信号R Eが入力されるものとする。信号R Eは、リセット信号として機能することが可能である。よって、配線1 1 6は、信号線として機能することが可能である。特に、複数の半導体装置が接続されたとする。この場合、配線1 1 6が別の段（例えば次の段）の半導体装置の配線1 1 1と接続されたとすると、信号R Eは、選択信号、転送信号、スタート信号、リセット信号、ゲート信号、又は走査信号として機能することが可能である。この場合、配線1 1 6は、ゲート信号線、又は走査線として機能することが可能である。配線1 1 7には、電圧V 1が供給されるものとする。電圧V 1は、電源電圧、基準電圧、グラウンド電圧、又は負電源電圧として機能することが可能である。よって、配線1 1 7は、電源線として機能することが可能である。ただし、これに限定されず、配線1 1 1、配線1 1 2、配線1 1 3、配線1 1 4、配線1 1 5__1、配線1 1 5__2、配線1 1 6、及び配線1 1 7には、様々な信号、様々な電圧、又は様々な電流を供給することが可能である。

【0 1 1 9】

なお、信号C K 1、又は信号C K 2は、平衡であることが可能であるし、非平衡（不平衡ともいう）であることが可能である。同様に、信号S E L 1、又は信号S E L 2は、平衡であることが可能であるし、非平衡（不平衡ともいう）であることが可能である。

【0 1 2 0】

回路1 0は、電圧V 1、信号C K 2、信号S P、信号S E L 1、信号S E L 2、信号R E、ノードn 1の電位、ノードn 2の電位、及び／又は、信号O U Tに応じて、ノードn 1、ノードn 2、及び／又は、配線1 1 1に信号又は電圧などを供給するタイミングを制御する機能を有する。又は、回路1 0は、電圧V 1、信号C K 2、信号S P、信号S E L 1、信号S E L 2、信号R E、電圧V 1、ノードn 1の電位、ノードn 2の電位、及び／又は、信号O U Tに応じて、ノードn 1の電位、ノードn 2の電位、及び／又は、配線1 1 1の電位を制御する機能を有する。例えば、回路1 0は、Hレベルの信号又は電圧V 2をノードn 1、及び／又は、ノードn 2に供給する機能を有する。又は、回路1 0は、Lレベルの信号又は電圧V 1をノードn 1、ノードn 2、及び／又は、配線1 1 1に供給する機能を有する。又は、回路1 0は、信号又は電圧などをノードn 1、及び／又は、ノードn 2に供給しない機能を有する。又は、回路1 0は、ノードn 1の電位、及び／又は、ノードn 2の電位を上昇させる機能を有する。又は、回路1 0は、ノードn 1の電位、ノードn 2の電位、及び／又は、配線1 1 1の電位を減少又は維持する機能を有する。又は、回路1 0は、ノードn 1、及び／又は、ノードn 2を浮遊状態にする機能を有する。ただし、これに限定されず、回路1 0は、他にも様々な機能を有することが可能である。又は、回路1 0は、上記の機能のすべてを有する必要はない。

【0 1 2 1】

次に、本実施の形態の動作の一例について説明する。ここでは、一例として、図4（B）の半導体装置の動作について、図4（C）のタイミングチャート、図5（A）乃至図5（

E)、及び図6(A)乃至図6(E)を参照して説明する。図4(C)のタイミングチャートには、信号CK1、信号CK2、信号SP、信号RE、ノードn1の電位(Va1)、ノードn2の電位(Va2)、及び信号OUTを示す。なお、図2(A)のタイミングチャートと共通するところは、その説明を省略する。なお、図4(B)の半導体装置の動作は、本実施の形態で述べる内容、又は他の実施の形態で述べる内容に適用することが可能である。

【0122】

まず、期間A1において、図5(A)に示すように、信号SPがHレベルになり、信号SEL1がHレベルになり、信号SEL2がLレベルになる。よって、回路10は、Hレベルの信号SP又は電圧V2をノードn1に供給する。そして、回路10は、ノードn1の電位を上昇させる。その後、ノードn1の電位は、 $V1 + V_{th101_1}$ (V_{th101_1} : トランジスタ101__1の閾値電圧) + V_x になったところで、トランジスタ101__1がオンになる。このとき V_x は0より大きい値である。よって、配線112と配線111とは、トランジスタ101__1を介して導通状態になるので、Lレベルの信号CK1は、配線112からトランジスタ101__1を介して配線111に供給される。この結果、信号OUTは、Lレベルになる。その後、ノードn1の電位はさらに上昇する。やがて、回路10からノードn1への電圧又は信号の供給が止まるので、回路10とノードn1とは非導通状態になる。この結果、ノードn1は、浮遊状態になり、ノードn1の電位は、 $V1 + V_{th101_1} + V_x$ に維持される。

【0123】

なお、期間A1において、回路10は、ノードn2に、Lレベルの信号又は電圧V2を供給することが可能である。

【0124】

なお、期間A1において、回路10は、配線111に、Lレベルの信号又は電圧V2を供給することが可能である。

【0125】

次に、期間B1において、図5(B)に示すように、信号SPはLレベルになり、信号SEL1がHレベルのままになり、信号SEL2がLレベルのままになる。よって、回路10は、電圧又は信号などをノードn1に供給しないままである。よって、ノードn1は、浮遊状態のままであり、ノードn1の電位は、 $V1 + V_{th101_1} + V_x$ のままになる。つまり、トランジスタ101__1はオンのままになるので、配線112と配線111とはトランジスタ101__1を介して導通状態のままになる。このとき、信号CK1はLレベルからHレベルに上昇するので、配線111の電位が上昇し始める。すると、ノードn1は浮遊状態のままなので、ノードn1の電位は、トランジスタ101__1のゲートと第2端子との間の寄生容量によって上昇する。いわゆる、ブートストラップ動作である。こうして、ノードn1の電位が $V2 + V_{th101_1} + V_x$ まで上昇することによって、配線111の電位をV2まで上昇させることが可能になる。このようにして、信号OUTは、Hレベルになる。

【0126】

なお、期間B1において、回路10は、ノードn2に、Lレベルの信号又は電圧V2を供給することが可能である。

【0127】

また、期間B1において、回路10は、配線111に、信号又は電圧などを供給しないことが可能である。

【0128】

次に、期間C1において、図5(C)に示すように、信号REがHレベルになる。よって、回路10は、Lレベルの信号又は電圧V1をノードn1、ノードn2、及び／又は、配線111に供給する。すると、ノードn1の電位、ノードn2の電位、及び／又は、配線111の電位は、V1になる。よって、トランジスタ101__1、及びトランジスタ101__2はオフになるので、配線112と配線111とは非導通状態になる。そして、信号

OUTは、Lレベルになる。

【0129】

なお、期間C1において、ノードn1の電位がLレベルに減少するタイミングよりも、信号CK1がLレベルに減少するタイミングの方が早くなるように設定することが可能である。すると、図5(E)に示すように、Lレベルの信号CK1は、配線112からトランジスタ101__1を介して配線111に供給されることが可能である。トランジスタ101__1のチャネル幅は、例えばトランジスタ101__1以外の他のトランジスタを有する場合に他のトランジスタのチャネル幅より大きいことが多いので、配線111の電位を早く減少させることができる。つまり、信号OUTの立ち下がり時間を短くすることができる。よって、配線111の電位を減少させるためには、回路10がLレベルの信号又は電圧V1を配線111に供給する場合と、Lレベルの信号CK1が配線112からトランジスタ101__1を介して配線111に供給される場合と、回路10がLレベルの信号又は電圧V1を配線111に供給し、且つLレベルの信号CK1が配線112からトランジスタ101__1を介して配線111に供給される場合との三つのパターンがある。

10

【0130】

次に、期間D1、及び期間E1において、図5(D)に示すように、回路10は、電圧V1又はLレベルの信号をノードn1、ノードn2、及び／又は、配線111に供給する。すると、ノードn1の電位、ノードn2の電位、及び／又は、配線111の電位は、V1のままになる。よって、トランジスタ101__1、及びトランジスタ101__2はオフのままになるので、配線112と配線111とは非導通状態のままになる。そして、信号OUTは、Lレベルのままになる。

20

【0131】

次に、期間A2において、図6(A)に示すように、信号SPがHレベルになり、信号SEL1がLレベルになり、信号SEL2がHレベルになる。よって、回路10は、Hレベルの信号SP又は電圧V2をノードn2に供給する。そして、回路10は、ノードn2の電位を上昇させる。その後、ノードn2の電位は、 $V1 + V_{th101_2}$ (V_{th101_2} : トランジスタ101__2の閾値電圧) + V_x になったところで、トランジスタ101__2がオンになる。このとき V_x は0より大きい値である。よって、配線112と配線111とは、トランジスタ101__2を介して導通状態になるので、Lレベルの信号CK1は、配線112からトランジスタ101__2を介して配線111に供給される。この結果、信号OUTは、Lレベルになる。その後、ノードn2の電位はさらに上昇する。やがて、回路10からノードn2への電圧又は信号の供給が止まるので、回路10とノードn2とは非導通状態になる。この結果、ノードn2は、浮遊状態になり、ノードn2の電位は、 $V1 + V_{th101_2} + V_x$ に維持される。

30

【0132】

なお、期間A2において、回路10は、ノードn1に、Lレベルの信号又は電圧V2を供給することが可能である。

【0133】

なお、期間A2において、回路10は、配線111に、Lレベルの信号又は電圧V2を供給することが可能である。

40

【0134】

次に、期間B2において、図6(B)に示すように、信号SPはLレベルになり、信号SEL1がLレベルのままになり、信号SEL2がHレベルのままになる。よって、回路10は、電圧又は信号などをノードn2に供給しないままである。よって、ノードn2は、浮遊状態のままであり、ノードn2の電位は、 $V1 + V_{th101_2} + V_x$ のままになる。つまり、トランジスタ101__2はオンのままになるので、配線112と配線111とはトランジスタ101__2を介して導通状態のままになる。このとき、信号CK1はLレベルからHレベルに上昇するので、配線111の電位が上昇し始める。すると、ノードn2は浮遊状態のままなので、ノードn2の電位は、トランジスタ101__2のゲートと第2端子との間の寄生容量によって上昇する。いわゆる、ブートストラップ動作である。

50

こうして、ノード n_2 の電位は、 $V_2 + V_{th101_2} + V_x$ まで上昇することによって、配線 111 の電位が V_2 まで上昇することが可能になる。このようにして、信号 OUT は、H レベルになる。

【0135】

なお、期間 B2 において、回路 10 は、ノード n_1 に、L レベルの信号又は電圧 V_2 を供給することが可能である。

【0136】

なお、期間 B2 において、回路 10 は、配線 111 に、信号又は電圧などを供給しないことが可能である。

【0137】

次に、期間 C2 において、図 6 (C) に示すように、信号 RE が H レベルになる。よって、回路 10 は、L レベルの信号又は電圧 V_2 をノード n_1 、ノード n_2 、及び／又は、配線 111 に供給する。すると、ノード n_1 の電位、ノード n_2 の電位、及び／又は、配線 111 の電位は、 V_1 になる。よって、トランジスタ 101_1、及びトランジスタ 101_2 はオフになるので、配線 112 と配線 111 とは非導通状態になる。そして、信号 OUT は、L レベルになる。

【0138】

なお、期間 C2 において、ノード n_2 の電位が減少するタイミングよりも、信号 CK1 が L レベルに減少するタイミングの方が早くなるように設定することが可能である。すると、図 6 (E) に示すように、L レベルの信号 CK1 は、配線 112 からトランジスタ 101_2 を介して配線 111 に供給されることが可能である。トランジスタ 101_2 のチャネル幅は、例えば他のトランジスタを有する場合に他のトランジスタのチャネル幅より大きいことが多いので、配線 111 の電位を早く減少させることができる。つまり、信号 OUT の立ち下がり時間を短くすることができる。よって、配線 111 の電位を減少させるためには、例えば回路 10 が L レベルの信号又は電圧 V_1 を配線 111 に供給する場合、L レベルの信号 CK1 が配線 112 からトランジスタ 101_2 を介して配線 111 に供給される場合、または回路 10 が L レベルの信号又は電圧 V_1 を配線 111 に供給し、且つ L レベルの信号 CK1 が配線 112 からトランジスタ 101_2 を介して配線 111 に供給される場合などがある。

【0139】

次に、期間 D2、及び期間 E2 において、図 6 (D) に示すように、回路 10 は、電圧 V_1 又は L レベルの信号をノード n_1 、ノード n_2 、及び／又は、配線 111 に供給する。すると、ノード n_1 の電位、ノード n_2 の電位、及び／又は、配線 111 の電位は、 V_1 のままになる。よって、トランジスタ 101_1、及びトランジスタ 101_2 はオフのままになるので、配線 112 と配線 111 とは非導通状態のままになる。そして、信号 OUT は、L レベルのままになる。

【0140】

以上のように、期間 T1 において、トランジスタ 101_2 はオフになり、期間 T2 において、トランジスタ 101_1 はオフになるので、トランジスタ 101_1、及びトランジスタ 101_2 のそれぞれがオンになる回数、又はトランジスタ 101_1、及びトランジスタ 101_2 のそれぞれがオンになる時間が少なくなる。よって、トランジスタ 101_1、及びトランジスタ 101_2 の特性劣化を抑制することができる。

【0141】

以上のように、本実施の形態の半導体装置は、トランジスタの特性劣化を抑制することができる。また、信号 OUT の H レベルの電位を V_2 まで上昇させることができるので、画素が有するトランジスタのオンになる時間を長くすることができる。この結果、画素に十分な時間の中でビデオ信号を書き込むことができるので、表示品位の向上を図ることができる。又は、信号 OUT の立ち下がり時間、及び立ち上がり時間を短くすることができるので、選択された行に属する画素に、別の行に属する画素へのビデオ信号が書き込まれてしまうことを防止することができる。この結果、表示品位の向上を図ることができる。又

10

20

30

40

50

は、信号OUTの立ち下がり時間のばらつきを抑制することができるので、画素が保持するビデオ信号へのフィードスルーの影響のばらつきを抑制することができる。よって、表示ムラを抑制することができる。

【0142】

又は、本実施の形態の半導体装置では、全てのトランジスタの極性をNチャネル型又はPチャネル型とすることが可能である。したがって、CMOS回路と比較して、工程数の削減、歩留まりの向上、信頼性の向上、又はコストの削減を図ることができる。特に、画素部などを含めて、全てのトランジスタがNチャネル型の場合、トランジスタの半導体層として例えば非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが可能になる。ただし、これらの半導体を用いたトランジスタは、劣化しやすい場合が多い。しかし本実施の形態の半導体装置は、トランジスタの劣化を抑制することができる。

10

【0143】

又は、トランジスタの特性が劣化した場合でも、半導体装置が動作するように、トランジスタのチャネル幅を大きくする必要がない。よって、トランジスタのチャネル幅を小さくすることができる。なぜなら、本実施の形態の半導体装置では、トランジスタの劣化を抑制することができるからである。

【0144】

なお、回路10は、期間C1、期間D1、期間E1、期間A2、期間B2、期間C2、期間D2、及び／又は、期間E2において、Lレベルの信号又は電圧V1をノードn1に供給することが可能であるし、電圧又は信号などをノードn1に供給しないことが可能である。ただし、これに限定されない。

20

【0145】

なお、回路10は、期間A1、期間B1、期間C1、期間D1、期間E1、期間C2、期間D2、及び／又は、期間E2において、Lレベルの信号又は電圧V1をノードn2に供給することが可能であるし、電圧又は信号などをノードn2に供給しないことが可能である。ただし、これに限定されない。

【0146】

なお、回路10は、期間A1、期間C1、期間D1、期間E1、期間A2、期間C2、期間D2、及び／又は、期間E2において、Lレベルの信号又は電圧V1を配線111に供給することが可能であるし、電圧又は信号などを配線111に供給しないことが可能である。ただし、これに限定されない。

30

【0147】

なお、信号CK1、及び信号CK2は、非平衡であることが可能である。図7(A)には、一例として、1周期のうち、Hレベルになる期間がLレベルになる期間よりも短い場合のタイミングチャートを示す。こうすることによって、期間C1、又は期間C2において、Lレベルの信号CK1を配線111に供給されるので、信号OUTの立ち下がり時間を短くすることができる。又は、配線111が画素部に延伸して配置される場合、画素への不正なビデオ信号の書き込みを防止することができる。ただし、これに限定されず、1周期のうち、Hレベルになる期間がLレベルになる期間よりも長いことが可能である。

40

【0148】

なお、本実施の形態の半導体装置には、多相のクロック信号を用いることが可能である。例えば、 n (n は自然数)と示す場合、 $n+1$ 相のクロック信号とは、周期がそれぞれ $1/n+1$ 周期ずつずれた $n+1$ 個のクロック信号のことである。又は、多相のクロック信号のいずれか二つが、各々、配線112、配線113に入力されることが可能である。図7(B)には、一例として、半導体装置に3相のクロック信号を用いる場合のタイミングチャートを示す。ただし、これに限定されない。

【0149】

なお、 n が大きいほど、クロック周波数が小さくなるので、消費電力の低減を図ることができる。ただし、 n が大きすぎると、信号の数が増えるので、レイアウト面積が大きくな

50

ったり、外部回路の規模が大きくなったりする場合がある。よって、 $n < 8$ であることが好ましい。より好ましくは、 $n < 6$ であることが好ましい。さらに好ましくは、 $n = 4$ 、又は $n = 3$ であることが好ましい。ただし、これに限定されない。

【0150】

なお、トランジスタ101__1とトランジスタ101__2とは同様の機能を有するので、トランジスタ101__1のチャンネル幅と、トランジスタ101__2のチャンネル幅とは、おおむね等しいことが好ましい。このように、トランジスタサイズをおおむね等しくすることによって、トランジスタの電流供給能力をおおむね等しくすることができる。又は、トランジスタの劣化の程度をおおむね等しくすることができる。よって、複数のトランジスタを切り替えて用いても、信号OUTの波形をおおむね等しくすることができる。ただし、これに限定されず、トランジスタ101__1のチャンネル幅と、トランジスタ101__2のチャンネル幅とは、異なることが可能である。

10

【0151】

なお、トランジスタのチャンネル幅と記載する場合、これをトランジスタの W/L (W :チャンネル幅、 L :チャンネル長)比と言い換えることが可能である。

【0152】

なお、トランジスタ101__1とトランジスタ101__2とは、同じ期間においてオンになることが可能である。例えば、期間B1又は期間B2において、トランジスタ101__1とトランジスタ101__2とがオンになることによって、一方のトランジスタのみがオンになる場合よりも配線111の電位を早く上昇させることができる。よって、信号OUTの立ち上がり時間を短くすることができる。

20

【0153】

なお、図8(A)に示すように、配線112を配線112A~112Bという複数の配線に分割することが可能である。そして、トランジスタ101__1の第1端子を配線112Aと接続させ、トランジスタ101__2の第1端子を配線112Bと接続させることが可能である。また、配線112A~112Bは、他の配線、又はノードなどと接続させることが可能である。

【0154】

なお、図8(A)と同様に、図4(A)~(B)においても、配線112を複数の配線(例えば配線112A~112B)に分割することが可能である。

30

【0155】

なお、図8(B)に示すように、トランジスタ101__1のゲートと第2端子との間に容量素子121__1を接続し、トランジスタ101__2のゲートとの第2端子との間に容量素子121__2を接続することが可能である。こうすることによって、ブートストラップ動作時に、ノードn1の電位、又はノードn2の電位が上昇しやすくなる。よって、トランジスタ101__1、及びトランジスタ101__2の V_{gs} を大きくすることができるので、これらのトランジスタのチャンネル幅を小さくすることができる。又は、信号OUTの立ち下がり時間、又は立ち上がり時間を短くすることができる。ただし、これに限定されず、容量素子121__1と容量素子121__2との一方を省略することが可能である。又は、容量素子をトランジスタのゲート(ノードn1、ノードn2)と、第2端子(配線112)との間に接続することが可能である。又は、容量素子として、例えばMIS容量を用いることが可能である。

40

【0156】

なお、容量素子121__1、及び容量素子121__2の一方の電極の材料は、例えばトランジスタ101__1、及びトランジスタ101__2のゲートと同様な材料であることが好ましい。容量素子121__1、及び容量素子121__2の他方の電極の材料は、トランジスタ101__1、及びトランジスタ101__2のソース又はドレインと同様な材料であることが好ましい。こうすることによって、レイアウト面積を小さくすることができる。又は、容量値を大きくすることができる。ただし、これに限定されず、容量素子121__1、及び容量素子121__2の一方の電極の材料、及び他方の電極の材料としては、様々な

50

材料を用いることが可能である。

【0157】

なお、容量素子121__1の容量値と、容量素子121__2の容量値とはおおむね等しいことが好ましい。又は、容量素子121__1の一方の電極と他方の電極とが重なる面積と、容量素子121__2の一方の電極と他方の電極とが重なる面積とは、おおむね等しいことが好ましい。こうすることによって、トランジスタを切り替えて用いても、トランジスタ101__1の V_{gs} とトランジスタ101__2の V_{gs} とおおむね等しくすることが可能なので、信号OUTの波形をおおむね等しくすることができる。ただし、これに限定されず、容量素子121__1の容量値と、容量素子121__2の容量値とは、異なることが可能である。又は、容量素子121__1の一方の電極と他方の電極とが重なる面積と、容量素子121__2の一方の電極と他方の電極とが重なる面積とは、異なることが可能である。

10

【0158】

なお、図8(B)と同様に、図4(A)～(B)、及び図8(A)においても、トランジスタ101__1のゲートと第2端子との間に容量素子121__1を接続することが可能である。又は、トランジスタ101__2のゲートと第2端子との間に容量素子121__2を接続することが可能である。

【0159】

なお、図8(C)に示すように、回路100は、トランジスタ101__1～101__Nという複数のトランジスタを有することが可能である。トランジスタ101__1～101__Nの第1端子は、配線112と接続され、トランジスタ101__1～101__Nの第2端子は、配線111と接続される。そして、トランジスタ101__1～101__Nのゲートを、各々、ノード n_1 ～ n_N とする。この図8(C)の構成は、実施の形態1において、スイッチとしてトランジスタを用いる場合の構成に対応する。よって、トランジスタ101__1～101__Nは、スイッチ11__1～11__Nと同様な機能をする。

20

【0160】

なお、Nが大きいほど、それぞれのトランジスタがオンになる回数、又はそれぞれのトランジスタがオンになる時間が短くなるので、トランジスタの特性劣化を抑制することができる。ただし、Nが大きすぎると、トランジスタの数が増えるので、回路規模が大きくなる。よって、 $N < 6$ であることが好ましい。より好ましくは、 $N < 4$ であることが好ましい。さらに好ましくは $N = 3$ 、又は $N = 2$ であることが好ましい。

30

【0161】

なお、図8(C)と同様に、図4(A)～(B)、及び図8(A)～(B)においても、回路100は、トランジスタ101__1～101__Nという複数のトランジスタを有することが可能である。特に、図8(A)において、回路100がトランジスタ101__1～101__Nという複数のトランジスタを有する場合、配線112をN本の配線に分割することが可能である。特に、図8(B)において、回路100がトランジスタ101__1～101__Nという複数のトランジスタを有する場合、トランジスタ101__1～101__Nのゲートとトランジスタ101__1～101__Nの第2端子との間に、各々、容量素子を接続することが可能である。

40

【0162】

なお、図8(D)に示すように、トランジスタ101__1を、一方の端子(以下、正極ともいう)がノード n_1 と接続され、他方の端子(以下、負極ともいう)が配線111と接続されるダイオード101a__1と置き換えることが可能である。同様に、トランジスタ101__2を、一方の端子(以下、正極ともいう)がノード n_2 と接続され、他方の端子(以下、負極ともいう)が配線111と接続されるダイオード101a__2と置き換えることが可能である。ただし、これに限定されず、図8(E)に示すように、トランジスタ101__1の第1端子をノード n_1 に接続することによって、トランジスタ101__1をダイオード接続された構成にすることが可能である。同様に、トランジスタ101__2の第1端子をノード n_2 に接続することによって、トランジスタ101__2をダイオード接

50

続された構成にすることが可能である。

【0163】

なお、図8 (D) ~ (E) と同様に、図4 (A) ~ (B)、及び図8 (A) ~ (C) においても、トランジスタをダイオードに置き換えることが可能である。又は、トランジスタをダイオード接続された構成にすることが可能である。

【0164】

なお、図8 (F) に示すように、出力信号を二つに分割することが可能である。そのために、半導体装置は、回路120を有することが可能である。回路120は、トランジスタ122__1~122__2という複数のトランジスタを有する。回路120は、回路100と同様の機能を有する。トランジスタ122__1~122__2は、各々、トランジスタ101__1~101__2と同様の機能を有する。トランジスタ122__1の第1端子は、配線112と接続され、トランジスタ122__1の第2端子は、配線211と接続され、トランジスタ122__1のゲートは、ノードn1と接続される。トランジスタ122__2の第1端子は、配線112と接続され、トランジスタ122__2の第2端子は、配線211と接続され、トランジスタ122__2のゲートは、ノードn2と接続される。こうして、トランジスタ101__1とトランジスタ122__1とは、同じタイミングで制御され、トランジスタ101__2とトランジスタ122__2とは、同じタイミングで制御されることになる。したがって、配線211から出力される信号は、信号OUTとおおむね等しいタイミングでHレベル又はLレベルとなる。

【0165】

なお、配線111から出力される信号がゲート信号、又は選択信号として機能する場合、配線211から出力される信号は、転送用の信号、リセット信号、又はゲート信号などとして機能することが可能である。このような場合、配線111の負荷は、配線211の負荷よりも大きくなる場合が多いので、トランジスタ101__1のチャンネル幅は、トランジスタ122__1のチャンネル幅よりも大きいことが好ましい。同様に、トランジスタ102__2のチャンネル幅は、トランジスタ122__2のチャンネル幅よりも大きいことが好ましい。ただし、これに限定されない。

【0166】

なお、図8 (F) と同様に、図4 (A) ~ (B)、及び図8 (A) ~ (E) においても、半導体装置は、回路120を有することによって、出力信号を二つに分割することが可能である。そして、回路120は、トランジスタ122__1~122__2という複数のトランジスタを有することが可能である。特に、図8 (C) において、回路100がトランジスタ101__1~101__Nという複数のトランジスタを有する場合、回路120は、N個のトランジスタを有することが可能である。

【0167】

次に、回路10の具体例について説明する。まず、図9 (A) を参照して、回路10が回路200を有する場合の構成について説明する。回路200は、回路10の一部を示す。回路200は、配線114、配線115__1、配線115__2、ノードn1、及びノードn2と接続される。ただし、これに限定されず、回路200は、他の配線、又は他のノードと接続されることが可能である。

【0168】

回路200は、一つ又は二つ以上のトランジスタを有する場合が多い。これらのトランジスタの極性は、トランジスタ101__1~101__2の極性と同じ場合が多く、Nチャンネル型である場合が多い。ただし、これに限定されず、回路200は、Pチャンネル型のトランジスタを有することが可能である。又は、回路200は、Nチャンネル型のトランジスタとPチャンネル型のトランジスタとを有することが可能である。つまり、回路200は、CMOS回路であることが可能である。

【0169】

回路200は、信号SP、信号SEL1、信号SEL2、ノードn1の電位、及びノードn2の電位に応じて、ノードn1、及びノードn2に信号又は電圧を供

給するタイミングを制御する機能を有する。こうして、回路200は、ノードn1の電位、及び／又は、ノードn2の電位を制御する機能を有する。例えば、回路200は、Hレベルの信号又は電圧V2をノードn1、及び／又は、ノードn2に供給する機能を有する。又は、回路200は、Lレベルの信号又は電圧V1をノードn1、及び／又は、ノードn2に供給する機能を有する。又は、回路200は、信号又は電圧などをノードn1、及び／又は、ノードn2に供給しない機能を有する。又は、回路200は、ノードn1の電位、及び／又は、ノードn2の電位を上昇させる機能を有する。又は、回路200は、ノードn1の電位、及び／又は、ノードn2の電位を減少又は維持する機能を有する。又は、回路200は、ノードn1、及び／又は、ノードn2を浮遊状態にする機能を有する。

【0170】

ここで、回路200の一例について、図9(B)を参照して説明する。回路200は、トランジスタ201__1～201__2という複数のトランジスタを有する。トランジスタ201__1の第1端子は、配線115__1と接続され、トランジスタ201__1の第2端子は、トランジスタ101__1のゲートと接続され、トランジスタ201__1のゲートは、配線114と接続される。トランジスタ201__2の第1端子は、配線115__2と接続され、トランジスタ201__2の第2端子は、トランジスタ101__2のゲートと接続され、トランジスタ201__2のゲートは、配線114と接続される。ただし、これに限定されず、回路200としては、様々な構成を用いることが可能である。

【0171】

トランジスタ201__1、及びトランジスタ201__2は、トランジスタ101__1、及びトランジスタ101__2と同じ極性であることが好ましく、Nチャネル型とする。ただし、これに限定されず、トランジスタ201__1、及び／又は、トランジスタ201__2は、Pチャネル型であることが可能である。

【0172】

トランジスタ201__1は、配線114の電位に応じて、配線115__1とノードn1との導通状態を制御する機能を有する。又は、トランジスタ201__1は、配線114の電位に応じて、配線115__1の電位をノードn1に供給する機能を有する。又は、トランジスタ201__1は、信号SPに応じてオンまたはオフになる機能を有し、又は、トランジスタ201__1は、トランジスタ101__1に信号SEL1が入力されるか否かを制御する機能を有する。又はトランジスタ201__1は、オン又はオフになることにより信号OUTの電位状態を設定するか否かを制御する機能を有する。トランジスタ201__2は、配線114の電位に応じて、配線115__2とノードn2との導通状態を制御する機能を有する。又は、トランジスタ201__2は、配線114の電位に応じて、配線115__2の電位をノードn2に供給する機能を有する。又は、トランジスタ201__2は、信号SPに応じてオンまたはオフになる機能を有し、又は、トランジスタ201__2は、トランジスタ101__2に信号SEL2が入力されるか否かを制御する機能を有する。又はトランジスタ201__2は、オン又はオフになることにより信号OUTの電位状態を設定するか否かを制御する機能を有する。

【0173】

図9(A)の半導体装置の動作について説明する。ここでは、一例として回路200の回路構成が図9(B)に示す回路構成である場合について説明する。期間A1において、図10(A)に示すように、信号SPがHレベルになるので、トランジスタ201__1、及びトランジスタ201__2はオンになる。よって、Hレベルの信号SEL1は、配線115__1からトランジスタ201__1を介してノードn1に供給され、Lレベルの信号SEL2は、配線115__2からトランジスタ201__2を介してノードn2に供給される。こうして、ノードn1の電位は上昇し始め、ノードn1の電位はV2となる。その後、ノードn1の電位が配線114の電位(V2)からトランジスタ201__1の閾値電圧(V_{th201_1})を引いた値($V2 - V_{th201_1}$)まで上昇したところで、トランジスタ201__1はオフになる。よって、ノードn1は、電位を $V2 - V_{th201_1}$ に維持したまま、浮遊状態になる。

10

20

30

40

50

【0174】

期間B1～E1において、信号SPがLレベルになるので、トランジスタ201__1、及びトランジスタ201__2はオフになる。よって、配線115__1とノードn1とは非導通状態になり、配線115__2とノードn2とは非導通状態になる。なお、期間B1における半導体装置の模式図を図10（B）に示し、期間C1における半導体装置の模式図を図10（C）に示し、期間D1及び期間E1における半導体装置の模式図を図10（D）に示す。

【0175】

次に、期間A2において、図10（E）に示すように、信号SPがHレベルになるので、トランジスタ201__1、及びトランジスタ201__2はオンになる。よって、Lレベルの信号SEL1は、配線115__1からトランジスタ201__1を介してノードn1に供給され、Hレベルの信号SEL2は、配線115__2からトランジスタ201__2を介してノードn2に供給される。こうして、ノードn1の電位はV1となり、ノードn2の電位は上昇し始める。その後、ノードn2の電位が配線114の電位（V2）からトランジスタ201__2の閾値電圧（Vth201__2）を引いた値（V2－Vth201__2）まで上昇したところで、トランジスタ201__2はオフになる。よって、ノードn2は、電位をV2－Vth201__2に維持したまま、浮遊状態になる。

【0176】

期間B2～E2において、信号SPがLレベルになるので、トランジスタ201__1、及びトランジスタ201__2はオフになる。よって、配線115__1とノードn1とは非導通状態になり、配線115__2とノードn2とは非導通状態になる。なお、期間B2における半導体装置の模式図を図10（F）に示し、期間C2における半導体装置の模式図を図10（G）に示し、期間D2及び期間E2における半導体装置の模式図を図10（H）に示す。

【0177】

以上のように、回路10を構成することにより、回路100のいずれかのトランジスタを選択的にオンまたはオフさせることができる。また、回路100のトランジスタをオフさせる場合にも回路10からオフさせるトランジスタのゲートに電位が与えられるため、浮遊状態になることを抑制することができる。

【0178】

なお、トランジスタ201__1とトランジスタ201__2とは同様の機能を有するので、トランジスタ201__1のチャネル幅と、トランジスタ201__2のチャネル幅とは、おおむね等しいことが好ましい。このように、トランジスタサイズをおおむね等しくすることによって、電流供給能力をおおむね等しくすることができる。又は、トランジスタの劣化の程度をおおむね等しくすることができる。よって、トランジスタを切り替えて用いても、ノードn1の電位とノードn2の電位とおおむね等しくすることができるので、信号OUTの波形をおおむね等しくすることができる。ただし、これに限定されず、トランジスタ201__1のチャネル幅と、トランジスタ201__2のチャネル幅とは、異なることが可能である。

【0179】

なお、トランジスタ201__1の負荷（例えばノードn1）は、トランジスタ101__1の負荷（例えば配線111）よりも小さい場合が多いので、トランジスタ201__1のチャネル幅は、トランジスタ101__1のチャネル幅よりも小さいことが好ましい。同様に、トランジスタ201__2の負荷（例えばノードn2）は、トランジスタ101__2の負荷（例えば配線111）よりも小さい場合が多いので、トランジスタ201__2のチャネル幅は、トランジスタ101__2のチャネル幅よりも小さいことが好ましい。ただし、これに限定されず、トランジスタ201__1のチャネル幅は、トランジスタ101__1のチャネル幅よりも大きいことが可能である。又は、トランジスタ201__2のチャネル幅は、トランジスタ101__2のチャネル幅よりも大きいことが可能である。

【0180】

なお、図 9 (C) に示すように、図 8 (C) のように回路 100 がトランジスタ 101 __ 1 ~ 101 __ N という複数のトランジスタを有する場合、回路 200 は、トランジスタ 201 __ 1 ~ 201 __ N という複数のトランジスタを有することが可能である。トランジスタ 201 __ 1 ~ 201 __ N の第 1 端子は、各々、配線 115 __ 1 ~ 115 __ N と接続される。トランジスタ 201 __ 1 ~ 201 __ N の第 2 端子は、ノード n1 ~ nN と接続される。トランジスタ 201 __ 1 ~ 201 __ N のゲートは、配線 114 と接続される。

【0181】

なお、図 9 (D) に示すように、配線 114 を配線 114 A ~ 114 B という複数の配線に分割することが可能である。よって、配線 114 A ~ 114 B は、配線 114 と同様の機能を有することが可能である。トランジスタ 201 __ 1 のゲートは、配線 114 A と接続され、トランジスタ 201 __ 2 のゲートは、配線 114 B と接続される。この場合、配線 114 A、及び配線 114 B には、各々、おおむね等しい波形の信号が入力されることが可能であるし、別々の信号が入力されることが可能である。

【0182】

なお、図 9 (D) と同様に、図 9 (C) においても、配線 114 を複数の配線に分割することが可能である。

【0183】

なお、図 9 (E) に示すように、トランジスタ 201 __ 1 の第 1 端子と、トランジスタ 201 __ 2 の第 1 端子とは、同じ配線と接続されることが可能である。図 9 (E) の一例では、トランジスタ 201 __ 1 ~ 201 __ 2 の第 1 端子は、配線 115 __ 1 と接続される。ただし、これに限定されず、トランジスタ 201 __ 1 ~ 201 __ 2 の第 1 端子は、他にも様々な配線と接続されることが可能である。例えば、トランジスタ 201 __ 1 ~ 201 __ 2 の第 1 端子は、配線 113、又は信号 CK2 が入力される配線などと接続されることが可能である。

【0184】

なお、図 9 (E) と同様に、図 9 (C) ~ (D) においても、トランジスタ 201 __ 1 ~ 201 __ 2 の第 1 端子は同じ配線と接続されることが可能である。特に、図 9 (C) の場合には、トランジスタ 201 __ 1 ~ 201 __ N の第 1 端子は、同じ配線に接続されることが可能である。

【0185】

なお、図 9 (F) に示すように、トランジスタ 201 __ 1 の第 1 端子が配線 114 と接続され、トランジスタ 201 __ 1 の第 2 端子がノード n1 と接続され、トランジスタ 201 __ 1 のゲートが配線 115 __ 1 と接続されることが可能である。トランジスタ 201 __ 2 の第 1 端子が配線 114 と接続され、トランジスタ 201 __ 2 の第 2 端子がノード n2 と接続され、トランジスタ 201 __ 2 のゲートが配線 115 __ 2 と接続されることが可能である。この場合、期間 T1 において、信号 SEL1 は H レベルであり、信号 SEL2 は L レベルであるとする、トランジスタ 201 __ 1 はオンになり、トランジスタ 201 __ 2 はオフになる。よって、期間 A1 において、H レベルの信号 SP は、配線 114 からトランジスタ 201 __ 1 を介してノード n1 に供給されるので、ノード n1 の電位が上昇する。一方で、期間 T2 において、信号 SEL1 は L レベルであり、信号 SEL2 は H レベルであるとする、トランジスタ 201 __ 1 はオフになり、トランジスタ 201 __ 2 はオンになる。よって、期間 A2 において、H レベルの信号 SP は、配線 114 からトランジスタ 201 __ 2 を介してノード n2 に供給されるので、ノード n2 の電位が上昇する。

【0186】

なお、図 11 (A) に示すように、トランジスタ 201 __ 1 の第 2 端子とノード n1 との間には、ダイオード接続された構成のトランジスタ 202 __ 1 が接続されることが可能である。同様に、トランジスタ 201 __ 2 の第 2 端子とノード n2 との間には、ダイオード接続された構成のトランジスタ 202 __ 2 が接続されることが可能である。トランジスタ 202 __ 1 の第 1 端子は、トランジスタ 201 __ 1 の第 2 端子と接続され、トランジスタ 202 __ 1 の第 2 端子は、ノード n1 と接続され、トランジスタ 202 __ 1 のゲートは、

トランジスタ 201__1 の第 2 端子と接続される。トランジスタ 202__2 の第 1 端子は、トランジスタ 201__2 の第 2 端子と接続され、トランジスタ 202__2 の第 2 端子は、ノード n 2 と接続され、トランジスタ 202__2 のゲートは、トランジスタ 201__2 の第 2 端子と接続される。トランジスタ 201__1、及びトランジスタ 201__2 は、ダイオードとして機能することが可能である。トランジスタ 201__1 は、非導通状態になることによって、ノード n 1 の電位の減少を防ぐ機能を有する。同様に、トランジスタ 201__2 は、非導通状態になることによって、ノード n 2 の電位の減少を防ぐ機能を有する。ただし、これに限定されず、トランジスタ 201__1 の第 2 端子とノード n 1 との間、及び／又は、トランジスタ 201__2 の第 2 端子とノード n 2 との間には、様々な素子、又は回路を接続することが可能である。又は、トランジスタ 201__1 の第 1 端子と配線 115__1 との間、及び／又は、トランジスタ 201__2 の第 1 端子と配線 115__2 との間にも、様々な素子、又は回路を接続することが可能である。例えば、図 11 (B) に示すように、トランジスタ 202__1 は、トランジスタ 201__1 の第 1 端子と配線 115__1 との間に接続されることが可能である。又は、トランジスタ 202__2 は、トランジスタ 201__2 の第 1 端子と配線 115__2 との間に接続されることが可能である。

10

【0187】

なお、図 11 (A) ~ (B) と同様に、図 9 (C) ~ (F) においても、トランジスタ 201__1 の第 2 端子とノード n 1 との間、トランジスタ 201__2 の第 2 端子とノード n 2 との間、トランジスタ 201__1 の第 1 端子と配線 115__1 との間、及び／又は、トランジスタ 201__2 の第 1 端子と配線 115__2 との間には、様々な素子、又は回路を接続することが可能である。図 11 (C) には、一例として、図 9 (F) において、トランジスタ 201__1 の第 2 端子とノード n 1 との間に、ダイオード接続された構成のトランジスタ 202__1 が接続され、トランジスタ 201__2 の第 2 端子とノード n 2 との間に、ダイオード接続された構成のトランジスタ 202__2 が接続される場合の構成を示す。図 11 (D) には、一例として、図 9 (F) において、トランジスタ 201__1 の第 1 端子と配線 114 との間に、ダイオード接続された構成のトランジスタ 202__1 が接続され、トランジスタ 201__2 の第 1 端子と配線 114 との間に、ダイオード接続された構成のトランジスタ 202__1 が接続される場合の構成を示す。

20

【0188】

なお、図 11 (E) に示すように、回路 200 は、トランジスタ 203__1 ~ 203__2 という複数のトランジスタを有することが可能である。トランジスタ 203__1 ~ 203__2 は、トランジスタ 201__1 ~ 201__2 と同じ極性であることが好ましく、N チャネル型であるものとする。ただし、これに限定されず、トランジスタ 203__1 ~ 203__2 は、P チャネル型であることが可能である。トランジスタ 203__1 の第 1 端子は、配線 117 と接続され、トランジスタ 203__1 の第 2 端子は、ノード n 1 と接続され、トランジスタ 203__1 のゲートは、配線 115__2 と接続される。トランジスタ 203__2 の第 1 端子は、配線 117 と接続され、トランジスタ 203__2 の第 2 端子は、ノード n 2 と接続され、トランジスタ 203__2 のゲートは、配線 115__1 と接続される。ただし、これに限定されない。例えば、トランジスタ 203__1 の第 2 端子は、ノード n 2 と接続されることが可能である。又は、トランジスタ 203__2 の第 2 端子は、ノード n 1 と接続されることが可能である。

30

40

【0189】

なお、トランジスタ 203__1 は、信号 SEL 2 に応じて、配線 117 とノード n 1 との導通状態を制御することによって、電圧 V 1 がノード n 1 に供給されるタイミングを制御する機能を有し、スイッチとして機能することが可能である。トランジスタ 203__2 は、信号 SEL 1 に応じて、配線 117 とノード n 2 との導通状態を制御することによって、電圧 V 1 がノード n 2 に供給されるタイミングを制御する機能を有し、スイッチとして機能することが可能である。こうして、期間 T 1 において、トランジスタ 203__2 によって、ノード n 2 に電圧 V 1 が供給される。よって、トランジスタ 201__2 がオフであっても、ノード n 2 の電位を固定することができる。同様に、期間 T 2 において、トラン

50

ジスタ 203__1 によって、ノード n1 に電圧 V1 が供給される。よって、トランジスタ 201__1 がオフであっても、ノード n1 の電位を固定することができる。この結果、ノイズに強い半導体装置を得ることができる。

【0190】

なお、図 11 (F) に示すように、配線 117 を配線 117A ~ 117B という複数の配線に分割することが可能である。トランジスタ 203__1 の第 1 端子、及びトランジスタ 203__2 の第 1 端子は、各々、配線 117A、配線 117B と接続されることが可能である。配線 117A ~ 117B は、様々な配線、様々な素子、又は様々なノードと接続されることが可能である。

【0191】

なお、図 12 (A) に示すように、トランジスタ 203__1 の第 2 端子は、配線 115__1 と接続され、トランジスタ 203__2 の第 2 端子は、配線 115__2 と接続されることが可能である。こうすることによって、トランジスタ 203__1 がオフになる期間（例えば期間 T1）において、トランジスタ 203__1 の第 1 端子には H レベルの信号が入力される。よって、トランジスタ 203__1 には逆バイアスが印加されるので、劣化を抑制することができる。同様に、トランジスタ 203__2 がオフになる期間（例えば期間 T2）において、トランジスタ 203__2 第 1 端子には H レベルの信号が入力される。よって、トランジスタ 203__2 には逆バイアスが印加されるので、劣化を抑制することができる。

【0192】

なお、図 12 (B) に示すように、トランジスタ 203__1、及びトランジスタ 203__2 は、ダイオード接続された構成であることが可能である。例えば、トランジスタ 203__1 の第 1 端子は、配線 115__1 と接続され、トランジスタ 203__1 の第 2 端子は、ノード n1 と接続され、トランジスタ 203__1 のゲートは、ノード n1 と接続される。同様に、トランジスタ 203__2 の第 1 端子は、配線 115__2 と接続され、トランジスタ 203__2 の第 2 端子は、ノード n2 と接続され、トランジスタ 203__2 のゲートは、ノード n2 と接続される。この場合、期間 T1 において、信号 SEL2 が L レベルになると、L レベルの信号 SEL2 は、配線 115__2 からトランジスタ 203__2 を介してノード n2 に供給される。よって、ノード n2 の電位をおおむね V1 になるように固定することができる。一方で、期間 T2 において、信号 SEL1 が L レベルになると、L レベルの信号 SEL1 は、配線 115__1 からトランジスタ 203__1 を介してノード n1 に供給される。よって、ノード n1 の電位をおおむね V1 になるように固定することができる。ただし、これに限定されない。例えば、トランジスタ 203__1 のゲートは、配線 115__1 と接続されることが可能である。又は、トランジスタ 203__2 のゲートは、配線 115__2 と接続されることが可能である。

【0193】

なお、図 11 (E) ~ (F)、及び図 12 (A) ~ (B) と同様に、図 9 (C) ~ (F)、及び図 11 (A) ~ (D) においても、回路 200 は、トランジスタ 203__1 ~ 203__2 を有することが可能である。例えば、図 12 (C) には、図 9 (F) において、回路 200 がトランジスタ 203__1 ~ 203__2 を有する場合の構成を示す。図 12 (D) ~ (E) には、図 11 (A) において、回路 200 がトランジスタ 203__1 ~ 203__2 を有する場合の構成を示す。図 12 (F) には、図 11 (D) において、回路 200 がトランジスタ 203__1 ~ 203__2 を有する場合の構成を示す。

【0194】

なお、トランジスタ 203__1 の第 2 端子、及びトランジスタ 203__2 の第 2 端子は、様々な配線又はノードと接続されることが可能である。例えば、図 12 (E) に示すように、トランジスタ 203__1 の第 2 端子は、トランジスタ 201__1 の第 2 端子と接続されることが可能である。同様に、トランジスタ 203__2 の第 2 端子は、トランジスタ 201__2 の第 2 端子と接続されることが可能である。又は、図 12 (F) に示すように、トランジスタ 203__1 の第 2 端子は、トランジスタ 201__1 の第 1 端子と接続される

ことが可能である。同様に、トランジスタ 203__2 の第 2 端子は、トランジスタ 201__2 の第 1 端子と接続されることが可能である。

【0195】

なお、図 5 (F) に示すように、回路 200 は、トランジスタ 201__1 ~ 201__2 に加え、トランジスタ 203__1 ~ 203__2 という複数のトランジスタを有することが可能である。トランジスタ 203__1 ~ 203__2 は、トランジスタ 201__1 ~ 201__2 と同じ極性であることが好ましく、Nチャネル型であるものとする。ただし、これに限定されず、トランジスタ 203__1 ~ 203__2 は、Pチャネル型であることが可能である。トランジスタ 203__1 の第 1 端子は、配線 114 と接続され、トランジスタ 203__1 の第 2 端子は、ノード n1 と接続され、トランジスタ 203__1 のゲートは、配線 118 と接続される。トランジスタ 203__2 の第 1 端子は、配線 114 と接続され、トランジスタ 203__2 の第 2 端子は、ノード n2 と接続され、トランジスタ 203__2 のゲートは、配線 118 と接続される。配線 118 には、信号 CK2 が入力されるものとする。よって、配線 118 は、信号線又はクロック信号線として機能することが可能である。ただし、これに限定されず、配線 118 には様々な信号、様々な電圧、又は様々な電流を入力することが可能である。トランジスタ 203__1 は、配線 118 の電位に応じて、配線 114 とノード n1 との導通状態を制御する機能を有する。又は、トランジスタ 203__1 は、配線 118 の電位に応じて、配線 114 の電位をノード n1 に供給する機能を有する。トランジスタ 203__2 は、配線 118 の電位に応じて、配線 114 とノード n2 との導通状態を制御する機能を有する。又は、トランジスタ 203__2 は、配線 118 の電位に応じて、配線 114 の電位をノード n2 に供給する機能を有する。ただし、これに限定されず、トランジスタ 203__1 ~ 203__2 は、他にも様々な機能を有することが可能である。

【0196】

なお、トランジスタ 203__1 の第 1 端子とトランジスタ 203__2 の第 1 端子とは、別々の配線と接続されることが可能である。なお、トランジスタ 203__1 のゲートとトランジスタ 203__2 のゲートとは、別々の配線と接続されることが可能である。

【0197】

なお、図 5 (F) と同様に、図 9 (C) ~ (F)、図 11 (A) ~ (F)、及び図 12 (A) ~ (F) においても、トランジスタ 203__1 ~ 203__2 と同様の機能を有するトランジスタを新たに追加することが可能である。

【0198】

なお、図 13 (A) に示すように、トランジスタ 101__1 ~ 101__2、トランジスタ 201__1 ~ 201__2 として、Pチャネル型トランジスタを用いることが可能である。トランジスタ 101 p__1 ~ 101 p__2 は、トランジスタ 101__1 ~ 101__2 に対応し、Pチャネル型である。トランジスタ 102 p__1 ~ 102 p__2 は、トランジスタ 102__1 ~ 102__2 に対応し、Pチャネル型である。そして、図 13 (B) に示すように、トランジスタの極性がPチャネル型の場合、配線 113 に電圧 V1 が供給され、配線 117 には電圧 V2 が供給され、信号 CK1、信号 SP、信号 RE、ノード n1 の電位、ノード n2 の電位、及び信号 OUT は、図 4 (B) のタイミングチャートと比較して反転していることを付記する。

【0199】

なお、図 13 (A) と同様に、図 9 (C) ~ (F)、図 11 (A) ~ (F)、及び図 12 (A) ~ (F) においても、トランジスタとして、Pチャネル型トランジスタを用いることが可能である。

【0200】

(実施の形態 3)

本実施の形態では、実施の形態 2 で述べる回路 10 とは異なる構成の一例について説明する。なお、実施の形態 1 ~ 実施の形態 2 で述べる内容は、その説明を省略する。なお、本実施の形態で述べる内容は、実施の形態 1 ~ 実施の形態 2 で述べる内容と適宜組み合わせ

ることができる。

【0201】

まず、実施の形態2とは異なる回路10の具体例について、図14を参照して説明する。図14の回路10は、回路200に加え、回路300を有する。回路300は、回路10の一部である。なお、回路300の一部は、回路200と共有することができ、回路200の一部は、回路300と共有することが可能である。回路300は、配線113、配線116、配線117、ノードn1、ノードn2、及び／又は、配線111と接続される。ただし、これに限定されず、回路200は、他の配線、又は他のノードと接続されることが可能である。

【0202】

回路300は、一つ又は二つ以上のトランジスタを有する場合が多い。これらのトランジスタの極性は、トランジスタ101__1～101__2の極性と同じ場合が多く、Nチャネル型である場合が多い。ただし、これに限定されず、回路300は、Pチャネル型のトランジスタを有することが可能である。又は、回路300は、Nチャネル型のトランジスタとPチャネル型のトランジスタとを有することが可能である。つまり、回路300は、CMOS回路であることが可能である。

【0203】

回路300は、信号RE、ノードn1の電位、ノードn2の電位、及び／又は、信号OUTの立ち下がり時間に応じて、ノードn1、ノードn2、及び／又は、配線111に信号又は電圧を供給するタイミングを制御する機能を有する。こうして、回路200は、ノードn1の電位、ノードn2の電位、及び／又は、配線111の電位を制御する機能を有する。例えば、回路200は、Lレベルの信号又は電圧V1をノードn1、ノードn2、及び／又は、配線111に供給する機能を有する。

【0204】

次に、回路300の一例について、図15(A)を参照して説明する。図15(A)の一例では、回路300は、トランジスタ301__1～301__2という複数のトランジスタ、トランジスタ302、トランジスタ303__1～303__2という複数のトランジスタ、トランジスタ304、回路310__1～310__2という複数の回路、及び回路320を有する。

【0205】

なお、トランジスタ301__1～301__2、トランジスタ302、トランジスタ303__1～303__2、及びトランジスタ304は、一例としてNチャネル型であるものとする。ただし、これに限定されず、トランジスタ301__1～301__2、トランジスタ302、トランジスタ303__1～303__2、及び／又は、トランジスタ304は、Pチャネル型であることが可能である。

【0206】

なお、一例として、図15(B)に示すように、回路310__1～310__2、及び回路320としては、インバータ回路を用いることが可能である。ただし、これに限定されず、回路310__1～310__2、及び回路320としては、他にも様々な回路を用いることが可能である。

【0207】

次に、図15(A)の回路300の接続関係について説明する。トランジスタ301__1の第1端子は、配線117と接続され、トランジスタ301__1の第2端子は、ノードn1と接続される。トランジスタ301__2の第1端子は、配線117と接続され、トランジスタ301__2の第2端子は、ノードn2と接続される。トランジスタ302の第1端子は、配線117と接続され、トランジスタ302の第2端子は、配線111と接続される。トランジスタ303__1の第1端子は、配線117と接続され、トランジスタ303__1の第2端子は、ノードn1と接続され、トランジスタ303__1のゲートは、配線116と接続される。トランジスタ303__2の第1端子は、配線117と接続され、トランジスタ303__2の第2端子は、ノードn2と接続され、トランジスタ303__2のゲ

10

20

30

40

50

ートは、配線 1 1 6 と接続される。トランジスタ 3 0 4 の第 1 端子は、配線 1 1 7 と接続され、トランジスタ 3 0 4 の第 2 端子は、配線 1 1 1 と接続され、トランジスタ 3 0 4 のゲートは、配線 1 1 6 と接続される。回路 3 1 0 __ 1 は、配線 1 1 3、ノード n 1、配線 1 1 7、及びトランジスタ 3 0 1 __ 1 のゲートと接続される。回路 3 1 0 __ 2 は、配線 1 1 3、ノード n 2、配線 1 1 7、及びトランジスタ 3 0 1 __ 2 のゲートと接続される。回路 3 2 0 は、配線 1 1 3、配線 1 1 1、配線 1 1 7、及びトランジスタ 3 0 2 のゲートと接続される。

【0208】

次に、回路 3 1 0 __ 1 ~ 3 1 0 __ 2、及び回路 3 2 0 が有する機能について説明する。回路 3 1 0 __ 1 は、ノード n 1 の電位に応じて、トランジスタ 3 0 1 __ 1 のゲートの電位を制御することによって、トランジスタ 3 0 1 __ 1 の導通状態を制御する機能を有し、制御回路として機能することが可能である。回路 3 1 0 __ 2 は、ノード n 2 の電位に応じて、トランジスタ 3 0 1 __ 2 のゲートの電位を制御することによって、トランジスタ 3 0 1 __ 2 の導通状態を制御する機能を有し、制御回路として機能することが可能である。回路 3 2 0 は、配線 1 1 1 の電位に応じて、トランジスタ 3 0 2 のゲートの電位を制御することによって、トランジスタ 3 0 2 の導通状態を制御する機能を有し、制御回路として機能することが可能である。ただし、これに限定されず、回路 3 1 0 __ 1 ~ 3 1 0 __ 2、及び回路 3 2 0 は、他にも様々な機能を有することが可能である。

【0209】

次に、トランジスタ 3 0 1 __ 1 ~ 3 0 1 __ 2、トランジスタ 3 0 2、トランジスタ 3 0 3 __ 1 ~ 3 0 3 __ 2、及びトランジスタ 3 0 4 が有する機能について説明する。トランジスタ 3 0 1 __ 1 は、回路 3 1 0 __ 1 の出力信号に応じて、配線 1 1 7 とノード n 1 との導通状態を制御することによって、電圧 V 1 をノード n 1 に供給するタイミングを制御する機能を有し、スイッチとして機能することが可能である。トランジスタ 3 0 1 __ 2 は、回路 3 1 0 __ 2 の出力信号に応じて、配線 1 1 7 とノード n 2 との導通状態を制御することによって、電圧 V 1 をノード n 2 に供給するタイミングを制御する機能を有し、スイッチとして機能することが可能である。トランジスタ 3 0 2 は、回路 3 2 0 の出力信号に応じて、配線 1 1 7 と配線 1 1 1 との導通状態を制御することによって、電圧 V 1 を配線 1 1 1 に供給するタイミングを制御する機能を有し、スイッチとして機能することが可能である。トランジスタ 3 0 3 __ 1 は、信号 R E に応じて、配線 1 1 7 とノード n 1 との導通状態を制御することによって、電圧 V 1 をノード n 1 に供給するタイミングを制御する機能を有し、スイッチとして機能することが可能である。トランジスタ 3 0 3 __ 2 は、信号 R E に応じて、配線 1 1 7 とノード n 2 との導通状態を制御することによって、電圧 V 1 をノード n 2 に供給するタイミングを制御する機能を有し、スイッチとして機能することが可能である。トランジスタ 3 0 4 は、信号 R E に応じて、配線 1 1 7 と配線 1 1 1 との導通状態を制御することによって、電圧 V 1 を配線 1 1 1 に供給するタイミングを制御する機能を有し、スイッチとして機能することが可能である。ただし、これに限定されず、トランジスタ 3 0 1 __ 1 ~ 3 0 1 __ 2、トランジスタ 3 0 2、トランジスタ 3 0 3 __ 1 ~ 3 0 3 __ 2、及びトランジスタ 3 0 4 は、他にも様々な機能を有することが可能である。

【0210】

次に、図 1 5 (A) の回路 3 0 0 の動作の一例について説明する。なお、図 1 5 (A) の半導体装置の動作は、図 4 (A) の半導体装置の動作と共通する部分があるため、図 4 (C) のタイミングチャートを参照して説明する。なお、実施の形態 1 ~ 実施の形態 2 と共通するところは、その説明を省略する。

【0211】

まず、期間 A 1 において、図 1 6 (A) に示すように、信号 R E は L レベルになるので、トランジスタ 3 0 3 __ 1 ~ 3 0 3 __ 2、及びトランジスタ 3 0 4 はオフになる。回路 3 1 0 __ 1 の出力信号は、ノード n 1 の電位が例えば $V_2 + V_{th101} + V_x$ になるので、L レベルになる。よって、トランジスタ 3 0 1 __ 1 はオフになる。回路 3 1 0 __ 2 の出力信号は、ノード n 2 の電位がおおむね V 1 になるので、H レベルになる。よって、ト

10

20

30

40

50

ランジスタ 301__2 はオンになる。回路 320 の出力信号は、配線 111 の電位がおおむね V_1 になるので、H レベルになる。よって、トランジスタ 302 はオンになる。この結果、配線 117 とノード n_1 とは非導通状態になり、配線 117 とノード n_2 とはトランジスタ 301__2 を介して導通状態になり、配線 117 と配線 111 とはトランジスタ 302 を介して導通状態になる。よって、電圧 V_1 は、配線 117 からトランジスタ 301__2 を介してノード n_2 に供給される。電圧 V_1 は、配線 117 からトランジスタ 302 を介して配線 111 に供給される。

【0212】

一方で、期間 A2 では、図 16 (B) に示すように、回路 310__1 の出力信号は、ノード n_1 の電位がおおむね V_1 になるので、H レベルになり、回路 310__2 の出力信号は、ノード n_2 の電位が例えば $V_2 + V_{th101_2} + V_x$ になるので、L レベルになるところが、期間 A1 とは異なる。よって、トランジスタ 301__1 はオンになり、トランジスタ 301__2 はオフになる。この結果、配線 117 とノード n_1 とはトランジスタ 301__1 を介して導通状態になり、配線 117 とノード n_2 とは非導通状態になる。よって、電圧 V_1 は、配線 117 を介してノード n_1 に供給される。

【0213】

次に、期間 B1 において、図 16 (C) に示すように、信号 RE は L レベルのままなので、トランジスタ 303__1 ~ 303__2、及びトランジスタ 304 はオフのままである。回路 310__1 の出力信号は、ノード n_1 の電位が例えば $V_2 + V_{th101_1} + V_x$ のままなので、L レベルのままである。よって、トランジスタ 301__1 はオフのままになる。回路 310__2 の出力信号は、ノード n_2 の電位がおおむね V_1 のままなので、H レベルのままになる。よって、トランジスタ 301__2 はオンのままになる。回路 320 の出力信号は、配線 111 の電位がおおむね V_2 になるので、L レベルになる。よって、トランジスタ 302 はオフになる。この結果、配線 117 とノード n_1 とは非導通状態のままになり、配線 117 とノード n_2 とはトランジスタ 301__2 を介して導通状態のままになり、配線 117 と配線 111 とは非導通状態になる。よって、電圧 V_1 は、配線 117 からトランジスタ 301__2 を介してノード n_2 に供給される。

【0214】

一方で、期間 B2 では、図 17 (A) に示すように、回路 310__1 の出力信号は、ノード n_1 の電位がおおむね V_1 のままなので、L レベルのままになり、回路 310__2 の出力信号は、ノード n_2 の電位が例えば $V_2 + V_{th101_2} + V_x$ のままなので、L レベルのままになるところが、期間 B1 とは異なる。よって、トランジスタ 301__1 はオンのままになり、トランジスタ 301__2 はオフのままになる。この結果、配線 117 とノード n_1 とはトランジスタ 301__1 を介して導通状態のままになり、配線 117 とノード n_2 とは非導通状態のままになる。よって、電圧 V_1 は、配線 117 を介してノード n_1 に供給される。

【0215】

次に、期間 C1、及び期間 C2 において、図 17 (B) に示すように、信号 RE は H レベルになるので、トランジスタ 303__1 ~ 303__2、及びトランジスタ 304 はオンになる。回路 310__1 の出力信号は、ノード n_1 の電位がおおむね V_1 になるので、H レベルになる。よって、トランジスタ 301__1 はオンになる。回路 310__2 の出力信号は、ノード n_2 の電位がおおむね V_1 になるので、H レベルになる。よって、トランジスタ 301__2 はオンになる。回路 320 の出力信号は、配線 111 の電位がおおむね V_1 になるので、H レベルになる。よって、トランジスタ 302 はオンになる。この結果、配線 117 とノード n_1 とはトランジスタ 301__1 及びトランジスタ 303__1 を介して導通状態になり、配線 117 とノード n_2 とはトランジスタ 301__2 及びトランジスタ 303__2 を介して導通状態になり、配線 117 と配線 111 とはトランジスタ 302 及びトランジスタ 304 を介して導通状態になる。よって、電圧 V_1 は、配線 117 からトランジスタ 301__1 及びトランジスタ 303__1 を介してノード n_1 に供給される。電圧 V_1 は、配線 117 からトランジスタ 301__2 及びトランジスタ 303__2 を介して

10

20

30

40

50

ノードn2に供給される。電圧V1は、配線117からトランジスタ302及びトランジスタ304を介して配線111に供給される。

【0216】

次に、期間D1、期間D2、期間E1、期間E2において、図17(C)に示すように、信号REはLレベルになるので、トランジスタ303__1～303__2、及びトランジスタ304はオフになる。回路310__1の出力信号は、ノードn1の電位がおおむねV1のままなので、Hレベルのままである。よって、トランジスタ301__1はオンのままになる。回路310__2の出力信号は、ノードn2の電位がおおむねV1のままなので、Hレベルのままになる。よって、トランジスタ301__2はオンのままになる。回路320の出力信号は、配線111の電位がおおむねV1のままなので、Hレベルのままになる。よって、トランジスタ302はオンのままになる。この結果、配線117とノードn1とはトランジスタ301__1を介して導通状態のままになり、配線117とノードn2とはトランジスタ301__2を介して導通状態のままになり、配線117と配線111とはトランジスタ302を介して導通状態のままになる。よって、電圧V1は、配線117からトランジスタ301__1を介してノードn1に供給される。電圧V1は、配線117からトランジスタ301__2を介してノードn2に供給される。電圧V1は、配線117からトランジスタ302を介して配線111に供給される。

【0217】

なお、トランジスタ301__1～301__2は、互いに同様の機能を有するので、これらのチャンネル幅はおおむね等しいことが好ましい。同様に、トランジスタ303__1～303__2は、同様の機能を有するので、これらのチャンネル幅はおおむね等しいことが好ましい。ただし、これに限定されず、トランジスタ301__1～301__2は、互いにチャンネル幅が異なる構造とすることが可能である。又は、トランジスタ303__1～303__2は、互いにチャンネル幅が異なる構造とすることが可能である。

【0218】

なお、トランジスタ301__1～301__2は、ノードn1～n2に電圧V1を供給するタイミングを制御する機能を有し、トランジスタ302は、配線111に電圧V1を供給するタイミングを制御する機能を有する。ノードn1～n2の負荷は、配線111の負荷よりも小さい場合が多いので、トランジスタ301__1～301__2のチャンネル幅は、トランジスタ302のチャンネル幅よりも小さいことが好ましい。同様の理由で、トランジスタ303__1～303__2のチャンネル幅は、トランジスタ304のチャンネル幅よりも小さいことが好ましい。ただし、これに限定されず、トランジスタ301__1～301__2のチャンネル幅は、トランジスタ302のチャンネル幅よりも大きい、又はおおむね等しいことが可能である。又は、トランジスタ303__1～303__2のチャンネル幅は、トランジスタ304のチャンネル幅よりも大きい、又はおおむね等しいことが可能である。

【0219】

なお、図18(A)に示すように、実施の形態1～実施の形態2と同様に、配線117を配線117C～117Kという複数の配線に分割することが可能である。配線117C、配線117D、配線117E、配線117F、配線117G、配線117H、配線117I、配線117J、及び配線117Kは、各々、トランジスタ303__1の第1端子、トランジスタ303__2の第1端子、トランジスタ304の第1端子、回路310__1、トランジスタ301__1の第1端子、回路310__2、トランジスタ301__2の第1端子、回路320、トランジスタ302の第1端子と接続されることが可能である。配線117C～117Kは、配線111、配線112、配線113、配線114、配線115__1～115__2、配線116、配線118、若しくは配線211などの様々な配線、又はノードn1～n2などの様々なノードと接続されることが可能である。ただし、これに限定されず、配線113も同様に複数の配線に分割することが可能である。

【0220】

なお、図18(B)に示すように、トランジスタ303__1の第1端子、トランジスタ303__2の第1端子、及びトランジスタ304の第1端子は、配線118と接続されるこ

とが可能である。

【0221】

なお、図18 (C) に示すように、トランジスタ304を省略することが可能である。ただし、これに限定されず、トランジスタ303__1、及び／又は、トランジスタ303__2を省略することが可能である。

【0222】

なお、図18 (C) と同様に、図18 (A) ～ (B) においても、トランジスタ303__1、トランジスタ303__2、及び／又は、トランジスタ304を省略することが可能である。

【0223】

なお、図19 (A) に示すように、回路320、及びトランジスタ302を省略することが可能である。ただし、これに限定されず、回路310__1、及びトランジスタ301__1を省略することが可能であるし、回路310__1、及びトランジスタ301__2を省略することが可能である。

【0224】

なお、図19 (A) と同様に、図18 (A) ～ (C) においても、回路310__1、及びトランジスタ301__1を省略することが可能であるし、回路310__1、及びトランジスタ301__2を省略することが可能であるし、回路320、及びトランジスタ302を省略することが可能である。

【0225】

なお、図19 (B) に示すように、トランジスタ301__1を、一方の端子（以下、正極ともいう）がノードn1と接続され、他方の端子（以下、負極ともいう）が回路310__1の出力端子と接続されるダイオード301a__1と置き換えることが可能である。又は、トランジスタ301__2を、一方の端子（以下、正極ともいう）がノードn2と接続され、他方の端子（以下、負極ともいう）が回路310__2の出力端子と接続されるダイオード301a__2と置き換えることが可能である。又は、トランジスタ302を、一方の端子（以下、正極ともいう）が配線111と接続され、他方の端子（以下、負極ともいう）が回路320の出力端子と接続されるダイオード302aと置き換えることが可能である。又は、トランジスタ303__1を、一方の端子（以下、正極ともいう）がノードn1と接続され、他方の端子（以下、負極ともいう）が配線116と接続されるダイオード303a__1と置き換えることが可能である。又は、トランジスタ303__2を、一方の端子（以下、正極ともいう）がノードn2と接続され、他方の端子（以下、負極ともいう）が配線116と接続されるダイオード303a__2と置き換えることが可能である。又は、トランジスタ304を、一方の端子（以下、正極ともいう）が配線111と接続され、他方の端子（以下、負極ともいう）が配線116と接続されるダイオード304aと置き換えることが可能である。ただし、これに限定されず、各トランジスタのゲートと、第2端子と接続することによって、トランジスタをダイオード接続させた構成にすることが可能である。又は、各トランジスタのゲートと、第1端子と接続することによって、トランジスタをダイオード接続させた構成にすることが可能である。

【0226】

なお、図19 (B) と同様に、図18 (A) ～ (C) 、及び図19 (A) においても、トランジスタ301__1～301__2、トランジスタ302、トランジスタ303__1～303__2、及び／又は、トランジスタ304をダイオードに置き換えることが可能である。又は、これらのトランジスタを、ダイオード接続された構成にすることが可能である。

【0227】

なお、図19 (C) に示すように、トランジスタ301__1～301__2、及びトランジスタ302の導通状態を制御するための回路をトランジスタ301__1～301__2、及びトランジスタ302で共有することが可能である。回路330は、ノードn1～n2の電位に応じて、トランジスタ301__1～301__2、及びトランジスタ302のゲートの電位を制御することによって、トランジスタ301__1～301__2、及びトランジスタ

10

20

30

40

50

タ 3 0 2 の導通状態を制御する機能を有し、制御回路として機能することが可能である。図 4 (C) に示す期間 A 1、期間 A 2、期間 B 1、及び期間 B 2 では、回路 3 3 0 の出力信号は、ノード n 1 の電位又はノード n 2 の電位が V 1 よりも高い電位なので、L レベルになる。よって、トランジスタ 3 0 1 __ 1 ~ 3 0 1 __ 2、及びトランジスタ 3 0 2 はオフになる。期間 C 1、期間 C 2、期間 D 1、期間 D 2、期間 E 1、及び期間 E 2 では、回路 3 3 0 の出力信号は、ノード n 1 の電位又はノード n 2 の電位がおおむね V 1 なので、H レベルになる。よって、トランジスタ 3 0 1 __ 1 ~ 3 0 1 __ 2、及びトランジスタ 3 0 2 はオンになる。

【0228】

なお、図 1 9 (C) と同様に、図 1 8 (A) ~ (C)、及び図 1 9 (A) ~ (B) においても、トランジスタ 3 0 1 __ 1 ~ 3 0 1 __ 2、及びトランジスタ 3 0 2 の導通状態を制御するための回路を共有することが可能である。

【0229】

なお、図 2 0 (A) に示すように、図 1 0 (C) のように回路 1 0 0 がトランジスタ 1 0 1 __ 1 ~ 1 0 1 __ N という複数のトランジスタを有する場合、回路 3 0 0 は、トランジスタ 3 0 1 __ 1 ~ 3 0 1 __ N という複数のトランジスタ、トランジスタ 3 0 3 __ 1 ~ 3 0 3 __ N という複数のトランジスタ、及び回路 3 1 0 __ 1 ~ 3 1 0 __ N という複数の回路を有することが可能である。トランジスタ 3 0 1 __ 1 ~ 3 0 1 __ N は、トランジスタ 3 0 1 __ 1 又はトランジスタ 3 0 1 __ 2 に対応し、同様の機能を有する。トランジスタ 3 0 3 __ 1 ~ 3 0 3 __ N は、トランジスタ 3 0 3 __ 1 又はトランジスタ 3 0 3 __ 2 に対応し、同様の機能を有する。回路 3 1 0 __ 1 ~ 3 1 0 __ N は、回路 3 1 0 __ 1 又は回路 3 1 0 __ 2 に対応し、同様の機能を有する。トランジスタ 3 0 1 __ 1 ~ 3 0 1 __ N の第 1 端子は、配線 1 1 7 と接続される。トランジスタ 3 0 1 __ 1 ~ 3 0 1 __ N の第 2 端子は、各々、ノード n 1 ~ n N と接続される。トランジスタ 3 0 1 __ 1 ~ 3 0 1 __ N のゲートは、各々、回路 3 1 0 __ 1 ~ 3 1 0 __ N の出力端子と接続される。トランジスタ 3 0 3 __ 1 ~ 3 0 3 __ N の第 1 端子は、配線 1 1 7 と接続される。トランジスタ 3 0 3 __ 1 ~ 3 0 3 __ N の第 2 端子は、各々、ノード n 1 ~ n N と接続される。トランジスタ 3 0 3 __ 1 ~ 3 0 3 __ N のゲートは、配線 1 1 6 と接続される。

【0230】

なお、図 2 0 (A) と同様に、図 1 8 (A) ~ (C)、及び図 1 9 (A) ~ (C) においても、回路 3 0 0 は、トランジスタ 3 0 1 __ 1 ~ 3 0 1 __ N という複数のトランジスタ、トランジスタ 3 0 3 __ 1 ~ 3 0 3 __ N という複数のトランジスタ、及び／又は、回路 3 1 0 __ 1 ~ 3 1 0 __ N という複数の回路を有することが可能である。

【0231】

なお、図 8 (F) のように半導体装置が回路 1 2 0 を有する場合、図 2 0 (B) に示すように、回路 3 0 0 は、トランジスタ 3 4 2、及びトランジスタ 3 4 4 を有することが可能である。トランジスタ 3 4 2 は、トランジスタ 3 0 2 に対応し、同様の機能を有する。トランジスタ 3 4 4 は、トランジスタ 3 0 4 に対応し、同様の機能を有する。トランジスタ 3 4 2 の第 1 端子は、配線 1 1 7 と接続され、トランジスタ 3 4 2 の第 2 端子は、配線 2 1 1 と接続され、トランジスタ 3 4 2 のゲートは、トランジスタ 3 0 2 のゲートと接続される。トランジスタ 3 4 4 の第 1 端子は、配線 1 1 7 と接続され、トランジスタ 3 4 4 の第 2 端子は、配線 2 1 1 と接続され、トランジスタ 3 4 4 のゲートは、配線 1 1 6 と接続される。

【0232】

なお、図 2 0 (B) と同様に、図 1 8 (A) ~ (C)、図 1 9 (A) ~ (C)、及び図 2 0 (A) においても、回路 3 0 0 は、トランジスタ 3 4 2、及び／又は、トランジスタ 3 4 4 を有することが可能である。

【0233】

なお、図 2 1 に示すように、トランジスタ 3 0 1 __ 1 ~ 3 0 1 __ 2、トランジスタ 3 0 2、トランジスタ 3 0 3 __ 1 ~ 3 0 3 __ 2、及びトランジスタ 3 0 4 として、P チャネル型

トランジスタを用いることが可能である。トランジスタ 301p_1 ~ 301p_2、トランジスタ 302p、トランジスタ 303p_1 ~ 303p_2、及びトランジスタ 304p は、各々、トランジスタ 301_1 ~ 301_2、トランジスタ 302、トランジスタ 303_1 ~ 303_2、及びトランジスタ 304 に対応し、Pチャネル型である。なお、トランジスタの極性がPチャネル型の場合、配線 113 に電圧 V1 が供給され、配線 117 には電圧 V2 が供給され、回路 310_1 の出力信号、回路 310_2 の出力信号、回路 320 の出力信号、ノード n1 の電位、ノード n2 の電位、及び信号 OUT は、トランジスタの極性がNチャネル型の場合と比較して反転していることを付記する。

【0234】

なお、図 21 と同様に、図 18 (A) ~ (C)、図 19 (A) ~ (C)、及び図 20 (A) ~ (B) においても、トランジスタとして、Pチャネル型トランジスタを用いることが可能である。

【0235】

次に、回路 310_1 ~ 310_2、及び回路 320 の具体例について説明する。

【0236】

まず、図 22 (A) には、回路 310_1 の一例を示す。回路 310_1 は、トランジスタ 311_1、及びトランジスタ 312_1 を有する。トランジスタ 311_1 の第 1 端子は、配線 113 と接続され、トランジスタ 311_1 の第 2 端子は、トランジスタ 301_1 のゲートと接続され、トランジスタ 311_1 のゲートは、配線 113 と接続される。トランジスタ 312_1 の第 1 端子は、配線 117 と接続され、トランジスタ 312_2 の第 2 端子は、トランジスタ 301_1 のゲートと接続され、トランジスタ 312_2 のゲートは、ノード n1 と接続される。トランジスタ 311_1、及びトランジスタ 312_1 は、Nチャネル型であるものとする。ただし、これに限定されず、トランジスタ 311_1、及び／又は、トランジスタ 312_1 は、Pチャネル型であることが可能である。トランジスタ 311_1 は、トランジスタ 301_1 のゲートの電位がおおむね V1 になる場合に、トランジスタ 301_1 のゲートの電位を上昇させる機能を有し、ダイオードとして機能することが可能である。トランジスタ 312_1 は、ノード n1 の電位に応じて、配線 117 とトランジスタ 301_1 との導通状態を制御することによって、電圧 V1 をトランジスタ 301_1 のゲートに供給するタイミングを制御する機能を有し、スイッチとして機能することが可能である。

【0237】

図 22 (A) に示す回路 310_1 の動作について説明する。期間 A1 及び期間 B1 において、ノード n1 の電位はトランジスタ 312_1 の閾値電圧よりも高い値になるので、トランジスタ 312_1 はオンになる。よって、トランジスタ 312_1 のチャネル幅をトランジスタ 311_1 のチャネル幅よりも大きくすることによって、トランジスタ 301_1 のゲートの電位はおおむね V1 になる。例えば、トランジスタ 301_1 のゲートの電位は、配線 117 の電位 (V1) とトランジスタ 301_1 の閾値電圧 (V_{th301_1}) との和よりも小さい値になる。期間 A2、期間 B2、期間 C1、期間 C2、期間 D1、期間 D2、期間 E1、及び期間 E2 において、ノード n1 の電位はおおむね V1 になるので、トランジスタ 312_1 はオフになる。よって、トランジスタ 301_1 のゲートの電位は、配線 113 の電位 (V2) からトランジスタ 311_1 の閾値電圧 (V_{th311_1}) を引いた値 ($V2 - V_{th311_1}$) になる。

【0238】

なお、トランジスタ 312_1 のチャネル幅は、トランジスタ 311_1 のチャネル幅の 2 倍以上であることが好ましい。より好ましくは、4 倍以上であることが好ましい。さらに好ましくは、8 倍以上であることが好ましい。ただし、これに限定されない。

【0239】

なお、トランジスタ 311_1 のゲート及び第 1 端子は、様々な配線と接続されることが可能である。例えば、トランジスタ 311_1 のゲート及び第 1 端子は、配線 112 又は配線 118 と接続されることが可能である。ただし、これに限定されない。

【0240】

なお、トランジスタ312__1の第1端子は、様々な配線と接続されることが可能である。例えば、トランジスタ312__1の第1の配線は、配線115__2と接続されることが可能である。ただし、これに限定されない。

【0241】

なお、図22(B)に示すように、回路310__1は、トランジスタ311__1、及びトランジスタ312__1に加え、トランジスタ313__1及びトランジスタ314__1を有することが可能である。トランジスタ313__1の第1端子は、配線113と接続され、トランジスタ313__1の第2端子は、トランジスタ301__1のゲートと接続され、トランジスタ313__1のゲートは、トランジスタ311__1の第2端子及びトランジスタ312__1の第2端子と接続される。トランジスタ311__1、及びトランジスタ312__1は、Nチャネル型であるものとする。ただし、これに限定されず、トランジスタ311__1、及び／又はトランジスタ312__1は、Pチャネル型であることが可能である。トランジスタ313__1は、配線113に供給される電圧をトランジスタ301__1に供給するタイミングを制御する機能を有し、ブートストラップ用トランジスタ、又はスイッチとして機能することが可能である。トランジスタ314__1の第1端子は、配線117に接続され、トランジスタ314__1の第2端子は、トランジスタ313__1の第2端子に接続され、トランジスタ314__1のゲートは、ノードn1に接続される。トランジスタ314__1は、ノードn1の電位に応じて、配線117とトランジスタ301__1との導通状態を制御することによって、電圧V1をトランジスタ301__1のゲートに供給するタイミングを制御する機能を有し、スイッチとして機能することが可能である。

【0242】

なお、トランジスタ313__1の第1端子は、様々な配線と接続されることが可能である。例えば、トランジスタ313__1の第1端子は、配線112又は配線118と接続されることが可能である。ただし、これに限定されない。

【0243】

なお、トランジスタ314__1の第1端子は、様々な配線と接続されることが可能である。例えば、トランジスタ314__1の第1の配線は、配線115__2と接続されることが可能である。ただし、これに限定されない。

【0244】

なお、図22(B)において、図22(C)に示すように、トランジスタ313__1のゲートと第2端子との間に、容量素子315__1を接続することが可能である。

【0245】

なお、図22(D)に示すように、回路300は、トランジスタ316__1を有することが可能である。トランジスタ316__1の第1端子は、配線117と接続され、トランジスタ316__1の第2端子は、トランジスタ301__1のゲートと接続され、トランジスタ316__1のゲートは、配線114と接続される。トランジスタ316__1は、Nチャネル型であるものとする。ただし、これに限定されず、トランジスタ316__1は、Pチャネル型であることが可能である。トランジスタ316__1は、信号SPに応じて、配線117とトランジスタ301__1のゲートとの間の導通状態を制御することによって、電圧V1がトランジスタ301__1に供給されるタイミングを制御する機能を有する。

【0246】

なお、図22(D)と同様に、図22(B)～(C)においても、第1端子が配線117と接続され、第2端子がトランジスタ301__1のゲートと接続され、ゲートが配線114と接続されるトランジスタ316__1を新たに追加することが可能である。

【0247】

次に、図23(A)に回路310__2の一例を示す。回路310__2は、トランジスタ311__2、及びトランジスタ312__2を有する。トランジスタ311__2の第1端子は、配線113と接続され、トランジスタ311__2の第2端子は、トランジスタ301__2のゲートと接続され、トランジスタ311__2のゲートは、配線113と接続される。

トランジスタ 3 1 2 __ 2 の第 1 端子は、配線 1 1 7 と接続され、トランジスタ 3 1 2 __ 2 の第 2 端子は、トランジスタ 3 0 1 __ 2 のゲートと接続され、トランジスタ 3 1 2 __ 2 のゲートは、ノード n 2 と接続される。トランジスタ 3 1 1 __ 2、及びトランジスタ 3 1 2 __ 2 は、N チャネル型であるものとする。ただし、これに限定されず、トランジスタ 3 1 1 __ 2、及び／又は、トランジスタ 3 1 2 __ 2 は、P チャネル型であることが可能である。トランジスタ 3 1 1 __ 2 は、トランジスタ 3 0 1 __ 2 のゲートの電位がおおむね V 1 となる場合に、トランジスタ 3 0 1 __ 2 のゲートの電位を上昇させる機能を有し、ダイオードとして機能することが可能である。トランジスタ 3 1 2 __ 2 は、ノード n 2 の電位に応じて、配線 1 1 7 とトランジスタ 3 0 1 __ 2 との導通状態を制御することによって、電圧 V 1 をトランジスタ 3 0 1 __ 2 のゲートに供給するタイミングを制御する機能を有し、スイッチとして機能することが可能である。

10

【0 2 4 8】

図 2 3 (A) に示す回路 3 1 0 __ 2 の動作について説明する。期間 A 1 及び期間 B 1 において、ノード n 2 の電位はトランジスタ 3 1 2 __ 2 の閾値電圧より高い値になるので、トランジスタ 3 1 2 __ 2 はオンになる。よって、トランジスタ 3 1 2 __ 2 のチャネル幅をトランジスタ 3 1 1 __ 2 のチャネル幅よりも大きくすることによって、トランジスタ 3 0 1 __ 2 のゲートの電位はおおむね V 1 になる。例えば、トランジスタ 3 0 1 __ 2 のゲートの電位は、配線 1 1 7 の電位 (V 1) とトランジスタ 3 0 1 __ 2 の閾値電圧 (V t h 3 0 1 __ 2) との和よりも小さい値になる。期間 A 2、期間 B 2、期間 C 1、期間 C 2、期間 D 1、期間 D 2、期間 E 1、及び期間 E 2 において、ノード n 2 の電位はおおむね V 1 になるので、トランジスタ 3 1 2 __ 2 はオフになる。よって、トランジスタ 3 0 1 __ 2 のゲートの電位は、配線 1 1 3 の電位 (V 2) からトランジスタ 3 1 1 __ 2 の閾値電圧 (V t h 3 1 1 __ 2) を引いた値 (V 2 - V t h 3 1 1 __ 2) になる。

20

【0 2 4 9】

なお、トランジスタ 3 1 2 __ 2 のチャネル幅は、トランジスタ 3 1 1 __ 2 のチャネル幅の 2 倍以上であることが好ましい。より好ましくは、4 倍以上であることが好ましい。さらに好ましくは、8 倍以上であることが好ましい。ただし、これに限定されない。

【0 2 5 0】

なお、トランジスタ 3 1 1 __ 2 のゲート及び第 1 端子は、様々な配線と接続されることが可能である。例えば、トランジスタ 3 1 1 __ 2 のゲート及び第 1 端子は、配線 1 1 2 又は配線 1 1 8 と接続されることが可能である。ただし、これに限定されない。

30

【0 2 5 1】

なお、トランジスタ 3 1 2 __ 2 の第 1 端子は、様々な配線と接続されることが可能である。例えば、トランジスタ 3 1 2 __ 2 の第 1 の端子は、配線 1 1 5 __ 1 と接続されることが可能である。ただし、これに限定されない。

【0 2 5 2】

なお、図 2 3 (B) に示すように、回路 3 1 0 __ 2 は、トランジスタ 3 1 1 __ 2、及びトランジスタ 3 1 2 __ 2 に加え、トランジスタ 3 1 3 __ 2 及びトランジスタ 3 1 4 __ 2 を有することが可能である。トランジスタ 3 1 3 __ 2 の第 1 端子は、配線 1 1 3 と接続され、トランジスタ 3 1 3 __ 2 の第 2 端子は、トランジスタ 3 0 1 __ 2 のゲートと接続され、トランジスタ 3 1 3 __ 2 のゲートは、トランジスタ 3 1 1 __ 2 の第 2 端子及びトランジスタ 3 1 2 __ 2 の第 2 端子と接続される。トランジスタ 3 1 1 __ 2、及びトランジスタ 3 1 2 __ 2 は、N チャネル型であるものとする。ただし、これに限定されず、トランジスタ 3 1 1 __ 2、及び／又はトランジスタ 3 1 2 __ 2 は、P チャネル型であることが可能である。トランジスタ 3 1 3 __ 2 は、配線 1 1 3 に供給される電圧をトランジスタ 3 0 1 __ 2 に供給するタイミングを制御する機能を有し、ブートストラップ用トランジスタ、又はスイッチとして機能することが可能である。トランジスタ 3 1 4 __ 2 は、ノード n 2 の電位に応じて、配線 1 1 7 とトランジスタ 3 0 1 __ 2 との導通状態を制御することによって、電圧 V 1 をトランジスタ 3 0 1 __ 2 のゲートに供給するタイミングを制御する機能を有し、スイッチとして機能することが可能である。

40

50

【0253】

なお、トランジスタ313__2の第1端子は、様々な配線と接続されることが可能である。例えば、トランジスタ313__2の第1端子は、配線112又は配線118と接続されることが可能である。ただし、これに限定されない。

【0254】

なお、トランジスタ314__2の第1端子は、様々な配線と接続されることが可能である。例えば、トランジスタ314__2の第1の配線は、配線115__1と接続されることが可能である。ただし、これに限定されない。

【0255】

なお、図23(C)に示すように、トランジスタ313__2のゲートと第2端子との間に、容量素子315__2を接続することが可能である。

10

【0256】

なお、図23(D)に示すように、回路300は、トランジスタ316__2を有することが可能である。トランジスタ316__2の第1端子は、配線117と接続され、トランジスタ316__2の第2端子は、トランジスタ301__2のゲートと接続され、トランジスタ316__2のゲートは、配線114と接続される。トランジスタ316__2は、Nチャネル型であるものとする。ただし、これに限定されず、トランジスタ316__2は、Pチャネル型であることが可能である。トランジスタ316__2は、信号SPに応じて、配線117とトランジスタ301__2のゲートとの間の導通状態を制御することによって、電圧V1がトランジスタ301__2に供給されるタイミングを制御する機能を有する。

20

【0257】

なお、図23(D)と同様に、図23(B)～(C)においても、第1端子が配線117と接続され、第2端子がトランジスタ301__2のゲートと接続され、ゲートが配線114と接続されるトランジスタ316__2を新たに追加することが可能である。

【0258】

次に、図24(A)に回路320の一例を示す。回路320は、トランジスタ321、及びトランジスタ322を有する。トランジスタ321の第1端子は、配線113と接続され、トランジスタ321の第2端子は、トランジスタ302のゲートと接続され、トランジスタ321のゲートは、配線113と接続される。トランジスタ322の第1端子は、配線117と接続され、トランジスタ322の第2端子は、トランジスタ302のゲートと接続され、トランジスタ322のゲートは、配線111と接続される。トランジスタ321、及びトランジスタ322は、Nチャネル型であるものとする。ただし、これに限定されず、トランジスタ321、及び／又は、トランジスタ322は、Pチャネル型であることが可能である。トランジスタ321は、トランジスタ302のゲートの電位がおおむねV1になる場合に、トランジスタ302のゲートの電位を上昇させる機能を有し、ダイオードとして機能することが可能である。トランジスタ322は、配線111の電位に応じて、配線117とトランジスタ302との導通状態を制御することによって、電圧V1をトランジスタ302のゲートに供給するタイミングを制御する機能を有し、スイッチとして機能することが可能である。

30

【0259】

図24(A)に示す回路320の動作について説明する。図4(C)に示す期間B1及び期間B2において、配線111の電位がトランジスタ322の閾値電圧よりも高い値になるので、トランジスタ322はオンになる。よって、トランジスタ322のチャネル幅をトランジスタ321のチャネル幅よりも大きくすることによって、トランジスタ302のゲートの電位はおおむねV1になる。例えば、トランジスタ302のゲートの電位は、配線117の電位(V1)とトランジスタ302の閾値電圧(V_{th302})との和よりも小さい値になる。期間A1、期間A2、期間C1、期間C2、期間D1、期間D2、期間E1、及び期間E2において、配線111の電位はおおむねV1になるので、トランジスタ322はオフになる。よって、トランジスタ302のゲートの電位は、配線113の電位(V2)からトランジスタ321の閾値電圧(V_{th321})を引いた値(V2-V_t

40

50

h 3 2 1) になる。

【0 2 6 0】

なお、トランジスタ 3 2 2 のチャネル幅は、トランジスタ 3 2 1 のチャネル幅の 2 倍以上であることが好ましい。より好ましくは、4 倍以上であることが好ましい。さらに好ましくは、8 倍以上であることが好ましい。ただし、これに限定されない。

【0 2 6 1】

なお、トランジスタ 3 2 1 のゲート及び第 1 端子は、様々な配線と接続されることが可能である。例えば、トランジスタ 3 2 1 のゲート及び第 1 端子は、配線 1 1 2 又は配線 1 1 8 と接続されることが可能である。ただし、これに限定されない。

【0 2 6 2】

なお、トランジスタ 3 2 2 の第 1 端子は、様々な配線と接続されることが可能である。例えば、トランジスタ 3 2 2 の第 1 の配線は、配線 1 1 2 と接続されることが可能である。ただし、これに限定されない。

【0 2 6 3】

なお、図 2 4 (B) に示すように、回路 3 2 0 は、トランジスタ 3 2 1、及びトランジスタ 3 2 2 に加え、トランジスタ 3 2 3 及びトランジスタ 3 2 4 を有することが可能である。トランジスタ 3 2 3 の第 1 端子は、配線 1 1 3 と接続され、トランジスタ 3 2 3 の第 2 端子は、トランジスタ 3 0 2 のゲートと接続され、トランジスタ 3 2 3 のゲートは、トランジスタ 3 2 1 の第 2 端子及びトランジスタ 3 2 2 の第 2 端子と接続される。トランジスタ 3 2 4 の第 1 端子は、トランジスタ 3 2 3 の第 2 端子と接続され、トランジスタ 3 2 4 の第 2 端子は、配線 1 1 7 と接続され、トランジスタ 3 2 4 のゲートは、配線 1 1 1 と接続される。トランジスタ 3 2 3、及びトランジスタ 3 2 4 は、N チャネル型であるものとする。ただし、これに限定されず、トランジスタ 3 2 3、及び／又はトランジスタ 3 2 4 は、P チャネル型であることが可能である。トランジスタ 3 2 3 は、配線 1 1 3 に供給される電圧をトランジスタ 3 0 2 に供給するタイミングを制御する機能を有し、ブートストラップ用トランジスタ、又はスイッチとして機能することが可能である。トランジスタ 3 2 4 は、配線 1 1 1 の電位に応じて、配線 1 1 7 とトランジスタ 3 0 2 のゲートとの導通状態を制御することによって、電圧 V 1 をトランジスタ 3 0 2 のゲートに供給するタイミングを制御する機能を有し、スイッチとして機能することが可能である。

【0 2 6 4】

なお、トランジスタ 3 2 3 の第 1 端子は、様々な配線と接続されることが可能である。例えば、トランジスタ 3 2 3 の第 1 の配線は、配線 1 1 2、配線 1 1 8 と接続されることが可能である。ただし、これに限定されない。

【0 2 6 5】

なお、トランジスタ 3 2 4 の第 1 端子は、様々な配線と接続されることが可能である。例えば、トランジスタ 3 2 4 の第 1 端子は、配線 1 1 8 と接続されることが可能である。

【0 2 6 6】

なお、図 2 4 (C) に示すように、図 2 4 (B) に示す構成に加え、トランジスタ 3 2 3 のゲートと第 2 端子との間に、容量素子 3 2 5 を接続することが可能である。

【0 2 6 7】

なお、図 2 4 (D) に示すように、回路 3 2 0 は、トランジスタ 3 2 6 を有することが可能である。トランジスタ 3 2 6 の第 1 端子は、配線 1 1 7 と接続され、トランジスタ 3 2 6 の第 2 端子は、トランジスタ 3 0 2 のゲートと接続され、トランジスタ 3 2 6 のゲートは、配線 1 1 4 と接続される。トランジスタ 3 2 6 は、N チャネル型であるものとする。ただし、これに限定されず、トランジスタ 3 2 6 は、P チャネル型であることが可能である。トランジスタ 3 2 6 は、信号 S P に応じて、配線 1 1 7 とトランジスタ 3 0 2 のゲートとの間の導通状態を制御することによって、電圧 V 1 がトランジスタ 3 0 2 に供給されるタイミングを制御する機能を有する。

【0 2 6 8】

なお、図 2 4 (D) と同様に、図 2 4 (B) ~ (C) においても、第 1 端子が配線 1 1 7

10

20

30

40

50

と接続され、第2端子がトランジスタ302のゲートと接続され、ゲートが配線114と接続されるトランジスタ326を新たに追加することが可能である。

【0269】

次に、図25(A)には、回路330の一例を示す。回路330は、トランジスタ331、トランジスタ332、トランジスタ333を有する。トランジスタ331の第1端子は、配線113と接続され、トランジスタ331の第2端子は、トランジスタ301__1のゲート、トランジスタ301__2のゲート、及びトランジスタ302のゲートと接続され、トランジスタ331のゲートは、配線113と接続される。トランジスタ332の第1端子は、配線117と接続され、トランジスタ332の第2端子は、トランジスタ331の第2端子と接続され、トランジスタ332のゲートは、ノードn1と接続される。トランジスタ333の第1端子は、配線117と接続され、トランジスタ333の第2端子は、トランジスタ331の第2端子と接続され、トランジスタ333のゲートは、ノードn2と接続される。トランジスタ331、トランジスタ332、及びトランジスタ333は、Nチャネル型であるものとする。ただし、これに限定されず、トランジスタ331、トランジスタ332、及びトランジスタ333は、Pチャネル型であることが可能である。

【0270】

図25(A)に示す回路330の動作について説明する。図4(C)に示す期間A1、期間A2、期間B1、及び期間B2において、ノードn1の電位又はノードn2の電位は、トランジスタ332又はトランジスタ333の閾値電圧より高い値になるので、トランジスタ332又はトランジスタ333はオンになる。このとき、トランジスタ332又はトランジスタ333のチャネル幅をトランジスタ331のチャネル幅よりも大きくすることによって、トランジスタ301__1のゲート、トランジスタ301__2のゲート、及びトランジスタ302のゲートの電位はおおむねV1になる。期間C1、期間C2、期間D1、期間D2、期間E1、及び期間E2において、ノードn1の電位及びノードn2の電位は、おおむねV1になるので、トランジスタ332及びトランジスタ333はオフになる。よって、トランジスタ301__1のゲート、トランジスタ301__2のゲート、及びトランジスタ302のゲートの電位は、配線113の電位(V2)からトランジスタ331の閾値電圧(V_{th331})を引いた値より大きい値($V2 - V_{th331} + V_x$)になる。このときVxは0より大きい値である。

【0271】

なお、トランジスタ332のチャネル幅、又はトランジスタ333のチャネル幅は、トランジスタ331のチャネル幅の2倍以上であることが好ましい。より好ましくは、4倍以上であることが好ましい。さらに好ましくは、8倍以上であることが好ましい。ただし、これに限定されない。

【0272】

なお、トランジスタ331のゲート及び第1端子は、様々な配線と接続されることが可能である。例えば、トランジスタ331のゲート及び第1端子は、配線112又は配線118と接続されることが可能である。ただし、これに限定されない。

【0273】

なお、トランジスタ332のゲート、及びトランジスタ333のゲートは、様々な配線と接続されることが可能である。例えば、トランジスタ332のゲートは配線114と接続され、トランジスタ333のゲートは配線111と接続されることが可能である。ただし、これに限定されない。

【0274】

なお、トランジスタ332の第1端子と、トランジスタ333の第1端子とは、別々の配線と接続されることが可能である。例えば、トランジスタ332の第1端子は、配線115__2と接続され、トランジスタ333の第1端子は、配線115__1と接続されることが可能である。ただし、これに限定されない。

【0275】

なお、図25(B)に示すように、回路330は、トランジスタ331、トランジスタ3

10

20

30

40

50

3 2、及びトランジスタ 3 3 3 に加え、トランジスタ 3 3 4、トランジスタ 3 3 5、及びトランジスタ 3 3 6 を有することが可能である。トランジスタ 3 3 4 の第 1 端子は、配線 1 1 3 と接続され、トランジスタ 3 3 4 の第 2 端子は、トランジスタ 3 0 1 __ 1 のゲート、トランジスタ 3 0 1 __ 2 のゲート、及びトランジスタ 3 0 2 のゲートと接続され、トランジスタ 3 3 4 のゲートは、トランジスタ 3 3 1 の第 2 端子と接続される。トランジスタ 3 3 5 の第 1 端子は、配線 1 1 7 と接続され、トランジスタ 3 3 5 の第 2 端子は、トランジスタ 3 3 4 の第 2 端子と接続され、トランジスタ 3 3 5 のゲートは、ノード n 1 と接続される。トランジスタ 3 3 6 の第 1 端子は、配線 1 1 7 と接続され、トランジスタ 3 3 6 の第 2 端子は、トランジスタ 3 3 4 の第 2 端子と接続され、トランジスタ 3 3 6 のゲートは、ノード n 2 と接続される。トランジスタ 3 3 4、トランジスタ 3 3 5、及びトランジスタ 3 3 6 は、N チャネル型であるものとする。ただし、これに限定されず、トランジスタ 3 3 4、トランジスタ 3 3 5、及びトランジスタ 3 3 6 は、P チャネル型であることが可能である。

10

【0 2 7 6】

なお、トランジスタ 3 3 4 のゲートと第 2 端子との間に、容量素子を接続することが可能である。

【0 2 7 7】

なお、トランジスタ 3 3 4 の第 1 端子は、様々な配線と接続されることが可能である。例えば、トランジスタ 3 3 4 の第 1 端子は、配線 1 1 2 又は配線 1 1 8 と接続されることが可能である。ただし、これに限定されない。

20

【0 2 7 8】

なお、トランジスタ 3 3 5 のゲート、及びトランジスタ 3 3 6 のゲートは、様々な配線と接続されることが可能である。例えば、トランジスタ 3 3 5 のゲートは、配線 1 1 4 と接続され、トランジスタ 3 3 6 のゲートは、配線 1 1 1 と接続されることが可能である。ただし、これに限定されない。

【0 2 7 9】

なお、トランジスタ 3 3 5 の第 1 端子と、トランジスタ 3 3 6 の第 1 端子とは、別々の配線と接続されることが可能である。例えば、トランジスタ 3 3 5 の第 1 端子は、配線 1 1 5 __ 2 と接続され、トランジスタ 3 3 6 の第 1 端子は、配線 1 1 5 __ 1 と接続されることが可能である。ただし、これに限定されない。

30

【0 2 8 0】

ここで、実施の形態 1 ~ 3 で述べる内容を適宜組み合わせる場合の半導体装置の一例を図 4 1 に示す。ただし、これに限定されず、他にも実施の形態 1 ~ 実施の形態 3 で述べる内容を組み合わせて、半導体装置を様々な構成とすることが可能である。

【0 2 8 1】

図 4 1 の半導体装置は、回路 1 0 0、及び回路 1 0 を有し、回路 1 0 は、回路 2 0 0 及び回路 3 0 0 を有し、回路 3 0 0 は、回路 3 3 0 を有する。図 4 1 の半導体装置では、回路 1 0 0 として、図 4 (A) に示す構成が用いられ、回路 2 0 0 として、図 1 1 (E) に示す構成が用いられ、回路 3 0 0 として、図 1 9 (C) に示す構成が用いられ、回路 3 3 0 として、図 2 5 (B) に示す構成が用いられる。

40

【0 2 8 2】

さらに、図 4 1 に示す半導体装置の動作検証を行った。検証結果について図 4 2 に示す。図 4 2 は、本実施の形態の半導体装置の検証結果を示す図である。なお検証は、S P I C E シミュレータを用いて行った。また、比較例として図 4 1 に示す半導体装置のトランジスタ 1 0 1 __ 2、トランジスタ 2 0 1 __ 2、トランジスタ 2 0 3 __ 1、トランジスタ 2 0 3 __ 2、トランジスタ 3 0 1 __ 2、トランジスタ 3 0 3 __ 2、トランジスタ 3 3 3、及びトランジスタ 3 3 6 を設けない回路構成の半導体装置についても動作検証を行った。また、検証は、 $V_{dd} = 3.0 \text{ V}$ 、 $V_{ss} = 0 \text{ V}$ 、クロック周波数 = 2.5 kHz (1 周期 = $2.0 \mu\text{s}$)、各トランジスタの移動度 = $1 \text{ cm}^2/\text{Vs}$ 、各トランジスタの閾値電圧 = 5 V 、出力容量 = 50 pF として行った。

50

【0283】

図42(A)は、比較例の半導体装置における検証結果のタイミングチャートである。図42(A)に示すように、比較例の半導体装置では、期間T1及び期間T2ともノードn1の電位に従ってトランジスタ101__1がオンになり、配線112と配線111とは、トランジスタ101__1を介して導通状態になり、信号CK1が配線112からトランジスタ101__1を介して配線111に供給される。

【0284】

図42(B)は、図41に示す半導体装置における検証結果のタイミングチャートである。図42(B)に示すように、図41に示す半導体装置では、期間T1では、ノードn1の電位に従ってトランジスタ101__1がオンになり、配線112と配線111とは、トランジスタ101__1を介して導通状態になり、信号CK1が配線112からトランジスタ101__1を介して配線111に供給され、期間T2では、ノードn2の電位に従ってトランジスタ101__1がオンになり、配線112と配線111とは、トランジスタ101__1を介して導通状態になり、信号CK1が配線112からトランジスタ101__1を介して配線111に供給される。よって図42に示すように、本実施の形態の半導体装置では、各期間で異なるトランジスタをオンにして動作することにより、各トランジスタがオンになる回数及びオンになる時間を低減することができることがわかる。

【0285】

(実施の形態4)

本実施の形態では、シフトレジスタの一例について説明する。本実施の形態のシフトレジスタは、実施の形態1～実施の形態3の半導体装置を有することが可能である。なお、シフトレジスタを、半導体装置、又はゲートドライバを示すことが可能である。なお、実施の形態1～実施の形態3で述べる内容は、その説明を省略する。なお、実施の形態1～実施の形態3で述べる内容は、本実施の形態で述べる内容と適宜組み合わせることができる。

【0286】

まず、シフトレジスタの一例について、図26を参照して説明する。シフトレジスタ500は、フリップフロップ501__1～501__Nという複数のフリップフロップを有する。

【0287】

なお、フリップフロップ501__1～501__Nは、各々、実施の形態1～実施の形態3で述べる半導体装置に対応する。図26の一例には、フリップフロップ501__1～501__Nとして、各々、図4(A)の半導体装置が用いられる場合について示す。ただし、これに限定されず、フリップフロップ501__1～501__Nとしては、他にも例えば実施の形態1～実施の形態3で述べる半導体装置若しくは回路を用いることが可能である。

【0288】

次に、シフトレジスタの接続関係について説明する。シフトレジスタ500は、配線511__1～511__N、配線512、配線513、配線514、配線515__1～515__2、配線516、配線517、及び配線518と接続される。そして、フリップフロップ501__i(iは2～Nのいずれか一)において、配線111、配線112、配線113、配線114、配線115__1、配線115__2、配線116、及び配線117は、各々、配線511__i、配線512、配線514、配線511__i-1、配線515__1、配線515__2、配線511__i+1、配線516と接続される。なお、奇数段のフリップフロップと、偶数段のフリップフロップとでは、配線112の接続先が異なる場合が多い。例えば、i段目のフリップフロップにおいて、配線112が配線512と接続される場合、i+1段目のフリップフロップ、又はi-1段目のフリップフロップにおいては、配線112は配線513と接続される。

【0289】

なお、フリップフロップ501__1において、配線114は、配線517と接続される場合が多い。そして、フリップフロップ501__Nにおいて、配線116は、配線518と

接続される場合が多い。ただし、これに限定されない。

【0290】

次に、各配線に入力又は出力される信号又は電圧の一例について説明する。配線511__1～511__Nからは、一例として、各々、信号GOUT__1～GOUT__Nが出力されるものとする。信号GOUT__1～GOUT__Nは、各々、フリップフロップ501__1～501__Nの出力信号である。そして、信号GOUT__1～GOUT__Nは、信号OUTに対応し、出力信号、選択信号、転送信号、スタート信号、リセット信号、ゲート信号、又は走査信号として機能することが可能である。配線512には、信号GCK1が入力されるものとする。信号GCK1は、信号CK1に対応し、クロック信号として機能することが可能である。配線513には、一例として、信号GCK2が入力されるものとする。信号GCK2は、信号CK2に対応し、反転クロック信号として機能することが可能である。配線514には、一例として、電圧V2が供給されるものとする。配線515__1～515__2には、一例として、各々、信号SEL1～SEL2が入力されるものとする。配線516には、一例として、電圧V1が供給されるものとする。配線517には、一例として、信号GSPが入力されるものとする。信号GSPは、信号SPに対応し、スタート信号、又は垂直同期信号として機能することが可能である。配線518には、一例として、信号GREが入力されるものとする。信号GREは、信号REに対応し、リセット信号として機能することが可能である。ただし、これに限定されず、これらの配線には、他にも様々な信号、様々な電圧、又は様々な電流を入力することが可能である。

【0291】

なお、配線511__1～511__Nは、信号線、ゲート信号線、又は走査線として機能することが可能である。配線512、及び配線513は、信号線、又はクロック信号線として機能することが可能である。配線514は、電源線として機能することが可能である。配線515__1～515__2は、信号線として機能することが可能である。配線516は、電源線、又はグランド線として機能することが可能である。配線517は、信号線として機能することが可能である。配線518は、信号線として機能することが可能である。ただし、これに限定されず、これらの配線は他にも様々な種類の配線として機能することが可能である。

【0292】

なお、配線512、配線513、配線514、配線515__1～515__2、配線516、配線517、及び配線518は、回路520から信号又は電圧などが入力されるものとする。回路520は、シフトレジスタに信号又は電圧などを供給することによって、シフトレジスタを制御する機能を有し、制御回路、又はコントローラなどとして機能することが可能である。

【0293】

なお、回路520は、一例として、回路521、及び回路522を有するものとする。回路521は、正電源電圧、負電源電圧、グランド電圧、基準電圧などの電源電圧を生成する機能を有し、電源回路、又はレギュレータとして機能することが可能である。回路522は、クロック信号、反転クロック信号、スタート信号、リセット信号、及び／又は、ビデオ信号などの様々な信号を生成する機能を有し、タイミングジェネレータとして機能することが可能である。ただし、これに限定されず、回路520は、回路521及び回路522の他にも様々な回路、又は様々な素子を有することが可能である。例えば、回路520は、オシレータ、レベルシフタ回路、インバータ回路、バッファ回路、DA変換回路、AD変換回路、オペアンプ、シフトレジスタ、ルックアップテーブル、コイル、トランジスタ、容量素子、抵抗素子、及び／又は、分周器などを有することが可能である。

【0294】

次に、図26のシフトレジスタの動作について、図27を参照して説明する。図27は、シフトレジスタの動作を説明するためのタイミングチャートの一例である。図27には、信号GSP、信号GRE、信号GCK1、信号GCK2、信号SEL1、信号SEL2、信号GOUT__1、信号GOUT__i-1、信号GOUT__i、信号GOUT__i+1、

及び信号 $GOUT_N$ の一例を示す。なお、実施の形態 1 ～ 実施の形態 3 の半導体装置の動作と共通するところは、その説明を省略する。

【0295】

k (k は自然数) フレーム目におけるフリップフロップ 501_i の動作について説明する。まず、信号 $GOUT_i-1$ が H レベルになる。すると、フリップフロップ 501_i は、期間 $A1$ における動作を開始し、信号 $GOUT_i$ は L レベルになる。その後、信号 $GCK1$ 及び信号 $GCK2$ のそれぞれが反転する。すると、フリップフロップ 501_i が期間 $B1$ における動作を開始し、信号 $GOUT_i$ が H レベルになる。信号 $GOUT_i$ は、フリップフロップ 501_i-1 にリセット信号として入力され、且つフリップフロップ 501_i+1 にスタート信号として入力される。よって、フリップフロップ 501_i-1 は、期間 $C1$ における動作を開始し、フリップフロップ 501_i+1 は、期間 $A1$ における動作を開始する。その後、信号 $GCK1$ 、及び信号 $GCK2$ が再び反転する。すると、フリップフロップ 501_i+1 が期間 $B1$ における動作を開始し、信号 $GOUT_i+1$ が H レベルとなる。信号 $GOUT_i+1$ は、フリップフロップ 501_i にリセット信号として入力される。したがって、フリップフロップ 501_i が期間 $C1$ における動作を開始するので、信号 $GOUT_i$ は L レベルとなる。その後、再び信号 $GOUT_i-1$ が H レベルになるまでは、フリップフロップ 501_i は、信号 $GCK1$ 及び信号 $GCK2$ が反転するたびに、期間 $D1$ における動作と期間 $E1$ における動作とを繰り返す。

【0296】

$k+1$ フレーム目におけるフリップフロップ 501_i の動作について説明する。まず、信号 $GOUT_i-1$ が H レベルになる。すると、フリップフロップ 501_i は、期間 $A2$ における動作を開始し、信号 $GOUT_i$ は L レベルになる。その後、信号 $GCK1$ 、及び信号 $GCK2$ が反転する。すると、フリップフロップ 501_i が期間 $B2$ における動作を開始し、信号 $GOUT_i$ が H レベルになる。信号 $GOUT_i$ は、フリップフロップ 501_i-1 にリセット信号として入力され、且つフリップフロップ 501_i+1 にスタート信号として入力される。よって、フリップフロップ 501_i-1 は、期間 $C2$ における動作を開始し、フリップフロップ 501_i+1 は、期間 $A2$ における動作を開始する。その後、信号 $GCK1$ 、及び信号 $GCK2$ が再び反転する。すると、フリップフロップ 501_i+1 が期間 $B1$ における動作を開始し、信号 $GOUT_i+1$ が H レベルとなる。信号 $GOUT_i+1$ は、フリップフロップ 501_i にリセット信号として入力される。したがって、フリップフロップ 501_i が期間 $C2$ における動作を開始するので、信号 $GOUT_i$ は L レベルとなる。その後、再び信号 $GOUT_i-1$ が H レベルになるまでは、フリップフロップ 501_i は、信号 $GCK1$ 及び信号 $GCK2$ が反転するたびに、期間 $D2$ における動作と期間 $E2$ における動作とを繰り返す。

【0297】

なお、フリップフロップ 501_1 では、前の段のフリップフロップの出力信号の代わりに、信号 GSP が回路 520 から配線 517 を介して入力される。よって、信号 GSP が H レベルになると、フリップフロップ 501_1 は、期間 $A1$ 又は期間 $A2$ における動作を開始する。

【0298】

なお、フリップフロップ 501_N では、次の段のフリップフロップの出力信号の代わりに、信号 GRE が回路 520 から配線 518 を介して入力される。よって、信号 GRE が H レベルになると、フリップフロップ 501_N は、期間 $C1$ 又は期間 $C2$ における動作を開始する。

【0299】

以上のように、本実施の形態のシフトレジスタは、実施の形態 1 ～ 実施の形態 3 の半導体装置を用いることによって、当該半導体装置と同様のメリットを得ることが可能である。

【0300】

なお、信号 $GCK1$ と信号 $GCK2$ との関係を非平衡にすることが可能である。例えば、

図 28 (A) のタイミングチャートに示すように、信号 G C K 1 及び信号 G C K 2 において、H レベルになる期間が L レベルになる期間よりも短くすることが可能である。こうすることによって、信号 G O U T _ 1 ~ G O U T _ N に、遅延又はなまりなどが生じて、これらの信号が H レベルとなる期間を防止することができる。したがって、本実施の形態のシフトレジスタが表示装置に用いられる場合、複数の行が同時に選択されることを防ぐことができる。ただし、これに限定されず、信号 G C K 1、及び／又は、信号 G C K 2 において、H レベルになる期間が L レベルになる期間よりも長いことが可能である。

【0301】

なお、シフトレジスタに多相のクロック信号を入力することが可能である。例えば、図 28 (B) のタイミングチャートに示すように、M (M は 3 以上の自然数) 相のクロック信号を用いることが可能である。この場合、信号 G O U T _ 1 ~ G O U T _ N において、ある段において H レベルとなる期間は、その前後の段において H レベルとなる期間と重なることが可能となる。したがって、本実施の形態が表示装置に用いられる場合、複数の行が同時に選択されることになる。これにより、他の行の画素へのビデオ信号をプリチャージ電圧として用いることが可能になる。

【0302】

なお、図 28 (B) において、 $M \leq 8$ であることが好ましい。より好ましくは、 $M \leq 6$ であることが好ましい。さらに好ましくは、 $M \leq 4$ であることが好ましい。なぜなら、シフトレジスタが表示装置の走査線駆動回路に用いられる場合、M が大きすぎると、画素に複数の種類のビデオ信号が書き込まれるからである。そして、当該画素に不正なビデオ信号が入力される期間が長くなるので、表示品位が低下する場合があるからである。

【0303】

なお、図 28 (B) と同様に、図 28 (A) のタイミングチャートにおいても、多相のクロック信号を用いることが可能である。

【0304】

なお、配線 518 と、他の配線 (例えば配線 512、配線 513、配線 515 _ 1、配線 515 _ 2、配線 516、又は配線 517) とを一つの共通の配線で構成し、配線 518 を省略することができる。この場合、フリップフロップ 501 _ N において、配線 116 が配線 512、配線 513、配線 515 _ 1、配線 515 _ 2、配線 516、又は配線 517 と接続されることが好ましい。また、他の構成により配線 518 を省略することも可能である。この場合、フリップフロップ 501 _ N において、トランジスタ 303 _ 1 ~ 303 _ 2、及びトランジスタ 304 を省略することも可能である。

【0305】

なお、図 29 に示すように、出力信号を分割することが可能である。図 29 の一例では、フリップフロップ 501 _ 1 ~ 501 _ N として、各々、図 10 (E) の半導体装置が用いられる。そして、フリップフロップ 501 _ i (i は 2 ~ N のいずれか) において、配線 111、配線 112、配線 113、配線 114、配線 115 _ 1、配線 115 _ 2、配線 116、及び配線 117 は、各々、配線 511 _ i、配線 512、配線 514、配線 518 _ i - 1、配線 515 _ 1、配線 515 _ 2、配線 511 _ i + 1、配線 516 と接続される。こうすることによって、配線 511 _ 1 ~ 511 _ N に、画素又はゲート信号線などの負荷が接続される場合でも、次の段のフリップフロップを駆動するための転送信号になまり又は遅延などが生じることがない。よって、シフトレジスタの遅延の影響を低減することができる。ただし、これに限定されず、配線 114 は、配線 511 _ i - 1 と接続されることが可能である。又は、配線 116 は、配線 517 _ i + 1 と接続されることが可能である。

【0306】

(実施の形態 5)

本実施の形態では、表示装置の一例について説明する。

【0307】

まず、図 30 (A) を参照して、液晶表示装置のシステムブロックの一例について説明す

る。液晶表示装置は、回路5361、回路5362、回路5363__1、回路5363__2、画素を有する画素部5364、回路5365、及び照明装置5366を有する。画素部5364には、複数の配線5371が回路5362から延伸して配置され、複数の配線5372が回路5363__1、及び回路5363__2から延伸して配置されている。そして、複数の配線5371と複数の配線5372との交差領域には、各々、液晶素子などの表示素子を有する画素5367がマトリクス状に配置されている。

【0308】

回路5361は、ビデオ信号5360に応じて、回路5362、回路5363__1、回路5363__2、及び回路5365に、信号、電圧、又は電流などを供給する機能を有し、コントローラ、制御回路、タイミングジェネレータ、電源回路、又はレギュレータなどとして機能することが可能である。本実施の形態では、一例として、回路5361は、回路5362に、信号線駆動回路用スタート信号（SSP）、信号線駆動回路用クロック信号（SCK）、信号線駆動回路用反転クロック信号（SCKB）、ビデオ信号用データ（DATA）、ラッチ信号（LAT）を供給するものとする。又は、回路5361は、一例として、回路5363__1、及び回路5363__2に、走査線駆動回路用スタート信号（GSP）、走査線駆動回路用クロック信号（GCK）、及び反転走査線駆動回路用クロック信号（GCKB）を供給するものとする。又は、回路5361は、回路5365に、バックライト制御信号（BLC）を供給するものとする。ただし、これに限定されず、回路5361は、他にも様々な信号、様々な電圧、又は様々な電流などを、回路5362、回路5363__1、回路5363__2、及び回路5365に供給することが可能である。

【0309】

回路5362は、回路5361から供給される信号（例えば、SSP、SCK、SCKB、DATA、LAT）に応じて、ビデオ信号を複数の配線5371に出力する機能を有し、信号線駆動回路として機能することが可能である。回路5363__1、及び回路5363__2は、回路5361から供給される信号（GSP、GCK、GCKB）に応じて、走査信号を複数の配線5372に出力する機能を有し、走査線駆動回路として機能することが可能である。回路5365は、回路5361から供給される信号（BLC）に応じて、照明装置5366に供給する電力の量、又は時間などを制御することによって、照明装置5366の輝度（又は平均輝度）を制御する機能を有し、電源回路として機能することが可能である。

【0310】

なお、複数の配線5371にビデオ信号が入力される場合、複数の配線5371は、信号線、ビデオ信号線、又はソース信号線などとして機能することが可能である。複数の配線5372に走査信号が入力される場合、複数の配線5372は、信号線、走査線、又はゲート信号線などとして機能することが可能である。ただし、これに限定されない。

【0311】

なお、回路5363__1、及び回路5363__2のそれぞれに、同じ信号が回路5361から入力される場合、回路5363__1が複数の配線5372に出力する走査信号と、回路5363__2が複数の配線5372に出力する走査信号とは、おおむね等しいタイミングとなる場合が多い。したがって、回路5363__1、及び回路5363__2が駆動する負荷を小さくすることができる。よって、表示装置を大型化することができる。又は、表示装置を高精細にすることができる。又は、回路5363__1、及び回路5363__2が有するトランジスタのチャンネル幅を小さくすることができるので、額縁が狭い表示装置を得ることができる。ただし、これに限定されず、回路5361は、回路5363__1と回路5363__2とに別々の信号を供給することが可能である。

【0312】

なお、回路5363__1と回路5363__2とのいずれか一方を省略することが可能である。

【0313】

なお、画素部5364には、容量線、電源線、走査線などの配線を新たに配置することが

可能である。そして、回路5361は、これらの配線に信号又は電圧などを出力することが可能である。又は、回路5363__1又は回路5363__2と同様の回路を新たに追加することができ、この新たに追加した回路は、新たに追加した配線に走査信号などの信号を出力することが可能である。

【0314】

なお、画素5367が表示素子としてEL素子などの発光素子を有することが可能である。この場合、図30(B)に示すように、表示素子は発光することが可能なので、回路5365、及び照明装置5366は省略されることが可能である。そして、表示素子に電力を供給するために、電源線として機能することが可能な複数の配線5373を画素部5364に配置することが可能である。回路5361は、電源電圧（電圧ANOともいう）を配線5373に供給することが可能である。この配線5373は、画素の色要素別に接続されることが可能であるし、全ての画素に共通して接続されることが可能である。

【0315】

なお、図30(B)では、一例として、回路5361は、回路5363__1と回路5363__2とに別々の信号を供給する場合の一例を示す。回路5361は、走査線駆動回路用スタート信号(GSP1)、走査線駆動回路用クロック信号(GCK1)、及び反転走査線駆動回路用クロック信号(GCKB1)などの信号を回路5363__1に供給する。そして、回路5361は、走査線駆動回路用スタート信号(GSP2)、走査線駆動回路用クロック信号(GCK2)、及び反転走査線駆動回路用クロック信号(GCKB2)などの信号を回路5363__2に供給する。この場合、回路5363__1は、複数の配線5372のうち奇数行目の配線のみを走査し、回路5363__2は、複数の配線5372のうち偶数行目の配線のみを走査することが可能になる。よって、回路5363__1、及び回路5363__2の駆動周波数を小さくできるので、消費電力の低減を図ることができる。又は、1段分のフリップフロップをレイアウトすることが可能な面積を大きくすることができる。よって、表示装置を高精細にすることができる。又は、表示装置を大型にすることができる。ただし、これに限定されず、図30(A)と同様に、回路5361は、回路5363__1と回路5363__2と同じ信号を出力することが可能である。

【0316】

なお、図30(B)と同様に、図30(A)においても、回路5361は、回路5363__1と回路5363__2とに別々の信号を供給することが可能である。

【0317】

以上、表示装置のシステムブロックの一例についての説明である。

【0318】

次に、表示装置の構成の一例について、図31(A)、(B)、(C)、(D)、及び(E)を参照して説明する。

【0319】

図31(A)では、画素部5364に信号を出力する機能を有する回路（例えば、回路5362、回路5363__1、及び回路5363__2など）は、画素部5364と同じ基板5380に形成される。そして、回路5361は、画素部5364とは別の基板に形成される。こうして、外部部品の数が減るので、コストの低減を図ることができる。又は、基板5380に入力される信号又は電圧の数が減るので、基板5380と、外部部品との接続数を減らすことができる。よって、信頼性の向上、又は歩留まりの向上を図ることができる。

【0320】

なお、回路が画素部5364とは別の基板に形成される場合、当該基板は、TAB(Tape Automated Bonding)方式によってFPC(Flexible Printed Circuit)に実装されることが可能である。又は、当該基板は、COG(Chip on Glass)方式によって画素部5364と同じ基板5380に実装することが可能である。

【0321】

なお、回路が画素部 5 3 6 4 とは別の基板に形成される場合、当該基板には、単結晶半導体を用いたトランジスタを形成することが可能である。したがって、当該基板に形成される回路は、広範囲で駆動周波数を設定することができる。例えば駆動周波数を高くすることにより、画素部 5 3 6 4 に配置する画素を増やすことができる（解像度を高くすることができる）。駆動電圧を小さくすることにより、消費電力を低減することができる。また、当該基板に形成される回路は、駆動電圧を大きくすることができるので、表示素子として駆動電圧が大きい表示素子を用いることができる。また、当該基板に形成される回路は、出力信号のばらつきを低減することができる。

【0322】

なお、外部回路からは、入力端子 5 3 8 1 を介して信号、電圧、又は電流などが入力される場合が多い。

【0323】

図 3 1 (B) では、回路 5 3 6 3 __ 1 及び回路 5 3 6 3 __ 2 の駆動周波数は、回路 5 3 6 1 又は回路 5 3 6 2 の駆動周波数よりも低い場合が多く、画素部に形成されるトランジスタと同じ工程で形成されるトランジスタを回路 5 3 6 3 __ 1、及び回路 5 3 6 3 __ 2 に用いることができるので、回路 5 3 6 3 __ 1、及び回路 5 3 6 3 __ 2 は、画素部 5 3 6 4 と同じ基板 5 3 8 0 に形成される。そして、回路 5 3 6 1、及び回路 5 3 6 2 は、画素部 5 3 6 4 とは別の基板に形成される。こうして、移動度が小さいトランジスタによって、基板 5 3 8 0 に形成される回路を構成することが可能になる。よって、トランジスタの半導体層として、非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが可能になる。したがって、表示装置の大型化、工程数の削減、コストの低減、又は歩留まりの向上などを図ることができる。

【0324】

なお、図 3 1 (C) に示すように、回路 5 3 6 2 の一部（回路 5 3 6 2 a）が画素部 5 3 6 4 と同じ基板 5 3 8 0 に形成され、回路 5 3 6 2 の残りの部分（回路 5 3 6 2 b）が画素部 5 3 6 4 とは別の基板に形成されることが可能である。回路 5 3 6 2 a は、移動度が低いトランジスタによって構成することが可能な回路（例えば、シフトレジスタ、セレクトア、スイッチなど）を有する場合が多い。そして、回路 5 3 6 2 b は、移動度が高く、且つ特性ばらつきが小さいトランジスタによって構成することが好ましい回路（例えば、シフトレジスタ、ラッチ回路、バッファ回路、D A 変換回路、A D 変換回路など）を有する場合が多い。こうすることによって、図 3 1 (B) と同様に、トランジスタの半導体層として、例えば非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが可能となり、さらに外部部品の削減を図ることができる。

【0325】

図 3 1 (D) では、画素部 5 3 6 4 に信号を出力する機能を有する回路（例えば、回路 5 3 6 2、回路 5 3 6 3 __ 1、及び回路 5 3 6 3 __ 2 など）、及びこれらの回路を制御する機能を有する回路（例えば、回路 5 3 6 1）は、画素部 5 3 6 4 とは別の基板に形成される。こうして、画素部と、その周辺回路とを別々の基板に形成することが可能になるので、歩留まりの向上を図ることができる。

【0326】

なお、図 3 1 (D) と同様に、図 3 1 (A) ~ (C) においても、回路 5 3 6 3 __ 1、及び回路 5 3 6 3 __ 2 を画素部 5 3 6 4 とは別の基板に形成することが可能である。

【0327】

図 3 1 (E) では、回路 5 3 6 1 の一部（回路 5 3 6 1 a）が画素部 5 3 6 4 と同じ基板 5 3 8 0 に形成され、残りの回路 5 3 6 1（回路 5 3 6 1 b）が画素部 5 3 6 4 とは別の基板に形成される。回路 5 3 6 1 a は、移動度が小さいトランジスタによって構成することが可能な回路（例えば、スイッチ、セレクトア、レベルシフタなど）を有する場合が多い。そして、回路 5 3 6 1 b は、移動度が高く、ばらつきが小さいトランジスタを用いて構成することが好ましい回路（例えば、シフトレジスタ、タイミングジェネレータ、オシレータ、レギュレータ、又はアナログバッファなど）を有する場合が多い。

【0328】

なお、図31(A)～(D)においても、回路5361aを画素部5364と同じ基板に形成し、回路5361bを画素部5364とは別の基板に形成することが可能である。

【0329】

ここで、回路5363__1、及び回路5363__2として、実施の形態1～実施の形態4の半導体装置又はシフトレジスタを用いることが可能である。この場合、回路5363__1、及び回路5363__2と画素部とが同じ基板に形成されることによって、当該基板に形成される全てのトランジスタの極性をNチャネル型又はPチャネル型とすることが可能である。したがって、工程数の削減、歩留まりの向上、信頼性の向上、又はコストの削減を図ることができる。特に、全てのトランジスタの極性がNチャネル型である場合には、トランジスタの半導体層として、非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが可能になる。よって、表示装置の大型化、コストの低減、又は歩留まりの向上などを行うことができる。

10

【0330】

又は、実施の形態1～実施の形態4の半導体装置、又はシフトレジスタは、トランジスタのチャネル幅を小さくすることができる。よって、レイアウト面積を小さくすることができるので、額縁を小さくすることができる。又は、レイアウト面積を小さくすることができるので、解像度を高くすることができる。

【0331】

又は、実施の形態1～実施の形態4の半導体装置、又はシフトレジスタは、寄生容量を小さくすることができる。よって、消費電力を低減することができる。又は、外部回路の電流能力を小さくすることができる。又は、外部回路のサイズ、又は当該外部回路を有する表示装置のサイズを小さくすることができる。

20

【0332】

なお、非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを半導体層として用いるトランジスタは、閾値電圧の増加、又は移動度の低下などの特性劣化を生じる場合が多い。しかし、実施の形態1～実施の形態4の半導体装置又はシフトレジスタは、トランジスタの特性劣化を抑制することができるので、表示装置の寿命を長くすることができる。

【0333】

なお、回路5362の一部として、実施の形態1～実施の形態4の半導体装置、又はシフトレジスタを用いることが可能である。例えば、回路5362aは、実施の形態1～実施の形態4の半導体装置、又はシフトレジスタを有することが可能である。

30

【0334】

(実施の形態6)

本実施の形態では、信号線駆動回路の一例について説明する。なお、信号線駆動回路を半導体装置、又は信号生成回路と示すことが可能である。

【0335】

信号線駆動回路の一例について、図32(A)を参照して説明する。信号線駆動回路は、回路602__1～602__Nという複数の回路と、回路600と、回路601とを有する。そして、回路602__1～602__Nは、各々、トランジスタ603__1～603__k(kは2以上の自然数)という複数のトランジスタを有する。トランジスタ603__1～603__kは、Nチャネル型であるものとする。ただし、これに限定されず、トランジスタ603__1～603__kは、Pチャネル型とすることが可能であるし、CMOS型のスイッチとすることが可能である。

40

【0336】

信号線駆動回路の接続関係について、回路602__1を例にして説明する。トランジスタ603__1～603__kの第1端子は、配線605__1と接続される。トランジスタ603__1～603__kの第2端子は、各々、配線S1～Skと接続される。トランジスタ603__1～603__kのゲートは、各々、配線604__1～604__kと接続される。例

50

えば、トランジスタ 603__1 の第 1 端子は、配線 605__1 と接続され、トランジスタ 603__1 の第 2 端子は、配線 S1 と接続され、トランジスタ 603__1 のゲートは、配線 604__1 と接続される。

【0337】

回路 600 は、配線 604__1 ～ 604__k を介して、信号を回路 602__1 ～ 602__N に供給する機能を有し、シフトレジスタ、又はデコーダなどとして機能することが可能である。当該信号は、デジタル信号である場合が多く、選択信号として機能することが可能である。そして、配線 604__1 ～ 604__k は、信号線として機能することが可能である。

【0338】

回路 601 は、信号を回路 602__1 ～ 602__N に出力する機能を有し、ビデオ信号生成回路などとして機能することが可能である。例えば、回路 601 は、配線 605__1 を介して信号を回路 602__1 に供給する。同時に、配線 605__2 を介して信号を回路 602__2 に供給する。当該信号は、アナログ信号である場合が多く、ビデオ信号として機能することが可能である。そして、配線 605__1 ～ 605__N は、信号線として機能することが可能である。

【0339】

回路 602__1 ～ 602__N は、回路 601 の出力信号を、どの配線に出力するのかを選択する機能を有し、セレクト回路として機能することが可能である。例えば、回路 602__1 は、回路 601 が配線 605__1 に出力する信号を、配線 S1 ～ Sk のうちどの配線に出力するのかを選択する機能を有する。

【0340】

トランジスタ 603__1 ～ 603__N は、各々、回路 600 の出力信号に応じて、配線 605__1 と、配線 S1 ～ Sk との導通状態を制御する機能を有し、スイッチとして機能する。

【0341】

次に、図 32 (A) の信号線駆動回路の動作について、図 32 (B) のタイミングチャートを参照して説明する。図 32 (B) には、配線 604__1 に入力される信号 614__1、配線 604__2 に入力される信号 614__2、配線 604__k に入力される信号 614__k、配線 605__1 に入力される信号 615__1、及び配線 605__2 に入力される信号 615__2 の一例を示す。

【0342】

なお、信号線駆動回路の 1 動作期間は、表示装置における 1 ゲート選択期間に対応する。1 ゲート選択期間とは、ある行に属する画素が選択され、当該画素にビデオ信号を書き込むことが可能な期間のことをいう。

【0343】

なお、1 ゲート選択期間は、期間 T0、及び期間 T1 ～ 期間 Tk に分割される。期間 T0 は、選択された行に属する画素にプリチャージ用の電圧を同時に印加するための期間であり、プリチャージ期間として機能することが可能である。期間 T1 ～ Tk は、各々、選択された行に属する画素にビデオ信号を書き込むための期間であり、書き込み期間として機能することが可能である。

【0344】

なお、便宜上、回路 602__1 の動作を例にして、信号線駆動回路の動作を説明する。

【0345】

まず、期間 T0 において、回路 600 は、配線 604__1 ～ 604__k に H レベルの信号を出力する。すると、トランジスタ 603__1 ～ 603__k がオンするので、配線 605__1 と、配線 S1 ～ Sk とが導通状態となる。このとき、回路 601 は、配線 605__1 にプリチャージ電圧 Vp を供給しているので、プリチャージ電圧 Vp は、トランジスタ 603__1 ～ 603__k を介して、配線 S1 ～ Sk にそれぞれ出力される。そして、プリチャージ電圧 Vp は、選択された行に属する画素に書き込まれるので、選択された行に属す

10

20

30

40

50

る画素がプリチャージされる。

【0346】

次に、期間 T_1 において、回路 600 は、H レベルの信号を配線 604__1 に出力する。すると、トランジスタ 603__1 がオンするので、配線 605__1 と配線 S1 とが導通状態となる。そして、配線 605__1 と配線 S2 ~ Sk とが非導通状態となる。このとき、回路 601 は、信号 Data (S1) を配線 605__1 に出力しているとする、信号 Data (S1) は、トランジスタ 603__1 を介して、配線 S1 に出力される。こうして、信号 Data (S1) は、配線 S1 と接続される画素のうち、選択された行に属する画素に書き込まれる。

【0347】

次に、期間 T_2 において、回路 600 は、H レベルの信号を配線 604__2 に出力する。すると、トランジスタ 603__2 がオンするので、配線 605__2 と配線 S2 とが導通状態となる。そして、配線 605__1 と配線 S1 とが非導通状態となり、配線 605__1 と配線 S3 ~ Sk とが非導通状態のままとなる。このとき、回路 601 は、信号 Data (S2) を配線 605__1 に出力しているとする、信号 Data (S2) は、トランジスタ 603__2 を介して、配線 S2 に出力される。こうして、信号 Data (S1) は、配線 S1 と接続される画素のうち、選択された行に属する画素に書き込まれる。

【0348】

その後、期間 T_k まで、回路 600 は、配線 604__1 ~ 604__k に H レベルの信号を順に出力するので、期間 T_1 及び期間 T_2 と同様に、期間 T_3 から期間 T_k まで、回路 600 は、配線 604__3 ~ 604__k に H レベルの信号を順に出力する。よって、トランジスタ 603__3 ~ 603__k が順にオンするので、回路 601 から出力される信号は、配線 S3 ~ Sk に順に出力される。こうして、選択された行に属する画素に、信号を順に書き込むことが可能になる。

【0349】

以上、信号線駆動回路の一例について説明した。本実施の形態の信号線駆動回路は、セレクトアとして機能する回路を有するので、信号の数、又は配線の数減らすことができる。又は、画素にビデオ信号を書き込む前（期間 T_0 ）に、プリチャージを行うための電圧を画素に書き込むので、ビデオ信号の書き込み時間を短くすることができる。したがって、表示装置の大型化、表示装置の高精細化を図ることができる。ただし、これに限定されず、期間 T_0 を省略し、画素にプリチャージしないことが可能である。

【0350】

なお、k が大きすぎると、画素への書き込み時間が短くなるので、ビデオ信号の画素への書き込みが時間内に終了しない場合がある。したがって、 $k \leq 6$ であることが好ましい。より好ましくは $k \leq 3$ であることが好ましい。さらに好ましくは $k = 2$ であることが好ましい。

【0351】

特に、画素の色要素が n 個に分割される場合、 $k = n$ とすることが可能である。例えば、画素の色要素が赤 (R) と緑 (G) と青 (B) との三つに分割される場合、 $k = 3$ であることが可能である。この場合、1 ゲート選択期間は、期間 T_0 、期間 T_1 、期間 T_2 、期間 T_3 に分割される。そして、期間 T_1 、期間 T_2 、期間 T_3 では、各々、赤 (R) の画素、緑 (G) の画素、青 (B) の画素にビデオ信号を書き込むことが可能である。ただし、これに限定されず、期間 T_1 、期間 T_2 、期間 T_3 の順番は任意に設定することが可能である。

【0352】

特に、画素が n (n は自然数) 個のサブ画素 (以下サブピクセル、又は副画素ともいう) に分割される場合、 $k = n$ とすることが可能である。例えば、画素が 2 個のサブ画素に分割される場合、 $k = 2$ であることが可能である。この場合、1 ゲート選択期間は、期間 T_0 、期間 T_1 、期間 T_2 に分割される。そして、期間 T_1 では、2 個のサブ画素の一方にビデオ信号を書き込み、期間 T_2 では、2 個のサブ画素の他方にビデオ信号を書き込むこ

10

20

30

40

50

とが可能である。

【0353】

なお、回路600、及び回路602__1～602__Nの駆動周波数は、回路601と比較して低い場合が多いので、回路600、及び回路602__1～602__Nは、画素部と同じ基板に形成することが可能である。こうして、画素部が形成される基板と、外部回路との接続数を減らすことができるので、歩留まりの向上、又は信頼性の向上などを図ることができる。さらに、図31(A)乃至(E)のように、走査線駆動回路も画素部と同じ基板に形成されることによって、さらに外部回路との接続数を減らすことができる。

【0354】

なお、回路600として、実施の形態1～実施の形態4の半導体装置又はシフトレジスタを用いることが可能である。この場合、回路600が有する全てのトランジスタの極性をNチャネル型、又はPチャネル型とすることが可能である。したがって、工程数の削減、歩留まりの向上、又はコストの削減を図ることができる。

【0355】

なお、回路600だけでなく、回路602__1～602__Nが有する全てのトランジスタの極性もNチャネル型、又はPチャネル型とすることが可能である。したがって、回路600、及び回路602__1～602__Nが、画素部と同じ基板に形成される場合、工程数の削減、歩留まりの向上、又はコストの削減を図ることができる。特に、全てのトランジスタの極性をNチャネル型とすることによって、トランジスタの半導体層として、例えば非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることができる。

【0356】

(実施の形態7)

本実施の形態においては、液晶表示装置に適用できる画素の構成及び画素の動作について説明する。

【0357】

図33(A)は、画素の一例を示す。画素3020は、トランジスタ3021、液晶素子3022、及び容量素子3023を有する。そして、トランジスタ3021の第1端子は、配線3031と接続され、トランジスタ3021の第2端子は、液晶素子3022の一方の電極及び容量素子3023の一方の電極と接続され、トランジスタ3021のゲートは、配線3032と接続される。液晶素子3022の他方の電極は、電極3034と接続され、容量素子3023の他方の電極は、配線3033と接続される。

【0358】

配線3031には、一例として、ビデオ信号が入力されることが可能である。配線3032には、一例として、走査信号、選択信号、又はゲート信号が入力されることが可能である。配線3033には、一例として、一定の電圧が供給されることが可能である。電極3034には、一例として、一定の電圧が供給されることが可能である。ただし、これに限定されず、配線3031にはプリチャージ電圧が供給されることがことによって、ビデオ信号の書き込み時間を短くすることが可能である。又は、配線3033には信号が入力されることがによって、液晶素子3022に印加される電圧を制御することが可能である。又は、電極3034に信号が入力されることがによって、フレーム反転駆動を実現することが可能である。

【0359】

なお、配線3031は、信号線、ビデオ信号線、又はソース信号線として機能することが可能である。配線3032は、信号線、走査線、又はゲート信号線として機能することが可能である。配線3033は、電源線、又は容量線として機能することが可能である。電極3034は、共通電極、又は対向電極として機能することが可能である。ただし、これに限定されず、配線3031、配線3032に、電圧が供給される場合、これらの配線は、電源線として機能することが可能である。又は、配線3033に信号が入力される場合、配線3033は信号線として機能することが可能である。

【0360】

トランジスタ3021は、配線3031と液晶素子3022の一方の電極との導通状態を制御することによって、画素にビデオ信号を書き込むタイミングを制御する機能を有し、スイッチとして機能することが可能である。容量素子3023は、液晶素子3022の一方の電極と、配線3033との間の電位差を保持し、液晶素子3022に印加される電圧を一定に保持する機能を有し、保持容量として機能する。ただし、これに限定されない。

【0361】

図33(B)には、図33(A)の画素の動作を説明するためのタイミングチャートの一例を示す。図33(B)には、信号3042_j (jは自然数)、信号3042_{j+1}、信号3041_i、信号3041_{i+1}、及び電圧3043を示す。そして、図33(B)には、第k (kは自然数) フレームと、第k+1フレームを示す。なお、信号3042_j、信号3042_{j+1}、信号3041_i、信号3041_{i+1}、及び電圧3043は、各々、j行目の配線3032に入力される信号、j+1行目の配線3032に入力される信号、i列目の配線3031に入力される信号、i+1列目の配線3031に入力される信号、配線3033に供給される電圧の一例である。

【0362】

j行i列目に属する画素3020の動作について説明する。信号3042_jがHレベルになると、トランジスタ3021がオンする。よって、i列目の配線3031と液晶素子3022の一方の電極とが導通状態となるので、信号3041_jがトランジスタ3021を介して液晶素子3022の一方の電極に入力される。そして、容量素子3023は、このときの液晶素子3022の一方の電極の電位と、配線3033の電位との電位差を保持する。よって、その後、再び信号3042_jがHレベルになるまで、液晶素子3022に印加される電圧は一定となる。そして、液晶素子3022は、印加される電圧に応じた階調を表現する。

【0363】

なお、図33(B)には、正極性の信号と負極性の信号とが、1行選択期間毎に交互に配線3031に入力される場合の一例を示す。正極性の信号とは、電位が基準の値 (例えば電極3034の電位) よりも高い信号のことであり、負極性の信号とは、電位が基準の値 (例えば電極3034の電位) よりも低い信号のことである。ただし、これに限定されず、配線3031に入力される信号は、1フレーム期間中、同じ極性であることが可能である。

【0364】

なお、図33(B)には、信号3041_iの極性と信号3041_{i+1}の極性とがお互いに異なる場合の一例を示す。ただし、これに限定されず、信号3041_iの極性と信号3041_{i+1}の極性とは同じであることが可能である。

【0365】

なお、図33(B)には、信号3042_jがHレベルとなる期間と、信号3042_{j+1}がHレベルになる期間とは、重ならない場合の一例を示した。ただし、これに限定されず、図33(C)に示すように、信号3042_jがHレベルとなる期間と、信号3042_{j+1}がHレベルになる期間とは重なることが可能である。この場合、配線3031には、1フレーム期間中、同じ極性の信号が供給されることが好ましい。こうすることによって、j行目の画素へ書き込まれる信号3041_jを用いて、j+1行目の画素をプリチャージすることができる。こうして、画素へのビデオ信号の書き込み時間を短くすることができる。よって、表示装置を高精細にすることができる。又は、表示装置の表示部を大きくすることができる。又は、1フレーム期間において、配線3031に同じ極性の信号が入力されるので、消費電力を削減することができる。

【0366】

なお、図34(A)の画素構成と、図33(C)のタイミングチャートとを組み合わせることによって、ドット反転駆動を実現することができる。図34(A)の画素構成では、画素3020(i, j)は、配線3031_iと接続される。一方、画素3020(i,

$j+1$) は、配線 3031 __ $i+1$ と接続される。つまり、 i 列目に属する画素は、1 行ずつ交互に、配線 3031 __ i と、配線 3031 __ $i+1$ と接続される。こうして、 i 列目に属する画素は、1 行ずつ交互に、正極性の信号と負極性の信号とが書き込まれるので、ドット反転駆動を実現することができる。ただし、これに限定されず、 i 列目に属する画素は、複数行（例えば 2 行又は 3 行）ずつ交互に、配線 3031 __ i と、配線 3031 __ $i+1$ と接続されることが可能である。

【0367】

なお、画素構成としては、サブピクセル構造を用いることが可能である。図 34 (B)、及び (C) には、画素を二つのサブ画素に分割する場合の構成を示す。そして、図 34 (B) には、1S+2G（例えば 1 サブ画素あたり 1 つの信号線と、2 つの走査線を用いるもの）と呼ばれるサブピクセル構造を示し、図 34 (C) には、2S+1G（例えば 1 サブ画素あたり 2 つの信号線と、1 つの走査線を用いるもの）と呼ばれるサブピクセル構造を示す。サブ画素 3020A 及びサブ画素 3020B は、画素 3020 に対応する。トランジスタ 3021A 及びトランジスタ 3021B は、トランジスタ 3021 に対応する。液晶素子 3022A 及び液晶素子 3022B は、液晶素子 3022 に対応する。容量素子 3023A 及び容量素子 3023B は、容量素子 3023 に対応する。配線 3031A 及び配線 3031B は、配線 3031 に対応する。配線 3032A 及び配線 3032B は、配線 3032 に対応する。

【0368】

ここで、本実施の形態の画素と、実施の形態 1～実施の形態 6 の半導体装置、シフトレジスタ、表示装置、又は信号線駆動回路とを組み合わせることによって、様々なメリットを得ることができる。例えば、画素として、サブピクセル構造を用いる場合、表示装置を駆動するために必要な信号の数が増えてしまう。このため、ゲート信号線の数、又はソース信号線の数が増えてしまう。この結果、画素部が形成される基板と、外部回路との接続数が増える場合がある。しかし、ゲート信号線の数が増えても、実施の形態 7 に示すように、走査線駆動回路を画素部と同じ基板に形成することが可能である。したがって、画素部が形成される基板と、外部回路との接続数を大幅に増やすことなく、サブピクセル構造の画素を用いることができる。又は、ソース信号線の数が増えても、実施の形態 6 の信号線駆動回路を用いることによって、ソース信号線数を減らすことができる。したがって、画素部が形成される基板と、外部回路との接続数を大幅に増やすことなく、サブピクセル構造の画素を用いることができる。

【0369】

又は、容量線に信号を入力する場合、画素部が形成される基板と、外部回路との接続数が増える場合がある。そこで、容量線に、実施の形態 1～実施の形態 5 の半導体装置又はシフトレジスタを用いて信号を供給することが可能である。そして、実施の形態 1～実施の形態 5 の半導体装置又はシフトレジスタは、画素部と同じ基板に形成することが可能である。したがって、画素部が形成される基板と、外部回路との接続数を大幅に増やすことなく、容量線に信号を入力することができる。

【0370】

又は、交流駆動を用いる場合、画素へのビデオ信号の書き込み時間が短くなってしまふ。この結果、画素へのビデオ信号の書き込み時間が足りなくなってしまう場合がある。同様に、サブピクセル構造の画素を用いる場合、画素へのビデオ信号の書き込み時間が短くなる。この結果、画素へのビデオ信号の書き込み時間が足りなくなってしまう場合がある。そこで、実施の形態 6 の信号線駆動回路を用いて、画素にビデオ信号を書き込むことが可能である。この場合、画素にビデオ信号を書き込む前に、画素にプリチャージ用の電圧を書き込むので、短い時間で画素にビデオ信号を書き込むことができる。又は、図 28 (B) に示すように、ある行が選択される期間と、別の行が選択される期間とを重ねることによって、別の行のビデオ信号をプリチャージ用の電圧として用いることが可能である。

【0371】

(実施の形態 8)

本実施の形態では、表示装置の一例について、図 3 5 (A)、(B)、及び (C) を参照して説明する。なお、ここでは一例として液晶表示装置について説明する。

【0372】

図 3 5 (A) は、表示装置の上面図の一例である。基板 5 3 9 1 に、駆動回路 5 3 9 2 と画素部 5 3 9 3 とが形成されている。駆動回路 5 3 9 2 の一例としては、走査線駆動回路、又は信号線駆動回路などがある。例えば液晶表示装置の場合、画素部 5 3 9 3 は画素を有し、画素は、駆動回路 5 3 9 2 の出力信号に応じて液晶素子に印加される電圧が設定される。

【0373】

図 3 5 (B) には、図 3 5 (A) の A-B 断面の一例を示す。そして、図 3 5 (B) には、基板 5 4 0 0 と、基板 5 4 0 0 の上に形成される導電層 5 4 0 1 と、導電層 5 4 0 1 を覆うように形成される絶縁層 5 4 0 2 と、導電層 5 4 0 1 及び絶縁層 5 4 0 2 の上に形成される半導体層 5 4 0 3 a と、半導体層 5 4 0 3 a の上に形成される半導体層 5 4 0 3 b と、半導体層 5 4 0 3 b の上及び絶縁層 5 4 0 2 の上に形成される導電層 5 4 0 4 と、絶縁層 5 4 0 2 の上及び導電層 5 4 0 4 の上に形成され、開口部を有する絶縁層 5 4 0 5 と、絶縁層 5 4 0 5 の上及び絶縁層 5 4 0 5 の開口部に形成される導電層 5 4 0 6 と、絶縁層 5 4 0 5 の上及び導電層 5 4 0 6 の上に配置される絶縁層 5 4 0 8 と、絶縁層 5 4 0 5 の上に形成される液晶層 5 4 0 7 と、液晶層 5 4 0 7 の上及び絶縁層 5 4 0 8 の上に形成される導電層 5 4 0 9 と、導電層 5 4 0 9 の上に形成される基板 5 4 1 0 とを示す。

【0374】

導電層 5 4 0 1 は、ゲート電極として機能することが可能である。絶縁層 5 4 0 2 は、ゲート絶縁膜として機能することが可能である。導電層 5 4 0 4 は、配線、トランジスタの電極、又は容量素子の電極などとして機能することが可能である。絶縁層 5 4 0 5 は、層間膜、又は平坦化膜として機能することが可能である。導電層 5 4 0 6 は、配線、画素電極、又は反射電極として機能することが可能である。絶縁層 5 4 0 8 は、シール材として機能することが可能である。導電層 5 4 0 9 は、対向電極、又は共通電極として機能することが可能である。

【0375】

ここで、駆動回路 5 3 9 2 と、導電層 5 4 0 9 との間には、寄生容量が生じることがある。この結果、駆動回路 5 3 9 2 の出力信号又は各ノードの電位に、なまり又は遅延などが生じてしまう。又は、消費電力が大きくなってしまう。しかし、図 3 5 (B) に示すように、駆動回路 5 3 9 2 の上に、シール材として機能することが可能な絶縁層 5 4 0 8 を形成することによって、駆動回路 5 3 9 2 と、導電層 5 4 0 9 との間に生じる寄生容量を低減することができる。なぜなら、シール材の誘電率は、液晶層の誘電率よりも低い場合が多いからである。したがって、駆動回路 5 3 9 2 の出力信号又は各ノードの電位のなまり又は遅延を低減することができる。又は、駆動回路 5 3 9 2 の消費電力を低減することができる。

【0376】

なお、図 3 5 (C) に示すように、駆動回路 5 3 9 2 の一部の上に、シール材として機能することが可能な絶縁層 5 4 0 8 が形成されることが可能である。このような場合でも、駆動回路 5 3 9 2 と、導電層 5 4 0 9 との間に生じる寄生容量を低減することができるので、駆動回路 5 3 9 2 の出力信号又は各ノードの電位のなまり又は遅延を低減することができる。ただし、これに限定されず、駆動回路 5 3 9 2 の上に、シール材として機能することが可能な絶縁層 5 4 0 8 が形成されていないことが可能である。

【0377】

なお、表示素子は、液晶素子に限定されず、EL素子、又は電気泳動素子などの様々な表示素子を用いることが可能である。

【0378】

以上、本実施の形態では、表示装置の断面構造の一例について説明した。このような構造と、実施の形態 1 ～実施の形態 4 の半導体装置又はシフトレジスタとを組み合わせること

10

20

30

40

50

が可能である。例えば、トランジスタの半導体層として、非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いる場合、トランジスタのチャネル幅が大きくなる場合が多い。しかし、本実施の形態のように、駆動回路の寄生容量を小さくできると、トランジスタのチャネル幅を小さくすることができる。よって、レイアウト面積の縮小を図ることができるので、表示装置の額縁を狭くすることができる。又は、表示装置を高精度にすることができる。

【0379】

(実施の形態9)

本実施の形態では、トランジスタの構造の一例について図36(A)、(B)、及び(C)を参照して説明する。

10

【0380】

図36(A)は、表示装置の構造の一例を示す図であり、また、トップゲート型のトランジスタの構造の一例を示す図である。図36(B)は、表示装置の構造の一例を示す図であり、また、ボトムゲート型のトランジスタの構造の一例、又は表示装置の構造の一例を示す図である。図36(C)は、半導体基板を用いて作製されるトランジスタの構造の一例を示す図である。

【0381】

図36(A)のトランジスタの一例は、絶縁層5261を挟んで基板5260の上に形成され、領域5262a、領域5262b、領域5262c、領域5262d、及び5262eを有する半導体層5262と、半導体層5262を覆うように形成される絶縁層5263と、半導体層5262及び絶縁層5263の上に形成される導電層5264と、絶縁層5263及び導電層5264の上に形成され、開口部を有する絶縁層5265と、絶縁層5265の上及び絶縁層5265の開口部に形成される導電層5266と、を有する。

20

【0382】

図36(B)のトランジスタの一例は、基板5300の上に形成される導電層5301と、導電層5301を覆うように形成される絶縁層5302と、導電層5301及び絶縁層5302の上に形成される半導体層5303aと、半導体層5303aの上に形成される半導体層5303bと、半導体層5303bの上及び絶縁層5302の上に形成される導電層5304と、絶縁層5302の上及び導電層5304の上に形成され、開口部を有する絶縁層5305と、絶縁層5305の上及び絶縁層5305の開口部に形成される導電層5306と、を有する。

30

【0383】

図36(C)のトランジスタの一例は、領域5353及び領域5355を有する半導体基板5352と、半導体基板5352の上に形成される絶縁層5356と、半導体基板5352の上に形成される絶縁層5354と、絶縁層5356の上に形成される導電層5357と、絶縁層5354、絶縁層5356、及び導電層5357の上に形成され、開口部を有する絶縁層5358と、絶縁層5358の上及び絶縁層5358の開口部に形成される導電層5359とを有する。こうして、領域5350と領域5351とに、各々、トランジスタが作製される。

【0384】

なお、本実施の形態におけるトランジスタを用いて表示装置を構成する場合、例えば図36(A)に示すように、導電層5266の上及び絶縁層5265の上に形成され、開口部を有する絶縁層5267と、絶縁層5267の上及び絶縁層5267の開口部に形成される導電層5268と、絶縁層5267の上及び導電層5268の上に形成され、開口部を有する絶縁層5269と、絶縁層5269の上及び絶縁層5269の開口部に形成される発光層5270と、絶縁層5269の上及び発光層5270の上に形成される導電層5271と、を形成することが可能である。

40

【0385】

また、図36(B)に示すように、絶縁層5305の上及び導電層5306の上に配置される液晶層5307と、液晶層5307の上に形成される導電層5308と、を形成する

50

ことが可能である。

【0386】

絶縁層5261は、下地膜として機能することが可能である。絶縁層5354は、素子間分離層（例えばフィールド酸化膜）として機能する。絶縁層5263、絶縁層5302、絶縁層5356は、ゲート絶縁膜として機能することが可能である。導電層5264、導電層5301、導電層5357は、ゲート電極として機能することが可能である。絶縁層5265、絶縁層5267、絶縁層5305、及び絶縁層5358は、層間膜、又は平坦化膜として機能することが可能である。導電層5266、導電層5304、及び導電層5359は、配線、トランジスタの電極、又は容量素子の電極などとして機能することが可能である。導電層5268、及び導電層5306は、画素電極、又は反射電極などとして機能することが可能である。絶縁層5269は、隔壁として機能することが可能である。導電層5271、及び導電層5308は、対向電極、又は共通電極などとして機能することが可能である。

10

【0387】

基板5260、及び基板5300の一例としては、ガラス基板、石英基板、半導体基板（例えば単結晶基板（例えばシリコン基板）、又は単結晶基板）、SOI基板、プラスチック基板、金属基板、ステンレス基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板又は可撓性基板などがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。他にも、貼り合わせフィルム（ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなど）、繊維状な材料を含む紙、基材フィルム（ポリエステル、ポリアミド、ポリイミド、無機蒸着フィルム、紙類等）などがある。

20

【0388】

半導体基板5352としては、一例として、n型又はp型の導電性を有する単結晶Si基板を用いることが可能である。領域5353は、一例として、半導体基板5352に不純物が添加された領域であり、ウェルとして機能する。例えば、半導体基板5352がp型の導電性を有する場合、領域5353は、n型の導電性を有し、nウェルとして機能する。一方で、半導体基板5352がn型の導電性を有する場合、領域5353は、p型の導電性を有し、pウェルとして機能する。領域5355は、一例として、不純物が半導体基板5352に添加された領域であり、ソース領域又はドレイン領域として機能する。なお、半導体基板5352に、LDD領域を形成することが可能である。

30

【0389】

絶縁層5261の一例としては、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ）（ $x > y > 0$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y > 0$ ）などの酸素若しくは窒素を有する膜、又はこれらの積層構造などがある。絶縁層5261が2層構造で設けられる場合の一例としては、1層目の絶縁層として窒化珪素膜を設け、2層目の絶縁層として酸化珪素膜を設けることが可能である。絶縁層5261が3層構造で設けられる場合の一例としては、1層目の絶縁層として酸化珪素膜を設け、2層目の絶縁層として窒化珪素膜を設け、3層目の絶縁層として酸化珪素膜を設けることが可能である。

40

【0390】

半導体層5262、半導体層5303a、及び半導体層5303bの一例としては、非単結晶半導体（例えば、非晶質（アモルファス）シリコン、多結晶シリコン、微結晶シリコンなど）、単結晶半導体、化合物半導体若しくは酸化物半導体（例えば、 ZnO 、 InGaZnO 、 SiGe 、 GaAs 、 IZO 、 ITO 、 SnO 、 AZTO 、有機半導体、又はカーボンナノチューブなどがある。

【0391】

50

なお、例えば、領域 5 2 6 2 a は、不純物が半導体層 5 2 6 2 に添加されていない真性の状態であり、チャネル領域として機能する。ただし、領域 5 2 6 2 a に不純物を添加することが可能であり、領域 5 2 6 2 a に添加される不純物は、領域 5 2 6 2 b、領域 5 2 6 2 c、領域 5 2 6 2 d、又は領域 5 2 6 2 e に添加される不純物の濃度よりも低いことが好ましい。領域 5 2 6 2 b、及び領域 5 2 6 2 d は、領域 5 2 6 2 c 又は領域 5 2 6 2 e よりも低濃度の不純物が添加された領域であり、LDD 領域として機能する。ただし、領域 5 2 6 2 b、及び領域 5 2 6 2 d を省略することが可能である。領域 5 2 6 2 c、及び領域 5 2 6 2 e は、高濃度に不純物が半導体層 5 2 6 2 に添加された領域であり、ソース領域又はドレイン領域として機能する。

【0392】

なお、半導体層 5 3 0 3 b は、不純物元素としてリンなどが添加された半導体層であり、n 型の導電性を有する。

【0393】

なお、半導体層 5 3 0 3 a として、酸化物半導体、又は化合物半導体が用いられる場合、半導体層 5 3 0 3 b を省略することが可能である。

【0394】

絶縁層 5 2 6 3、絶縁層 5 3 0 2、及び絶縁層 5 3 5 6 の一例としては、酸化珪素 (SiO_x)、窒化珪素 (SiN_x)、酸化窒化珪素 (SiO_xN_y) ($x > y > 0$)、窒化酸化珪素 (SiN_xO_y) ($x > y > 0$) などの酸素若しくは窒素を有する膜、又はこれらの積層構造などがある。

【0395】

導電層 5 2 6 4、導電層 5 2 6 6、導電層 5 2 6 8、導電層 5 2 7 1、導電層 5 3 0 1、導電層 5 3 0 4、導電層 5 3 0 6、導電層 5 3 0 8、導電層 5 3 5 7、及び導電層 5 3 5 9 は、単層構造又は積層構造とすることができ、導電膜を用いて形成される。当該導電膜の一例としては、アルミニウム (Al)、タンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W)、ネオジム (Nd)、クロム (Cr)、ニッケル (Ni)、白金 (Pt)、金 (Au)、銀 (Ag)、銅 (Cu)、マンガン (Mn)、コバルト (Co)、ニオブ (Nb)、シリコン (Si)、鉄 (Fe)、パラジウム (Pd)、炭素 (C)、スカンジウム (Sc)、亜鉛 (Zn)、ガリウム (Ga)、インジウム (In)、錫 (Sn)、ジルコニウム (Zr)、セリウム (Ce) によって構成される群から選ばれた一つの元素の単体膜、又は、群から選ばれた一つ又は複数の元素を含む化合物などがある。なお、当該単体膜又は化合物は、リン (P)、ボロン (B)、ヒ素 (As)、及び／又は、酸素 (O) などを含むことが可能である。当該化合物の一例としては、前述した複数の元素から選ばれた一つ若しくは複数の元素を含む合金 (例えば、ITO、IZO、酸化珪素を含むインジウム錫酸化物 (ITSO)、酸化亜鉛 (ZnO)、酸化錫 (SnO)、酸化錫カドミウム (CTO)、アルミニウムネオジム (Al-Nd)、アルミニウムタングステン (Al-W)、アルミニウムジルコニウム (Al-Zr)、アルミニウムチタン (Al-Ti)、アルミニウムセリウム (Al-Ce)、マグネシウム銀 (Mg-Ag)、モリブデンニオブ (Mo-Nb)、モリブデントングステン (Mo-W)、モリブデントantal (Mo-Ta) などの合金材料)、前述した複数の元素から選ばれた一つ若しくは複数の元素と窒素との化合物 (例えば、窒化チタン、窒化タンタル、窒化モリブデンなどの窒化膜)、又は、前述した複数の元素から選ばれた一つ若しくは複数の元素とシリコンとの化合物 (例えば、タングステンシリサイド、チタンシリサイド、ニッケルシリサイド、アルミニウムシリコン、モリブデンシリコンなどのシリサイド膜) などがある。他にも、例えば、カーボンナノチューブ、有機ナノチューブ、無機ナノチューブ、又は金属ナノチューブなどのナノチューブ材料がある。

【0396】

絶縁層 5 2 6 5、絶縁層 5 2 6 7、絶縁層 5 2 6 9、絶縁層 5 3 0 5、及び絶縁層 5 3 5 8 の一例としては、単層構造の絶縁層、又はこれらの積層構造などがある。当該絶縁層の一例としては、酸化珪素 (SiO_x)、窒化珪素 (SiN_x)、若しくは酸化窒化珪素 (SiO_xN_y) などの酸素若しくは窒素を有する膜、又はこれらの積層構造などがある。

10

20

30

40

50

SiO_xN_y) ($x > y > 0$)、窒化酸化珪素 (SiN_xO_y) ($x > y > 0$) 等の酸素若しくは窒素を含む膜、DLC (ダイヤモンドライクカーボン) 等の炭素を含む膜、又は、シロキサン樹脂、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、若しくはアクリル等の有機材料などがある。

【0397】

発光層 5270 の一例としては、有機 EL 素子、又は無機 EL 素子などがある。有機 EL 素子の一例としては、正孔注入材料からなる正孔注入層、正孔輸送材料からなる正孔輸送層、発光材料からなる発光層、電子輸送材料からなる電子輸送層、電子注入材料からなる電子注入層など、若しくはこれらの材料のうち複数の材料を混合した層の単層構造、若しくはこれらの積層構造などがある。

10

【0398】

液晶層 5307 の一例、液晶層 5307 に適用可能な液晶材料の一例、又は液晶層 5307 を含む液晶素子に適用可能な液晶モードの一例としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、リオトロピックライオトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶 (PDLC)、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、プラズマアドレス液晶 (PALC)、バナナ型液晶、TN (Twisted Nematic) モード、STN (Super Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment)、ASV (Advanced Super View) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、ECB (Electrically Controlled Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、PDLC (Polymer Dispersed Liquid Crystal) モード、ゲストホストモード、ブルー相 (Blue Phase) モードなどがある。

20

【0399】

なお、絶縁層 5305 の上及び導電層 5306 の上には、配向膜として機能する絶縁層、突起部として機能する絶縁層などを形成することが可能である。

30

【0400】

なお、導電層 5308 の上には、カラーフィルタ、ブラックマトリクス、又は突起部として機能する絶縁層などを形成することが可能である。導電層 5308 の下には、配向膜として機能する絶縁層を形成することが可能である。

【0401】

本実施の形態のトランジスタは、実施の形態 1～実施の形態 8 に適用することが可能である。特に、図 36 (B) において、半導体層として、非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いる場合、トランジスタが劣化してしまう場合がある。よって、本実施の形態のトランジスタを半導体装置、シフトレジスタ、又は表示装置に用いると、これらの寿命が短くなってしまう。しかし、実施の形態 1～実施の形態 8 の半導体装置、シフトレジスタ、又は表示装置では、トランジスタの劣化を抑制することができる。したがって、本実施の形態のトランジスタを実施の形態 1～実施の形態 8 の半導体装置、シフトレジスタ、又は表示装置に適用することによって、これらの寿命を長くすることができる。

40

【0402】

(実施の形態 10)

本実施の形態では、トランジスタ、及び容量素子の作製工程の一例を示す。特に、半導体層として、酸化物半導体を用いる場合の作製工程について説明する。

50

【0403】

図37(A)～(C)を参照して、トランジスタ、及び容量素子の作製工程の一例について説明する。図37(A)～(C)には、トランジスタ5441、及び容量素子5442の作製工程の一例である。トランジスタ5441は、逆スタガ型薄膜トランジスタの一例であり、酸化物半導体層上にソース電極又はドレイン電極を介して配線が設けられているトランジスタの例である。

【0404】

まず、基板5420上に、スパッタリング法により第1導電層を全面に形成する。次に、第1フォトリソマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて、選択的に第1導電層のエッチングを行い、導電層5421、及び導電層5422を形成する。導電層5421は、ゲート電極として機能することが可能であり、導電層5422は、容量素子の一方の電極として機能することが可能である。ただし、これに限定されず、導電層5421、及び導電層5422は、配線、ゲート電極、又は容量素子の電極として機能する部分を有することが可能である。この後、レジストマスクを除去する。

10

【0405】

次に、絶縁層5423をプラズマCVD法又はスパッタリング法を用いて全面に形成する。絶縁層5423は、ゲート絶縁層として機能することが可能であり、導電層5421、及び導電層5422を覆うように形成される。なお、絶縁層5423の膜厚は、50nm～250nmである場合が多い。

【0406】

次に、第2フォトリソマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて、絶縁層5423を選択的にエッチングして導電層5421に達するコンタクトホール5424を形成する。この後、レジストマスクを除去する。ただし、これに限定されず、コンタクトホール5424を省略することが可能である。又は、酸化物半導体層の形成後に、コンタクトホール5424を形成することが可能である。ここまでの段階での断面図が図37(A)に相当する。

20

【0407】

次に、酸化物半導体層をスパッタリング法により全面に形成する。ただし、これに限定されず、酸化物半導体層をスパッタリング法により形成し、さらにその上にバッファ層（例えばn⁺層）を形成することが可能である。なお、酸化物半導体層の膜厚は、5nm～200nmである場合が多い。

30

【0408】

次に、第3フォトリソマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて、選択的に酸化物半導体層のエッチングを行う。この後、レジストマスクを除去する。

【0409】

次に、スパッタリング法により第2導電層を全面に形成する。次に、第4フォトリソマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて選択的に第2導電層のエッチングを行い、導電層5429、導電層5430、及び導電層5431を形成する。導電層5429は、コンタクトホール5424を介して導電層5421と接続される。導電層5429、及び導電層5430は、ソース電極又はドレイン電極として機能することが可能であり、導電層5431は、容量素子の他方の電極として機能することが可能である。ただし、これに限定されず、導電層5429、導電層5430、及び導電層5431は、配線、ソース若しくはドレイン電極、又は容量素子の電極として機能する部分を含むことが可能である。

40

【0410】

なお、この後、熱処理（例えば200℃～600℃の）を行う場合、この熱処理に耐えられる耐熱性を第2導電層に持たせることが好ましい。よって、第2導電層は、Alと、耐熱性の高い導電性材料（例えば、Ti、Ta、W、Mo、Cr、Nd、Sc、Zr、Ceなどの元素、これらの元素を組み合わせた合金、又は、これらの元素を成分とする窒化物

50

など)とを組み合わせた材料であることが好ましい。ただし、これに限定されず、第2導電層を積層構造にすることによって、第2導電層に高い耐熱性を持たせることができる。例えば、Alの上下に、Ti、又はMoなどの耐熱性の高い導電性材料を設けることが可能である。

【0411】

なお、第2導電層のエッチングの際に、さらに、酸化物半導体層の一部をエッチングして、酸化物半導体層5425を形成する。このエッチングによって、導電層5421と重なる部分の酸化物半導体層5425、又は、上方に第2の導電層が形成されていない部分の酸化物半導体層5425は、削られるので、薄くなる場合が多い。ただし、これに限定されず、酸化物半導体層5425は、エッチングされないことが可能である。ただし、酸化物半導体層5425の上に n^+ 層が形成される場合は、酸化物半導体層5425はエッチングされる場合が多い。この後、レジストマスクを除去する。このエッチングが終了した段階でトランジスタ5441と容量素子5442とが完成する。ここまでの段階での断面図が図37(B)に相当する。

10

【0412】

次に、大気雰囲気下又は窒素雰囲気下で200℃～600℃の加熱処理を行う。この熱処理により酸化物半導体層5425の原子レベルの再配列が行われる。このように、熱処理(光アニールも含む)によりキャリアの移動を阻害する歪が解放される。なお、この加熱処理を行うタイミングは限定されず、酸化物半導体層の形成後であれば、様々なタイミングで行うことが可能である。

20

【0413】

次に、絶縁層5432を全面に形成する。絶縁層5432は、単層構造であることが可能であるし、積層構造であることが可能である。例えば、絶縁層5432として有機絶縁層を用いる場合、有機絶縁層の材料である組成物を塗布し、大気雰囲気下又は窒素雰囲気下で200℃～600℃の加熱処理を行って、有機絶縁層を形成する。このように、酸化物半導体層5425に接する有機絶縁層を形成することにより、信頼性の高い薄膜トランジスタを作製することができる。なお、絶縁層5432として有機絶縁層を用いる場合、有機絶縁層の下に、窒化珪素膜、又は酸化珪素膜を設けることが可能である。

【0414】

なお、図37(C)においては、非感光性樹脂を用いて絶縁層5432を形成した形態を示すため、コンタクトホールが形成される領域の断面において、絶縁層5432の端部が角張っている。しかしながら、感光性樹脂を用いて絶縁層5432を形成すると、コンタクトホールが形成される領域の断面において、絶縁層5432の端部を湾曲させることが可能になる。この結果、後に形成される第3導電層又は画素電極の被覆率が向上する。

30

【0415】

なお、組成物を塗布する代わりに、その材料に応じて、ディップ法、スプレー塗布法、インクジェット法、印刷法、ドクターナイフ、ロールコーター、カーテンコーター、又はナイフコーター等を用いることが可能である。

【0416】

なお、酸化物半導体層を形成した後の加熱処理をせず、有機絶縁層の材料である組成物の加熱処理時に、酸化物半導体層5425の加熱処理を兼ねることが可能である。

40

【0417】

なお、絶縁層5432の膜厚は、200nm～5μm、好ましくは300nm～1μmとすることが可能である。

【0418】

次に、第3導電層を全面に形成する。次に、第5フォトマスクを用いたフォトリソグラフィ工程により形成したレジストマスクを用いて第3導電層を選択的にエッチングして、導電層5433、及び導電層5434を形成する。ここまでの段階での断面図が図37(C)に相当する。導電層5433、及び導電層5434は、配線、画素電極、反射電極、透光性電極、又は容量素子の電極として機能することが可能である。特に、導電層5434

50

は、導電層 5 4 2 2 と接続されるので、容量素子 5 4 4 2 の電極として機能することが可能である。ただし、これに限定されず、第 1 導電層を用いて形成された導電層と第 2 導電層を用いて形成された導電層とを接続する機能を有することが可能である。例えば、導電層 5 4 3 3 と導電層 5 4 3 4 とを接続することによって、導電層 5 4 2 2 と導電層 5 4 3 0 とを第 3 導電層（導電層 5 4 3 3 及び導電層 5 4 3 4）を介して接続されることが可能になる。

【0 4 1 9】

なお、容量素子 5 4 4 2 は、導電層 5 4 2 2 と導電層 5 4 3 4 とによって、導電層 5 4 3 1 が挟まれる構造になるので、容量素子 5 4 4 2 の容量値を大きくすることができる。ただし、これに限定されず、導電層 5 4 2 2 と導電層 5 4 3 4 との一方を省略することが可能である。

10

【0 4 2 0】

なお、レジストマスクをウェットエッチングで除去した後、大気雰囲気下又は窒素雰囲気下で 2 0 0 ℃～6 0 0 ℃の加熱処理を行うことが可能である。

【0 4 2 1】

以上の工程により、トランジスタ 5 4 4 1 と容量素子 5 4 4 2 とを作製することができる。

【0 4 2 2】

なお、図 3 7（D）に示すように、酸化物半導体層 5 4 2 5 の上に絶縁層 5 4 3 5 を形成することが可能である。絶縁層 5 4 3 5 は、第 2 導電層がパターニングされる場合に、酸化物半導体層 5 4 2 5 が削られることを防止する機能を有し、ストップ膜として機能する。よって、酸化物半導体層 5 4 2 5 の膜厚を薄くすることができるので、トランジスタの駆動電圧の低減、オフ電流の低減、ドレイン電流のオンオフ比の向上、又は S 値の改善などを図ることができる。なお、絶縁層 5 4 3 5 は、酸化物半導体層と絶縁層とを連続して全面に形成し、その後、フォトリソグラフィ工程により形成したレジストマスクを用いて選択的に当該絶縁層をパターニングすることによって、形成されることができる。その後、第 2 導電層を全面に形成し、第 2 導電層と同時に酸化物半導体層をパターニングする。つまり、同じマスク（レチクル）を用いて、酸化物半導体層と第 2 導電層とをパターニングすることが可能になる。この場合、第 2 導電層の下には、必ず酸化物半導体形成されることになる。こうして、工程数を増やすことなく、絶縁層 5 4 3 5 を形成することができる。このような製造プロセスでは、第 2 導電層の下に酸化物半導体層が形成される場合が多い。ただし、これに限定されず、酸化物半導体層をパターニングした後に、絶縁層を全面に形成し、当該絶縁層をパターニングすることによって、絶縁層 5 4 3 5 を形成することが可能である。

20

30

【0 4 2 3】

なお、図 3 7（D）において、容量素子 5 4 4 2 は、導電層 5 4 2 2 と導電層 5 4 3 1 とによって、絶縁層 5 4 2 3 と酸化物半導体層 5 4 3 6 とが挟まれる構造である。ただし、酸化物半導体層 5 4 3 6 を省略することが可能である。そして、導電層 5 4 3 0 と導電層 5 4 3 1 とは、第 3 導電層をパターニングして形成される導電層 5 4 3 7 を介して接続されている。このような構造は、一例として、液晶表示装置の画素に用いられることが可能である。例えば、トランジスタ 5 4 4 1 はスイッチングトランジスタとして機能し、容量素子 5 4 4 2 は保持容量として機能することが可能である。そして、導電層 5 4 2 1、導電層 5 4 2 2、導電層 5 4 2 9、導電層 5 4 3 7 は、各々、ゲート線、容量線、ソース線、画素電極として機能することが可能である。ただし、これに限定されない。なお、図 3 7（D）と同様に、図 3 7（C）においても、導電層 5 4 3 0 と導電層 5 4 3 1 とを第 3 導電層を介して接続することが可能である。

40

【0 4 2 4】

なお、図 3 7（E）に示すように、第 2 導電層をパターニングした後に、酸化物半導体層 5 4 2 5 を形成することが可能である。こうすることによって、第 2 導電層がパターニングされる場合、酸化物半導体層 5 4 2 5 は形成されていないので、酸化物半導体層 5 4 2

50

5が削られることがない。よって、酸化物半導体層5425の膜厚を薄くすることができるので、トランジスタの駆動電圧の低減、オフ電流の低減、ドレイン電流のオンオフ比の向上、又はS値の改善などを図ることができる。なお、酸化物半導体層5425は、第2導電層がパターニングされる後に、酸化物半導体層5425が全面に形成され、その後フォトリソグラフィ工程により形成したレジストマスクを用いて選択的に酸化物半導体層5425をパターニングすることによって形成されることができる。

【0425】

なお、図37(E)において、容量素子5442は、導電層5422と、第3導電層をパターニングして形成される導電層5439とによって、絶縁層5423と絶縁層5432とが挟まれる構造である。そして、導電層5422と導電層5430とは、第3導電層をパターニングして形成される導電層5438を介して接続される。さらに、導電層5439は、第2導電層をパターニングして形成される導電層5440と接続される。なお、図37(E)と同様に、図37(C)及び(D)においても、導電層5430と導電層5422とは、導電層5438を介して接続されることが可能である。

10

【0426】

なお、酸化物半導体層（又はチャネル層）の膜厚を、トランジスタがオフの場合の空乏層の厚さ以下にすることによって、完全空乏化状態を作り出すことが可能になる。こうして、オフ電流を低減することができる。これを実現するために、酸化物半導体層5425の膜厚は、20nm以下であることが好ましい。より好ましくは10nm以下である。さらに好ましくは6nm以下であることが好ましい。

20

【0427】

なお、トランジスタの動作電圧の低減、オフ電流の低減、ドレイン電流のオンオフ比の向上、S値の改善などを図るために、酸化物半導体層の膜厚は、トランジスタを構成する層の中で、一番薄いことが好ましい。例えば、酸化物半導体層の膜厚は、絶縁層5423よりも薄いことが好ましい。より好ましくは、酸化物半導体層の膜厚は、絶縁層5423の1/2以下であることが好ましい。より好ましくは、1/5以下であることが好ましい。さらに好ましくは、1/10以下であることが好ましい。ただし、これに限定されず、信頼性を向上させるために、酸化物半導体層の膜厚は、絶縁層5423よりも厚いことが可能である。特に、図37(C)のように、酸化物半導体層が削られる場合には、酸化物半導体層の膜厚は厚いほうが好ましいので、酸化物半導体層の膜厚は、絶縁層5423よりも厚いことが可能である。

30

【0428】

なお、トランジスタの絶縁耐圧を高くするために、絶縁層5423の膜厚は、第1導電層の膜厚よりも厚いことが好ましい。より好ましくは、絶縁層5423の膜厚は、第1導電層の5/4以上であることが好ましい。さらに好ましくは、4/3以上であることが好ましい。ただし、これに限定されず、トランジスタの移動度を高くするために、絶縁層5423の膜厚は、第1導電層よりも薄いことが可能である。

【0429】

なお、本実施の形態の基板、絶縁層、導電層、及び半導体層としては、他の実施の形態に述べる材料、又は本明細書において述べる材料と同様なものを用いることが可能である。

40

【0430】

本実施の形態のトランジスタを実施の形態1～実施の形態8の半導体装置、シフトレジスタ、又は表示装置に用いることによって、表示部を大きくすることができる。又は、表示部を高精細にすることができる。

【0431】

(実施の形態11)

本実施の形態では、シフトレジスタのレイアウト図（以下、上面図ともいう）について説明する。本実施の形態では、一例として、実施の形態4に述べるシフトレジスタのレイアウト図について説明する。なお、本実施の形態において説明する内容は、実施の形態4に述べるシフトレジスタの他にも、実施の形態1～実施の形態7の半導体装置、シフトレジ

50

スタ、又は表示装置に適用することが可能である。なお、本実施の形態のレイアウト図は一例であって、これに限定されるものではないことを付記する。

【0432】

本実施の形態のレイアウト図について、図38を参照して説明する。図38には、一例として、図5(A)のレイアウト図を示す。なお、図38の右部に示すハッチングパターンは、それぞれのハッチングパターンに付されている符号の構成要素のハッチングパターンを示すものである。

【0433】

図38に示すトランジスタ、又は配線などは、導電層701、半導体層702、導電層703、導電層704、及びコンタクトホール705によって構成される。ただし、これに

10

【0434】

導電層701は、ゲート電極、又は配線として機能する部分を含むことが可能である。半導体層702は、トランジスタの半導体層として機能する部分を含むことが可能である。導電層703は、配線、ソース電極、又はドレイン電極として機能する部分を含むことが可能である。導電層704は、透光性を有する電極、画素電極、又は配線として機能する部分を含むことが可能である。コンタクトホール705は、導電層701と導電層704とを接続する機能、又は導電層703と導電層704とを接続する機能を有する。

20

【0435】

本実施の形態では、トランジスタ101__1、トランジスタ101__2、トランジスタ201__1、及び／又は、トランジスタ202__2において、第2端子としての機能を有する導電層703と、導電層701とが重なる面積は、第1端子としての機能を有する導電層703と、導電層701とが重なる面積よりも小さいことが好ましい。こうすることによって、第2端子への電界の集中を抑制することができるので、トランジスタの劣化、又はトランジスタの破壊を抑制することができる。ただし、これに限定されず第2端子としての機能を有する導電層703と、導電層701とが重なる面積は、第1端子としての機能を有する導電層703と、導電層701とが重なる面積よりも大きいことが可能である。

30

【0436】

なお、導電層701と導電層703とが重なる部分には、半導体層702を形成することが可能である。こうすることによって、導電層701と導電層703との間の寄生容量を小さくすることができるので、ノイズの低減を図ることができる。同様の理由で、導電層703と導電層704とが重なる部分には、半導体層702を形成することが可能である。

【0437】

なお、導電層701の一部の上に導電層704を形成し、当該導電層701は、コンタクトホール705を介して導電層704と接続されることが可能である。こうすることによって、配線抵抗を下げることができる。又は、導電層701の一部の上に導電層703、及び導電層704を形成し、当該導電層701は、コンタクトホール705を介して当該導電層704と接続され、当該導電層703は、別のコンタクトホール705を介して当該導電層704と接続されることが可能である。こうすることによって、配線抵抗を下げる

40

【0438】

なお、導電層703の一部の上に導電層704を形成し、当該導電層703は、コンタクトホール705を介して導電層704と接続されることが可能である。こうすることによって、配線抵抗を下げる

【0439】

なお、導電層704の一部の下に導電層701、又は導電層703を形成し、当該導電層

50

704は、コンタクトホール705を介して、当該導電層701、又は当該導電層703と接続されることが可能である。こうすることによって、配線抵抗を下げることができる。

【0440】

なお、すでに述べたように、トランジスタ101__1のゲートと第1端子との間の寄生容量よりも、トランジスタ101__1のゲートと第2端子との間の寄生容量を大きくすることが可能である。図38に示すように、トランジスタ101__1の第1端子として機能することが可能な導電層703の幅を幅731と示し、トランジスタ101__1の第2端子として機能することが可能な導電層703の幅を幅732と示す。そして、幅731は、幅732よりも大きいことが可能である。こうすることによって、トランジスタ101__1のゲートと第1端子との間の寄生容量よりも、トランジスタ101__1のゲートと第2端子との間の寄生容量を大きくすることが可能である。ただし、これに限定されない。

10

【0441】

なお、すでに述べたように、トランジスタ101__2のゲートと第1端子との間の寄生容量よりも、トランジスタ101__2のゲートと第2端子との間の寄生容量を大きくすることが可能である。図38に示すように、トランジスタ101__2の第1端子として機能することが可能な導電層703の幅を幅741と示し、トランジスタ101__2の第2端子として機能することが可能な導電層703の幅を幅742と示す。そして、幅741は、幅742よりも大きいことが可能である。こうすることによって、トランジスタ101__2のゲートと第1端子との間の寄生容量よりも、トランジスタ101__2のゲートと第2端子との間の寄生容量を大きくすることが可能である。ただし、これに限定されない。

20

【0442】

(実施の形態12)

本実施の形態においては、電子機器の例について説明する。

【0443】

図39(A)乃至図39(H)、図40(A)乃至図40(D)は、電子機器を示す図である。これらの電子機器は、筐体5000、表示部5001、スピーカ5003、LEDランプ5004、操作キー5005(表示装置の動作を制御する操作スイッチ、又は電源スイッチを含む)、接続端子5006、センサ5007(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に問い又は赤外線を測定する機能を含むもの)、マイクロフォン5008、等を有することができる。

30

【0444】

図39(A)はモバイルコンピュータであり、上述したものの他に、スイッチ5009、赤外線ポート5010、等を有することができる。図39(B)は記録媒体を備えた携帯型の画像再生装置(たとえば、DVD再生装置)であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。図39(C)はゴーグル型ディスプレイであり、上述したものの他に、第2表示部5002、支持部5012、イヤホン5013、等を有することができる。図39(D)は携帯型遊技機であり、上述したものの他に、記録媒体読込部5011、等を有することができる。図39(E)はプロジェクタであり、上述したものの他に、光源5033、投射レンズ5034、等を有することができる。図39(F)は携帯型遊技機であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。図39(G)はテレビ受像器であり、上述したものの他に、チューナ、画像処理部、等を有することができる。図39(H)は持ち運び型テレビ受像器であり、上述したものの他に、信号の送受信が可能な充電器5017、等を有することができる。図40(A)はディスプレイであり、上述したものの他に、支持台5018、等を有することができる。図40(B)はカメラであり、上述したものの他に、外部接続ポート5019、シャッターボタン5015、受像部5016、等を有することができる。図40(C)はコンピュータであり、上述したものの他に、ポインティングデバイス5020、外部接続ポート5019、リーダ/ライタ5

40

50

021、等を有することができる。図40(D)は携帯電話機であり、上述したものの他に、アンテナ5014、携帯電話・移動端末向けの1セグメント部分受信サービス用チューナ、等を有することができる。

【0445】

図39(A)乃至図39(H)、図40(A)乃至図40(D)に示す電子機器は、様々な機能を有することができる。例えば、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、又は、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動又は手動で補正する機能、撮影した画像を記録媒体(外部又はカメラに内蔵)に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図39(A)乃至図39(H)、図40(A)乃至図40(D)に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。

【0446】

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。本実施の形態の電子機器と、実施の形態1～実施の形態9の半導体装置、シフトレジスタ、又は表示装置とを組み合わせることによって、信頼性の向上、歩留まりの向上、コストの削減、表示部の大型化、表示部の高精細化などを図ることができる。

【0447】

次に、半導体装置の応用例を説明する。

【0448】

図40(E)に、半導体装置を、建造物と一体にして設けた例について示す。図40(E)は、筐体5022、表示部5023、操作部であるリモコン装置5024、スピーカ5025等を含む。半導体装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

【0449】

図40(F)に、建造物内に半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル5026は、ユニットバス5027と一体に取り付けられており、入浴者は表示パネル5026の視聴が可能になる。

【0450】

なお、本実施の形態において、建造物として壁、ユニットバスを例としたが、本実施の形態はこれに限定されず、様々な建造物に半導体装置を設置することができる。

【0451】

次に、半導体装置を、移動体と一体にして設けた例について示す。

【0452】

図40(G)は、半導体装置を、自動車に設けた例について示した図である。表示パネル5028は、自動車の車体5029に取り付けられており、車体の動作又は車体内外から入力される情報をオンデマンドに表示することができる。なお、ナビゲーション機能を有していてもよい。

【0453】

図40(H)は、半導体装置を、旅客用飛行機と一体にして設けた例について示した図である。図40(H)は、旅客用飛行機の座席上部の天井5030に表示パネル5031を設けたときの、使用時の形状について示した図である。表示パネル5031は、天井50

10

20

30

40

50

30とヒンジ部5032を介して一体に取り付けられており、ヒンジ部5032の伸縮により乗客は表示パネル5031の視聴が可能になる。表示パネル5031は乗客が操作することで情報を表示する機能を有する。

【0454】

なお、本実施の形態において、移動体としては自動車車体、飛行機機体について例示したがこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等、様々なものに設置することができる。

【符号の説明】

【0455】

10	回路	10
11_1	スイッチ	
11_2	スイッチ	
11	スイッチ	
21	経路	
100	回路	
101	トランジスタ	
101p	トランジスタ	
101a	ダイオード	
102	トランジスタ	
102p	トランジスタ	20
111	配線	
112	配線	
111A	配線	
112A	配線	
112B	配線	
114A	配線	
114B	配線	
117A	配線	
117B	配線	
117C	配線	30
117D	配線	
117E	配線	
117F	配線	
117G	配線	
117H	配線	
117I	配線	
117J	配線	
117K	配線	
301a	ダイオード	
301p	トランジスタ	40
3020	画素	
3021	トランジスタ	
3022	液晶素子	
3023	容量素子	
302a	ダイオード	
302p	トランジスタ	
111	配線	
112	配線	
113	配線	
114	配線	50

1 1 5	配線	
1 1 6	配線	
1 1 7	配線	
1 1 8	配線	
1 2 0	回路	
1 2 1	容量素子	
1 2 2	トランジスタ	
2 0 0	回路	
2 0 1	トランジスタ	
2 0 2	トランジスタ	10
2 0 3	トランジスタ	
2 1 1	配線	
3 0 0	回路	
3 0 1	トランジスタ	
3 0 2	トランジスタ	
3 0 3	トランジスタ	
3 0 3 a	ダイオード	
3 0 3 p	トランジスタ	
3 0 4	トランジスタ	
3 0 4 a	ダイオード	20
3 0 4 p	トランジスタ	
3 1 0	回路	
3 1 1	トランジスタ	
3 1 2	トランジスタ	
3 1 3	トランジスタ	
3 1 4	トランジスタ	
3 1 5	容量素子	
3 1 6	トランジスタ	
3 2 0	回路	
3 2 1	トランジスタ	30
3 2 2	トランジスタ	
3 2 3	トランジスタ	
3 2 4	トランジスタ	
3 2 5	容量素子	
3 2 6	トランジスタ	
3 3 0	回路	
3 3 1	トランジスタ	
3 3 2	トランジスタ	
3 3 3	トランジスタ	
3 3 4	トランジスタ	40
3 3 5	トランジスタ	
3 3 6	トランジスタ	
3 4 2	トランジスタ	
3 4 4	トランジスタ	
5 0 0	シフトレジスタ	
5 0 1	フリップフロップ	
5 1 1	配線	
5 1 2	配線	
5 1 3	配線	
5 1 4	配線	50

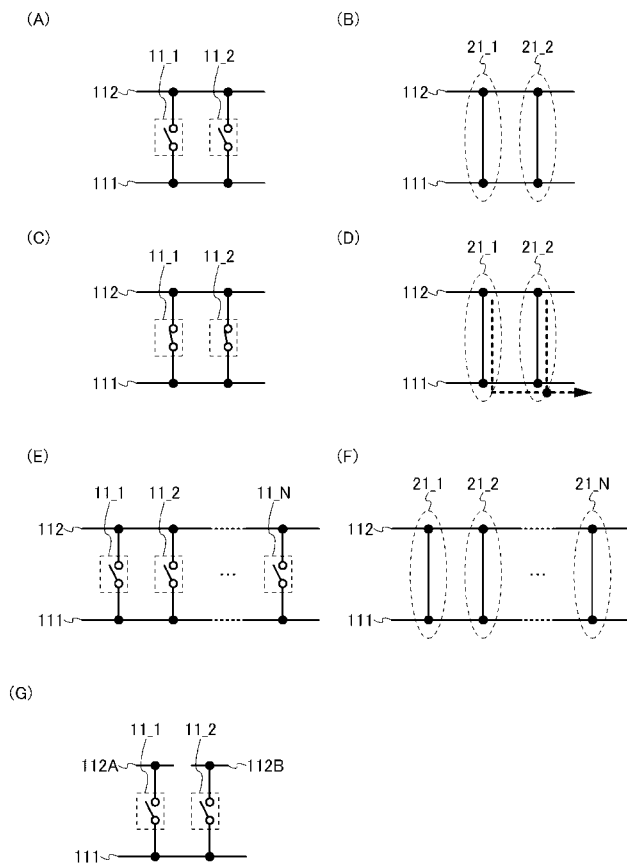
5 1 5	配線	
5 1 6	配線	
5 1 7	配線	
5 1 8	配線	
5 2 0	回路	
5 2 1	回路	
5 2 2	回路	
6 0 0	回路	
6 0 1	回路	
6 0 2	回路	10
6 0 3	トランジスタ	
6 0 4	配線	
6 0 5	配線	
6 1 4	信号	
6 1 5	信号	
7 0 1	導電層	
7 0 2	半導体層	
7 0 3	導電層	
7 0 4	導電層	
7 0 5	コンタクトホール	20
7 3 1	幅	
7 3 2	幅	
7 4 1	幅	
7 4 2	幅	
3 0 3 1	配線	
3 0 3 2	配線	
3 0 3 3	配線	
3 0 3 4	電極	
3 0 4 1	信号	
3 0 4 2	信号	30
3 0 4 3	電圧	
5 0 0 0	筐体	
5 0 0 1	表示部	
5 0 0 2	表示部	
5 0 0 3	スピーカ	
5 0 0 4	L E D ランプ	
5 0 0 5	操作キー	
5 0 0 6	接続端子	
5 0 0 7	センサ	
5 0 0 8	マイクロフォン	40
5 0 0 9	スイッチ	
5 0 1 0	赤外線ポート	
5 0 1 1	記録媒体読込部	
5 0 1 2	支持部	
5 0 1 3	イヤホン	
5 0 1 4	アンテナ	
5 0 1 5	シャッターボタン	
5 0 1 6	受像部	
5 0 1 7	充電器	
5 0 1 8	支持台	50

5 0 1 9	外部接続ポート	
5 0 2 0	ポインティングデバイス	
5 0 2 1	リーダ／ライター	
5 0 2 2	筐体	
5 0 2 3	表示部	
5 0 2 4	リモコン装置	
5 0 2 5	スピーカ	
5 0 2 6	表示パネル	
5 0 2 7	ユニットバス	
5 0 2 8	表示パネル	10
5 0 2 9	車体	
5 0 3 0	天井	
5 0 3 1	表示パネル	
5 0 3 2	ヒンジ部	
5 0 3 3	光源	
5 0 3 4	投射レンズ	
5 2 6 0	基板	
5 2 6 1	絶縁層	
5 2 6 2	半導体層	
5 2 6 3	絶縁層	20
5 2 6 4	導電層	
5 2 6 5	絶縁層	
5 2 6 6	導電層	
5 2 6 7	絶縁層	
5 2 6 8	導電層	
5 2 6 9	絶縁層	
5 2 7 0	発光層	
5 2 7 1	導電層	
5 2 7 3	絶縁層	
5 3 0 0	基板	30
5 3 0 1	導電層	
5 3 0 2	絶縁層	
5 3 0 4	導電層	
5 3 0 5	絶縁層	
5 3 0 6	導電層	
5 3 0 7	液晶層	
5 3 0 8	導電層	
5 3 5 0	領域	
5 3 5 1	領域	
5 3 5 2	半導体基板	40
5 3 5 3	領域	
5 3 5 4	絶縁層	
5 3 5 5	領域	
5 3 5 6	絶縁層	
5 3 5 7	導電層	
5 3 5 8	絶縁層	
5 3 5 9	導電層	
5 3 6 0	ビデオ信号	
5 3 6 1	回路	
5 3 6 2	回路	50

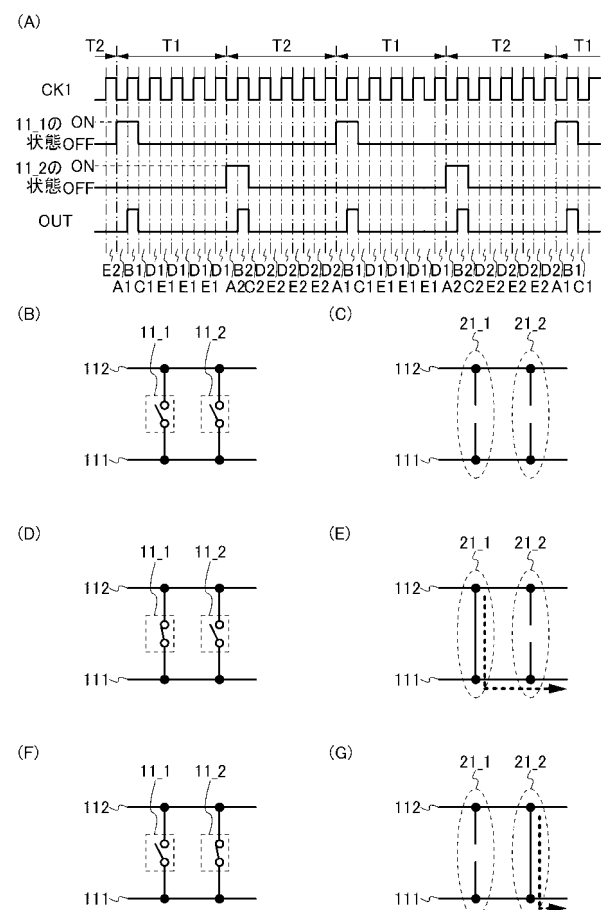
5 3 6 3	回路	
5 3 6 4	画素部	
5 3 6 5	回路	
5 3 6 6	照明装置	
5 3 6 7	画素	
5 3 7 1	配線	
5 3 7 2	配線	
5 3 7 3	配線	
5 3 8 0	基板	
5 3 8 1	入力端子	10
5 3 9 1	基板	
5 3 9 2	駆動回路	
5 3 9 3	画素部	
5 4 0 0	基板	
5 4 0 1	導電層	
5 4 0 2	絶縁層	
5 4 0 4	導電層	
5 4 0 5	絶縁層	
5 4 0 6	導電層	
5 4 0 7	液晶層	20
5 4 0 8	絶縁層	
5 4 0 9	導電層	
5 4 1 0	基板	
5 4 2 0	基板	
5 4 2 1	導電層	
5 4 2 2	導電層	
5 4 2 3	絶縁層	
5 4 2 4	コンタクトホール	
5 4 2 5	酸化物半導体層	
5 4 2 9	導電層	30
5 4 3 0	導電層	
5 4 3 1	導電層	
5 4 3 2	絶縁層	
5 4 3 3	導電層	
5 4 3 4	導電層	
5 4 3 5	絶縁層	
5 4 3 6	酸化物半導体層	
5 4 3 7	導電層	
5 4 3 8	導電層	
5 4 3 9	導電層	40
5 4 4 0	導電層	
5 4 4 1	トランジスタ	
5 4 4 2	容量素子	
3 0 2 0 A	サブ画素	
3 0 2 0 B	サブ画素	
3 0 2 1 A	トランジスタ	
3 0 2 1 B	トランジスタ	
3 0 2 2 A	液晶素子	
3 0 2 2 B	液晶素子	
3 0 2 3 A	容量素子	50

3 0 2 3 B	容量素子
3 0 3 1 A	配線
3 0 3 1 B	配線
3 0 3 2 A	配線
3 0 3 2 B	配線
5 2 6 2 a	領域
5 2 6 2 b	領域
5 2 6 2 c	領域
5 2 6 2 d	領域
5 2 6 2 e	領域
5 3 0 3 a	半導体層
5 3 0 3 b	半導体層
5 3 6 1 a	回路
5 3 6 1 b	回路
5 3 6 2 a	回路
5 3 6 2 b	回路
5 4 0 3 a	半導体層
5 4 0 3 b	半導体層

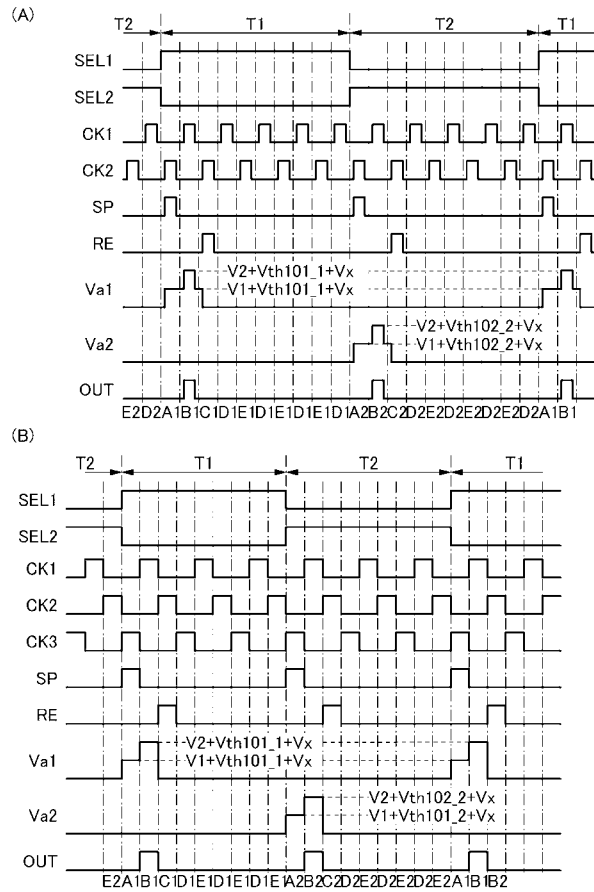
【図 1】



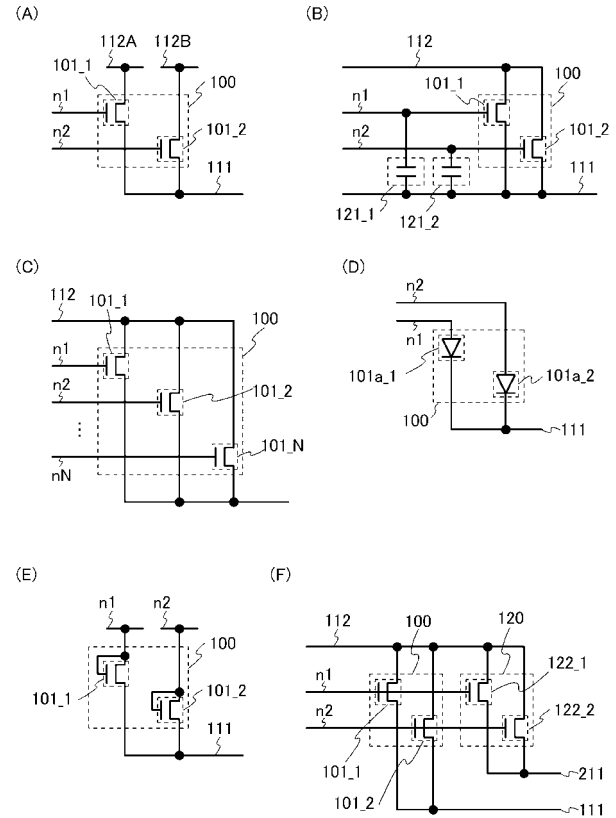
【図 2】



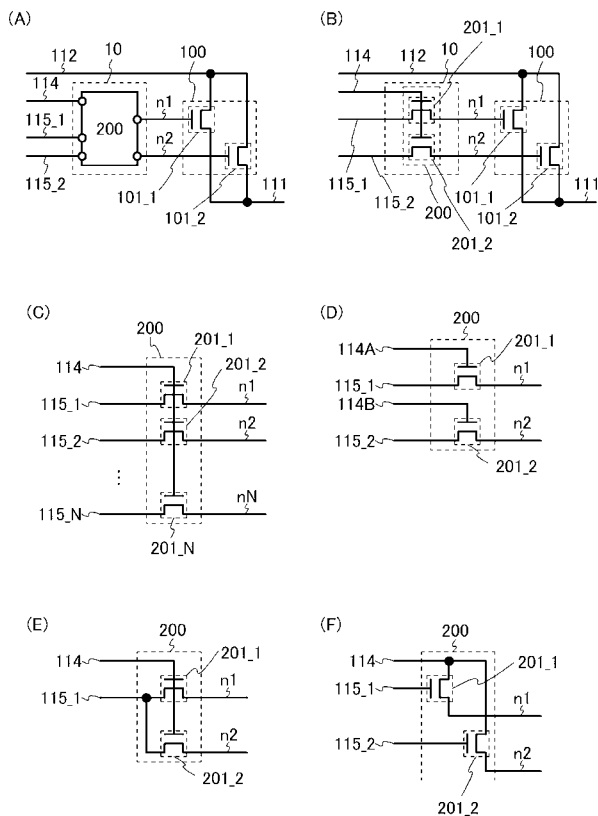
【図 7】



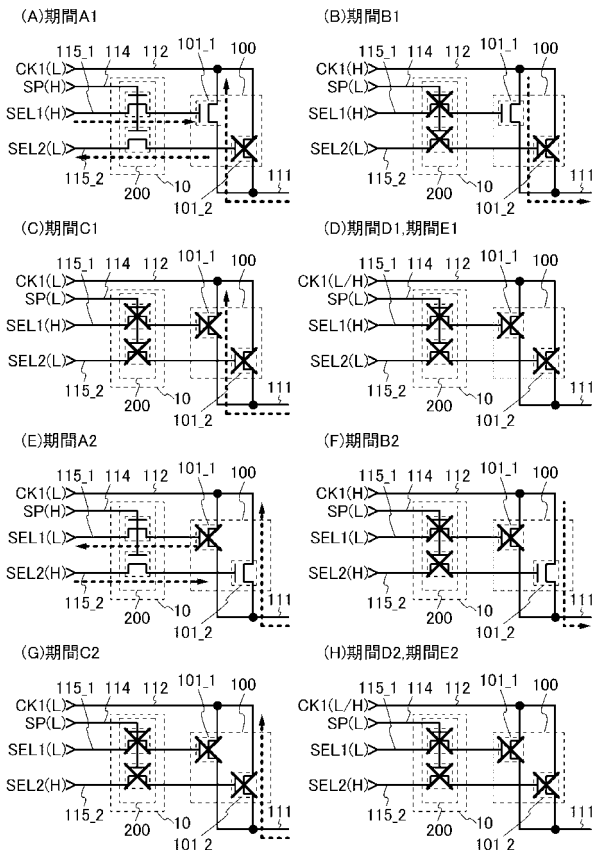
【図 8】



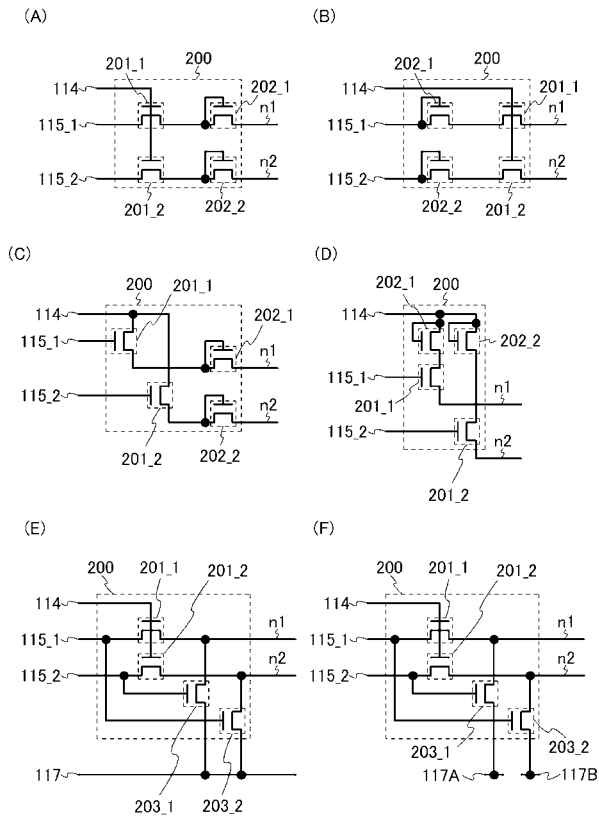
【図 9】



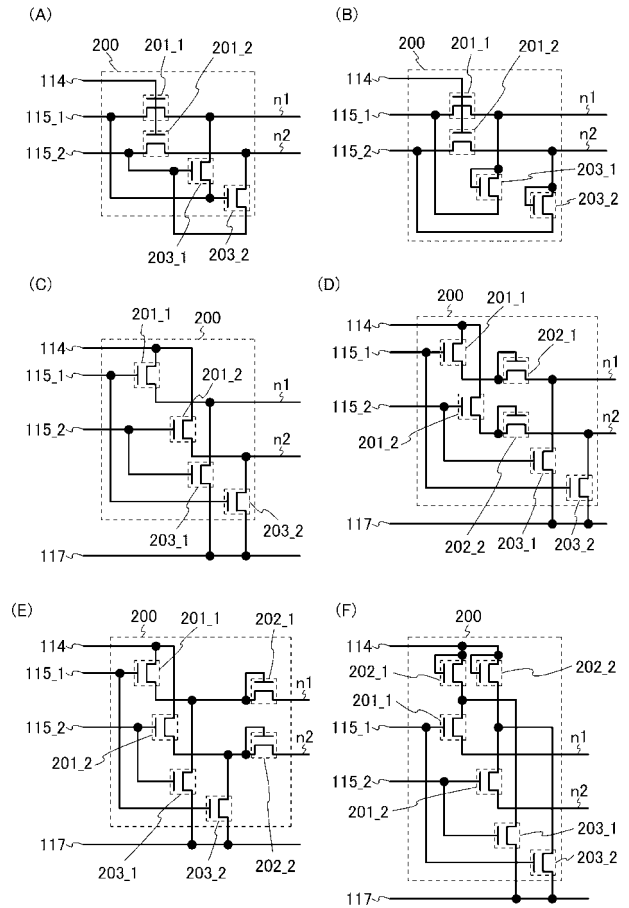
【図 10】



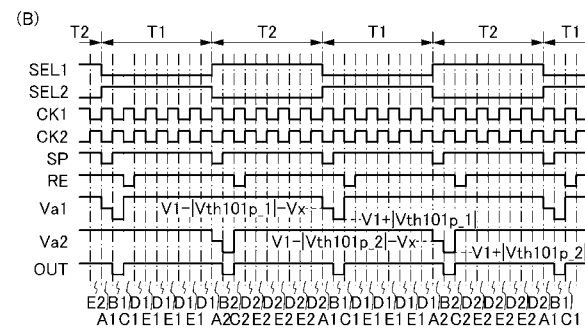
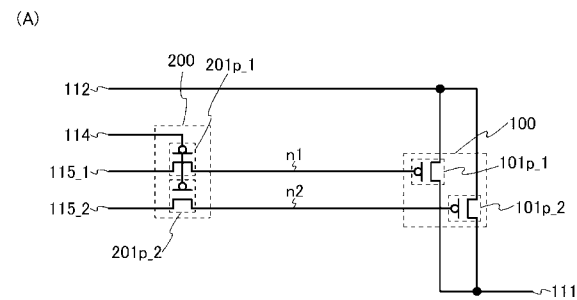
【図 1 1】



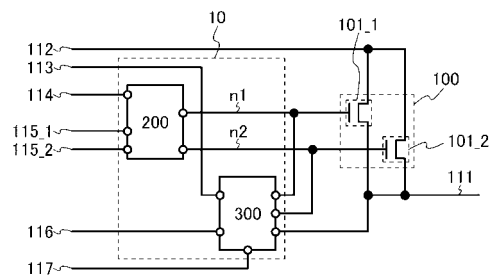
【図 1 2】



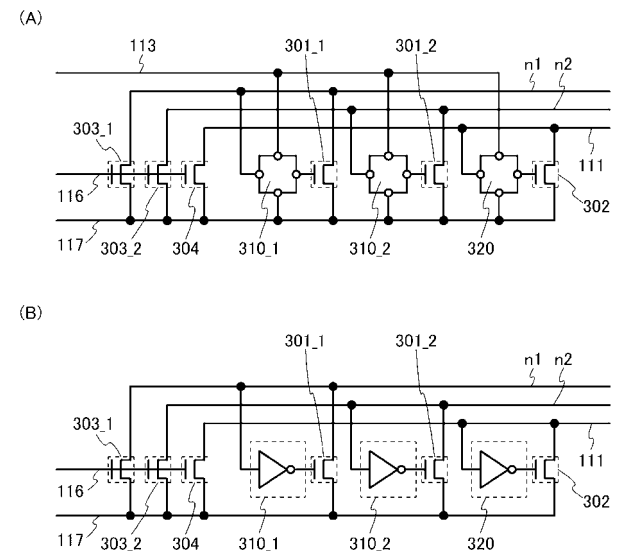
【図 1 3】



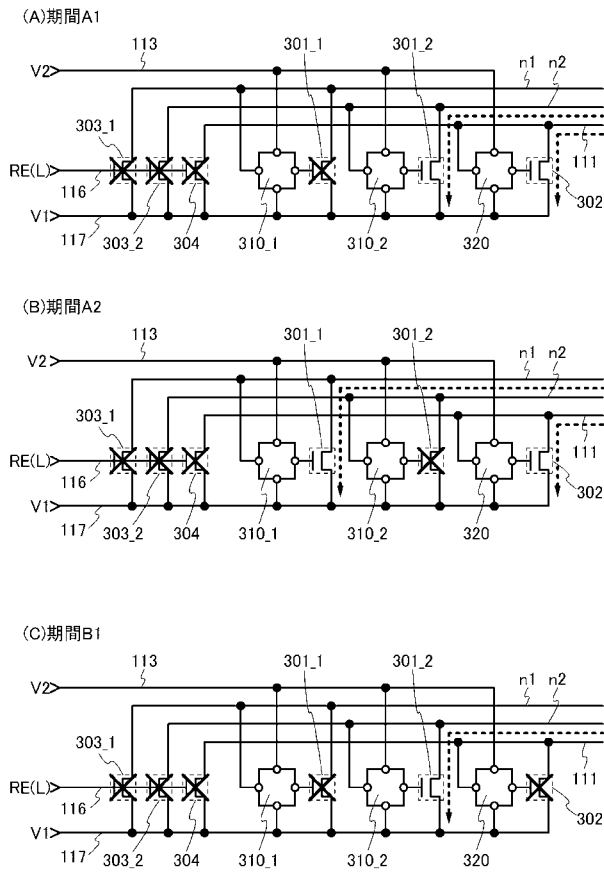
【図 1 4】



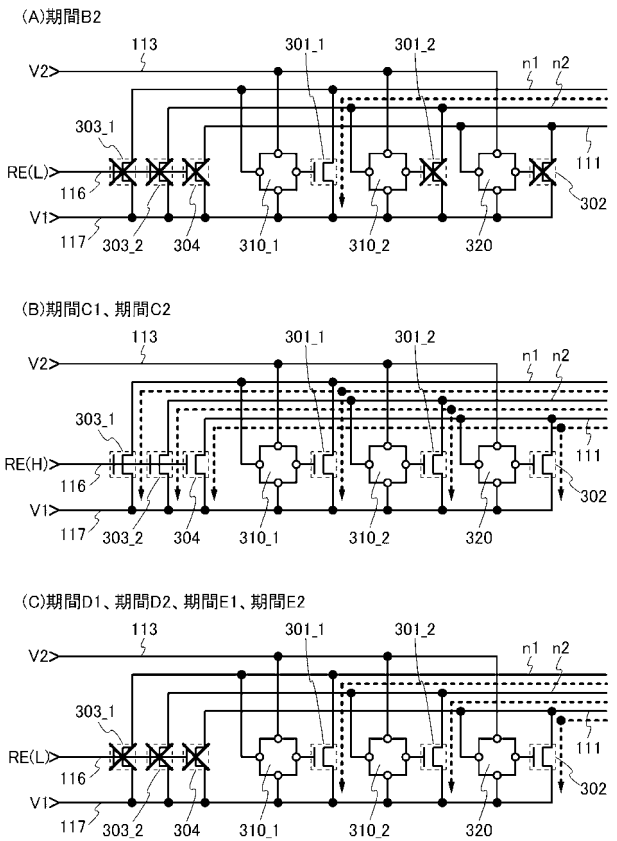
【図 1 5】



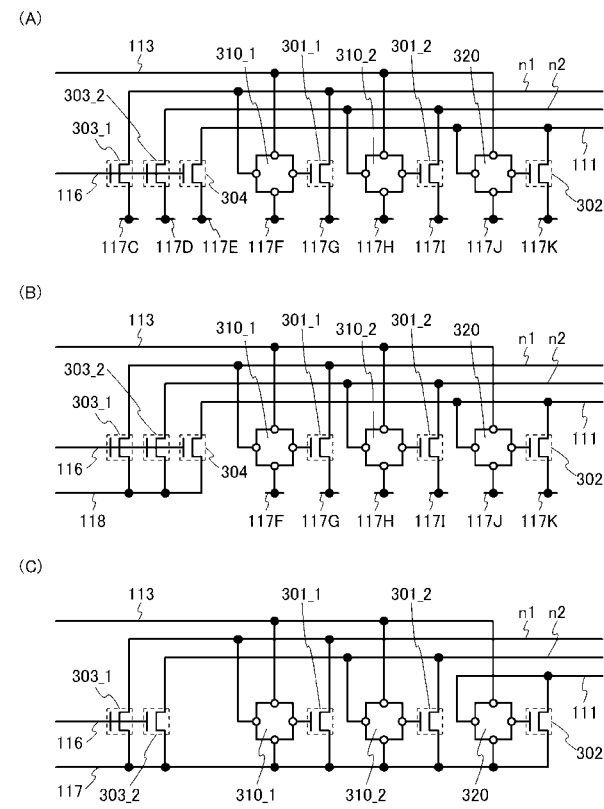
【図 16】



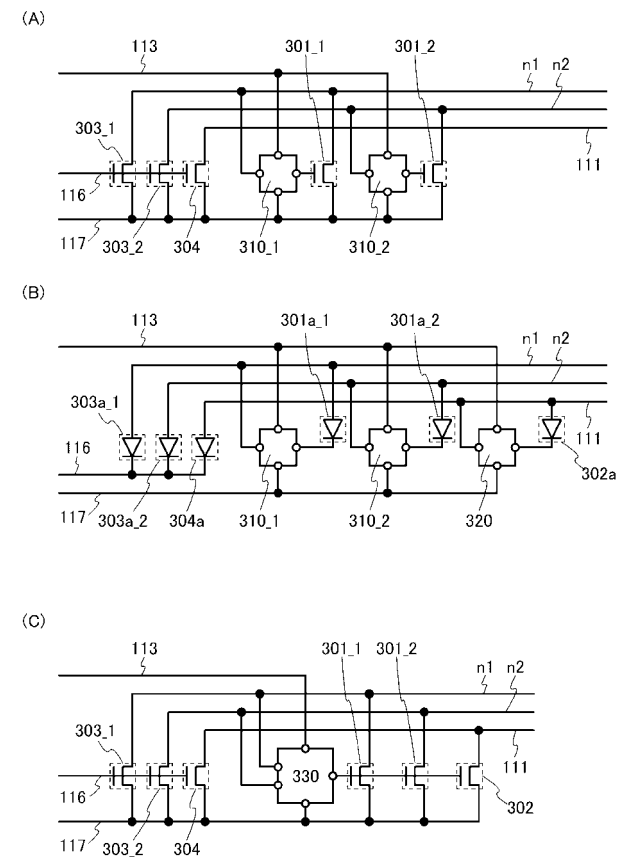
【図 17】



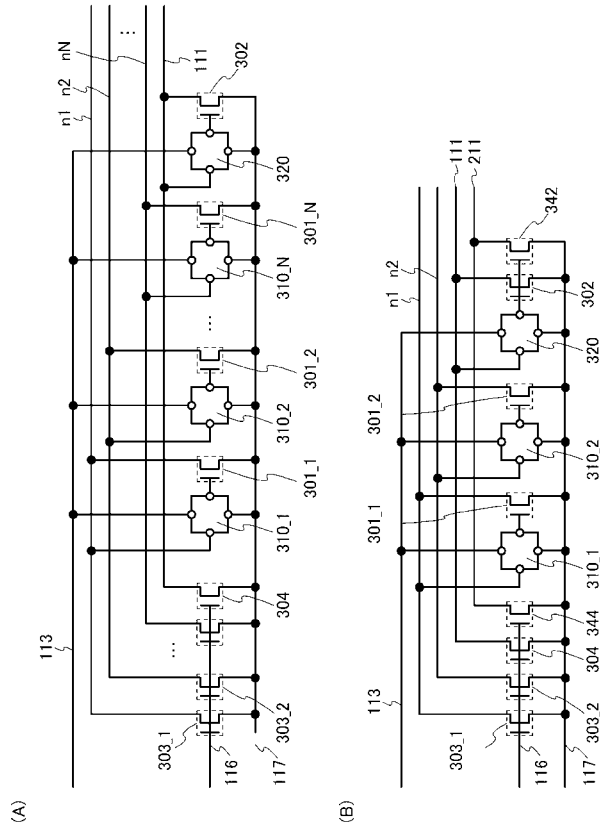
【図 18】



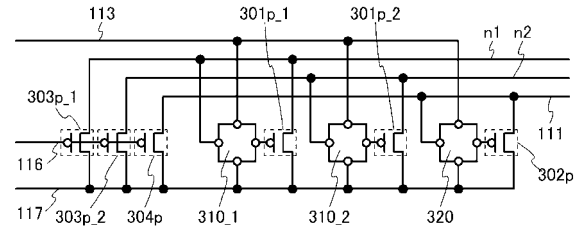
【図 19】



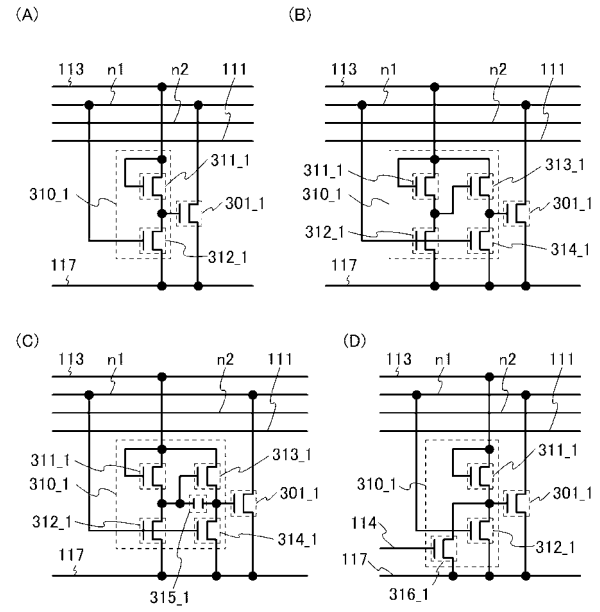
【図 20】



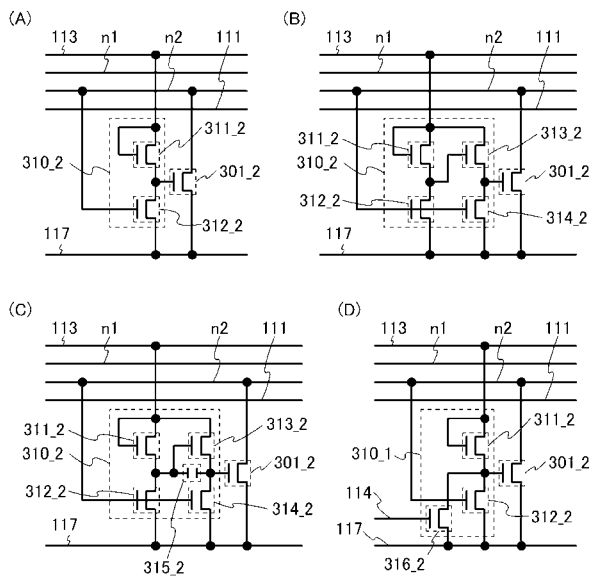
【図 21】



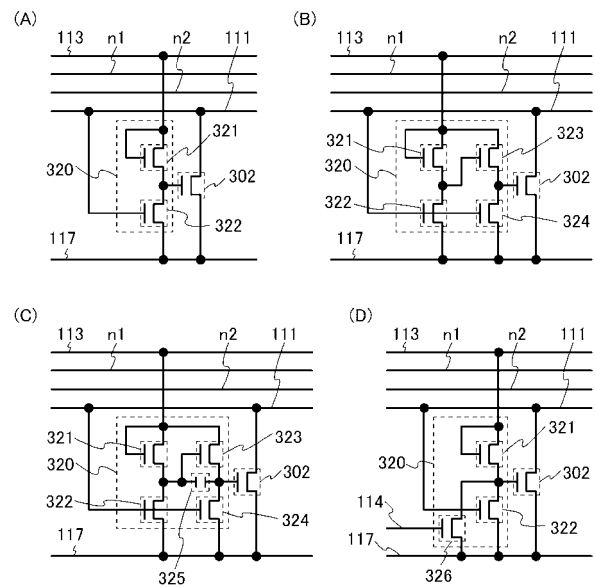
【図 22】



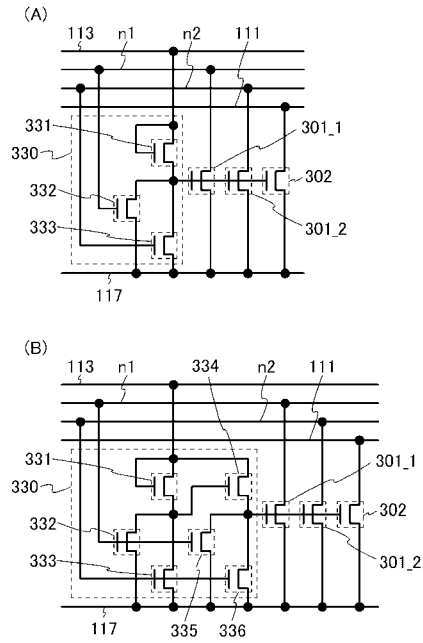
【図 23】



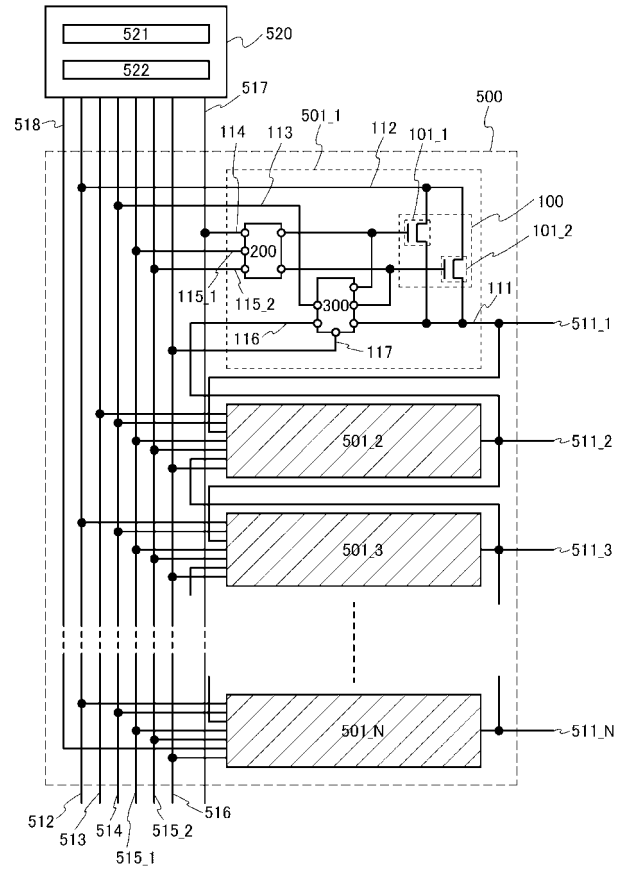
【図 24】



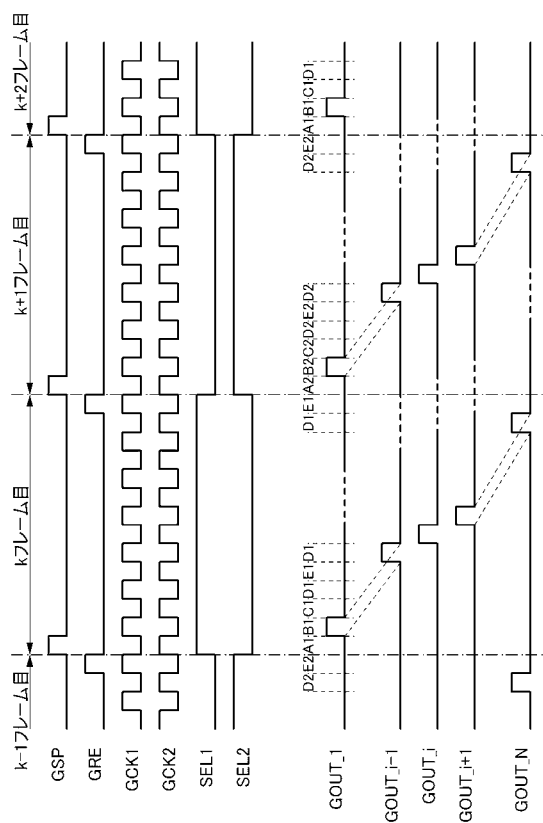
【図 25】



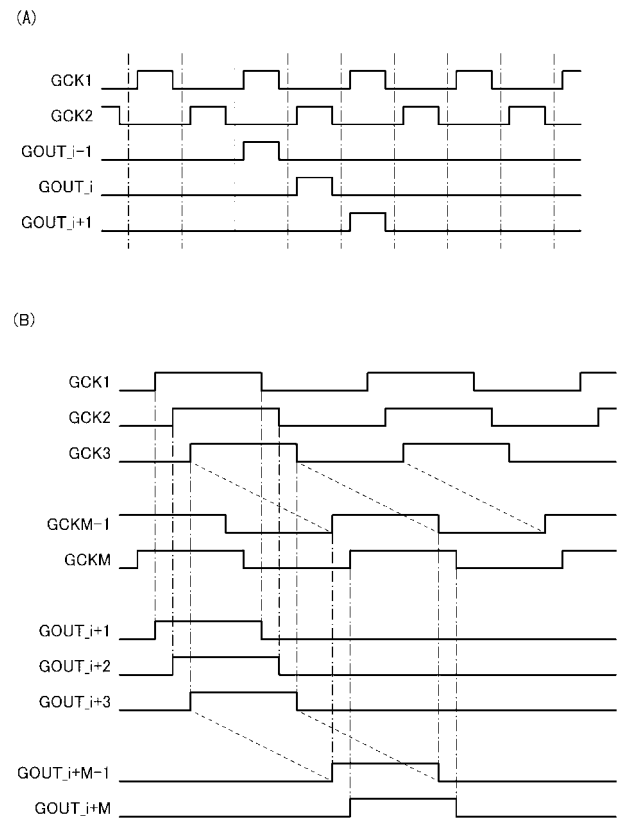
【図 26】



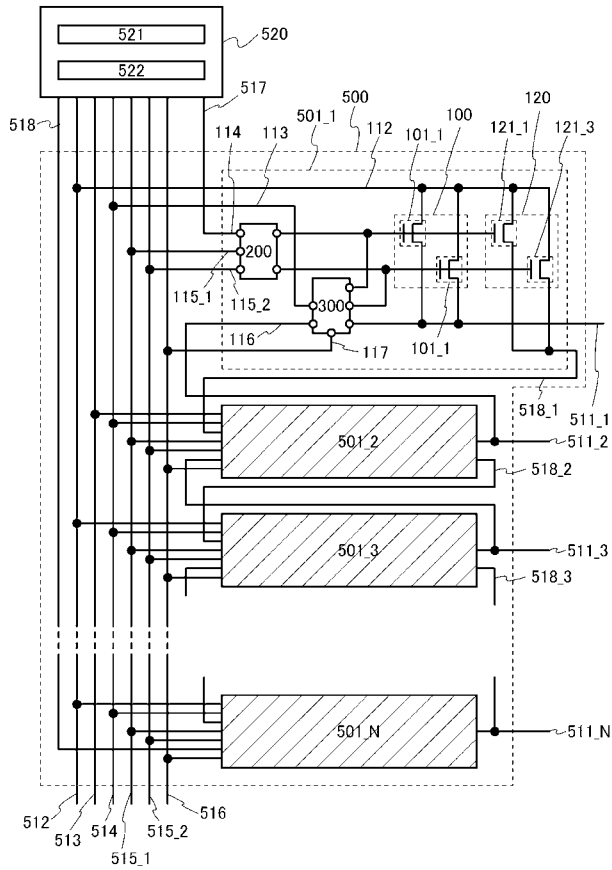
【図 27】



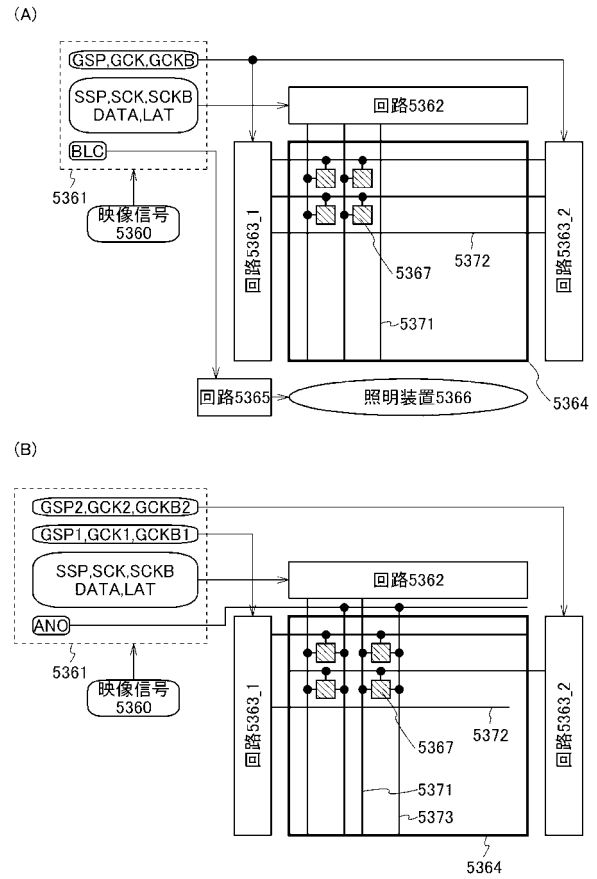
【図 28】



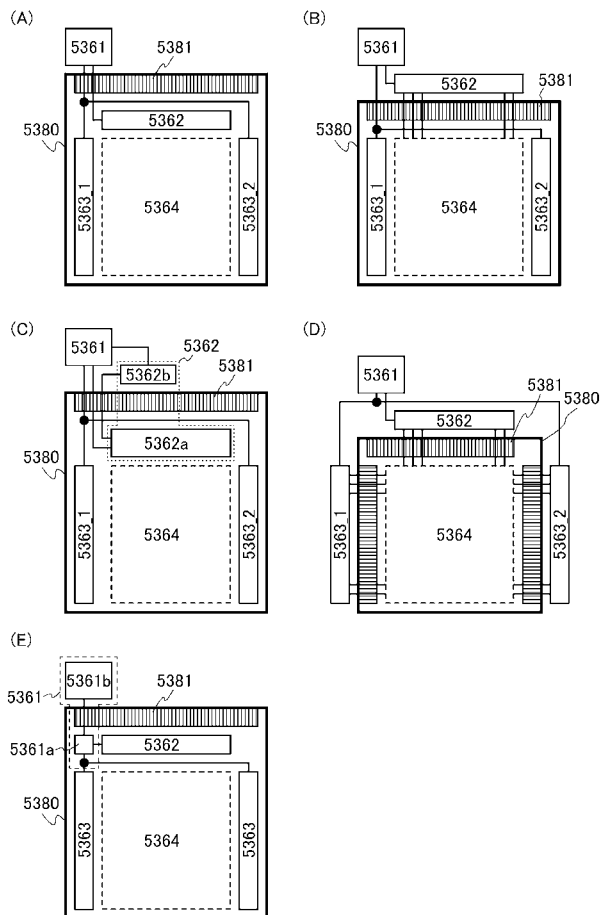
【図 29】



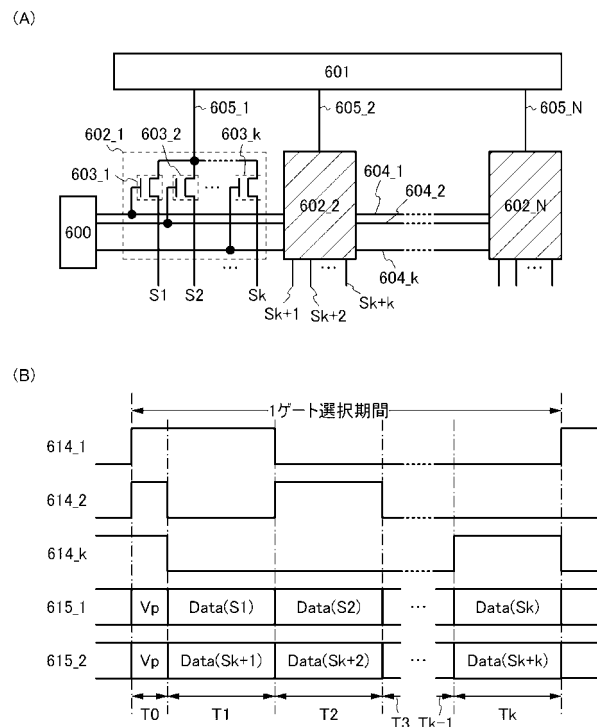
【図 30】



【図 31】

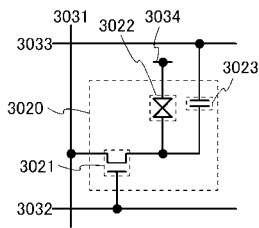


【図 32】

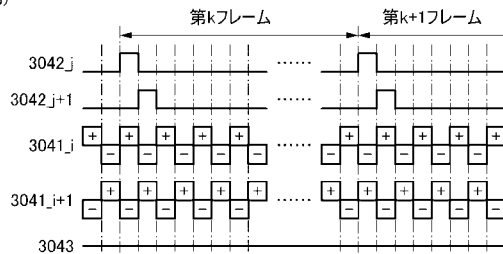


【図 3 3】

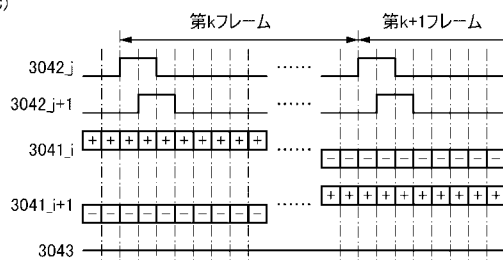
(A)



(B)

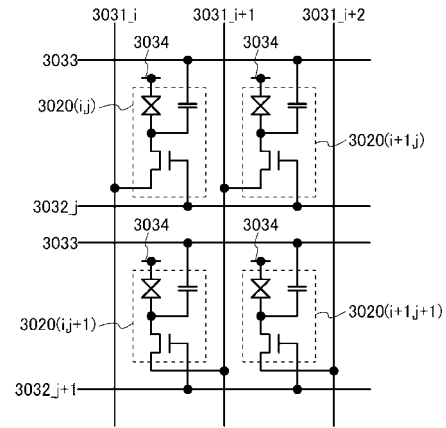


(C)

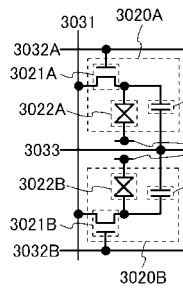


【図 3 4】

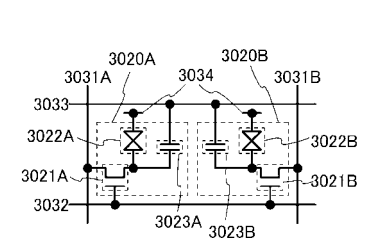
(A)



(B)

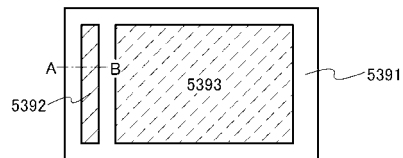


(C)

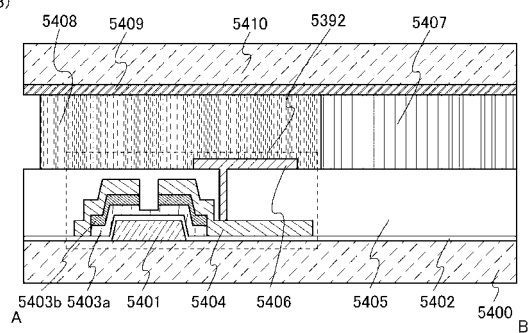


【図 3 5】

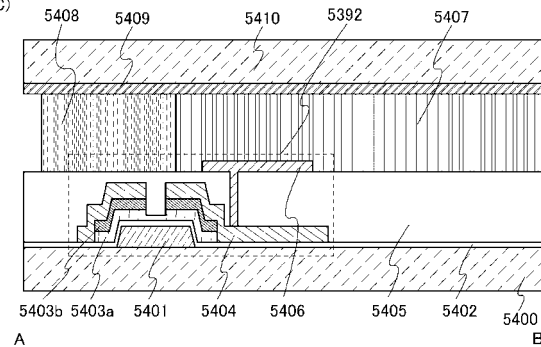
(A)



(B)

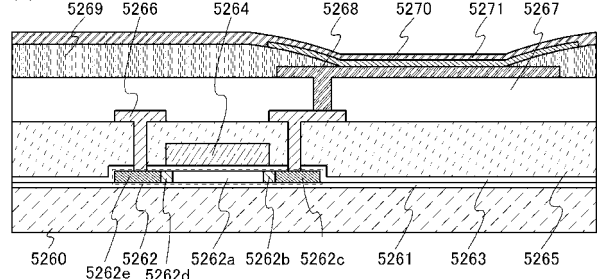


(C)

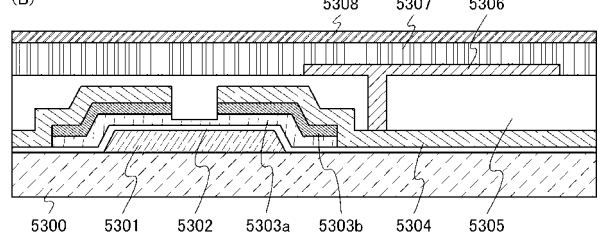


【図 3 6】

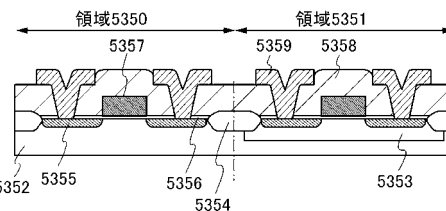
(A)



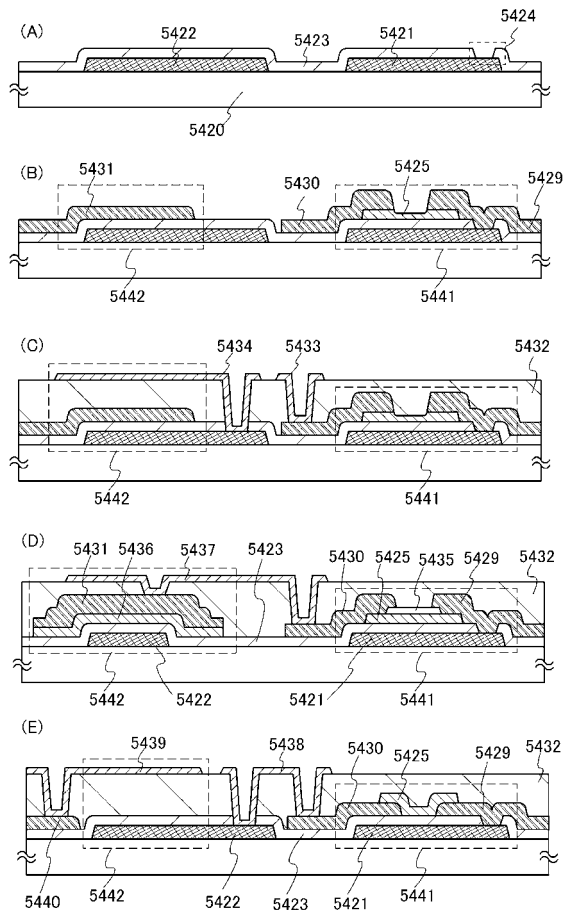
(B)



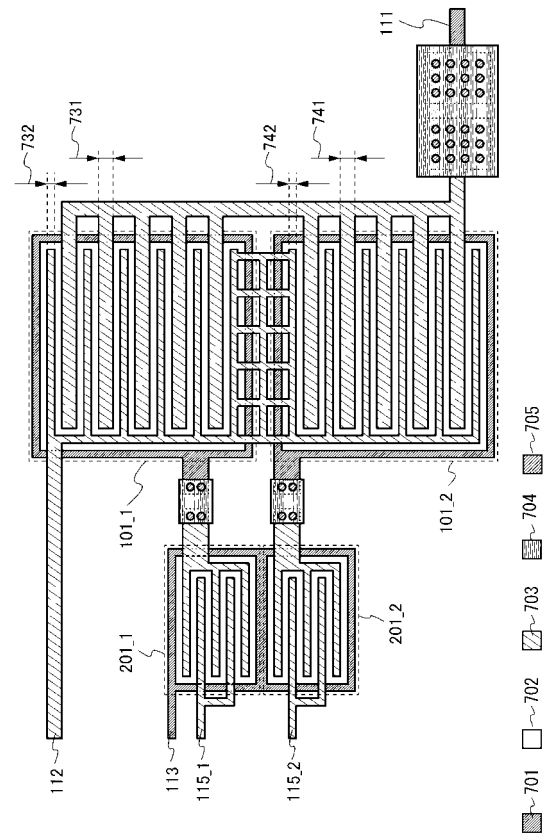
(C)



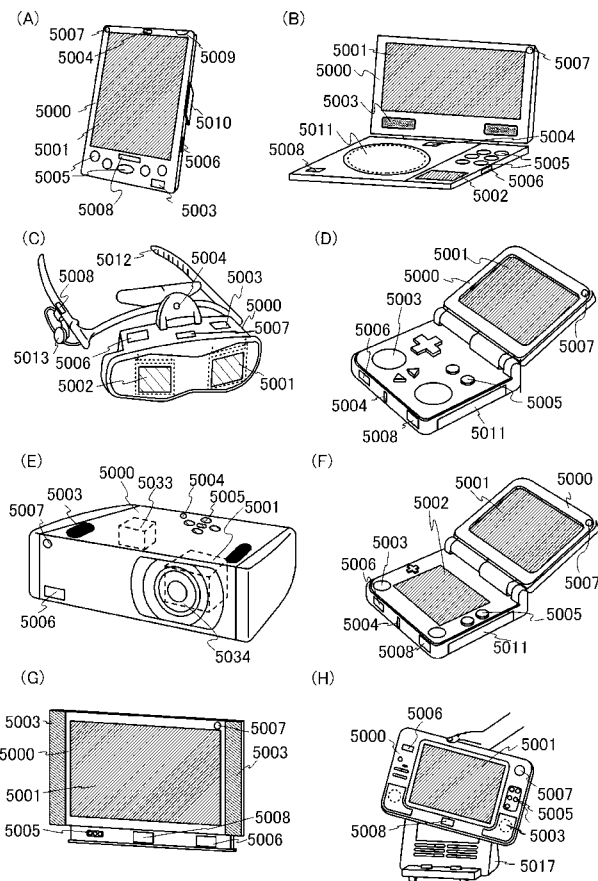
【図 37】



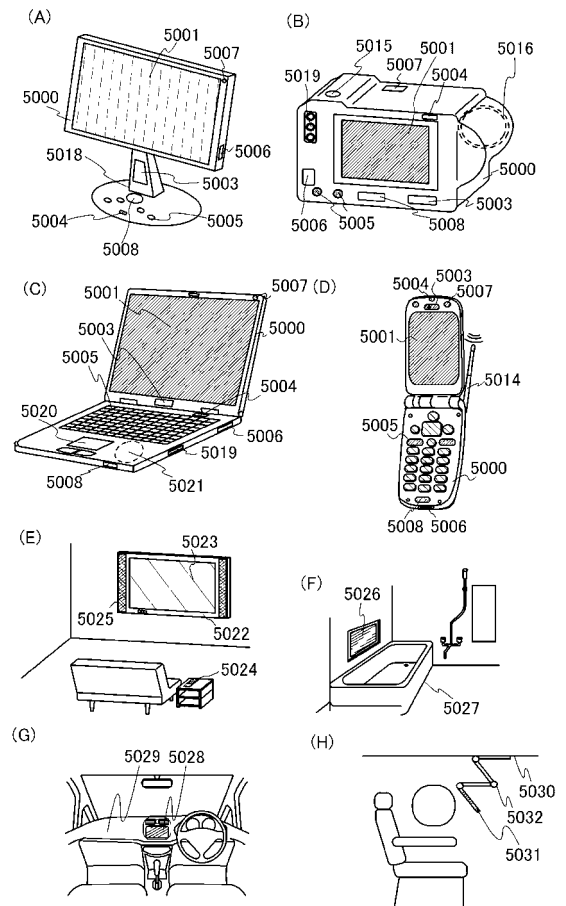
【図 38】



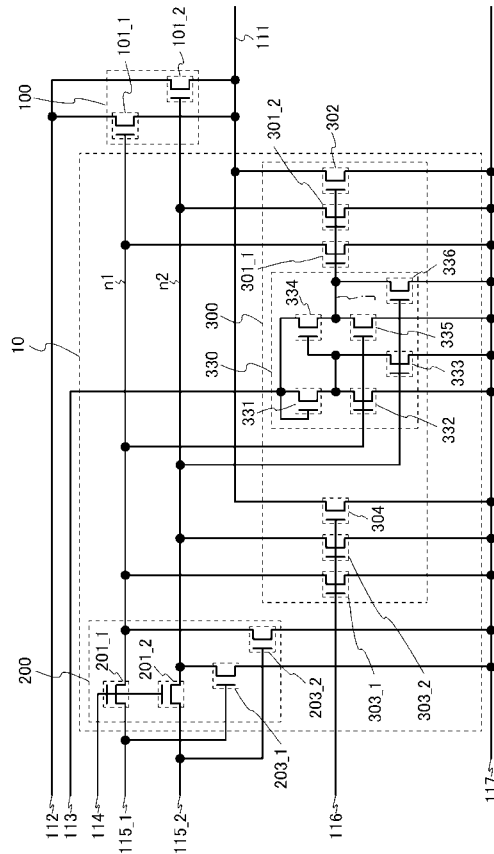
【図 39】



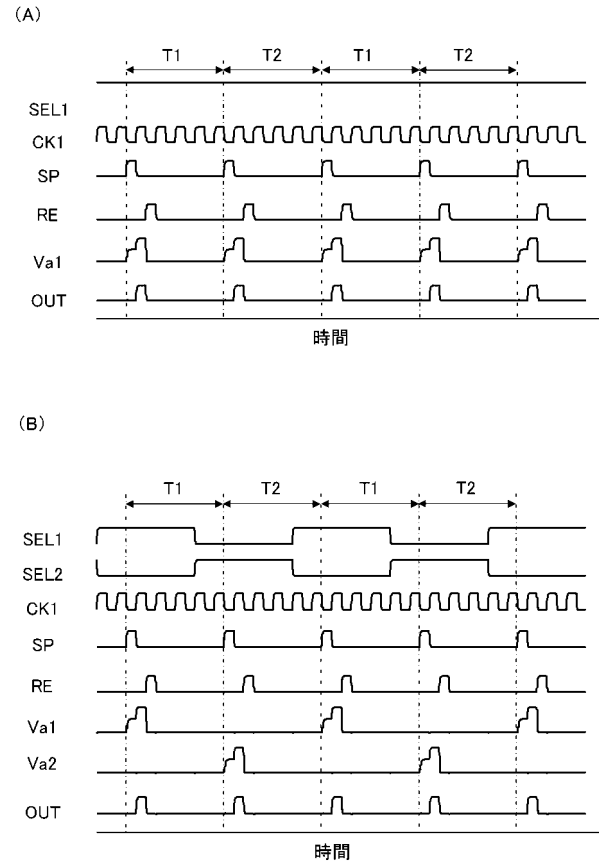
【図 40】



【図 4 1】



【図 4 2】



【手続補正書】

【提出日】平成29年12月7日(2017.12.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ゲートドライバをガラス基板上に有し、

前記ゲートドライバは、第1のトランジスタを有し、

前記第1のトランジスタは、第1のゲート電極と、第1の半導体層と、第1のソース電極と、第1のドレイン電極と、を有し、

前記第1の半導体層は、前記第1のゲート電極上方に設けられ、

前記第1のソース電極は、前記第1の半導体層上方に設けられ、

前記第1のドレイン電極は、前記第1の半導体層上方に設けられ、

前記第1のソース電極又は前記第1のドレイン電極の一方は、第1の導電層を有し、

前記第1のゲート電極は、第2の導電層を有し、

前記第1の導電層は、開口部を有し、

前記開口部は、前記第2の導電層と重なる領域と、前記第2の導電層と重ならない領域と、を有し、

前記第1のソース電極又は前記第1のドレイン電極の他方は、ゲート信号線と電氣的に接続される表示装置。

【請求項 2】

ゲートドライバをガラス基板上に有し、

前記ゲートドライバは、第1のトランジスタと、第2のトランジスタと、を有し、
前記第1のトランジスタは、第1のゲート電極と、第1の半導体層と、第1のソース電極と、第1のドレイン電極と、を有し、
前記第1の半導体層は、前記第1のゲート電極上方に設けられ、
前記第1のソース電極は、前記第1の半導体層上方に設けられ、
前記第1のドレイン電極は、前記第1の半導体層上方に設けられ、
前記第2のトランジスタは、第2のゲート電極と、第2の半導体層と、第2のソース電極と、第2のドレイン電極と、を有し、
前記第2の半導体層は、前記第2のゲート電極上方に設けられ、
前記第2のソース電極は、前記第2の半導体層上方に設けられ、
前記第2のドレイン電極は、前記第2の半導体層上方に設けられ、
前記第1のソース電極又は前記第1のドレイン電極の一方は、第1の導電層を有し、
前記第1の導電層は、前記第2のソース電極又は前記第2のドレイン電極の一方を有し、
、
前記第1のゲート電極は、第2の導電層を有し、
前記第1の導電層は、開口部を有し、
前記開口部は、前記第2の導電層と重なる領域と、前記第2の導電層と重ならない領域と、を有し、
前記第1のソース電極又は前記第1のドレイン電極の他方は、ゲート信号線と電氣的に接続される表示装置。

【請求項3】

第1の画素と、第2の画素と、ゲートドライバと、をガラス基板上に有し、
前記第1の画素及び前記第2の画素は、同じ列に属しており、
前記第1の画素は、第1のトランジスタと、第1の液晶素子と、を有し、
前記第2の画素は、第2のトランジスタと、第2の液晶素子と、を有し、
前記第1のトランジスタは、第1のゲート電極と、第1の半導体層と、第1のソース電極と、第1のドレイン電極と、を有し、
前記第2のトランジスタは、第2のゲート電極と、第2の半導体層と、第2のソース電極と、第2のドレイン電極と、を有し、
前記第1のゲート電極は、第1のゲート信号線と電氣的に接続され、
前記第2のゲート電極は、第2のゲート信号線と電氣的に接続され、
前記第1のソース電極又は前記第1のドレイン電極の一方は、第1のソース信号線と電氣的に接続され、
前記第2のソース電極又は前記第2のドレイン電極の一方は、第2のソース信号線と電氣的に接続され、
前記第1のソース電極又は前記第1のドレイン電極の他方は、前記第1の液晶素子と電氣的に接続され、
前記第2のソース電極又は前記第2のドレイン電極の他方は、前記第2の液晶素子と電氣的に接続され、
前記ゲートドライバは、第3のトランジスタを有し、
前記第3のトランジスタは、第3のゲート電極と、第3の半導体層と、第3のソース電極と、第3のドレイン電極と、を有し、
前記第3の半導体層は、前記第3のゲート電極上方に設けられ、
前記第3のソース電極は、前記第3の半導体層上方に設けられ、
前記第3のドレイン電極は、前記第3の半導体層上方に設けられ、
前記第3のソース電極又は前記第3のドレイン電極の一方は、第1の導電層を有し、
前記第3のゲート電極は、第2の導電層を有し、
前記第1の導電層は、開口部を有し、
前記開口部は、前記第2の導電層と重なる領域と、前記第2の導電層と重ならない領域と、を有し、

前記第 3 のソース電極又は前記第 3 のドレイン電極の他方は、前記第 1 のゲート信号線又は前記第 2 のゲート信号線の一方と電氣的に接続される表示装置。

【請求項 4】

第 1 の画素と、第 2 の画素と、ゲートドライバと、をガラス基板上に有し、

前記第 1 の画素及び前記第 2 の画素は、同じ列に属しており、

前記第 1 の画素は、第 1 のトランジスタと、第 1 の液晶素子と、を有し、

前記第 2 の画素は、第 2 のトランジスタと、第 2 の液晶素子と、を有し、

前記第 1 のトランジスタは、第 1 のゲート電極と、第 1 の半導体層と、第 1 のソース電極と、第 1 のドレイン電極と、を有し、

前記第 2 のトランジスタは、第 2 のゲート電極と、第 2 の半導体層と、第 2 のソース電極と、第 2 のドレイン電極と、を有し、

前記第 1 のゲート電極は、第 1 のゲート信号線と電氣的に接続され、

前記第 2 のゲート電極は、第 2 のゲート信号線と電氣的に接続され、

前記第 1 のソース電極又は前記第 1 のドレイン電極の一方は、第 1 のソース信号線と電氣的に接続され、

前記第 2 のソース電極又は前記第 2 のドレイン電極の一方は、第 2 のソース信号線と電氣的に接続され、

前記第 1 のソース電極又は前記第 1 のドレイン電極の他方は、前記第 1 の液晶素子と電氣的に接続され、

前記第 2 のソース電極又は前記第 2 のドレイン電極の他方は、前記第 2 の液晶素子と電氣的に接続され、

前記ゲートドライバは、第 3 のトランジスタと、第 4 のトランジスタと、を有し、

前記第 3 のトランジスタは、第 3 のゲート電極と、第 3 の半導体層と、第 3 のソース電極と、第 3 のドレイン電極と、を有し、

前記第 3 の半導体層は、前記第 3 のゲート電極上方に設けられ、

前記第 3 のソース電極は、前記第 3 の半導体層上方に設けられ、

前記第 3 のドレイン電極は、前記第 3 の半導体層上方に設けられ、

前記第 4 のトランジスタは、第 4 のゲート電極と、第 4 の半導体層と、第 4 のソース電極と、第 4 のドレイン電極と、を有し、

前記第 4 の半導体層は、前記第 4 のゲート電極上方に設けられ、

前記第 4 のソース電極は、前記第 4 の半導体層上方に設けられ、

前記第 4 のドレイン電極は、前記第 4 の半導体層上方に設けられ、

前記第 3 のソース電極又は前記第 3 のドレイン電極の一方は、第 1 の導電層を有し、

前記第 1 の導電層は、前記第 4 のソース電極又は前記第 4 のドレイン電極の一方を有し

、

前記第 3 のゲート電極は、第 2 の導電層を有し、

前記第 1 の導電層は、開口部を有し、

前記開口部は、前記第 2 の導電層と重なる領域と、前記第 2 の導電層と重ならない領域と、を有し、

前記第 3 のソース電極又は前記第 3 のドレイン電極の他方は、前記第 1 のゲート信号線又は前記第 2 のゲート信号線の一方と電氣的に接続される表示装置。

フロントページの続き

(51)Int.Cl.	F I			テーマコード (参考)		
H 0 1 L 51/50 (2006.01)	G 0 9 G	3/20	6 2 1 F	5 C 0 9 4		
H 0 5 B 33/14 (2006.01)	G 0 9 G	3/20	6 4 2 A	5 F 1 1 0		
H 0 1 L 27/32 (2006.01)	G 0 9 G	3/20	6 2 2 G			
H 0 1 L 21/336 (2006.01)	G 0 9 G	3/20	6 2 2 E			
H 0 1 L 29/786 (2006.01)	G 0 9 F	9/30	3 3 8			
	G 0 9 G	3/20	6 1 1 H			
	G 0 9 G	3/20	6 2 2 A			
	H 0 5 B	33/14	A			
	H 0 5 B	33/14	Z			
	H 0 1 L	27/32				
	H 0 1 L	29/78	6 1 2 D			

Fターム(参考)	3K107	AA01	AA05	BB01	BB08	CC14	CC21	CC33	CC35	CC36	CC43
		CC45	EE04								
	5B074	AA02	CA01								
5C006	AC21	AC23	AC26	AF13	AF50	AF81	AF82	BB16	BB28	BC03	
	BC06	BC11	BC20	BF03	BF04	BF06	BF24	BF25	BF27	BF34	
	BF37	BF42	EA01	EC09	FA12	FA14	FA22	FA37	FA47	FA51	
	GA01										
5C080	AA05	AA06	AA10	AA13	AA17	BB05	DD05	DD08	DD26	DD27	
	DD29	FF11	JJ02	JJ03	JJ04	JJ06	KK07	KK20	KK21	KK23	
	KK43										
5C094	BA03	BA25	BA27	BA31	BA43	BA75	CA19	DA13	DB04	FB12	
	FB14	FB15	HA03	HA05	HA06	HA07	HA08				
5F110	BB01	CC02	CC03	CC07	DD01	DD02	DD03	DD05	DD13	DD14	
	DD15	DD17	EE01	EE02	EE03	EE04	EE06	EE07	EE08	FF02	
	FF03	FF04	FF09	GG01	GG02	GG05	GG12	GG13	GG14	GG15	
	GG22	GG24	GG25	GG35	HJ01	HK01	HK02	HK03	HK04	HK06	
	HK07	HK08	HK21	HK25	HL02	HL03	HL04	HL06	HL07	HL08	
	HM15	NN02	NN04	NN12	NN22	NN23	NN24	NN27	NN40	NN71	
	NN72	QQ01	QQ06								