

# 公告本

申請日期：

Po. P. 28

案號：

P0124062

類別 H11 2/824

(以上各欄由本局填註)

## 發明專利說明書

533552

一、 發明名稱	中文	無控制閘極接觸之分開快閃記憶體
	英文	
二、 發明人	姓名 (中文)	1. 林建煒 2. 卓靜玟 3. 何大椿
	姓名 (英文)	1. 2. 3.
	國籍	1. 中華民國 2. 中華民國 3. 中華民國
	住、居所	1. 新竹市明湖路400巷26號 2. 南投縣竹山鎮集山路三段922號 3. 台中市向上北路284號3樓
三、 申請人	姓名 (名稱) (中文)	1. 台灣積體電路製造股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹科學工業園區園區三路121號
	代表人 姓名 (中文)	1. 張忠謀
代表人 姓名 (英文)	1.	



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

## 發明領域：

本發明係有關於非揮發性記憶元件，特別是指一種分開快閃記憶體共無控制閘極接觸之快閃記憶胞以節省單位記憶胞佔用面積之方法與元件結構。

## 發明背景：

在近年資訊爆炸的年代，快閃記憶體元件來成為一種重要且當紅之非揮發性記憶元件之一，已是勢不可擋。主要是拜快閃記憶體元件具有低消耗功率，存取迅速等優點且沒有硬碟不夠堅固的缺點。因此已大量的被使用於儲存資料像個人電腦特別是筆記型電腦，掌上型電子記事簿，行動電話，數位相機數位錄音筆與MP3播放器等電子產品。

傳統分開快閃記憶體元件，陳述如下：參考圖一，首先，在一半導體晶圓（例如矽晶圓）2之上表面以一耦合氧化層5（厚約7.0-10.0 nm，典型值約8.5 nm）覆蓋半導體晶圓之上表面的一部份（亦即浮置閘極區。一厚的浮置閘極10（厚約80-150 nm，典型值約120 nm）建構在耦合氧化層5之上。在浮置閘極10的上表面係以熱氧化法長一氧化區20，氧化區20的中央厚約150 nm，但兩邊則很薄，這樣的結果將使得浮置閘極10的上表面呈現出兩終端向上尖的



## 五、發明說明 (4)

閘極 145與浮置閘極 110之間的複晶矽間氧化層 130一如圖一所示之傳統分閘快閃記憶體胞結構。不過，本發明之快閃記憶體胞控制閘極 145則與習知技術不同，每一橫列之記憶體胞之控制閘極係一相連接的複晶矽層，而且僅有排列於記憶體胞區以外的區域，再形成一接觸區而承擔。此外，傳統分閘快閃記憶體胞耦合至浮置閘極 145下方的源極區，在本發明中則係位於左右隔離區 I 之間的擴散區 140取代，同時擴散區並串接縱行之記憶體胞，而成位元線。此外，請注意每列記憶體胞之左右浮置閘極 F 之間除了擴散區 140外尚有通道啟始電壓調整的通道區 142(也是圖三的 CH，請同時參考圖三的佈局示意圖。

圖三佈局圖中包含以隔離區域 I 以外的主動區、橫向數列控制閘極線 CG 形成於主動區上，控制閘極線 CG 覆蓋於浮置閘極 F 上，並且控制閘極及浮置閘極更包含部分邊緣覆蓋於隔離區域 I 上，擴散區 D 則係位於左右隔離區 I 之間的縱行的半導體基板內，經由退火處理，而使得擴散區 D 深入浮置閘極 F 下方，以增加耦合比。

圖四至圖七則示為達成圖二之快閃記憶體胞結構的形成方法。請先參考圖四，在隔離區 I 以傳統方法形成於半導體基板 100 之後，接著，全面以高溫熱氧化製程形成厚約 7.0-10.0 nm，典型值約 8.5 nm 的閘極氧化層 105(或稱耦合氧化層)。一第一複晶矽區 110 (厚約 80-150 nm，典型



## 五、發明說明 (5)

值約 120 nm)建構在耦合氧化層 105之上。接著，再沉積厚約 150至 200nm-氮化矽層 112在第一複晶矽區 110的上表面。隨後以微影製程形成光阻圖案(未圖示)在氮化矽層上，光阻圖案具有複數個開口，以定義浮置閘極區 114的位置。接著，再以蝕刻技術形成開口於氮化矽層 114之中。

請參考圖五，接著，再以高溫熱氧化製程以氮化矽圖案層 114為罩幕，長一氧化區 120，氧化區 120的中央厚約 150 nm，但兩邊則很薄，這樣的結果將使得第一複晶矽 110的上表面呈現出兩終端向上尖的結構。隨後，氮化矽層以熱磷酸鹽溶液去除。

請參考圖六，接著，以氧化區 120為罩幕，施以蝕刻製程，以留下複晶矽層 110區塊於終止層複晶矽氧化層 30再沉積一層薄的高溫氧化層，例如 HTO是覆蓋於半導體晶圓 100的上表面(厚度約為 15-25 nm)，及所有浮置閘極 110側壁及氧化區 120上。隨後，如圖所示，再施以離子佈植植入導電性雜質於半導體基板，以調整通道 142的啟始電壓。不過本步驟也可以省略。緊接著，再形成一光阻圖案(未圖示)以做為擴散區離子佈植的罩幕層，光阻圖案的開口，係如圖三所示佈局圖中之左右隔離區 I之間的區域 D。隨後，施以離子佈植，植入 n<sup>+</sup>導電性雜質。在去除光阻圖案後，另一高溫的熱處理製程，接著實施，以使擴散區



## 五、發明說明 (6)

140內的雜質向半導體晶圓內擴散，以形成一接面，並向浮置閘極區 110下的半導體晶圓 100擴散以增加耦合比。

接著，請參考圖七所示的橫截面示意圖，以化學氣相沉積法將第二複晶矽層 145，一致性的 (conformity) 覆蓋於複晶矽層間氧化層 130的上方，厚度約為 150-250 nm。最後，形成光阻圖案 (未圖示) 定義控制閘極線，再以氧化層 130為蝕刻終止層，以 HBr/Cl<sub>2</sub>/O<sub>2</sub> 電漿蝕刻去除裸露之複晶矽層 145。以形成控制閘極 (字線)，蝕刻後之結構如圖二所示的橫截面示意圖，及圖三之佈局示意圖所指的區域。

依據圖二及圖三，本發明之記憶胞陣列係無控制閘極接觸的，與傳統之 NOR型快閃記憶胞有很大的不同，因此，以下將說明其操作原理。首先請參考圖三。依據本發明之設計，當欲對記憶胞乙程式化 (programming) 時，則通過記憶胞乙之控制閘極就連接至一高電壓，以使這一控制閘極 ON，接著使記憶胞乙之擴散區也連接至高電壓，其餘相鄰各記憶胞甲、丙的擴散區均接地。讀取乙記憶胞的狀態時，乙記憶胞之控制閘極線施加一約比無電荷在浮置閘極內時之啟始電壓稍大的電壓，以使乙記憶胞 ON，同樣乙記憶胞之擴散區連接一正電壓並且鄰近記憶胞甲、丙之擴散區 (接地)。當乙記憶胞之浮置閘極內有電荷時，啟始電壓大於加以控制閘極的電壓，因此，就讀不到電流。反



## 五、發明說明 (7)

之乙記憶胞之浮置閘極無電荷時，就可讀到電流。資料抹除時，指定列的控制閘極整條加大電壓即可使該被指定列之浮置閘極自氧化區的尖端電場而移出電荷。本發明讀取狀態仍然可以很容易分辨。

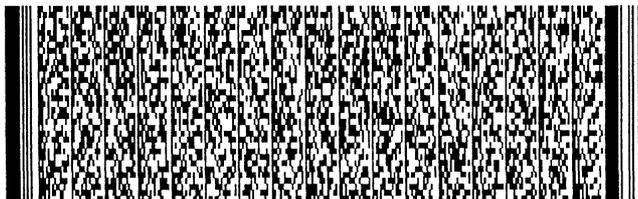
本發明具有如下之優點：

1每列記憶胞共用一控制閘極線字線，記憶胞區域內每個記憶胞不需另外形成接觸因此，可以縮減單位記憶胞所需的矽平面面積。

2資料抹除的速率可以更快。

3由於控制閘極只需定義控制閘極線，因此，可減少控制閘極對浮置閘極疊對誤差的問題。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請專利範圍內。



## 圖式簡單說明

圖式簡單說明：

本發明的較佳實施例將於往後之說明文字中輔以下列圖形做更詳細的闡述：

圖一顯示傳統 NOR 型分開快閃記憶體的橫截面圖。

圖二顯示本發明之分開快閃記憶體共用控制閘極的橫截面示意圖。

圖三顯示本發明之分開快閃記憶體陣列佈局之示意圖。

圖四顯示依據本發明之方法形成閘極氧化層第一複晶矽層及氮化矽層，該氮化矽層並經圖案化以定義浮置閘極。

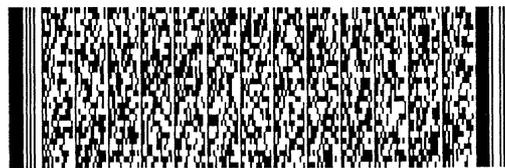
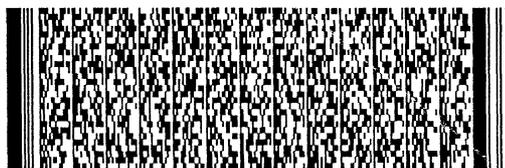
圖五顯示依據本發明之方法施以高溫熱氧化製程以形成氧化區塊的橫截面示意圖。

圖六顯示在去除氮化矽層後，再以氧化區塊為罩幕，施以蝕刻複晶矽層而形成浮置閘極，並施以通道及縱列擴散區之離子佈植及沉積複晶矽間氧化層的橫截面示意圖。

圖七顯示形成第二複晶矽層，再予以圖案化以形成控制閘極線的橫截面示意圖。

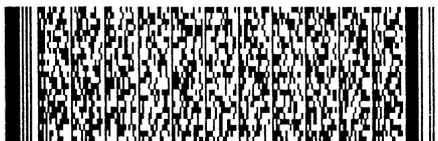
圖號對照表：

耦合氧化層	5	半導體晶圓	2
浮置閘極區	10、110	氧化區塊	20、120
複晶矽間氧化層	30、130	源極區	40



## 圖式簡單說明

控制閘極區	45、145	汲極區	50
擴散區	140、D	通道區	142
半導體基板	100	閘極氧化層	105
氮化矽層	112	浮置閘極區	114、F
隔離區域	I		



#### 六、申請專利範圍

之浮置閘極下之擴散區亦施加一正電壓，該記憶胞相鄰之擴散區接地而達成。

5.如申請專利範圍第1項之無控制閘極接觸區分開快閃記憶胞陣列結構，其中上述之每一記憶胞之讀取，係經由通過該記憶胞之控制閘極線加一正電壓，且通過該記憶胞之浮置閘極下之擴散區亦施加一正電壓，該記憶胞相鄰之擴散區接地而達成。

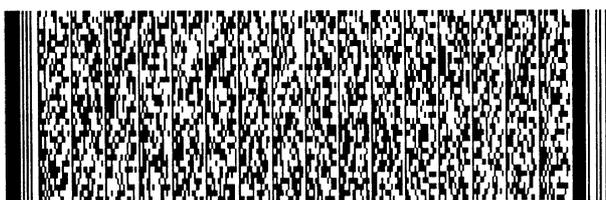
6.如申請專利範圍第1項之無控制閘極接觸區分開快閃記憶胞陣列結構，其中上述之每一記憶胞之資料抹除，係經由通過該記憶胞之控制閘極線加一正電壓而達成，因此，一次將抹除一系列之記憶胞內的資料。

7.一種形成於半導體基板上之無控制閘極接觸區分開快閃記憶胞陣列結構，該無接觸區分開快閃記憶胞陣列結構至少包含：

複數個隔離區塊，以陣列排列方式形成於該半導體基板上；

複數個快閃記憶胞，每一該快閃記憶胞包含浮置閘極，以陣列排列方式形成於該半導體基板上，且位於該複數個隔離區塊以外的主動區上，而構成複數列快閃記憶胞，每列快閃記憶胞共用一控制閘極線；

複數縱行擴散區形成於該隔離區塊縱行之間的半導體



## 六、申請專利範圍

基板內，且與上述每列快閃記憶胞之控制閘極線相會；及

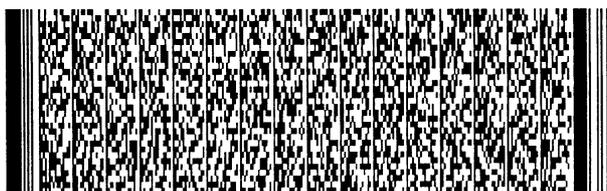
因此，經由指定列之控制閘極及指定行擴散區可分別指定一記憶胞，以進行對該被指定之記憶胞程式化，或讀取資料。

8.如申請專利範圍第7項之無控制閘極接觸區分開快閃記憶胞陣列結構，其中上述之每一記憶胞之浮置閘極並部分形成於該擴散區上，以增加浮置閘極對該擴散區之耦合比。

9.如申請專利範圍第7項之無控制閘極接觸區分開快閃記憶胞陣列結構，更包含形成通道於上述之每列控制閘極線下方兩相鄰浮置閘極之間的半導體基板內。

10.如申請專利範圍第7項之無控制閘極接觸區分開快閃記憶胞陣列結構，其中上述之每一記憶胞之程式化，係經由通過該記憶胞之控制閘極線加一正電壓，且通過該記憶胞之浮置閘極下之擴散區亦施加一正電壓，該記憶胞相鄰之擴散區接地而達成。

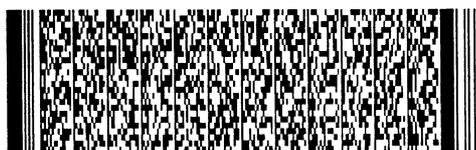
11.如申請專利範圍第7項之無控制閘極接觸區分開快閃記憶胞陣列結構，其中上述之每一記憶胞之讀取，係經由通過該記憶胞之控制閘極線加一正電壓，且通過該記憶胞之浮置閘極下之擴散區亦施加一正電壓，該記憶胞相鄰之擴



六、申請專利範圍

散區接地而達成。

12.如申請專利範圍第7項之無控制閘極接觸區分開快閃記憶胞陣列結構，其中上述之每一記憶胞之資料抹除，係經由通過該記憶胞之控制閘極線加一正電壓而達成，因此，一次將抹除一列之記憶胞內的資料。



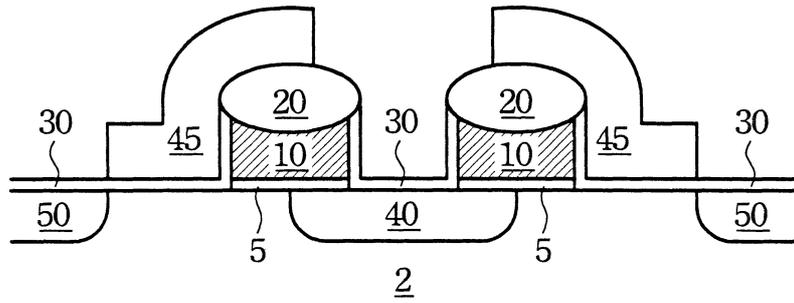


圖 一

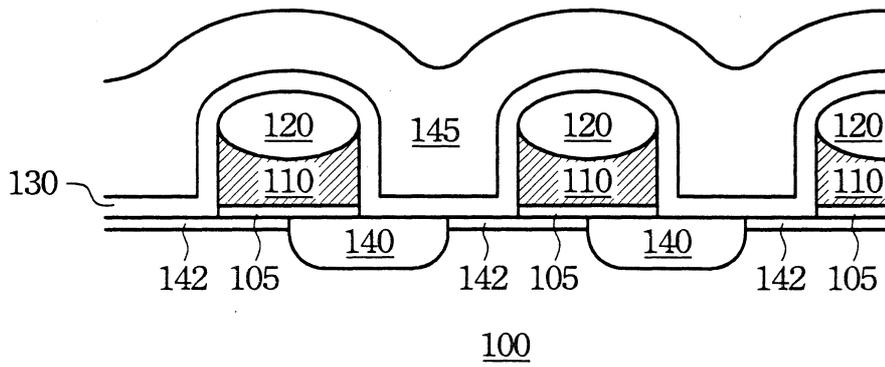


圖 二

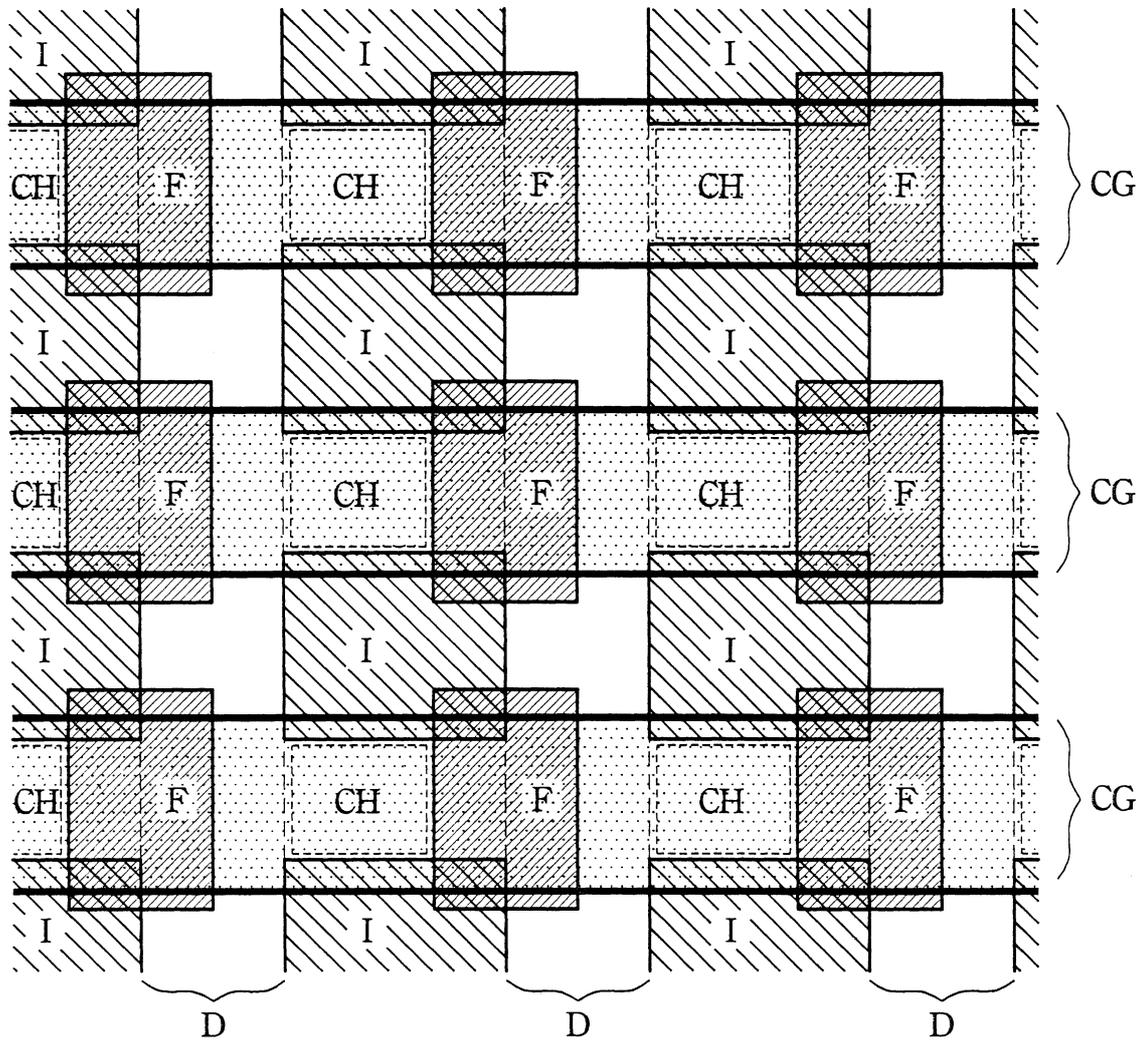


圖 三

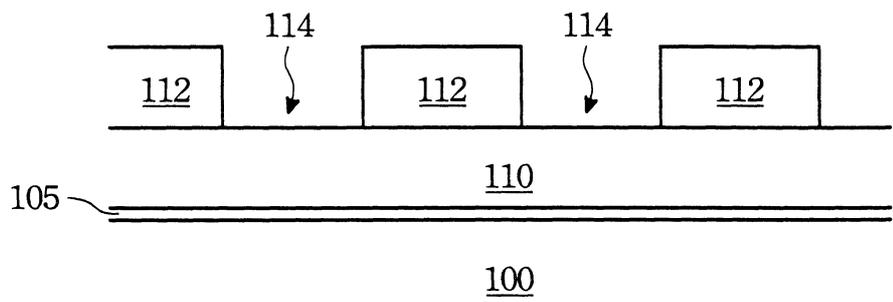


圖 四

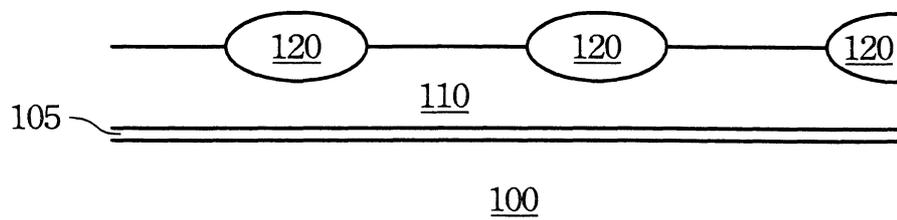


圖 五

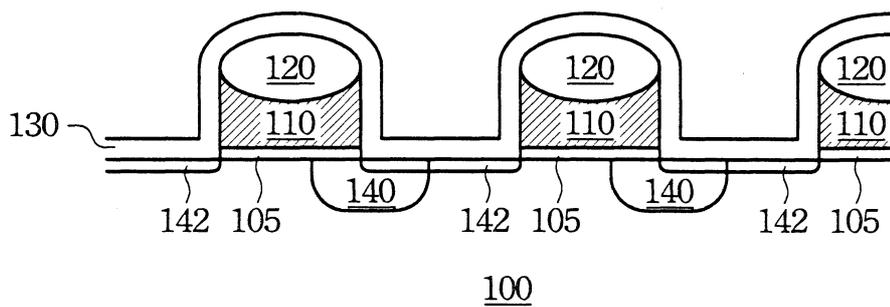


圖 六

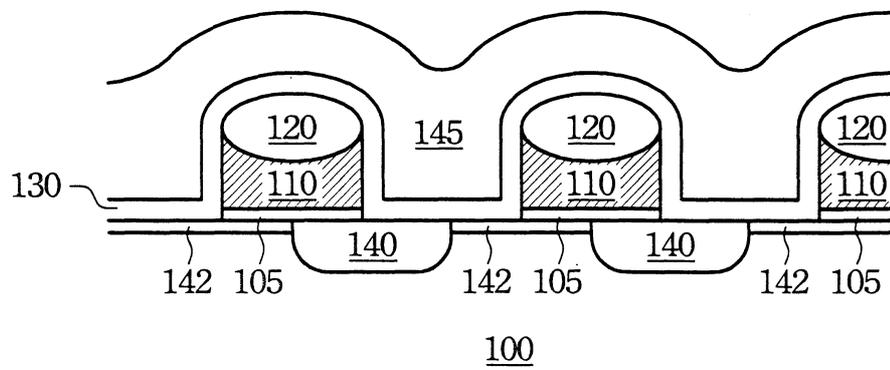


圖 七

## 五、發明說明 (2)

結構。另一氧化層 30 是用熱氧化的方法覆蓋於半導體晶圓 2 的上表面 (厚度約為 15-25 nm)，覆蓋汲極區 40，並延伸至浮置閘極 10 的側邊；並且也在浮置閘極 10 側邊形成介複晶矽氧化層 30 (厚約 28 nm)。控制閘極區 45 則是另一次沉積的複晶矽層。控制閘極區 45 係一致性的 (conformity) 覆蓋於氧化層 30 的上方，厚度約為 150-250 nm。圖一所示的源極區，係先將預定為汲極的區域的一側以光阻覆蓋佈植雜質後再以高溫熱處理的方式進行向晶圓內部及浮置閘極區 10 擴散以形成源極區 40。另一次離子佈植全面性進行而在浮置閘極區 10 的另一側邊晶圓內而形成汲極區 50。

典型 NOR 快閃記憶胞如上述，源極區由相鄰之記憶胞所共贖。此外，兩個記憶胞的汲極區則分別形成接觸區。有鑑於現今記憶胞製造趨勢係朝高密度發展，如何使單位面積產出之記憶胞是所有業界所認同的目標。因此本發明將朝此一方向提供一新的佈局方式，以進一步節省記憶胞所需要的面積。

## 發明目的及概述：

本發明之目的係為提供一快閃記憶胞結構，藉由每列快閃記憶胞共用一控制閘極線，而達到無接觸區形成於記憶胞區以提高單位晶片記憶胞的密度。本發明揭露一種形成於半導體基板上之無控制閘極接觸區



## 五、發明說明 (3)

分開快閃記憶胞陣列結構，至少包含：複數個隔離區塊，以陣列排列方式形成於半導體基板上；複數個快閃記憶胞，每一該快閃記憶胞包含浮置閘極，亦成陣列排列方式形成於半導體基板上，每一記憶胞並相應於兩個隔離區塊，而構成複數列快閃記憶胞，每列快閃記憶胞共用一控制閘極線；複數縱行擴散區形成於相應於隔離區塊縱行之間的半導體基板內，因此，經由指定列之控制閘極及指定行擴散區可分別指定一記憶胞，以進行對該被指定之記憶胞程式化，或讀取資料。上述記憶胞之接觸形成於記憶胞區以外的半導體基板內。不過若欲進行資料抹除則必須一次一系列的記憶胞同時進行。

## 發明詳細說明：

一如發明背景所述，傳統之分開快閃記憶體 NOR 型快閃記憶胞，基本上，係兩個記憶胞共用源極區而汲極區分別形成，並分別由其對應之接觸區控制。本發明將提供一新的佈局方式，在此佈局方式中每列分開快閃記憶胞之控制閘極係由一定義之第二複晶矽層連接至記憶胞區以外的區域，再形成接觸窗，每列記憶胞內無接觸區。因此，可顯著改善單位記憶胞之面積。

圖二顯示本發明之快閃記憶胞正向結構的示意圖。包含浮置閘極 110，閘極氧化層 105、氧化區塊 120、及控制



## 四、中文發明摘要 (發明之名稱：無控制閘極接觸之分開快閃記憶體)

一種形成於半導體基板上之無控制閘極接觸區分開快閃記憶體胞陣列結構，至少包含：複數個隔離區塊，以陣列排列方式形成於半導體基板上；複數個快閃記憶體胞，每一該快閃記憶體胞包含浮置閘極，亦成陣列排列方式形成於半導體基板上，每一記憶體胞並相應於兩個隔離區塊，而構成複數列快閃記憶體胞，每列快閃記憶體胞共用一控制閘極線；複數縱行擴散區形成於相應於隔離區塊縱行之間的半導體基板內，因此，經由指定列之控制閘極及指定行擴散區可分別指定一記憶體胞，以進行對該被指定之記憶體胞程式化，或讀取資料。上述記憶體胞之接觸形成於記憶體胞區以外的半導體基板內。

## 英文發明摘要 (發明之名稱：)



#### 六、申請專利範圍

1. 一種形成於半導體基板上之無控制閘極接觸區分開快閃記憶體胞陣列結構，該無接觸區分開快閃記憶體胞陣列結構至少包含：

複數列快閃記憶體胞，每列快閃記憶體胞共用一控制閘極線並以複數個隔離區塊分隔該每列快閃記憶體胞的每一快閃記憶體胞；

複數縱行擴散區形成於該隔離區塊之間的半導體基板內，且與上述每列快閃記憶體胞之控制閘極線相會；及

因此，經由指定列之控制閘極及指定行擴散區可分別指定一記憶體胞，以進行對該被指定之記憶體胞程式化，或讀取資料。

2. 如申請專利範圍第1項之無控制閘極接觸區分開快閃記憶體胞陣列結構，其中上述之每一記憶體胞之浮置閘極並部分形成於該擴散區上，以增加浮置閘極對該擴散區之耦合比。

3. 如申請專利範圍第1項之無控制閘極接觸區分開快閃記憶體胞陣列結構，更包含形成通道於上述之每列控制閘極線下方兩相鄰浮置閘極之間的半導體基板內。

4. 如申請專利範圍第1項之無控制閘極接觸區分開快閃記憶體胞陣列結構，其中上述之每一記憶體胞之程式化，係經由通過該記憶體胞之控制閘極線加一正電壓，且通過該記憶體胞

