

LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告 (条約第21条(3))

third surface 12c of the laminate 12; a second external electrode 30b disposed on the fourth surface 12d of the laminate 12; a third external electrode 30c disposed on the fifth surface 12e of the laminate 12; and a fourth external electrode 30d disposed on the sixth surface 12f of the laminate 12. The laminate 12 includes an inner layer part 18 and two outer layer parts 20a and 20b disposed so as to sandwich the inner layer part 18 in the lamination direction x. The inner layer part 18 includes an inner layer dielectric layer 14a, a first internal electrode 16a having one end in the first direction y exposed on the third surface 12c and the fourth surface 12d, and a second internal electrode 16b having one end in the second direction z exposed on the fifth surface 12e and the sixth surface 12f. The multilayer ceramic capacitor is characterized in that: the second internal electrode 16b includes a first region 40 disposed inside the laminate 12, and a second region 42 extending from the first region 40 to the fifth surface 12e and the sixth surface 12f; and protrusion parts 50a, 50b are disposed on at least one of end edges positioned facing each other in the first direction y of the second region 42.

(57) 要約：より低インピーダンス特性を向上させうる積層セラミックコンデンサを提供すること。本発明に係る積層セラミックコンデンサは、積層方向xに相対する第1の面12a及び第2の面12bと、積層方向xに直交する第1の方向yに相対する第3の面12c及び第4の面12dと、積層方向x及び第1の方向yに直交する第2の方向zに相対する第5の面12e及び第6の面12fとを有する積層体12と、積層体12の第3の面12c上に配置された第1の外部電極30aと、積層体12の第4の面12d上に配置された第2の外部電極30bと、積層体12の第5の面12e上に配置された第3の外部電極30cと、積層体12の第6の面12f上に配置された第4の外部電極30dとを備え、積層体12は、内層部18と、内層部18を積層方向xに挟み込むように配置された2つの外層部20a、20bとを備え、内層部18は、内層誘電体層14aと、第3の面12c及び第4の面12dに第1の方向yの一端が露出された第1の内部電極16aと、第5の面12e及び第6の面12fに第2の方向zの一端が露出された第2の内部電極16bとを備える。第2の内部電極16bは、積層体12の内部に配置された第1の領域40と、第1の領域40から第5の面12e及び第6の面12fに引き出された第2の領域42とを備え、第2の領域42の第1の方向yに対向して位置する端縁部のうち少なくとも一方には凸部50a、50bが配置されていることを特徴とする。

明 細 書

発明の名称： 積層セラミックコンデンサ

技術分野

[0001] この発明は、積層セラミックコンデンサに関する。

背景技術

[0002] 近年、電子機器の小型化が進んでいる。また、電子機器に搭載される電子部品数が増加している。中でも、特許文献1に示す3端子貫通型コンデンサのような積層セラミックコンデンサは、高周波数帯での低インピーダンス特性に優れており、積層セラミックコンデンサの員数（並列接続される個数）を増加させることで低インピーダンス回路設計が可能となる。

先行技術文献

特許文献

[0003] 特許文献1：特開2005-44871号公報

発明の概要

発明が解決しようとする課題

- [0004] しかしながら、3端子貫通型コンデンサのインピーダンス特性は、第2の内部電極から第5の面および第6の面に引き出される第2の領域を流れる電流経路が短くなると、低インピーダンスを示す傾向にある。一方、高周波数帯になってくると、電流経路は、より内部電極の縁側を流れるため、例えば、過焼成によって内部電極の縁部の直線性が悪くなると、電流経路として長くなることから、インピーダンスが高くなってしまう恐れがあった。
- [0005] それゆえに、この発明の主たる目的は、より低インピーダンス特性を向上させうる積層セラミックコンデンサを提供することである。

課題を解決するための手段

- [0006] この発明に係る積層セラミックコンデンサは、積層方向に相對する第1の面及び第2の面と、積層方向に直交する第1の方向に相對する第3の面及び第4の面と、積層方向及び第1の方向に直交する第2の方向に相對する第5

の面及び第6の面とを有する積層体と、積層体の前記第3の面上に配置された第1の外部電極と、積層体の第4の面上に配置された第2の外部電極と、積層体の第5の面上に配置された第3の外部電極と、積層体の第6の面上に配置された第4の外部電極とを備え、積層体は、内層部と、内層部を積層方向に挟み込むように配置された2つの外層部とを備え、内層部が、内層誘電体層と、第3の面及び第4の面に第1の方向の一端が露出された第1の内部電極と、第5の面及び第6の面に第2の方向の一端が露出された第2の内部電極とを備え、第2の内部電極が、積層体の内部に配置された第1の領域と、第1の領域から第5の面及び第6の面に引き出された第2の領域とを備え、第2の領域の第1の方向に対向して位置する端縁部のうち少なくとも一方には凸部が配置されている、積層セラミックコンデンサである。

[0007] この発明に係る積層セラミックコンデンサによれば、第2の内部電極が、積層体の内部に配置された第1の領域と、第1の領域から第5の面及び第6の面に引き出された第2の領域とを備え、第2の領域の第1の方向に対向して位置する端縁部のうち少なくとも一方には凸部が配置されているので、内部電極の端縁部における不規則な形状に影響されることなく、特に、第1の領域から第2の領域を介して外部電極までの電流経路を短く設定することができることから、積層セラミックコンデンサの低インピーダンス特性をより向上させることができる。

発明の効果

[0008] この発明によれば、より低インピーダンス特性を向上させうる積層セラミックコンデンサを提供する。

[0009] この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の発明を実施するための形態の説明から一層明らかとなろう。

図面の簡単な説明

[0010] [図1]本発明に係る積層セラミックコンデンサを示す外観斜視図である。

[図2]本発明に係る積層セラミックコンデンサを示す正面図である。

[図3]本発明に係る積層セラミックコンデンサを示す上面図である。

[図4]図1に係る線ⅠⅤ－ⅠⅤにおける断面図である。

[図5]図1に係る線Ⅴ－Ⅴにおける断面図である。

[図6]図4に係る線ⅤⅠ－ⅤⅠにおける断面図である。

[図7]図4に係る線ⅤⅠⅠ－ⅤⅠⅠにおける断面図である。

[図8]図7におけるA部拡大図である。

[図9]第2の内部電極の変形例を示す断面図である。

発明を実施するための形態

[0011] 1. 積層セラミックコンデンサ

本発明に係る積層セラミックコンデンサ10について説明する。図1は、本発明に係る積層セラミックコンデンサを示す外観斜視図である。図2は、本発明に係る積層セラミックコンデンサを示す正面図である。図3は、本発明に係る積層セラミックコンデンサを示す上面図である。図4は、図1に係る線ⅠⅤ－ⅠⅤにおける断面図である。図5は、図1に係る線Ⅴ－Ⅴにおける断面図である。図6は、図4に係る線ⅤⅠ－ⅤⅠにおける断面図である。図7は、図4に係る線ⅤⅠⅠ－ⅤⅠⅠにおける断面図である。図8は、図7におけるA部拡大図である。

[0012] 積層セラミックコンデンサ10は、積層体12と、複数の外部電極30と、を備える。

[0013] 積層体12は、積層方向xに相対する第1の面12a及び第2の面12bと、積層方向xに直交する第1の方向yに相対する第3の面12c及び第4の面12dと、積層方向x及び第1の方向yに直交する第2の方向zに相対する第5の面12e及び第6の面12fとを有する。積層体12の第1の面12a及び第2の面12b同士を結ぶ方向が積層方向xである。

[0014] 積層体12は、直方体形状を有している。また、積層体12は、角部及び稜線部に丸みがつけられていることが好ましい。なお、角部とは、積層体12の隣接する3面が交わる部分のことであり、稜線部とは、積層体12の隣接する2面が交わる部分のことである。また、第1の面12a及び第2の面12b、第3の面12c及び第4の面12d、ならびに第5の面12e及び

第6の面12fの一部又は全部に凹凸などが形成されていてもよい。

[0015] 積層体12は、複数の誘電体層14と複数の内部電極16とを有する。誘電体層14は、内層誘電体層14aと外層誘電体層14bとを含む。また、内部電極16は、第1の内部電極16aと第2の内部電極16bとを有する。

[0016] また、積層体12は内層部18と、第1の面12a側に位置する第1の主面側外層部20aと、第2の面12b側に位置する第2の主面側外層部20bと、を有する。

[0017] 第1の主面側外層部20aは、積層体12の第1の面12a側に位置し、第1の面12aと、最も第1の面12aに近い内部電極16との間に位置する複数の外層誘電体層14bの集合体である。

[0018] 第2の主面側外層部20bは、積層体12の第2の面12b側に位置し、第2の面12bと、最も第2の面12bに近い内部電極16との間に位置する複数の外層誘電体層14bの集合体である。

[0019] そして、第1の主面側外層部20a及び第2の主面側外層部20bに挟まれた領域が内層部18である。

[0020] 内層部18は、第3の面12cに一端が露出され、もう一端が第4の面12dに露出された第1の内部電極16aと、第5の面12eに一端が露出され、もう一端が第6の面12fに露出された第2の内部電極16bと、内層誘電体層14aとを有している。

[0021] 誘電体層14の材料としては、例えば、誘電体材料により形成することができる。誘電体材料としては、例えば、 BaTiO_3 、 CaTiO_3 、 SrTiO_3 、 CaZrO_3 などの主成分からなる誘電体セラミックを用いることができる。また、これらの主成分にMn化合物、Fe化合物、Cr化合物、Co化合物、Ni化合物などの副成分を添加したものを用いてもよい。また、内層誘電体層14a及び外層誘電体層14bは、同じ誘電体材料により構成していてもよく、異なる誘電体材料により構成していてもよい。

[0022] 内層誘電体層14aは、例えば、誘電体成分として CaTiO_3 や CaZrO_3

O₃を多く含むと第1の内部電極16aと第2の内部電極16bとの間で発生する絶縁破壊を起きにくくすることができる。また、これに限定されず、内層誘電体層14aは、SrTiO₃などを主成分とすることもできる。これとは別に積層セラミックコンデンサ10の容量を高くするためには誘電率の高い材料、例えば、BaTiO₃などで形成されることが好ましい。

[0023] 積層される誘電体層14の枚数は、特に限定されないが、第1の主面側外層部20a及び第2の主面側外層部20bを含めて5枚以上1000枚以下であることが好ましい。また、誘電体層14の厚みは、例えば0.3μm以上6.0μm以下であることが好ましい。

[0024] (内部電極)

内部電極16は、第1の内部電極16a及び第2の内部電極16bを有する。

[0025] 第1の内部電極16aは、内層誘電体層14aの表面に配置される。第1の内部電極16aは、積層体12の内部に位置する第1の対向電極部22aと、第1の対向電極部22aに接続され、第3の面12cに引き出される第1の引出電極部24aと、第4の面12dに引き出される第2の引出電極部24bとを有している。

[0026] 第1の内部電極16aの第1の対向電極部22aの形状は、特に限定されないが平面視矩形状であることが好ましい。もっとも、平面視コーナー部を丸められていたり、コーナー部を平面視斜めに形成したりしてよい（テーパ状）。また、どちらかに向かうにつれて傾斜がついている平面視テーパ状であってもよい。

[0027] 第1の内部電極16aの第1の引出電極部24a及び第2の引出電極部24bの形状は、特に限定されないが平面視矩形状であることが好ましい。もっとも、平面視コーナー部を丸められていたり、コーナー部を平面視斜めに形成したりしてよい（テーパ状）。また、どちらかに向かうにつれて傾斜がついている平面視テーパ状であってもよい。

[0028] 第2の内部電極16bは、第1の内部電極16aが配置される内層誘電体

層 1 4 a と異なる内層誘電体層 1 4 a の表面に配置される。第 2 の内部電極 1 6 b は、第 1 の内部電極 1 6 a と対向する第 2 の対向電極部 2 2 b と、第 2 の対向電極部 2 2 b に接続され、第 5 の面 1 2 e に引き出される第 3 の引出電極部 2 4 c と、第 6 の面 1 2 f に引き出される第 4 の引出電極部 2 4 d とを有している。

[0029] 第 2 の内部電極 1 6 b の第 2 の対向電極部 2 2 b の形状は、特に限定されないが平面視矩形状であることが好ましい。もっとも、平面視コーナー部を丸められていたり、コーナー部を平面視斜めに形成したりしてよい（テーパ状）。また、どちらかに向かうにつれて傾斜がついている平面視テーパ状であってもよい。

[0030] 第 2 の内部電極 1 6 b の第 3 の引出電極部 2 4 c 及び第 4 の引出電極部 2 4 d の形状は、特に限定されないが平面視矩形状であることが好ましい。もっとも、平面視コーナー部を丸められていたり、コーナー部を平面視斜めに形成したりしてよい（テーパ状）。また、どちらかに向かうにつれて傾斜がついている平面視テーパ状であってもよい。

[0031] 第 2 の内部電極 1 6 b の第 2 の対向電極部 2 2 b を第 1 の領域 4 0 とし、第 2 の内部電極 1 6 b の第 3 の引出電極部 2 4 c 及び第 4 の引出電極部 2 4 d を第 2 の領域 4 2 とする。言い換えると、第 2 の内部電極 1 6 b の第 1 の領域 4 0 は、積層体 1 2 の内部に配置される領域である。また、第 2 の内部電極 1 6 b の第 2 の領域 4 2 は、第 1 の領域 4 0 から第 5 の面 1 2 e 及び第 6 の面 1 2 f に引き出された領域である。

[0032] 第 2 の内部電極 1 6 b の第 5 の面 1 2 e 側において、第 2 の領域 4 2 の第 1 の方向 y に対向して位置する両端縁部 4 2 a には、第 3 の面 1 2 c と第 4 の面 1 2 d とを結ぶ方向（第 1 の方向 y）に突起している第 1 の凸部 5 0 a が配置される。

同様に、第 2 の内部電極 1 6 b の第 6 の面 1 2 f 側において、第 2 の領域 4 2 の第 1 の方向 y に対向して位置する両端縁部 4 2 b には、第 3 の面 1 2 c と第 4 の面 1 2 d とを結ぶ方向（第 1 の方向 y）に突起している第 2 の凸

部50bが配置される。

以上の構成により、内部電極16が過焼結されたとしても、内部電極16の端縁部は不規則な形状となるが、第1の凸部40aおよび第2の凸部40bの内側が電流経路となるため、第1の領域40から第2の領域42を介した外部電極30までの電流経路を短くすることができ、その結果、積層セラミックコンデンサ10のESL（等価直列インダクタンス）を低下させることができ、低インピーダンス特性を実現することができる。

[0033] 図8に示すように、第1の領域40と第2の領域42との境界部分における第1の方向yの長さをL1とし、第1の凸部50aの端縁部42aの第1の方向yの最大長さをL2としたとき、 $0.03L1 \leq L2 \leq 0.19L1$ の条件を満たすことが好ましい。同様に、図示しないが、第1の領域40と第2の領域42との境界部分における第1の方向yの長さをL1とし、第2の凸部50bの端縁部42bの第1の方向yの最大長さをL2としたとき、 $0.03L1 \leq L2 \leq 0.19L1$ の条件を満たすことが好ましい。これにより、積層される誘電体層14間における第2の内部電極16bの第2の領域42付近のデラミネーションの発生を抑制することができ、かつ、積層セラミックコンデンサ10に対して十分な低ESLの効果を得ることができる。

[0034] ここで、第1の領域40と第2の領域42との境界部分における第1の方向yの長さL1、および第1の凸部50aの端縁部42aの第1の方向yの最大長さL2は、例えば以下のような方法で測定することができる。積層セラミックコンデンサ10の積層方向xの長さの1/2まで研磨する。研磨した断面において、例えば、デジタルマイクロスコプを用いて第1の領域40および第2の領域42を観察する。そして、観察された第1の領域40と第2の領域42との境界部分における第1の方向yの長さを測定してL1が得られ、第1の凸部50aの端縁部42aの第1の方向yの最大長さを測定してL2が得られる。なお、これに限らず、積層セラミックコンデンサ10の積層方向xの長さの1/4や3/4まで研磨して露出された断面を測定に

用いてもよい。

[0035] なお、第2の内部電極16bを形成する際に、印刷の精度によっては、第1の領域40と第2の領域42との交点が直角でない場合がある。その場合、長さL1は、第1の領域40の部分の端縁における第1の方向yに沿った直線部分を基準に定められる。

[0036] また、図8に示すように、第2の領域42における第2の方向zの長さをW1とし、第1の凸部50aの端縁部42bにおける第2の方向zの長さをW2としたとき、 $0.15W1 \leq W2 \leq 0.95W1$ の条件を満たすことが好ましい。同様に、図示しないが、第2の領域42における第2の方向zの長さをW1とし、第2の凸部50bの端縁部42bにおける第2の方向zの長さをW2としたとき、 $0.15W1 \leq W2 \leq 0.95W1$ の条件を満たすことが好ましい。これにより、積層される誘電体層14間における第2の内部電極16bの第2の領域42付近のデラミネーションの発生をより確実に抑制することができ、かつ、積層セラミックコンデンサ10に対して十分な低ESLの効果を得ることができる。

[0037] ここで、第2の領域42における第2の方向zの長さW1、および第1の凸部50aの端縁部42bにおける第2の方向zの長さW2は、例えば以下のような方法で測定することができる。積層セラミックコンデンサ10の積層方向xの長さの1/2まで研磨する。研磨した断面において、例えば、デジタルマイクロスコプを用いて第1の領域40および第2の領域42を観察する。そして、観察された第2の領域42における第2の方向zの長さを測定してW1が得られ、第1の凸部50aの端縁部42bにおける第2の方向zの長さを測定してW2が得られる。なお、これに限らず、積層セラミックコンデンサ10の積層方向xの長さの1/4や3/4まで研磨して露出された断面を測定に用いてもよい。

[0038] なお、第2の内部電極16bを形成する際に、印刷の精度によっては、第1の領域40と第2の領域42との交点が直角でない場合がある。その場合、長さW1は、第2の領域42の部分の端縁に沿った直線部分を基準に定め

られる。

[0039] なお、図9に示すように、第1の凸部50aは、第2の内部電極16bの第5の面12e側において、第2の領域42の第1の方向yにそれぞれ対向して位置する端縁部42aのうち少なくとも一方の端縁部42aに配置されていてもよい。同様に、第2の凸部50bは、第2の内部電極16bの第6の面12f側において、第2の領域42の第1の方向yにそれぞれ対向して位置する端縁部42bのうち少なくとも一方の端縁部42bに配置されていてもよい。このような構成においても、第1の凸部40aおよび第2の凸部40bの内側が電流経路となるため、第1の領域40から第2の領域42を介した外部電極30までの電流経路を短くすることができ、その結果、積層セラミックコンデンサ10のESLを低下させることができ、低インピーダンス特性を実現することができる。

[0040] 第1の内部電極16a及び第2の内部電極16bは、例えば、Ni、Cu、Ag、Pd及びAuなどの金属や、Ni-Cu合金、Ag-Pd合金等の、それらの金属の少なくとも一種を含む合金などの適宜の導電材料により構成することができるが、これに限定されない。また、第1の内部電極16a及び第2の内部電極16bは、同じ導電材料により構成していてもよく、異なる導電材料により構成していてもよい。

[0041] また、第1の内部電極16a及び第2の内部電極16bにSnを含むことで内部電極16と誘電体層14との界面への電界集中を緩和でき、高温負荷信頼性向上に繋がる。このとき、Snは、第1の内部電極16a及び第2の内部電極16bのいずれか片方の内部電極16のみに含まれていても十分に効果を発揮することができる。

[0042] また、第1の内部電極16a及び第2の内部電極16bの枚数は、合わせて2枚以上1000枚以下であることが好ましい。また、第1の内部電極16a及び第2の内部電極16bの厚みは、特に限定されないが、例えば、0.3 μ m以上6.0 μ m以下であることが好ましい。

[0043] 本実施の形態では、第1の内部電極16aの第1の対向電極部22a及び

第2の内部電極16bの第2の対向電極部22b同士が内層誘電体層14aを介して対向することにより容量が形成され、コンデンサの特性が発現する。

[0044] なお、積層体12は、第1の内部電極16aの第1の対向電極部22a及び第2の内部電極16bの第2の対向電極部22bの第2の方向zの一端と第5の面12eとの間、及び第1の内部電極16aの第1の対向電極部22a及び第2の内部電極16bの第2の対向電極部22bの第2の方向zの一端と第6の面12fとの間に位置し、第2の内部電極16bの第3の引出電極部24c及び第4の引出電極部24dを含む積層体12の側部（Wギャップ）26a、26bを有する。

[0045] また、積層体12は、第1の内部電極16aの第1の対向電極部22a及び第2の内部電極16bの第2の対向電極部22bの第1の方向yの一端と第3の面12cとの間、及び第1の内部電極16aの第1の対向電極部22a及び第2の内部電極16bの第2の対向電極部22bの第1の方向yの一端と第4の面12dとの間に位置し、第1の内部電極16aの第1の引出電極部24a及び第2の引出電極部24bを含む積層体12の端部（Lギャップ）28a、28bを有する。

[0046] （外部電極）

外部電極30は、第1の内部電極16a及び第2の内部電極16bに接続される複数の外部電極30を有している。外部電極30は、第1の外部電極30aと、第2の外部電極30bと、第3の外部電極30cと、第4の外部電極30dとを有する。

[0047] 第1の外部電極30aは、第3の面12c上に配置されており、第1の内部電極16aに接続されている。また、第1の外部電極30aは、第1の面12aの一部及び第2の面12bの一部、第5の面12eの一部及び第6の面12fの一部にも配置されていてもよい。

[0048] 第2の外部電極30bは、第4の面12d上に配置されており、第1の内部電極16aに接続されている。また、第2の外部電極30bは、第1の面

1 2 aの一部及び第2の面1 2 bの一部、第5の面1 2 eの一部及び第6の面1 2 fの一部にも配置されていてもよい。

[0049] 第3の外部電極3 0 cは、第5の面1 2 e上に配置されており、第2の内部電極1 6 bに接続されている。また、第3の外部電極3 0 cは、第1の面1 2 aの一部及び第2の面1 2 bの一部にも配置されていてもよい。

[0050] 第4の外部電極3 0 dは、第6の面1 2 f上に配置されており、第2の内部電極1 6 bに接続されている。また、第4の外部電極3 0 dは、第1の面1 2 aの一部及び第2の面1 2 bの一部にも配置されていてもよい。

[0051] 第1の外部電極3 0 a、第2の外部電極3 0 b、第3の外部電極3 0 c及び第4の外部電極3 0 dは、それぞれ下地電極層3 2と下層めっき層3 4と上層めっき層3 6とを有していることが好ましい。

[0052] 言い換えると、第1の外部電極3 0 aは、第1の下地電極層3 2 aと第1の下層めっき層3 4 aと第1の上層めっき層3 6 aとを有していることが好ましい。第2の外部電極3 0 bは、第2の下地電極層3 2 bと第2の下層めっき層3 4 bと第2の上層めっき層3 6 bとを有していることが好ましい。第3の外部電極3 0 cは、第3の下地電極層3 2 cと第3の下層めっき層3 4 cと第3の上層めっき層3 6 cとを有していることが好ましい。第4の外部電極3 0 dは、第4の下地電極層3 2 dと第4の下層めっき層3 4 dと第4の上層めっき層3 6 dとを有していることが好ましい。

[0053] 下地電極層3 2は、焼付け層、導電性樹脂層、薄膜層等から選ばれる少なくとも1つを含む。

[0054] まず、下地電極層3 2を焼付け層によって形成する場合について説明する。焼付け層は金属成分とガラス成分とを含む。ガラス成分は、B、S i、B a、M g、A l、L i等から選ばれる少なくとも1つを含む。また、焼付け層の金属成分としては、例えば、C u、N i、A g、P d、A g－P d合金、A u等から選ばれる少なくとも1つを含む。さらに、焼付け層は、複数層であってもよい。

[0055] 焼付け層は、ガラス成分及び金属成分を含む導電性ペーストを積層体1 2

に塗布して焼き付けたものである。焼付け層は、内部電極 1 6 及び誘電体層 1 4 を有する積層チップと積層チップに塗布した導電性ペーストとを同時に焼成したものでもよく、内部電極 1 6 及び誘電体層 1 4 を有する積層チップを焼成して積層体 1 2 を得た後に導電性ペーストを塗布して焼き付けたものでもよい。なお、内部電極 1 6 及び誘電体層 1 4 を有する積層チップと積層チップに塗布した導電性ペーストとを同時に焼成する場合には、ガラス成分の代わりに誘電体成分を添加するか、その両方を添加して焼付け層を形成することが好ましい。

[0056] 第 3 の面 1 2 c 及び第 4 の面 1 2 d に位置する第 1 の焼付け層及び第 2 の焼付け層の第 1 の面 1 2 a 及び第 2 の面 1 2 b を結ぶ積層方向 x の中央部における、第 1 の焼付け層及び第 2 の焼付け層の第 3 の面 1 2 c 及び第 4 の面 1 2 d を結ぶ第 1 の方向 y の厚み（端面中央厚み）は、例えば、 $5\ \mu\text{m}$ 以上 $55\ \mu\text{m}$ 以下であることが好ましい。

[0057] また、第 1 の面 1 2 a の一部又は第 2 の面 1 2 b の一部にも下地電極層（焼付け層）を設ける場合には、第 1 の面 1 2 a 上又は第 2 の面 1 2 b 上に位置する第 1 の焼付け層及び第 2 の焼付け層の第 3 の面 1 2 c 及び第 4 の面 1 2 d を結ぶ第 1 の方向 y の中央部における、第 1 の焼付け層及び第 2 の焼付け層の第 1 の面 1 2 a 及び第 2 の面 1 2 b を結ぶ積層方向 x の厚みは、例えば、 $1\ \mu\text{m}$ 以上 $30\ \mu\text{m}$ 以下であることが好ましい。

[0058] 次に、下地電極層 3 2 を導電性樹脂層によって形成する場合について説明する。導電性樹脂層は、焼付け層上に焼付け層を覆うように配置されるか、焼付け層を設けずに積層体 1 2 上に直接配置されてもよい。また、導電性樹脂層は、焼付け層上を完全に覆っていてもよいし、焼付け層の一部を覆っていてもよい。さらに、導電性樹脂層は、複数層であってもよい。

[0059] 導電性樹脂層は、熱硬化性樹脂及び金属を含む。導電性樹脂層は、熱硬化性樹脂を含むため、例えばめっき膜や導電性ペーストの焼成物からなる焼付け層よりも柔軟性に富んでいる。このため、積層セラミックコンデンサ 1 0 に物理的な衝撃や熱サイクルに起因する衝撃が加わった場合であっても、導

電性樹脂層が緩衝層として機能し、積層セラミックコンデンサ１０へのクラックを防止することができる。

[0060] 導電性樹脂層に含まれる金属としては、A g、C u、N i、S n、B i又はそれらを含む合金を使用することができる。また、金属粉の表面にA gコーティングされた金属粉を使用することもできる。金属粉の表面にA gコーティングされたものを使用する際には金属粉としてC u、N i、S n、B i又はそれらの合金粉を用いることが好ましい。導電性金属にA gの導電性金属粉を用いる理由としては、A gは金属の中でもっとも比抵抗が低いため電極材料に適しており、A gは貴金属であるため酸化せず耐候性が高いためである。また、上記のA gの特性は保ちつつ、母材の金属を安価なものにすることが可能になるためである。

[0061] さらに、導電性樹脂層に含まれる金属としては、C u、N iに酸化防止処理を施したものを使用することもできる。なお、導電性樹脂層に含まれる金属としては、金属粉の表面にS n、N i、C uをコーティングした金属粉を使用することもできる。金属粉の表面にS n、N i、C uをコーティングされたものを使用する際には金属粉としてA g、C u、N i、S n、B i又はそれらの合金粉を用いることが好ましい。

[0062] 導電性樹脂層に含まれる金属は、主に導電性樹脂層の通電性を担う。具体的には、導電性フィラー同士が接触することにより、導電性樹脂層の内部に通電経路が形成される。

[0063] 導電性樹脂層に含まれる金属は、球形状、扁平状などのものを用いることができるが、球形状金属粉と扁平状金属粉とを混合して用いるのが好ましい。

[0064] 導電性樹脂層の樹脂としては、例えば、エポキシ樹脂、フェノール樹脂、ウレタン樹脂、シリコーン樹脂、ポリイミド樹脂などの公知の種々の熱硬化性樹脂を使用することができる。その中でも、耐熱性、耐湿性、密着性などに優れたエポキシ樹脂は最も適切な樹脂の一つである。

[0065] また、導電性樹脂層には、熱硬化性樹脂とともに、硬化剤を含むことが好

ましい。硬化剤としては、ベース樹脂としてエポキシ樹脂を用いる場合、エポキシ樹脂の硬化剤として、フェノール系、アミン系、酸無水物系、イミダゾール系、活性エステル系、アミドイミド系など公知の種々の化合物を使用することができる。

[0066] 導電性樹脂層の厚みの最も厚い部分は、例えば $5\text{ }\mu\text{m}$ 以上 $50\text{ }\mu\text{m}$ 以下であることが好ましい。

[0067] 次に、下地電極層32を薄膜層によって形成する場合について説明する。薄膜層は、積層体12の表面に形成されてもよい。下地電極層32として薄膜層を設ける場合、薄膜層はスパッタ法又は蒸着法等の薄膜形成法により形成される。薄膜層は、金属粒子が堆積された $1\text{ }\mu\text{m}$ 以下の層である。

[0068] (下層めっき層)

下層めっき層34は、第1の下地電極層32aを覆うように配置される第1の下層めっき層34aと、第2の下地電極層32bを覆うように配置される第2の下層めっき層34bと、第3の下地電極層32cを覆うように配置される第3の下層めっき層34cと、第4の下地電極層32dを覆うように配置される第4の下層めっき層34dと、を含む。

[0069] 下層めっき層34としては、例えば、Cu、Ni、Sn、Ag、Pd、Ag-Pd合金、Au等から選ばれる少なくとも1つを含む。

[0070] また、下層めっき層34は、Niめっきであることが好ましい。下層めっき層34がNiめっきである場合は、下地電極層32が積層セラミックコンデンサ10を実装する際にはんだによって侵食されることを防止することができる。

[0071] また、下層めっき層34の厚みは、例えば、 $1\text{ }\mu\text{m}$ 以上 $10\text{ }\mu\text{m}$ 以下であることが好ましい。

[0072] (上層めっき層)

上層めっき層36は、第1の下層めっき層34aを覆うように配置される第1の上層めっき層36aと、第2の下層めっき層34bを覆うように配置される第2の上層めっき層36bと、第3の下層めっき層34cを覆うよう

に配置される第3の上層めっき層36cと、第4の下層めっき層34dを覆うように配置される第4の上層めっき層36dと、を含む。

[0073] 上層めっき層36としては、例えば、Cu、Ni、Sn、Ag、Pd、Ag-Pd合金、Au等から選ばれる少なくとも1つを含む。

[0074] また、上層めっき層36は、Snめっきであることが好ましい。上層めっき層36がSnめっきである場合は、積層セラミックコンデンサ10を実装する際のはんだの濡れ性を向上させ、容易に実装することができる。

[0075] また、上層めっき層36の厚みは、例えば、1 μ m以上10 μ m以下であることが好ましい。

[0076] 積層体12と外部電極30とを含む積層セラミックコンデンサ10の第1の方向yの寸法をL寸法とする。L寸法は、0.51mm以上0.69mm以下であることが好ましい。積層体12と外部電極30とを含む積層セラミックコンデンサ10の第2の方向zの寸法をW寸法とする。W寸法は、0.21mm以上0.39mm以下であることが好ましい。積層体12と外部電極30とを含む積層セラミックコンデンサ10の積層方向xの寸法をT寸法とする。T寸法は、0.05mm以上0.55mm以下であることが好ましい。

[0077] 図1に示す積層セラミックコンデンサ10によれば、第2の内部電極16bの第5の面12e側において、第2の領域42の第1の方向yに対向して位置する両端縁部42aに第1の方向yに突起している第1の凸部50aが配置され、第2の内部電極16bの第6の面12f側において、第2の領域42の第1の方向yに対向して位置する両端縁部42bに、第1の方向yに突起している第2の凸部50bが配置される。従って、内部電極16が過焼結されたとしても、内部電極16の端縁部は不規則な形状となるが、第1の凸部40aおよび第2の凸部40bの内側が電流経路となるため、第1の領域40から第2の領域42を介した外部電極30までの電流経路を短くすることができることから、積層セラミックコンデンサ10のESLを低下させることができ、低インピーダンス特性を実現することができる。

[0078] 2. 積層セラミックコンデンサの製造方法

以下、本発明に係る積層セラミックコンデンサ10の製造方法について説明する。

[0079] まず、誘電体シート及び内部電極用の導電性ペーストを準備する。誘電体シート及び内部電極用の導電性ペーストには、バインダ及び溶剤が含まれる。バインダ及び溶剤は公知のものをを用いることができる。

[0080] 次に、誘電体シート上に、例えば、インクジェット印刷、スクリーン印刷あるいはグラビア印刷などにより所定のパターンで内部電極用の導電性ペーストが印刷される。これにより、第1の内部電極のパターンが形成された誘電体シート及び第2の内部電極のパターンが形成された誘電体シートが準備される。このとき、第2の内部電極16bの第2の領域42（第3の引出電極部24c）の両端縁部42aに第1の凸部50aとなるパターンを形成し、第2の内部電極16bの第2の領域42（第4の引出電極部24d）の両端縁部42bに第2の凸部50bとなるパターンが形成される。第1の凸部50aおよび第2の凸部50bのパターンの形成には、インクジェット印刷により印刷制御して形成することが好ましい。その後、第1の内部電極が印刷されたシートと第2の内部電極が印刷されたシートとを積層することで、内層部18となる部分が形成される。

[0081] 次に、内部電極のパターンが印刷されていない誘電体シートを所定枚数積層されることにより第1の面12a側の第1の主面側外層部20aとなる部分が形成される。その後、上記で準備した内層部18となる部分を積層し、この内層部18となる部分の上に、内部電極のパターンが印刷されていない誘電体シートが所定枚数積層されることにより、第2の面12b側の第2の主面側外層部20bとなる部分が形成される。これにより、積層シートが作製される。

[0082] 次に、積層シートを静水圧プレスなどの手段により積層方向にプレスし積層ブロックを作製する。

[0083] 続いて、積層ブロックを所定のサイズにカットし、積層チップを切り出す

。このとき、バレル研磨などにより積層チップの角部及び稜線部に丸みがつけられてもよい。

[0084] 次に、積層チップを焼成し、積層体12を作製する。焼成温度は、セラミックや内部電極の材料にもよるが、900℃以上1400℃以下であることが好ましい。

[0085] 焼成して得られた積層体12の第3の面12c上及び第4の面12d上に第1の外部電極30aの第1の下地電極層32a、第2の外部電極30bの第2の下地電極層32bを形成する。また、焼成して得られた積層体12の第5の面12e上及び第6の面12f上に第3の外部電極30cの第3の下地電極層32c及び第4の外部電極30dの第4の下地電極層32dを形成する。

[0086] 下地電極層32として焼付け層を形成する場合は、ガラス成分と金属成分とを含む導電性ペーストを塗布し、そのあと焼き付け処理を行い、下地電極層32を形成する。

[0087] より詳細には、まず、焼成して得られた積層体12の第5の面12e上及び第6の面12f上に第3の外部電極30cの第3の下地電極層32c及び第4の外部電極30dの第4の下地電極層32dを形成する。

[0088] ここで、第3の下地電極層32c及び第4の下地電極層32dの形成方法としては、様々な方法を用いることができる。例えば、導電性ペーストをスリットから押し出して塗布する工法を用いることができる。この工法の場合、導電性ペーストの押し出し量を多くすることで、第5の面12e上及び第6の面12f上だけでなく、第1の面12aの一部及び第2の面12bの一部にまで第3の下地電極層32c及び第4の下地電極層32dを形成することができる。

[0089] また、ローラ転写法を用いて形成することもできる。ローラ転写法の場合、第5の面12e上及び第6の面12f上だけでなく、第1の面12aの一部及び第2の面12bの一部にまで第3の下地電極層32c及び第4の下地電極層32dを形成する場合、ローラ転写の際の押し付け圧力を強くするこ

とで第1の面12aの一部及び第2の面12bの一部にまで第3の下地電極層32c及び第4の下地電極層32dを形成することが可能となる。

[0090] 次に、焼成して得られた積層体12の第3の面12c上及び第4の面12d上に第1の外部電極30aの第1の下地電極層32a及び第2の外部電極30bの第2の下地電極層32bを形成する。

[0091] ここで、第1の下地電極層32a及び第2の下地電極層32bの形成方法としては、様々な方法を用いることができる。例えば、ディッピングなどの方法を使用して、第3の面12c及び第4の面12dだけでなく、第1の面12aの一部及び第2の面12bの一部、第5の面12eの一部及び第6の面12fの一部にまで延びるように形成することができる。

[0092] 本実施の形態では、第3の下地電極層32c及び第4の下地電極層32dを焼成した後に、第1の下地電極層32a及び第2の下地電極層32bを焼成しているが、第1の下地電極層32a及び第2の下地電極層32b、並びに第3の下地電極層32c及び第4の下地電極層32dを同時に焼成してもよい。

[0093] 下地電極層32として導電性樹脂層を形成する場合は、以下の方法で導電性樹脂層を形成することができる。なお、導電性樹脂層は、焼付け層の表面に形成されてもよく、焼付け層を形成せずに導電性樹脂層を単体で積層体上に直接形成してもよい。

[0094] 導電性樹脂層の形成方法としては、熱硬化性樹脂及び金属を含む導電性樹脂ペーストを焼付け層上もしくは積層体上に塗布し、250℃以上550℃以下の温度で熱処理を行い、樹脂を熱硬化させ、導電性樹脂層を形成する。この時の熱処理時の雰囲気は、N₂雰囲気であることが好ましい。また、樹脂の飛散を防ぎ、かつ、各種金属成分の酸化を防ぐため、酸素濃度は100ppm以下に抑えることが好ましい。

[0095] 導電性樹脂ペーストの塗布方法としては、下地電極層32を焼付け層で形成する方法と同様、例えば、導電性ペーストをスリットから押し出して塗布する工法やローラ転写法を用いて形成することができる。

[0096] その後、下地電極層 3 2 上及び積層体 1 2 の表面上に下層めっき層 3 4 が形成され、下層めっき層 3 4 を覆うように上層めっき層 3 6 が形成される。より詳細には、下地電極層 3 2 上に、下層めっき層 3 4 として Ni めっき層が形成される。その後、下層めっき層 3 4 の表面に上層めっき層 3 6 として Sn めっき層が形成される。めっき処理を行うにあたっては、電解めっき、無電解めっきのどちらを採用してもよい。但し、無電解めっきはめっき析出速度を向上させるために、触媒などによる前処理が必要となり、工程が複雑化するというデメリットがある。したがって、通常は、電解めっきを採用することが好ましい。

[0097] 以上のようにして、図 1 に記載の積層セラミックコンデンサ 1 0 を製造することができる。

[0098] 3. 実験例

上記の製造方法にしたがって、積層セラミックコンデンサを作製し、ESL の測定結果およびデラミネーションの発生の有無により評価を行った。実施例として、以下の仕様の積層セラミックコンデンサを準備した。準備された実施例 1 ないし実施例 6 の試料は、表 1 に示すように、第 1 の凸部 5 0 a の端縁部 4 2 a からの第 1 の方向 y の最大長さ L 2 を変化させた。また、比較例として、第 2 の内部電極の第 2 の領域の両端縁部 4 2 a, 4 2 b に凸部を形成しない積層セラミックコンデンサを準備した。

[0099] (1) 実施例及び比較例に用いた積層セラミックコンデンサ

(a) 積層セラミックコンデンサの寸法

(i) 積層方向 x の寸法 (T) : 0.30 ± 0.09 mm

(i i) 第 1 の方向 y の寸法 (L) : 0.60 ± 0.09 mm

(i i i) 第 2 の方向 z の寸法 (W) : 0.30 ± 0.09 mm

(b) 誘電体層の主成分 : BaTiO₃

(c) 内部電極の主成分 : Ni

(d) 静電容量 : 1 μ F

(e) 外部電極の構造

(i) 下地電極層：導電性金属 (Cu) とガラス成分とを含む焼付け層

(ii) 下層めっき層：Niめっき層

(iii) 上層めっき層：Snめっき層

[0100] なお、実施例1ないし実施例6において、第2の領域の第2の方向の長さW1は53 μm で固定し、凸部の第2の方向の長さW2は51 μm で固定した。

[0101] (2) 試験方法及び測定方法

(a) ESLの測定

まず、各積層セラミックコンデンサにおいて、ネットワークアナライザーを用いたインピーダンスの測定を行い、各積層セラミックコンデンサのESLの算出を行った。測定周波数帯は100MHzとした。ESLは、第2の内部電極における第2の領域に配置される凸部を有さない第2の内部電極の構造を備えた比較例における積層セラミックコンデンサのESLの値を基準として、ESLが低下した場合、ESLが改善したと判定した。また、比較例とした積層セラミックコンデンサのESLを基準として、2pH以上のESL低下が確認されたものを良好に改善したと判定した。

[0102] (b) デラミネーションの発生の有無の確認

また、本構造の構造欠陥として、各積層セラミックコンデンサの焼成後の積層体の外観を100個確認し、第2の内部電極の第2の領域におけるデラミネーションの発生数をカウントした。

[0103] 表1は、実施例及び比較例で作製した積層セラミックコンデンサのESLの測定結果およびデラミネーションの発生の有無の確認の結果を示す。

[0104]

[表1]

	比較例	実施例1	実施例2	実施例3	実施例4	実施例5	実施例6
第1の領域と第2の領域との境界部分の 第1の方向の長さ(L1) (μm)	71	71	70	70	71	71	70
凸部の第1の方向の最大長さ(L2) (μm)	0	16	13	8	5	2	2
L2/ L1	-	0.23	0.19	0.11	0.07	0.03	0.03
ESL (pH)	53	47	48	49	50	51	52
デラミネーションの発生数 (個)	0/100	7/100	4/100	0/100	0/100	0/100	0/100

[0105] 表1に示すように、実施例1ないし実施例6の試料によれば、各試料において第2の領域42に凸部50a、50bが形成されているので、第2の領

域42に凸部の形成されていない試料と比べて、ESLが低下しているのを確認された。

[0106] また、実施例2ないし実施例5の試料によれば、各試料において第1の領域40と第2の領域42との境界部分における第1の方向yの長さを L_1 とし、第1の凸部50aの端縁部からの第1の方向yの最大長さを L_2 としたとき、 $0.03L_1 \leq L_2 \leq 0.19L_1$ の条件を満たすので、比較例の試料のESLを基準として、2pH以上のESLの低下がみられるとともに、第2の内部電極の第2の領域におけるデラミネーションの発生数が100個中5個以下であり、デラミネーションの発生が抑制されていることが確認された。

[0107] なお、参考として、実施例2ないし実施例5の試料に対して、第2の領域42における第2の方向zの長さを W_1 とし、第1の凸部50aの端縁部42aにおける第2の方向zの長さを W_2 とし、第2の方向zの長さ W_2 を変化させたとき、 $0.15W_1 \leq W_2 \leq 0.95W_1$ の条件を満たすと、比較例の試料のESLを基準として、2pH以上のESLの低下がみられるとともに、第2の内部電極の第2の領域におけるデラミネーションの発生数が100個中0個であり、デラミネーションの発生が抑制されていることが確認された。

[0108] なお、以上のように、本発明の実施の形態は、前記記載で開示されているが、本発明は、これに限定されるものではない。

すなわち、本発明に係る技術的思想及び目的の範囲から逸脱することなく、以上説明した実施の形態に対し、機序、形状、材質、数量、位置又は配置等に関して、様々の変更を加えることができるものであり、それらは、本発明に含まれるものである。

産業上の利用可能性

[0109] 本発明は、積層セラミックコンデンサに関し、低インピーダンス特性をより向上させた積層セラミックコンデンサとして利用し得る。

符号の説明

- [0110] 1 0 積層セラミックコンデンサ
- 1 2 積層体
- 1 2 a 第1の面
- 1 2 b 第2の面
- 1 2 c 第3の面
- 1 2 d 第4の面
- 1 2 e 第5の面
- 1 2 f 第6の面
- 1 4 誘電体層
- 1 4 a 内層誘電体層
- 1 4 b 外層誘電体層
- 1 6 内部電極
- 1 6 a 第1の内部電極
- 1 6 b 第2の内部電極
- 1 8 内層部
- 2 0 a 第1の主面側外層部
- 2 0 b 第2の主面側外層部
- 2 2 a 第1の対向電極部
- 2 2 b 第2の対向電極部
- 2 4 a 第1の引出電極部
- 2 4 b 第2の引出電極部
- 2 4 c 第3の引出電極部
- 2 4 d 第4の引出電極部
- 2 6 a, 2 6 b 積層体の側部 (Wギャップ)
- 2 8 a, 2 8 b 積層体の端部 (Lギャップ)
- 3 0 外部電極
- 3 0 a 第1の外部電極
- 3 0 b 第2の外部電極

- 3 0 c 第3の外部電極
- 3 0 d 第4の外部電極
- 3 2 下地電極層
- 3 2 a 第1の下地電極層
- 3 2 b 第2の下地電極層
- 3 2 c 第3の下地電極層
- 3 2 d 第4の下地電極層
- 3 4 下層めっき層
- 3 4 a 第1の下層めっき層
- 3 4 b 第2の下層めっき層
- 3 4 c 第3の下層めっき層
- 3 4 d 第4の下層めっき層
- 3 6 上層めっき層
- 3 6 a 第1の上層めっき層
- 3 6 b 第2の上層めっき層
- 3 6 c 第3の上層めっき層
- 3 6 d 第4の上層めっき層
- 4 0 第1の領域
- 4 2 第2の領域
- 4 2 a、4 2 b 第2の領域における端縁部
- 5 0 a 第1の凸部
- 5 0 b 第2の凸部
- x 積層方向
- y 第1の方向
- z 第2の方向
- L 積層セラミックコンデンサの長さ方向の寸法
- W 積層セラミックコンデンサの幅方向の寸法
- T 積層セラミックコンデンサの積層方向の寸法

- L 1 第 1 の領域と第 2 の領域との境界部分における第 1 の方向の長さ
- L 2 凸部の端縁部からの第 1 の方向の最大長さ
- W 1 第 2 の領域の第 2 の方向の長さ
- W 2 凸部の端縁部における第 2 の方向の長さ

請求の範囲

- [請求項1] 積層方向に相対する第1の面及び第2の面と、前記積層方向に直交する第1の方向に相対する第3の面及び第4の面と、前記積層方向及び前記第1の方向に直交する第2の方向に相対する第5の面及び第6の面とを有する積層体と、
- 前記積層体の前記第3の面上に配置された第1の外部電極と、
- 前記積層体の前記第4の面上に配置された第2の外部電極と、
- 前記積層体の前記第5の面上に配置された第3の外部電極と、
- 前記積層体の前記第6の面上に配置された第4の外部電極と
- を備え、
- 前記積層体は、
- 内層部と、
- 前記内層部を前記積層方向に挟み込むように配置された2つの外層部と
- を備え、
- 前記内層部は、
- 内層誘電体層と、
- 前記第3の面及び前記第4の面に前記第1の方向の一端が露出された第1の内部電極と、
- 前記第5の面及び前記第6の面に前記第2の方向の一端が露出された第2の内部電極と
- を備え、
- 前記第2の内部電極は、
- 前記積層体の内部に配置された第1の領域と、
- 前記第1の領域から前記第5の面及び前記第6の面に引き出された第2の領域と
- を備え、
- 前記第2の領域の前記第1の方向に対向して位置する端縁部

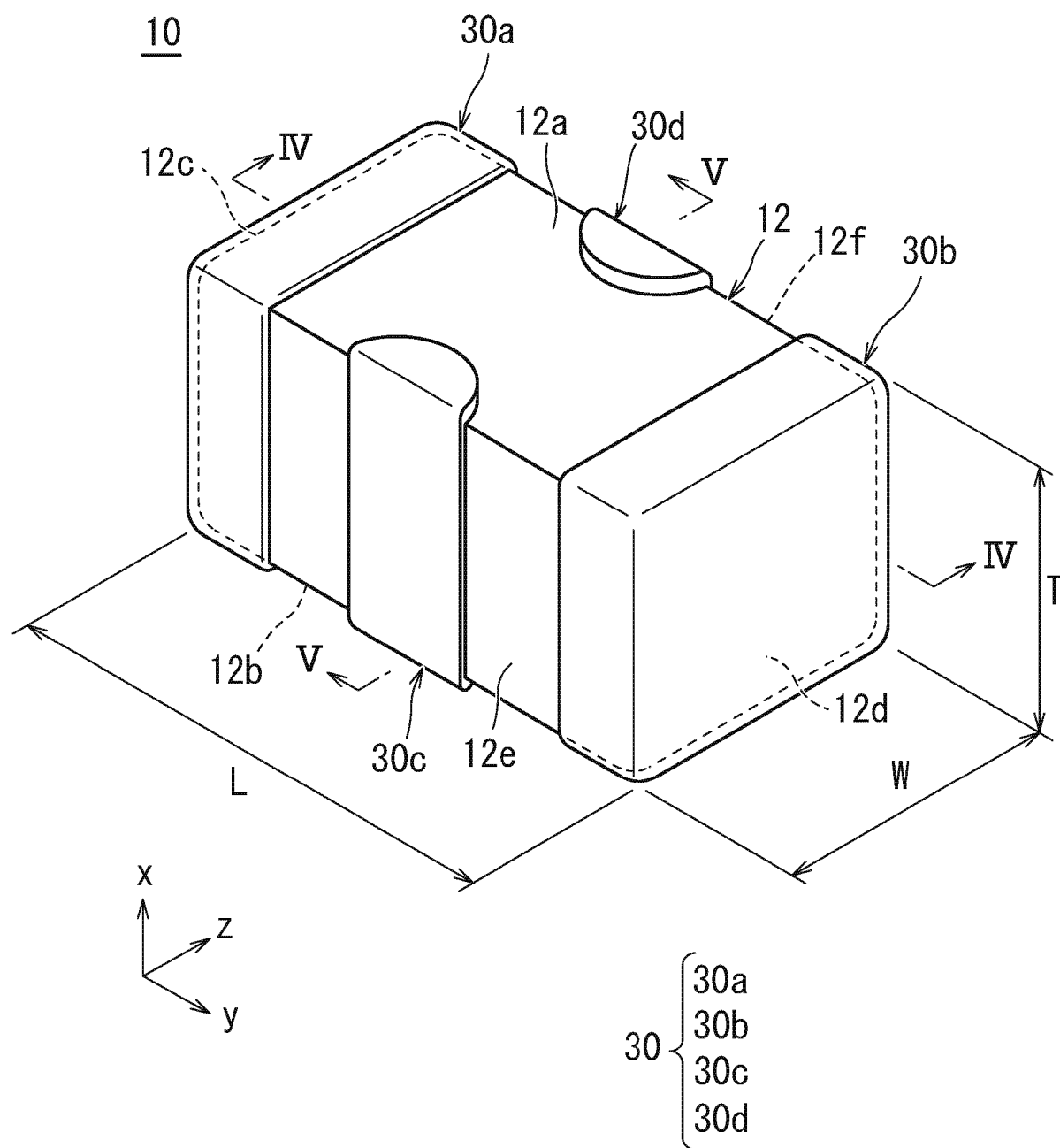
のうち少なくとも一方には凸部が配置されている、積層セラミックコンデンサである。

[請求項2] 前記第1の領域と前記第2の領域との境界部分における前記第1の方向の長さを L_1 とし、前記凸部の前記端縁部からの前記第1の方向の最大長さを L_2 としたとき、 $0.03L_1 \leq L_2 \leq 0.20L_1$ である、請求項1に記載の積層セラミックコンデンサ。

[請求項3] 前記積層セラミックコンデンサの前記第3の面と前記第4の面とを結ぶ方向の寸法を L とし、前記積層セラミックコンデンサの前記第5の面と前記第6の面とを結ぶ方向の寸法を W としたとき、前記 L は、 0.51 mm 以上 0.69 mm 以下であり、前記 W は、 0.21 mm 以上 0.39 mm 以下である、請求項1または請求項2に記載の積層セラミックコンデンサ。

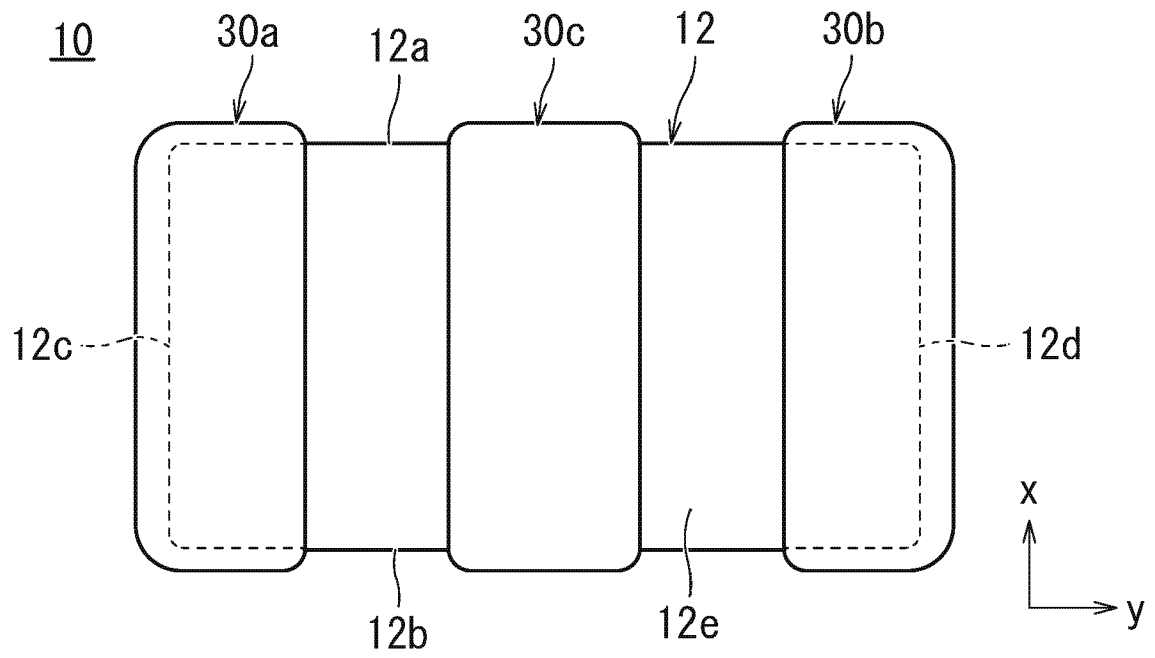
[図1]

図 1



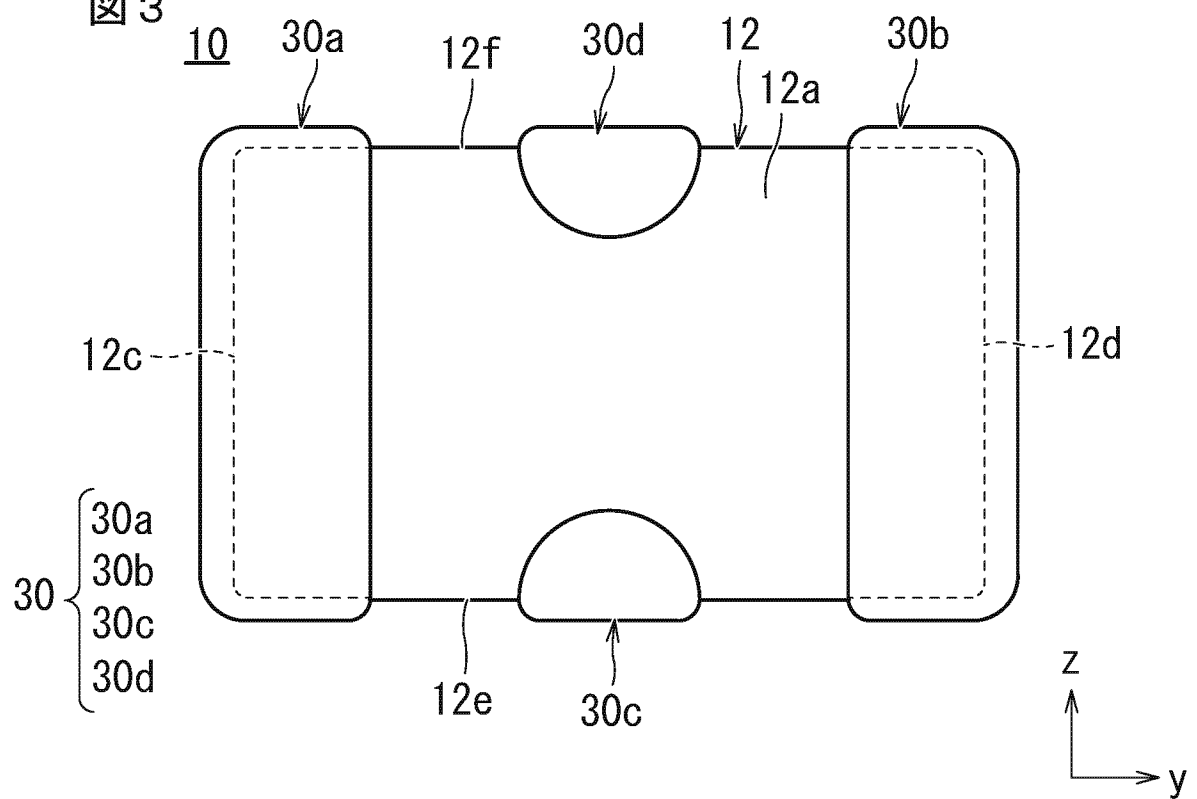
[図2]

図 2



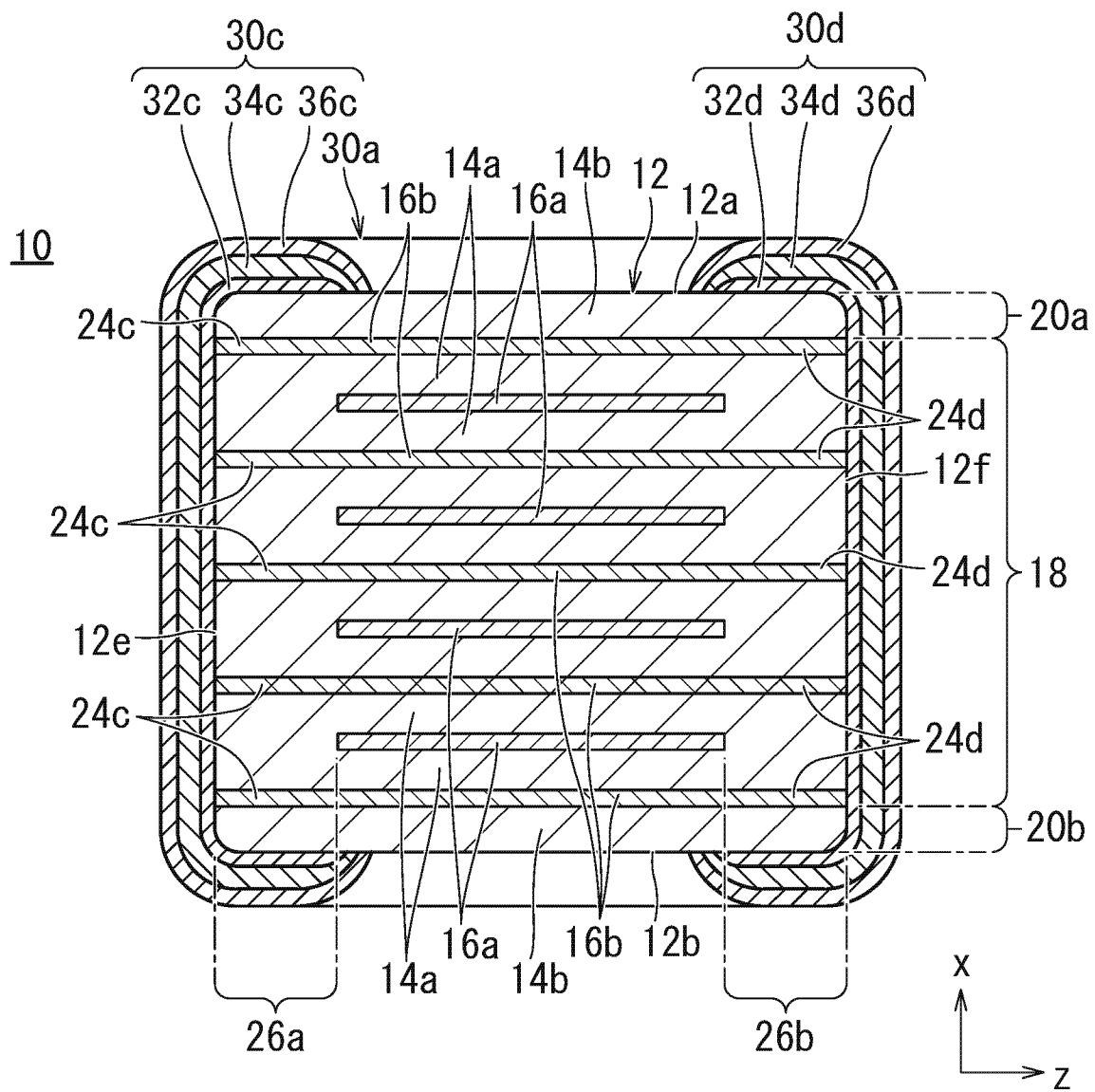
[図3]

図 3



[図5]

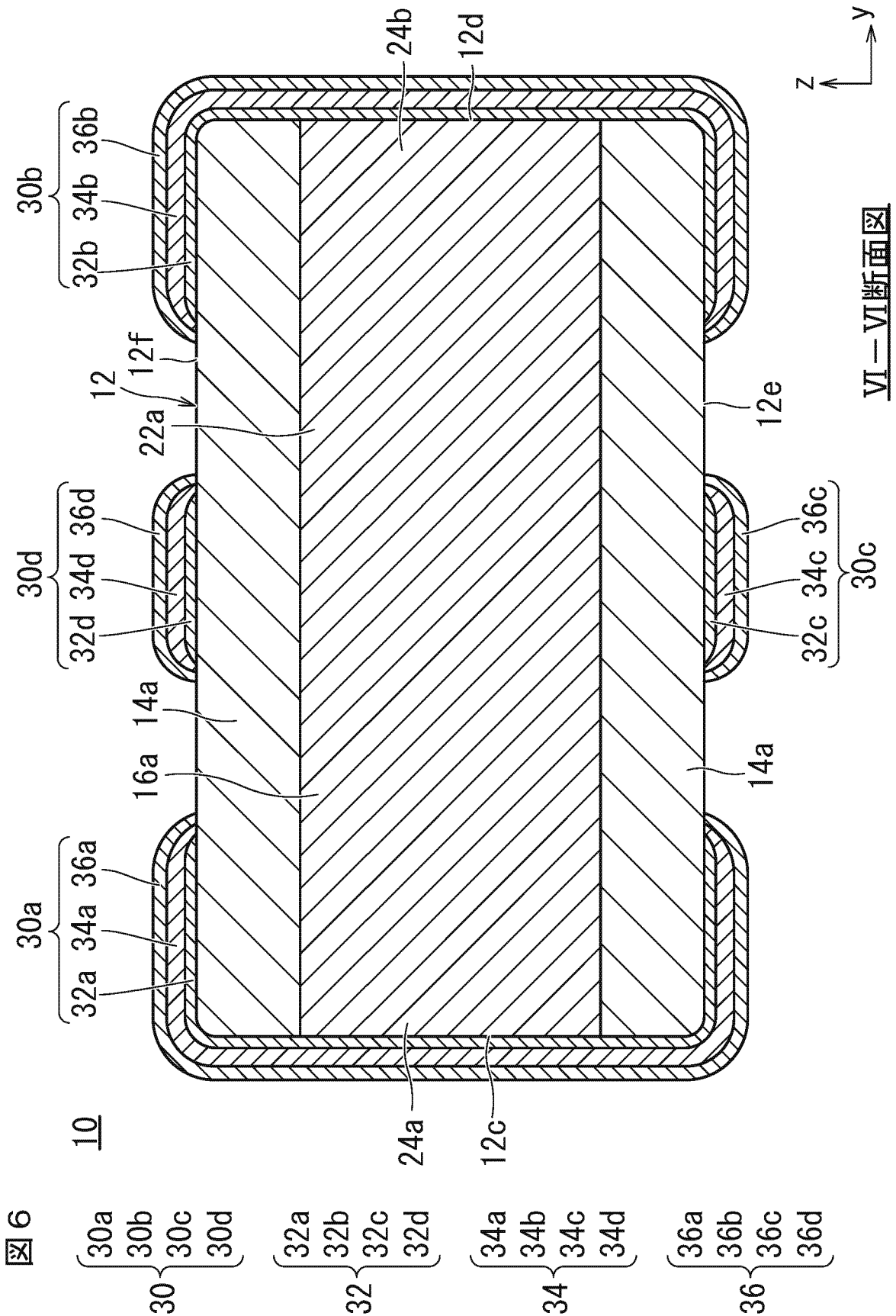
図 5



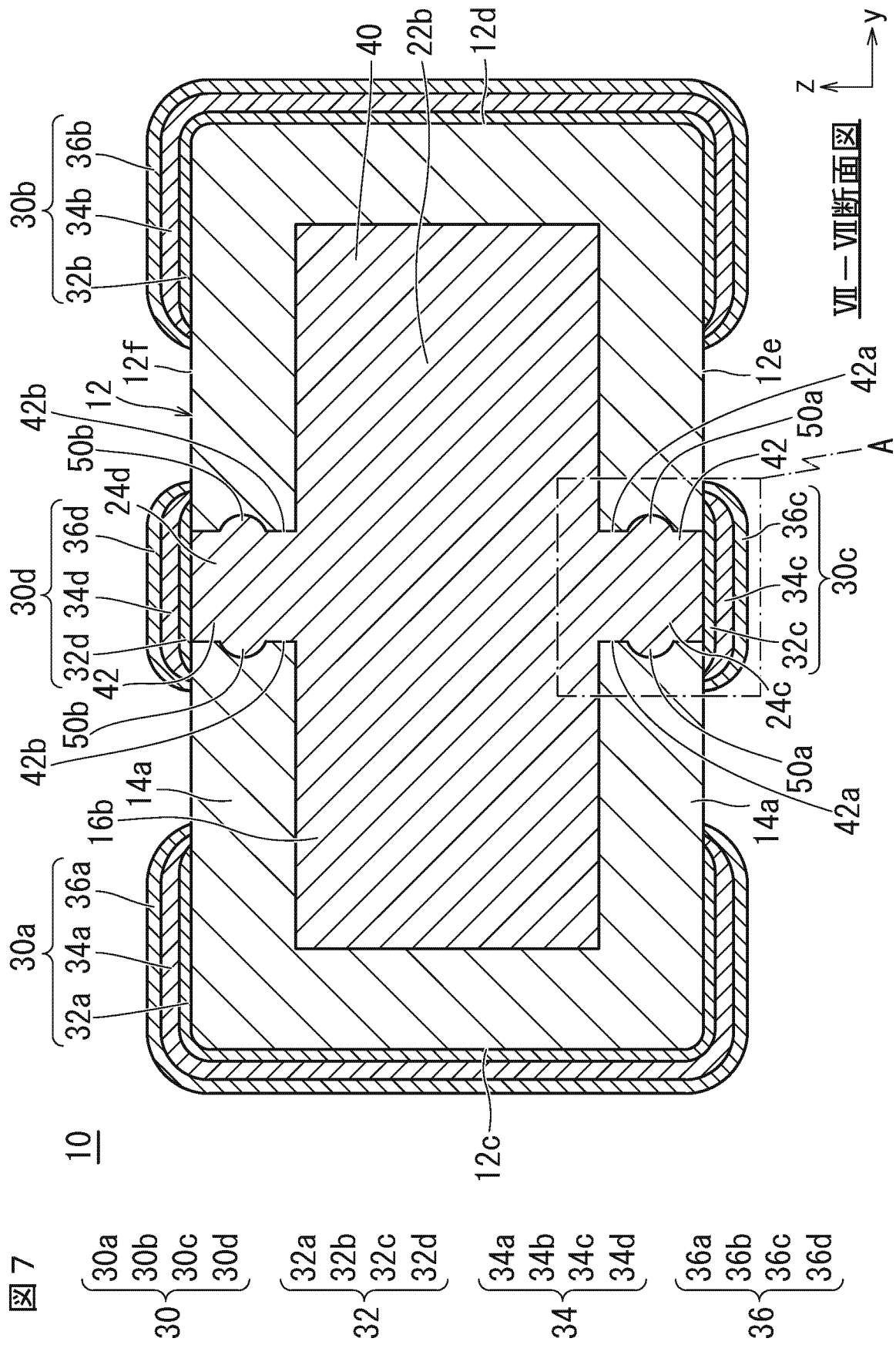
V-V断面図

$$14 \begin{cases} 14a \\ 14b \end{cases} \quad 16 \begin{cases} 16a \\ 16b \end{cases}$$

[图6]



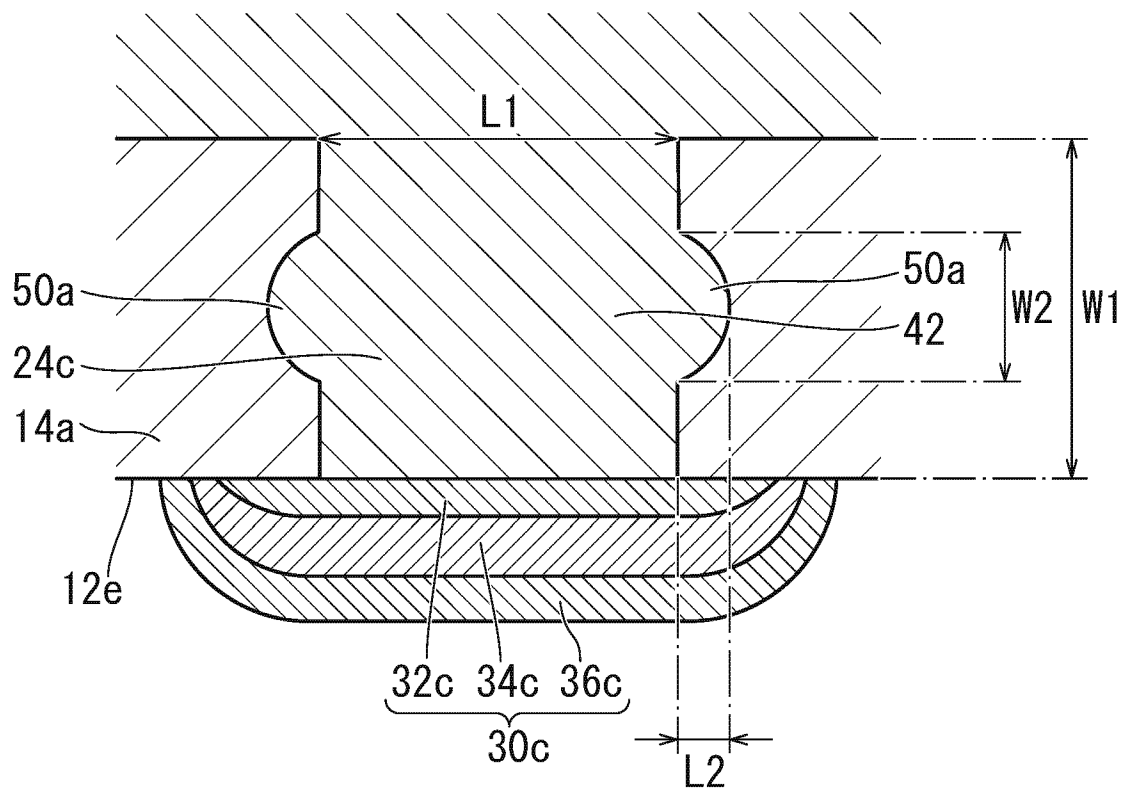
[図7]



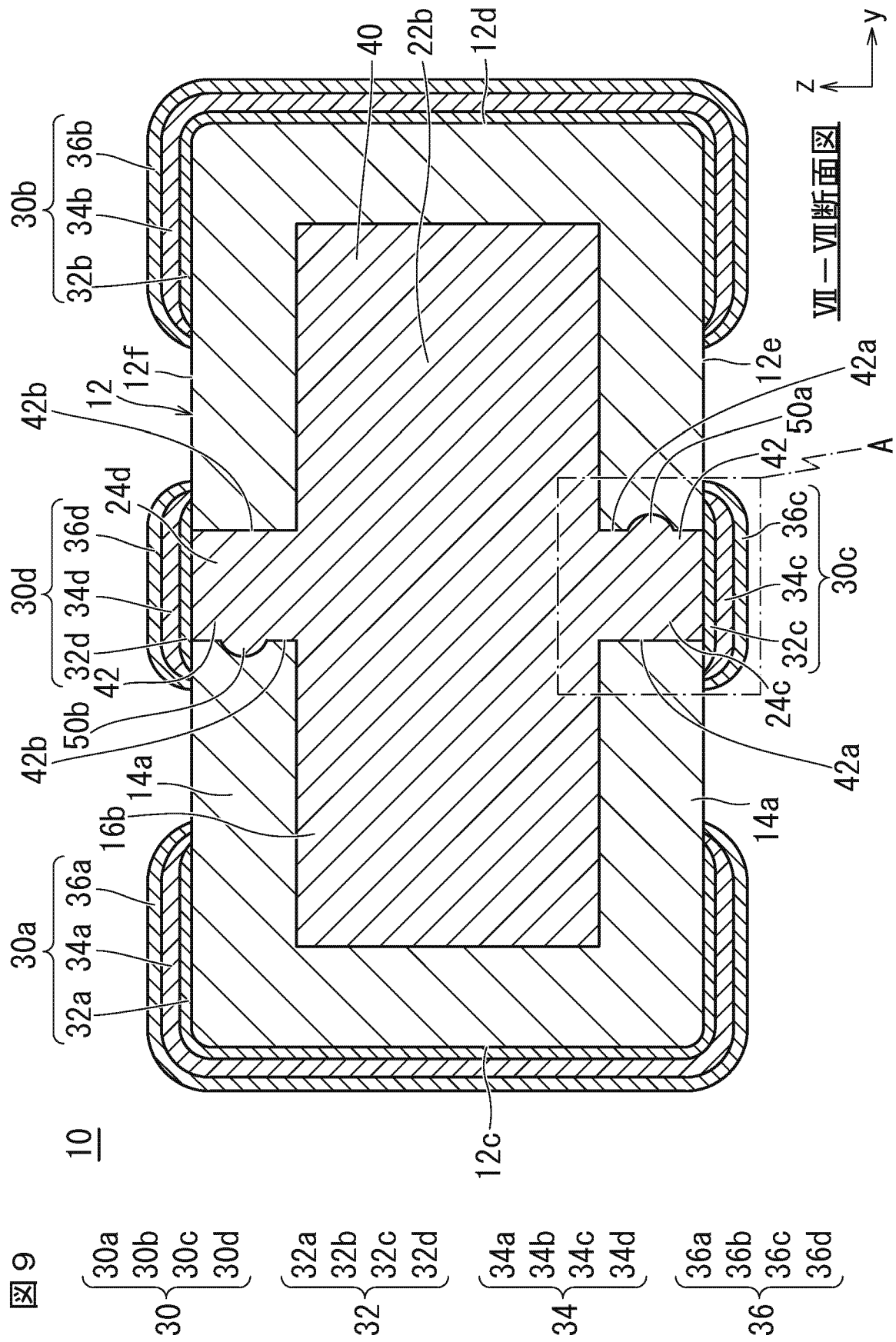
VII—VII断面図

[図8]

図 8



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/013795

A. CLASSIFICATION OF SUBJECT MATTER H01G 4/30 (2006.01)i; H01G 4/35 (2006.01)i FI: H01G4/30 201C; H01G4/30 513; H01G4/30 550; H01G4/35 331 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01G4/30; H01G4/35 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2020-77815 A (MURATA MANUFACTURING CO., LTD.) 21 May 2020 (2020-05-21) paragraphs [0012]-[0058], [0069], fig. 1-6	1,3
Y		1-3
A	JP 2021-77827 A (MURATA MANUFACTURING CO., LTD.) 20 May 2021 (2021-05-20) paragraphs [0018]-[0022], fig. 3-4	1-3
Y	JP 2002-208533 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 26 July 2002 (2002-07-26) paragraphs [0027]-[0028], fig. 2(B)	1-3
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 03 June 2024		Date of mailing of the international search report 18 June 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/013795

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2020-77815	A	21 May 2020	US 2020/0152385 A1 paragraphs [0022]-[0071], [0085], fig. 1-6	
JP	2021-77827	A	20 May 2021	US 2021/0142947 A1 paragraphs [0040]-[0054], fig. 3-4	
JP	2002-208533	A	26 July 2002	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01G 4/30(2006.01)i; H01G 4/35(2006.01)i

FI: H01G4/30 201C; H01G4/30 513; H01G4/30 550; H01G4/35 331

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01G4/30; H01G4/35

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2020-77815 A（株式会社村田製作所） 21.05.2020（2020 - 05 - 21） 0012-0058, 0069段落、図1-6	1, 3
Y		1-3
A	JP 2021-77827 A（株式会社村田製作所） 20.05.2021（2021 - 05 - 20） 0018-0022段落、図3-4	1-3
Y	JP 2002-208533 A（松下電器産業株式会社） 26.07.2002（2002 - 07 - 26） 0027-0028段落、図2(B)	1-3

☐ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

03.06.2024

国際調査報告の発送日

18.06.2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

後藤 嘉宏 5D 3660

電話番号 03-3581-1101 内線 3549

様式 PCT/ISA/210（第2ページ）（2022年7月）

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/013795

引用文献			公表日	パテントファミリー文献	公表日
JP	2020-77815	A	21.05.2020	US 2020/0152385 A1 0022-0071, 0085段落、図1-6	
JP	2021-77827	A	20.05.2021	US 2021/0142947 A1 0040-0054段落、図3-4	
JP	2002-208533	A	26.07.2002	(ファミリーなし)	