

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5000125号
(P5000125)

(45) 発行日 平成24年8月15日 (2012. 8. 15)

(24) 登録日 平成24年5月25日 (2012. 5. 25)

(51) Int.Cl.

H 0 1 L 29/786 (2006.01)

F I

H 0 1 L 29/78 6 2 6 B

請求項の数 9 (全 67 頁)

(21) 出願番号	特願2005-329789 (P2005-329789)	(73) 特許権者	302062931
(22) 出願日	平成17年11月15日 (2005. 11. 15)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2007-141916 (P2007-141916A)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(43) 公開日	平成19年6月7日 (2007. 6. 7)	(74) 代理人	100088672
審査請求日	平成20年10月22日 (2008. 10. 22)		弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	渡邊 哲也
			東京都千代田区丸の内二丁目4番1号 株
			式会社ルネサステクノロジ内
		(72) 発明者	一法師 隆志
			東京都千代田区丸の内二丁目4番1号 株
			式会社ルネサステクノロジ内
		審査官	綿引 隆
			最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

S O I 基板の第 1 の導電型を有する S O I 層上に配設された M O S トランジスタを備えた半導体装置であって、

前記 M O S トランジスタは、

第 1 の方向に第 1 の所定長さを有し、第 2 の方向に第 2 の所定幅を有し、ゲート絶縁膜を介して前記 S O I 層上に配設されたゲート電極と、

前記第 1 の導電型と反対の第 2 の導電型を有し、前記ゲート電極の前記第 1 の方向に沿った両側面外方の前記 S O I 層の表面内にそれぞれ配設された第 1 および第 2 の半導体領域と、

前記第 1 の導電型を有し、前記第 1 および第 2 の半導体領域の間に配設されたボディ領域と、

前記ゲート電極下方の前記 S O I 層の表面内に形成されるチャネル形成領域を横切って前記第 1 の方向に伸び、それによって前記第 1 の半導体領域を前記第 2 の方向に複数の部分的に分離する第 1 の部分トレンチ分離絶縁膜と、

前記第 1 の導電型を有し、前記第 1 の方向において前記ゲート電極の反対に前記第 1 の部分トレンチ分離絶縁膜に隣接して配設された第 3 の半導体領域と、

前記第 1 の導電型を有して前記第 1 の部分トレンチ分離絶縁膜の下に配設され、前記 S O I 層および前記第 3 の半導体領域に電氣的に接続される第 4 の半導体領域を備える半導体装置。

10

20

【請求項 2】

前記第 3 の半導体領域は、

部分的に分離された前記第 1 の半導体領域の前記ゲート電極とは反対側の側面に接し、前記ゲート電極と平行して延在するように配設される、請求項 1 記載の半導体装置。

【請求項 3】

前記第 3 の半導体領域は、

部分的に分離された前記第 1 の半導体領域の配列方向の側面に接するように配設される、請求項 1 記載の半導体装置。

【請求項 4】

前記第 1 の部分トレンチ分離絶縁膜は、前記チャネル形成領域を横切って前記ゲート電極から所定長さだけ前記第 2 の半導体領域側に突出し、

前記第 2 の半導体領域は、突出した前記第 1 の部分トレンチ分離絶縁膜と、前記第 1 の部分トレンチ分離絶縁膜に連続するように配設され、前記 S O I 層を貫通して埋め込み酸化膜に達する絶縁膜とで前記第 2 の方向に複数に部分的に分離される、請求項 2 または請求項 3 記載の半導体装置。

【請求項 5】

前記第 1 の部分トレンチ分離絶縁膜は、前記チャネル形成領域を横切って前記ゲート電極から所定長さだけ前記第 2 の半導体領域側に突出し、

前記第 2 の半導体領域は、突出した前記第 1 の部分トレンチ分離絶縁膜を囲むように配設される、請求項 2 または請求項 3 記載の半導体装置。

【請求項 6】

前記 M O S トランジスタは、

前記第 3 の半導体領域の前記ゲート電極とは反対側の側面に接し、前記ゲート電極と平行して延在するように配設された第 2 の絶縁膜をさらに備え、

前記第 2 の絶縁膜は、その下に前記第 4 の半導体領域を有する、請求項 4 または請求項 5 記載の半導体装置。

【請求項 7】

前記第 1 の部分トレンチ分離絶縁膜は、前記第 2 の半導体領域を前記第 1 の方向に横切って前記第 2 の半導体領域を前記第 2 の方向に複数に部分的に分離するように配設され、

前記 M O S トランジスタは、

前記第 2 の半導体領域側において、部分的に分離された前記第 2 の半導体領域の前記ゲート電極とは反対側の側面に接し、前記ゲート電極と平行して延在するように配設された第 3 の絶縁膜をさらに備え、

前記第 3 の絶縁膜は、その下に前記第 4 の半導体領域を有する、請求項 2 または請求項 3 記載の半導体装置。

【請求項 8】

前記第 1 の部分トレンチ分離絶縁膜は、前記チャネル形成領域を横切って前記ゲート電極から所定長さだけ前記第 2 の半導体領域側に突出し、

前記第 2 の半導体領域は、突出した前記第 1 の部分トレンチ分離絶縁膜を囲むように配設され、

前記 M O S トランジスタは、

前記第 2 の半導体領域側において、前記第 2 の半導体領域の前記ゲート電極とは反対側の側面に接し、前記ゲート電極と平行して延在するように配設された第 3 の絶縁膜をさらに備え、

前記第 3 の絶縁膜は、その下に前記第 4 の半導体領域を有する、請求項 2 または請求項 3 記載の半導体装置。

【請求項 9】

前記 M O S トランジスタは、

前記第 3 の半導体領域の前記ゲート電極とは反対側の側面に接し、前記ゲート電極と平行して延在するように配設された第 4 の絶縁膜をさらに備え、

前記第４の絶縁膜は、その下に前記第４の半導体領域を有する、請求項７または請求項８記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は半導体装置に関し、特にパーシャルトレンチ分離構造を有した半導体装置に関する。

【背景技術】

【０００２】

シリコン基板上に埋め込み酸化膜およびＳＯＩ（Silicon On Insulator）層が配設されたＳＯＩ基板に形成されるＳＯＩ構造の半導体装置（以後、ＳＯＩデバイスと呼称）は、寄生容量を低減でき、高速で安定な動作および低消費電力という特徴を有し、携帯機器などに使用されている。

【０００３】

ＳＯＩデバイスの一例としては、ＳＯＩ層の表面内に埋め込み酸化膜に達するトレンチを設け、該トレンチ内に絶縁物を埋め込むことで形成された完全トレンチ分離絶縁膜により、素子間を電氣的に分離する完全トレンチ分離（ＦＴＩ）構造のＳＯＩデバイスがある。

【０００４】

しかし、衝突電離現象によって発生するキャリア（ＮＭＯＳではホール）がチャネル形成領域を含むボディ領域に溜まり、これによりキックが発生したり、動作耐圧が低下したり、また、ボディ領域の電位が安定しないために遅延時間の周波数依存性が発生する等の基板浮遊効果により生ずる種々の問題点があった。

【０００５】

そこで考案されたのが、例えば非特許文献１に開示される、トレンチの底部と埋め込み酸化膜との間に所定厚さのＳＯＩ層が残るようにＳＯＩ層の表面内にトレンチを形成し、該トレンチ内に絶縁物を埋め込むことで形成された部分トレンチ分離絶縁膜を有したパーシャルトレンチ分離（ＰＴＩ）構造である。

【０００６】

ＰＴＩ構造の採用により、部分トレンチ分離絶縁膜の下部のウエル領域を通じてキャリアの移動が可能であり、キャリアがボディ領域に溜まるということを防ぎ、またウエル領域を通じてボディ領域の電位を固定することができるので、基板浮遊効果による種々の問題が発生しない。

【０００７】

ＰＴＩ構造を採用する場合、ゲート電極のゲート幅方向の端部外方のＳＯＩ層の表面内に、ボディ領域と同じ導電型の高濃度不純物領域を設けてボディ固定領域とし、当該ボディ固定領域を上層の配線層に電氣的に接続することでボディ領域の電位を固定することが一般的である。

【０００８】

一方、このようなＰＴＩ構造を使用しない半導体装置においては、ボディ領域の電位を固定するために例えば、非特許文献２に示されるようなＴシェーブ型のゲート電極や、ソースタイ型のゲート電極を使用することが提案されていた。

【０００９】

すなわち、非特許文献２の図２．８（ａ）には、ゲート電極がＴ字型をなし、Ｔ字の脚に相当する部分が実質的なゲートとして機能し、Ｔ字の頭に相当する部分が、ソース領域およびドレイン領域の短辺を完全に覆うように延在し、Ｔ字の頭の外方にボディコンタクト領域が設けられた構成が示されている。なお、ボディコンタクト領域はボディ領域と同じ導電型の不純物を高濃度に含んでいる。

【００１０】

また、非特許文献２の図２．８（ｂ）には、ゲート電極のゲート幅方向の中央部近傍か

10

20

30

40

50

らソース領域に向けて突出する凸部を有した、いわゆるソースタイ型のゲート電極が示され、当該凸部の下部のソース領域の表面内には、ソース領域とは導電型の異なる高濃度不純物領域が設けられた構成が示されている。

【 0 0 1 1 】

半導体装置の小型化に伴ってゲート長も短くなるが、Tシェープ型のゲート電極では、ゲート電極の一方の端部において電位を固定するので、ゲート長が短くなり、それに比べてゲート幅が極めて長い場合、ボディ領域の抵抗値が高くなり、ボディ領域の電位固定が充分でなくなり、キックの発生や、動作耐圧が低下する可能性があった。

【 0 0 1 2 】

また、Tシェープ型のゲート電極の場合、T字の頭部の下部はボディ領域と同じ不純物領域であるが、当該不純物領域とT字の頭部との間にはゲート絶縁膜が存在するので、そこには不要な容量成分が存在することになり、トランジスタの動作に影響を与える可能性もあった。

【 0 0 1 3 】

一方、ソースタイ型のゲート電極では、ゲート長に比べてゲート幅が極めて長い場合、ソース領域に向けて突出する凸部の個数を増やすことでゲート電極を複数に分割したことで等価になり、短いゲート電極のそれぞれについてボディ領域の電位固定を行うことができる。

【 0 0 1 4 】

しかし、凸部の下部のソース領域の表面内に設ける高濃度不純物領域の形成に際しては、イオン注入により不純物を導入するので、注入マスクの精度に起因する位置ずれにより、凸部の下部の高濃度不純物領域の位置がばらつき、電位固定位置がばらついて、実質的に複数に分割された個々のゲート電極の長さがばらつくことになるので、トランジスタの動作特性がばらつく可能性があった。

【 0 0 1 5 】

【非特許文献1】Yuuichi Hirano et al., "Bulk-Layout-Compatible 0.18- μ m SOI-CMOS Technology Using Body-Tied Partial-Trench-Isolation(PTI)", "IEEE TRANSACTION ON ELECTRON DEVICES, vol.48, NO.12, DECEMBER 2001, pp.2816-2822"

【非特許文献2】Kerry Bernstein and Norman J.Rohrer, "SOI CIRCUIT DESIGN CONCEPTS", Kluwer Academic Publishers, pp.22-23

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 6 】

以上説明したように、半導体装置の小型化に伴ってゲート長が短くなり、ゲート長に比べてゲート幅が極めて長い場合には、ボディ領域の電位固定が充分でなくなり、キックが発生したり、動作耐圧が低下する可能性があったが、Tシェープ型のゲート電極やソースタイ型のゲート電極では対応できないという問題があった。

【 0 0 1 7 】

本発明は上記のような問題点を解消するためになされたもので、キックの発生や、動作耐圧の低下を防止するとともに、動作特性にばらつきを生じない半導体装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 8 】

本発明に係る半導体装置の一態様は、SOI基板の第1の導電型を有するSOI層上に配設されたMOSトランジスタを備えた半導体装置であって、前記MOSトランジスタは、第1の方向に第1の所定長さを有し、第2の方向に第2の所定幅を有し、ゲート絶縁膜を介して前記SOI層上に配設されたゲート電極と、前記第1の導電型と反対の第2の導電型を有し、前記ゲート電極の前記第1の方向に沿った両側面外方の前記SOI層の表面内にそれぞれ配設された第1および第2の半導体領域と、前記第1の導電型を有し、前記第1および第2の半導体領域の間に配設されたボディ領域と、前記ゲート電極下方の前記

10

20

30

40

50

S O I 層の表面内に形成されるチャネル形成領域を横切って前記第 1 の方向に伸び、それによって前記第 1 の半導体領域を前記第 2 の方向に複数に部分的に分離する第 1 の部分トレンチ分離絶縁膜と、前記第 1 の導電型を有し、前記第 1 の方向において前記ゲート電極の反対に前記第 1 の部分トレンチ分離絶縁膜に隣接して配設された第 3 の半導体領域と、前記第 1 の導電型を有して前記第 1 の部分トレンチ分離絶縁膜の下に配設され、前記 S O I 層および前記第 3 の半導体領域に電氣的に接続される第 4 の半導体領域を備える。

【発明の効果】

【0019】

本発明に係る半導体装置の一態様によれば、第 1 の部分トレンチ分離絶縁膜によって、第 1 の半導体領域を第 2 の方向に複数に部分的に分離するので、実質的に MOS トランジスタのゲート電極を複数に分割することになる。そして、分割されたゲート電極のそれぞれについて、第 1 の半導体領域側において、第 1 のトレンチ分離絶縁膜のゲート電極の反対に第 1 の部分トレンチ分離絶縁膜に隣接して配設された第 3 の半導体領域を設けるので、第 1 の半導体領域側に設けられた第 3 の半導体領域から、第 1 の部分トレンチ分離絶縁膜下層の第 4 の半導体領域を通してゲート電極下層のボディ領域の電位を固定するので、MOS トランジスタのボディ領域の電位固定を確実に行うことができ、キークの発生を抑制することができる。また、MOS トランジスタのゲート電極を実質的に分割するので、動作耐圧を向上させることができる。また、部分トレンチ分離絶縁膜を形成する際には加工精度の高いマスクを使用するので、ゲート電極を設計値に従って精度良く分割することができ、ゲート幅にばらつきが生じることを防止して、動作特性にばらつきを生じない半導体装置を得ることができる。

【発明を実施するための最良の形態】

【0020】

< A . 実施の形態 1 >

< A - 1 . 装置構成 >

図 1 ~ 図 5 を用いて本発明に係る実施の形態 1 の半導体装置 100 の構成について説明する。

【0021】

図 1 は半導体装置 100 の構成を示す平面図であり、図 1 に示す A - A 線、B - B 線、D - D 線および E - E 線での矢示断面を、それぞれ図 2、図 3、図 4 および図 5 に示す。

【0022】

図 1 に示すように半導体装置 100 は、P チャネル型 MOS トランジスタ (PMOS トランジスタ) P1 と、N チャネル型 MOS トランジスタ (NMOS トランジスタ) N1 とを有し、両トランジスタのゲート電極 G1 は共通に接続されている。

【0023】

そして、PMOS トランジスタ P1 においては、ソース・ドレイン領域がゲート幅方向に沿って 4 分割され、4 つの独立したソース領域 12 の配列と、4 つの独立したドレイン領域 13 の配列とを有した構成となっている。

【0024】

4 つのソース領域 12 の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜 PT が設けられ、また、配列の両端に位置するソース領域 12 の外側にも部分トレンチ分離絶縁膜 PT が設けられている。当該部分トレンチ分離絶縁膜 PT (第 1 の部分トレンチ分離絶縁膜) はゲート電極 G1 の下方に形成されるチャネル領域をチャネル長方向に横切って分割するように配設されている。なお、ソース領域、ドレイン領域、チャネル領域を分割する部分トレンチ分離絶縁膜は、分割用部分トレンチ分離絶縁膜と呼称する場合がある。

【0025】

そして、ソース領域 12 のゲート電極 G1 とは反対側の側面に接するように N 型不純物を比較的高濃度 (N⁺) に含んだボディ固定領域 14 (第 3 の半導体領域) が設けられ、当該ボディ固定領域 14 は、4 つのソース領域 12 の側面に接するとともに、部分トレン

10

20

30

40

50

チ分離絶縁膜 P T のゲート電極 G 1 とは反対側の側面にも接して、ゲート電極 G 1 と平行して延在するように配設されている。

【 0 0 2 6 】

また、ゲート電極 G 1 の下方に形成されるチャネル領域を横切った部分トレンチ分離絶縁膜 P T はドレイン領域 1 3 に達し、4つのドレイン領域 1 3 の間にも部分トレンチ分離絶縁膜 P T が設けられているが、ドレイン領域 1 3 の対向する側面全体に接するのではなく、ゲート電極 G 1 から所定長さだけ部分トレンチ分離絶縁膜 P T が突出するように設けられている。これは、配列の両端に位置するドレイン領域 1 3 の外側においても同様である。

【 0 0 2 7 】

10

ここで、部分トレンチ分離絶縁膜 P T が突出する長さは、部分トレンチ分離絶縁膜 P T とゲート電極や半導体領域との重ね合わせ精度に基づいて設定される。このように部分トレンチ分離絶縁膜 P T を突出させることで、確実にゲート電極下のボディ領域と接続されるという効果が得られる。

【 0 0 2 8 】

なお、ソース領域およびドレイン領域の配列の両端に位置するソース領域およびドレイン領域の外側に配設される部分トレンチ分離絶縁膜は、外周部分トレンチ分離絶縁膜と呼称する場合がある。

【 0 0 2 9 】

N M O S トランジスタ N 1 においては、ソース・ドレイン領域がゲート幅方向に沿って2分割され、2つの独立したソース領域 2 2 の配列と、2つの独立したドレイン領域 2 3 の配列とを有した構成となっている。

20

【 0 0 3 0 】

2つのソース領域 2 2 の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜 P T が設けられ、また、配列の両端に位置するソース領域 2 2 の外側にも部分トレンチ分離絶縁膜 P T が設けられている。

【 0 0 3 1 】

そして、ソース領域 2 2 のゲート電極 G 1 とは反対側の側面に接するように P 型不純物を比較的高濃度 (P ⁺) に含んだボディ固定領域 2 4 (第 3 の半導体領域) が設けられ、当該ボディ固定領域 2 4 は、2つのソース領域 2 2 の側面に接するとともに、部分トレンチ分離絶縁膜 P T のゲート電極 G 1 とは反対側の側面にも接して、ゲート電極 G 1 と平行して延在するように配設されている。

30

【 0 0 3 2 】

なお、ボディ固定領域 1 4 および 2 4 を、ゲート電極 G 1 と平行して延在するように構成することで、ボディ固定領域 1 4 および 2 4 が、ソース領域の配列方向に多少ずれるように形成された場合でも、部分トレンチ分離絶縁膜 P T との接触が完全に断たれてしまうことがなく、M O S トランジスタの動作不良の発生を防止できる。

【 0 0 3 3 】

また、2つのドレイン領域 2 3 の間にも部分トレンチ分離絶縁膜 P T が設けられているが、ドレイン領域 2 3 の対向する側面全体に接するのではなく、ゲート電極 G 1 から所定長さだけ部分トレンチ分離絶縁膜 P T が突出するように設けられている。これは、配列の両端に位置するドレイン領域 2 3 の外側においても同様である。

40

【 0 0 3 4 】

ここで、部分トレンチ分離絶縁膜 P T が突出する長さは、部分トレンチ分離絶縁膜 P T とゲート電極や半導体領域との重ね合わせ精度に基づいて設定される。このように部分トレンチ分離絶縁膜 P T を突出させることで、確実にゲート電極下のボディ領域と接続されるという効果が得られる。

【 0 0 3 5 】

ここで、図 2 ~ 図 5 に示すように、半導体装置 1 0 0 は、シリコン基板 1 と、当該シリコン基板 1 上に配設された埋め込み酸化膜 2 と、埋め込み酸化膜 2 上に配設された S O I

50

層 3 とで構成される S O I 基板 S B 上に配設されている。そして、P M O S トランジスタ P 1 および N M O S トランジスタ N 1 の周囲は完全トレンチ分離絶縁膜 F T によって囲まれており、図 3 に示すように、P M O S トランジスタ P 1 の活性層と N M O S トランジスタ N 1 の活性層とは電氣的に分離されている。

【 0 0 3 6 】

また、図 2 に示すように、P M O S トランジスタ P 1 のボディ固定領域 1 4 は、S O I 層 3 の表面から埋め込み酸化膜 2 に達するように設けられ、部分トレンチ分離絶縁膜 P T の下層に存在する N 型不純物を比較的低濃度 (N^-) に含んだウエル領域 1 5 と接触する構成となっている。なお、ボディ固定領域 1 4 の上面はシリサイド膜 S S で覆われている。

10

【 0 0 3 7 】

ウエル領域 1 5 は、図 4 に示すようにボディ領域 1 1 に連続しており、ウエル領域 1 5 を通じてボディ固定領域 1 4 とボディ領域 1 1 との間でキャリアの移動が可能な構成となっている。なお、この構成は、N M O S トランジスタ N 1 のボディ固定領域 2 4、部分トレンチ分離絶縁膜 P T の下層に存在する P 型不純物を比較的低濃度 (P^-) に含んだウエル領域 2 5 およびボディ領域 2 1 においても同様である。

【 0 0 3 8 】

また、図 5 に示すように、P M O S トランジスタ P 1 のボディ領域 1 1 の上方にゲート絶縁膜 G F を介してゲート電極 G 1 が設けられ、ゲート電極 G 1 の側面にはサイドウォール絶縁膜 S W が設けられている。

20

【 0 0 3 9 】

そして、ゲート電極 G 1 のゲート長方向の両側面外方のボディ領域 1 1 の表面内には、エクステンション層 E X が設けられ、エクステンション層 E X はソース領域 1 2 およびドレイン領域 1 3 に接触している。

【 0 0 4 0 】

エクステンション層は、ソース・ドレイン領域よりも浅い接合となるように形成される不純物層であり、ソース・ドレイン領域と同一導電型であり、ソース・ドレイン領域として機能するのでソース・ドレインエクステンション層と呼称すべきであるが、便宜的にエクステンション層と呼称する。ここで、エクステンション層 E X 間のボディ領域 1 1 内にゲート電極 G 1 に沿ってチャネル領域が形成されるが、チャネル領域は図示していない。これは N M O S トランジスタ N 1 においても同様である。

30

【 0 0 4 1 】

なお、図 5 に示すように、ソース領域 1 2 およびドレイン領域 1 3 は、S O I 層 3 の表面から埋め込み酸化膜 2 に達するように設けられ、ソース領域 1 2 およびドレイン領域 1 3 の上面はシリサイド膜 S S で覆われ、また、ゲート電極 G 1 の上面もシリサイド膜 S S で覆われている。

【 0 0 4 2 】

N M O S トランジスタ N 1 においても上記と同様のゲート構造を有し、ソース領域 2 2 およびドレイン領域 2 3 の上面はシリサイド膜 S S で覆われている。なお、図 1 においては便宜的にシリサイド膜 S S は省略している。

40

【 0 0 4 3 】

また、図 1 においては省略しているが、図 4 に示すようにゲート電極 G 1 はコンタクトホール C H を介して上層の配線層 M 1 に電氣的に接続される。同様に、図 5 に示すように、ソース領域 1 2、ドレイン領域 1 3 およびボディ固定領域 1 4 は、コンタクトホール C H を介して上層の配線層 M 1 に接続される。なお、ソース領域 1 2 とボディ固定領域 1 4 とはシリサイド膜 S S を介して電氣的に接続されるが、図 5 に示されるように、ソース領域 1 2 とボディ固定領域 1 4 とを共通の配線層 M 1 に接続しても良いことは言うまでもない。

【 0 0 4 4 】

ソース領域 1 2 とボディ固定領域 1 4 とを電氣的に接続することで、P M O S トランジ

50

スタ P 1 のボディ領域 1 1 がソース領域 1 2 の電位に固定されることになる。

【 0 0 4 5 】

また、NMOS トランジスタ N 1 においては、ボディ領域 2 1 がソース領域 2 2 の電位に固定されることになる。

【 0 0 4 6 】

< A - 2 . 効果 >

以上説明したように、半導体装置 1 0 0 においては、PMOS トランジスタ P 1 ではソース・ドレイン領域をゲート幅方向に沿って 4 分割することで、実質的に PMOS トランジスタ P 1 側のゲート電極 G 1 を 4 分割し、分割されたゲート電極のそれぞれについて、ボディ固定領域 1 4 からウエル領域 1 5 を通じてボディ領域 1 1 の電位を固定する。また、NMOS トランジスタ N 1 ではソース・ドレイン領域をゲート幅方向に沿って 2 分割することで、実質的に NMOS トランジスタ N 1 側のゲート電極 G 1 を 2 分割し、分割されたゲート電極のそれぞれについて、ボディ固定領域 2 4 からウエル領域 2 5 を通じてボディ領域 2 1 の電位を固定する。

【 0 0 4 7 】

従って、PMOS トランジスタ P 1 および NMOS トランジスタ N 1 においては、ボディ領域 1 1 および 2 1 の電位固定を確実に行うことができ、キंकの発生を抑制することができる。

【 0 0 4 8 】

また、PMOS トランジスタ P 1 および NMOS トランジスタ N 1 においては、実質的にゲート電極 G 1 を分割するので、動作耐圧を向上させることができる。

【 0 0 4 9 】

すなわち、MOS トランジスタの動作耐圧はチャネル幅によって制限され、チャネル幅が長くなると、動作耐圧が低下する。

【 0 0 5 0 】

これは、駆動能力の大きな NMOS トランジスタの方が顕著であり、PMOS トランジスタは、NMOS トランジスタよりもチャネル幅を長くできる。

【 0 0 5 1 】

しかし、何れにせよ動作耐圧はチャネル幅によって制限されるが、部分トレンチ分離絶縁膜 P T によってゲート電極 G 1 下のチャネル領域をゲート幅方向に分割することで、チャネル幅が実質的に短くなり、1 つのチャネル領域に印加可能な電圧を高くでき、トランジスタ全体の動作耐圧を向上させることができる。

【 0 0 5 2 】

また、ソース・ドレイン領域を部分トレンチ分離絶縁膜 P T および完全トレンチ分離絶縁膜 F T によって分割することで、実質的にゲート電極 G 1 をゲート幅方向に分割するが、トレンチ分離絶縁膜を形成する際には加工精度の高いマスクを使用するので、ゲート電極 G 1 を設計値に従って精度良く分割することができ、ゲート幅にばらつきが生じることを防止して、動作特性にばらつきを生じない半導体装置を得ることができる。

【 0 0 5 3 】

また、PMOS トランジスタ P 1 のドレイン領域 1 3 および NMOS トランジスタ N 1 のドレイン領域 2 3 の側面は、大部分が完全トレンチ分離絶縁膜 F T に接しており、部分トレンチ分離絶縁膜 P T に接する部分は一部分だけである。

【 0 0 5 4 】

このような構成を採ることで、ドレイン領域 1 3 および 2 3 の大部分が完全トレンチ分離絶縁膜 F T で囲まれ、その分だけ、P N 接合の接合面積が減るので、ドレイン領域 1 3 および 2 3 における寄生接合容量が小さく、充放電に費やす時間が少なくて済むので、MOS トランジスタの動作速度が低下することを防止できる。

【 0 0 5 5 】

一方、PMOS トランジスタ P 1 のソース領域 1 2 の側面は、部分トレンチ分離絶縁膜 P T およびボディ固定領域 1 4 に接し、また、NMOS トランジスタ N 1 のソース領域 2

10

20

30

40

50

2の側面は、部分トレンチ分離絶縁膜PTおよびボディ固定領域24に接するので、ソース領域12および22におけるPN接合の接合面積が広くなり、寄生接合容量が大きくなるが、ソース領域側における接合容量の増加は電流の安定供給に寄与するので、電源供給を安定化させることができる。

【0056】

また、半導体装置100の上方には配線層M1が配設されるが、完全トレンチ分離絶縁膜FT上の配線層M1に寄生する寄生容量と、部分トレンチ分離絶縁膜PT上の配線層M1に寄生する寄生容量とでは、後者の方が大きくなる。

【0057】

従って、ドレイン領域13および23側では部分トレンチ分離絶縁膜PTの形成領域を最小限に止めることで、配線層M1に寄生する寄生容量を抑制して、MOSトランジスタの動作速度が低下することを防止できる。

【0058】

< A - 3 . 応用例 >

以上説明した半導体装置100は、ゲート電極G1が共通に接続されたPMOSトランジスタP1およびNMOSトランジスタN1の配列を示したが、図6においては、ゲート電極G1が共通に接続されたPMOSトランジスタP11およびNMOSトランジスタN11の配列(第1の組)、PMOSトランジスタP12およびNMOSトランジスタN12の配列(第2の組)、PMOSトランジスタP13およびNMOSトランジスタN13の配列(第3の組)の3組のトランジスタの配列を配設した半導体装置100Aの構成を示す。

【0059】

なお、図6に示す半導体装置100Aにおいて、図1に示した半導体装置100と同一の構成については同一の符号を付し、重複する説明は省略する。また、図6に示すF-F線およびG-G線での矢示断面を、それぞれ図7および図8に示す。なお、B-B線およびD-D線での断面構成は、それぞれ図3および図4に示した構成と同じである。

【0060】

図6に示すように、第1の組と第2の組においてはドレイン領域13および23を共通に使用しており、第2の組と第3の組においては、ボディ固定領域14および24を共通に使用している。

【0061】

また、図7に示すように、PMOSトランジスタP11およびP12のドレイン領域13間は、完全トレンチ分離絶縁膜FTによって電氣的に分離されている。従って、ドレイン領域13どうしを電氣的に接続するには、図8に示すように各ドレイン領域13をコンタクトホールCHを介して上層の配線層M1に共通に接続することになる。

【0062】

このような構成を採ることで、第1の組~第3の組において、PMOSトランジスタP11~P13が並列に接続され、NMOSトランジスタN11~N13が並列に接続された構成を、極力小さなレイアウト面積で得ることができる。

【0063】

ここで、半導体装置100Aの上層に配設される配線層M1の配設パターンの一例を図9に示す。

【0064】

図9に示すように、PMOSトランジスタP11~P13の複数のドレイン領域13およびNMOSトランジスタN11~N13の複数のドレイン領域23は、それぞれコンタクトホールCHを介して配線層M1に接続され、当該配線層M1は出力端子OUTに接続されている。

【0065】

また、PMOSトランジスタP11~P13の複数のソース領域12およびボディ固定領域14は、それぞれコンタクトホールCHを介して配線層M1に接続され、当該配線層

10

20

30

40

50

M 1 は電源電位 V D D に接続され、N M O S トランジスタ N 1 1 ~ N 1 3 の複数のソース領域 2 2 およびボディ固定領域 2 4 は、それぞれコンタクトホール C H を介して配線層 M 1 に接続され、当該配線層 M 1 は接地電位 G N D に接続されている。

【 0 0 6 6 】

また、複数のゲート電極 G 1 は共通して配線層 M 1 に接続され、当該配線層 M 1 は入力端子 I N に接続されている。

【 0 0 6 7 】

このような配線を行うことで、半導体装置 1 0 0 A はインバータとして機能する。なお、図 9 においては、上記インバータを回路記号で表したものを併記している。

【 0 0 6 8 】

また、図 1 0 には、半導体装置 1 0 0 A の上層に配設される配線層 M 1 の配設パターンの他の例を示す。

【 0 0 6 9 】

図 1 0 においては、基本的には図 9 に示した配線層 M 1 の配設パターンと同じであり、半導体装置 1 0 0 A をインバータとして使用する配線を示しているが、P M O S トランジスタ P 1 1 ~ P 1 3 の複数のソース領域 1 2 および N M O S トランジスタ N 1 1 ~ N 1 3 の複数のソース領域 2 2 のうち、それぞれ一部だけがコンタクトホール C H を介して配線層 M 1 に接続され、残りのソース領域 1 2 および 2 2 は配線層 M 1 には接続されていない。

【 0 0 7 0 】

各トランジスタにおける全てのソース領域 1 2 および 2 2 は、図 8 に示すようにシリサイド膜 S S で共通に覆われており、電氣的に接続されているので、その一部を配線層 M 1 に電氣的に接続すれば、各トランジスタのソース領域は共通して配線層 M 1 に電氣的に接続されることになる。

【 0 0 7 1 】

< B . 実施の形態 2 >

< B - 1 . 装置構成 >

図 1 1 ~ 図 1 5 を用いて本発明に係る実施の形態 2 の半導体装置 2 0 0 の構成について説明する。

【 0 0 7 2 】

図 1 1 は半導体装置 2 0 0 の構成を示す平面図であり、図 1 1 に示す A - A 線、B - B 線、D - D 線および E - E 線での矢示断面を、それぞれ図 1 2、図 1 3、図 1 4 および図 1 5 に示す。なお、図 1 ~ 5 に示した半導体装置 1 0 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

【 0 0 7 3 】

図 1 1 に示すように半導体装置 2 0 0 においては、P M O S トランジスタ P 2 のソース領域 1 2 のゲート電極 G 1 とは反対側の側面に接するように N 型不純物を比較的高濃度 (N ⁺) に含んだボディ固定領域 1 4 が設けられ、当該ボディ固定領域 1 4 は、4 つのソース領域 1 2 の側面に接するとともに、部分トレンチ分離絶縁膜 P T のゲート電極 G 1 とは反対側の側面にも接して、ゲート電極 G 1 と平行して延在するように配設されている。

【 0 0 7 4 】

4 つのソース領域 1 2 の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜 P T が設けられ、また、配列の両端に位置するソース領域 1 2 の外側にも、部分トレンチ分離絶縁膜 P T が設けられ、当該部分トレンチ分離絶縁膜 P T は、ボディ固定領域 1 4 の長手方向端部の側面にも接するように配設されている。

【 0 0 7 5 】

そして、ボディ固定領域 1 4 のゲート電極 G 1 とは反対側の側面に接するように (図 1 2 参照) 部分トレンチ分離絶縁膜 P T (第 2 の部分トレンチ分離絶縁膜) が設けられ、ボディ固定領域 1 4 は部分トレンチ分離絶縁膜 P T によって囲まれている。なお、ボディ固定領域の側面に接するように配設される部分トレンチ分離絶縁膜は、外周部分トレンチ分

10

20

30

40

50

離絶縁膜と呼称する場合がある。

【0076】

また、PMOSトランジスタ領域においては、部分トレンチ分離絶縁膜PTの下層にはN型不純物を比較的低濃度(N^-)に含んだウエル領域15が存在し、図12および図15に示されるように、ボディ固定領域14とウエル領域15とが接触する構成となっている。

【0077】

NMOSトランジスタN2においては、ソース領域22のゲート電極G1とは反対側の側面に接するようにP型不純物を比較的高濃度(P^+)に含んだボディ固定領域24が設けられ、当該ボディ固定領域24は、2つのソース領域22の側面に接するとともに、部分トレンチ分離絶縁膜PTのゲート電極G1とは反対側の側面にも接して、ゲート電極G1と平行して延在するように配設されている。

10

【0078】

2つのソース領域22の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜PTが設けられ、また、配列の両端に位置するソース領域22の外側にも部分トレンチ分離絶縁膜PTが設けられ、当該部分トレンチ分離絶縁膜PTは、ボディ固定領域24の長手方向端部の側面にも接するように配設されている。

【0079】

そして、ボディ固定領域24のゲート電極G1とは反対側の側面に接するように部分トレンチ分離絶縁膜PTが設けられ、ボディ固定領域24は部分トレンチ分離絶縁膜PTによって囲まれている。なお、NMOSトランジスタ領域においては、部分トレンチ分離絶縁膜PTの下層にはP型不純物を比較的低濃度(P^-)に含んだウエル領域25が存在しており、図示はしていないが、ボディ固定領域24とウエル領域25とが接触する構成となっている。

20

【0080】

その他の構成については、図1～5に示した半導体装置100と同一であり説明は省略する。

【0081】

< B - 2 . 効果 >

以上説明した半導体装置200においては、MOSトランジスタのソース・ドレイン領域をゲート幅方向に沿って分割することで、図1～図5を用いて説明した半導体装置100と同様に、PMOSトランジスタP2およびNMOSトランジスタN2においては、ボディ領域11および21の電位固定を確実に行うことができ、キンクの発生を抑制できるとともに、動作耐圧を向上させることができる。

30

【0082】

また、ソース・ドレイン領域を部分トレンチ分離絶縁膜PTおよび完全トレンチ分離絶縁膜FTによって分割することで、実質的にゲート電極G1をゲート幅方向に分割するが、トレンチ分離絶縁膜を形成する際には加工精度の高いマスクを使用するので、ゲート電極G1を設計値に従って精度良く分割することができ、ゲート幅にばらつきが生じることを防止して、動作特性にばらつきを生じない半導体装置を得ることができる。

40

【0083】

また、ドレイン領域13および23の大部分が完全トレンチ分離絶縁膜FTで囲まれた構成を採ることで、その分だけ、PN接合の接合面積が減るので、ドレイン領域13および23における寄生接合容量が小さく、MOSトランジスタの動作速度が低下することを防止できる。

【0084】

一方、PMOSトランジスタP2のソース領域12の側面は、部分トレンチ分離絶縁膜PTおよびボディ固定領域14に接し、また、NMOSトランジスタN2のソース領域22の側面は、部分トレンチ分離絶縁膜PTおよびボディ固定領域24に接するので、ソース領域12および22におけるPN接合の接合面積が広くなり、寄生接合容量が大きくな

50

り、電源供給を安定化させることができる。

【 0 0 8 5 】

さらに、ボディ固定領域 1 4 のゲート電極 G 1 とは反対側の側面に接するように部分トレンチ分離絶縁膜 P T が設けられ、ボディ固定領域 1 4 は部分トレンチ分離絶縁膜 P T によって囲まれているので、部分トレンチ分離絶縁膜 P T 上に配線層 M 1 を配設した場合に、当該配線層 M 1 に寄生する寄生容量をさらに増やすことができ、電源供給を安定化させることができる。

【 0 0 8 6 】

なお、ドレイン領域 1 3 および 2 3 側では部分トレンチ分離絶縁膜 P T の形成領域を最小限に止めることで、配線層 M 1 に寄生する寄生容量を抑制して、M O S トランジスタの動作速度が低下することを防止できる。

【 0 0 8 7 】

< B - 3 . 応用例 >

以上説明した半導体装置 2 0 0 は、ゲート電極 G 1 が共通に接続された P M O S トランジスタ P 2 および N M O S トランジスタ N 2 の配列を示したが、図 1 6 においては、ゲート電極 G 1 が共通に接続された P M O S トランジスタ P 2 1 および N M O S トランジスタ N 2 1 の配列（第 1 の組）、P M O S トランジスタ P 2 2 および N M O S トランジスタ N 2 2 の配列（第 2 の組）、P M O S トランジスタ P 2 3 および N M O S トランジスタ N 2 3 の配列（第 3 の組）の 3 組のトランジスタの配列を配設した半導体装置 2 0 0 A の構成を示す。

【 0 0 8 8 】

なお、図 1 6 に示す半導体装置 2 0 0 A においては、図 6 に示した半導体装置 1 0 0 A と同一の構成については同一の符号を付し、重複する説明は省略する。また、図 1 6 に示す F - F 線および G - G 線での矢示断面を、それぞれ図 1 7 および図 1 8 に示す。なお、B - B 線および D - D 線での断面構成は、それぞれ図 1 3 および図 1 4 に示した構成と同じである。

【 0 0 8 9 】

図 1 6 に示すように、第 1 の組と第 2 の組においてはドレイン領域 1 3 および 2 3 を共通に使用しており、第 2 の組と第 3 の組においては、ボディ固定領域 1 4 および 2 4 を共通に使用している。

【 0 0 9 0 】

また、図 1 7 に示すように、P M O S トランジスタ P 2 1 および P 2 2 のドレイン領域 1 3 間は、完全トレンチ分離絶縁膜 F T によって電氣的に分離されている。従って、ドレイン領域 1 3 どうしを電氣的に接続するには、図 1 8 に示すように各ドレイン領域 1 3 をコンタクトホール C H を介して上層の配線層 M 1 に共通に接続することになる。これは、N M O S トランジスタ N 2 1 および N 2 2 のドレイン領域 2 3 間においても同じである。

【 0 0 9 1 】

このような構成を採ることで、第 1 の組～第 3 の組において、P M O S トランジスタ P 2 1 ～ P 2 3 が並列に接続され、N M O S トランジスタ N 2 1 ～ N 2 3 が並列に接続された構成を、極力小さなレイアウト面積で得ることができる。

【 0 0 9 2 】

ここで、半導体装置 1 0 0 A の上層に配設される配線層 M 1 の配設パターンの一例を図 1 9 に示す。

【 0 0 9 3 】

図 1 9 に示すように、P M O S トランジスタ P 2 1 ～ P 2 3 の複数のドレイン領域 1 3 および N M O S トランジスタ N 2 1 ～ N 2 3 の複数のドレイン領域 2 3 は、それぞれコンタクトホール C H を介して配線層 M 1 に接続され、当該配線層 M 1 は出力端子 O U T に接続されている。

【 0 0 9 4 】

また、P M O S トランジスタ P 2 1 ～ P 2 3 の複数のソース領域 1 2 およびボディ固定

10

20

30

40

50

領域 1 4 は、それぞれコンタクトホール C H を介して配線層 M 1 に接続され、当該配線層 M 1 は電源電位 V D D に接続され、N M O S トランジスタ N 2 1 ~ N 2 3 の複数のソース領域 2 2 およびボディ固定領域 2 4 は、それぞれコンタクトホール C H を介して配線層 M 1 に接続され、当該配線層 M 1 は接地電位 G N D に接続されている。

【 0 0 9 5 】

また、複数のゲート電極 G 1 は共通して配線層 M 1 に接続され、当該配線層 M 1 は入力端子 I N に接続されている。

【 0 0 9 6 】

このような配線を行うことで、半導体装置 2 0 0 A はインバータとして機能する。なお、図 1 9 においては、上記インバータを回路記号で表したものを併記している。

10

【 0 0 9 7 】

また、図 2 0 には、半導体装置 2 0 0 A の上層に配設される配線層 M 1 の配設パターンの他の例を示す。

【 0 0 9 8 】

図 2 0 においては、基本的には図 1 9 に示した配線層 M 1 の配設パターンと同じであり、半導体装置 1 0 0 A をインバータとして使用する配線を示しているが、P M O S トランジスタ P 2 1 ~ P 2 3 の複数のソース領域 1 2 および N M O S トランジスタ N 2 1 ~ N 2 3 の複数のソース領域 2 2 のうち、それぞれ一部だけがコンタクトホール C H を介して配線層 M 1 に接続され、残りのソース領域 1 2 および 2 2 は配線層 M 1 には接続されていない。

20

【 0 0 9 9 】

各トランジスタにおける全てのソース領域 1 2 および 2 2 は、図 1 8 に示すようにシリサイド膜 S S で共通に覆われており、電氣的に接続されているので、その一部を配線層 M 1 に電氣的に接続すれば、各トランジスタのソース領域は共通して配線層 M 1 に電氣的に接続されることになる。

【 0 1 0 0 】

< C . 実施の形態 3 >

< C - 1 . 装置構成 >

図 2 1 ~ 図 2 5 を用いて本発明に係る実施の形態 3 の半導体装置 3 0 0 の構成について説明する。

30

【 0 1 0 1 】

図 2 1 は半導体装置 3 0 0 の構成を示す平面図であり、図 2 1 に示す A - A 線、B - B 線、D - D 線および E - E 線での矢示断面を、それぞれ図 2 2、図 2 3、図 2 4 および図 2 5 に示す。なお、図 1 ~ 5 に示した半導体装置 1 0 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

【 0 1 0 2 】

図 2 1 に示すように半導体装置 3 0 0 の P M O S トランジスタ P 3 においては、ソース領域がゲート幅方向に沿って 4 分割され、4 つの独立したソース領域 1 2 の配列を有した構成となっている。

【 0 1 0 3 】

40

すなわち、4 つのソース領域 1 2 の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜 P T が設けられ、また、配列の両端に位置するソース領域 1 2 の外側にも部分トレンチ分離絶縁膜 P T が設けられている。

【 0 1 0 4 】

一方、ドレイン領域 1 3 A においては、ゲート電極 G 1 から所定長さだけ部分トレンチ分離絶縁膜 P T が突出するように設けられているが、ゲート電極 G 1 とは反対側の部分が連続した構成となっており、分割されてはならず、ドレイン領域 1 3 A が突出した部分トレンチ分離絶縁膜 P T を囲むように構成されている。

【 0 1 0 5 】

N M O S トランジスタ N 3 においては、ソース領域がゲート幅方向に沿って 2 分割され

50

、２つの独立したソース領域２２の配列を有した構成となっている。

【０１０６】

すなわち、２つのソース領域２２の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜ＰＴが設けられ、また、配列の両端に位置するソース領域２２の外側にも部分トレンチ分離絶縁膜ＰＴが設けられている。

【０１０７】

一方、ドレイン領域２３Ａにおいては、ゲート電極Ｇ１から所定長さだけ部分トレンチ分離絶縁膜ＰＴが突出するように設けられているが、ゲート電極Ｇ１とは反対側の部分が連続した構成となっており、分割されてはならず、ドレイン領域２３Ａが突出した部分トレンチ分離絶縁膜ＰＴを囲むように構成されている。

10

【０１０８】

その他の構成については、図１～５に示した半導体装置１００と同一であり説明は省略する。

【０１０９】

<Ｃ－２．効果>

以上説明した半導体装置３００においては、ＭＯＳトランジスタのソース領域をゲート幅方向に沿って分割することで、図１～図５を用いて説明した半導体装置１００と同様に、ＰＭＯＳトランジスタＰ３およびＮＭＯＳトランジスタＮ３においては、ボディ領域１１および２１の電位固定を確実に行うことができ、キンクの発生を抑制するとともに、動作耐圧を向上させることができる。

20

【０１１０】

また、ソース領域１２および２２を部分トレンチ分離絶縁膜ＰＴによって分割することで、実質的にゲート電極Ｇ１をゲート幅方向に分割するが、トレンチ分離絶縁膜を形成する際には加工精度の高いマスクを使用するので、ゲート電極Ｇ１を設計値に従って精度良く分割することができ、ゲート幅にばらつきが生じることを防止して、動作特性にばらつきを生じない半導体装置を得ることができる。

【０１１１】

なお、ドレイン領域１３Ａおよび２３Ａは連続した構成となっているので、少なくとも１カ所に電位固定のためのコンタクトホールを接続すれば良く、コンタクトホールを形成する工程を簡略化できる。

30

【０１１２】

また、ドレイン領域１３Ａおよび２３Ａの大部分が完全トレンチ分離絶縁膜ＦＴで囲まれた構成を採ることで、その分だけ、ＰＮ接合の接合面積が減るので、ドレイン領域１３Ａおよび２３Ａにおける寄生接合容量が小さく、ＭＯＳトランジスタの動作速度が低下することを防止できる。

【０１１３】

一方、ＰＭＯＳトランジスタＰ３のソース領域１２の側面は、部分トレンチ分離絶縁膜ＰＴおよびボディ固定領域１４に接し、また、ＮＭＯＳトランジスタＮ３のソース領域２２の側面は、部分トレンチ分離絶縁膜ＰＴおよびボディ固定領域２４に接するので、ソース領域１２および２２におけるＰＮ接合の接合面積が広くなり、寄生接合容量が大きくなり、電源供給を安定化させることができる。

40

【０１１４】

なお、ドレイン領域１３Ａおよび２３Ａ側では部分トレンチ分離絶縁膜ＰＴの形成領域を最小限に止めることで、配線層Ｍ１に寄生する寄生容量を抑制して、ＭＯＳトランジスタの動作速度が低下することを防止できる。

【０１１５】

<Ｄ．実施の形態４>

<Ｄ－１．装置構成>

図２６～図３０を用いて本発明に係る実施の形態４の半導体装置４００の構成について説明する。

50

【 0 1 1 6 】

図 2 6 は半導体装置 4 0 0 の構成を示す平面図であり、図 2 6 に示す A - A 線、B - B 線、D - D 線および E - E 線での矢示断面を、それぞれ図 2 7、図 2 8、図 2 9 および図 3 0 に示す。なお、図 1 ~ 5 に示した半導体装置 1 0 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

【 0 1 1 7 】

図 2 6 に示すように半導体装置 4 0 0 においては、PMOS トランジスタ P 4 のソース領域 1 2 のゲート電極 G 1 とは反対側の側面に接するように N 型不純物を比較的高濃度 (N^+) に含んだボディ固定領域 1 4 が設けられ、当該ボディ固定領域 1 4 は、4 つのソース領域 1 2 の側面に接するとともに、部分トレンチ分離絶縁膜 P T のゲート電極 G 1 とは反対側の側面にも接して、ゲート電極 G 1 と平行して延在するように配設されている。

10

【 0 1 1 8 】

4 つのソース領域 1 2 の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜 P T が設けられ、また、配列の両端に位置するソース領域 1 2 の外側にも、部分トレンチ分離絶縁膜 P T が設けられ、当該部分トレンチ分離絶縁膜 P T は、ボディ固定領域 1 4 の長手方向端部の側面にも接するように配設されている。

【 0 1 1 9 】

そして、ボディ固定領域 1 4 のゲート電極 G 1 とは反対側の側面に接するように (図 2 7 参照) 部分トレンチ分離絶縁膜 P T が設けられ、ボディ固定領域 1 4 は部分トレンチ分離絶縁膜 P T によって囲まれている。なお、PMOS トランジスタ領域においては、部分トレンチ分離絶縁膜 P T の下層には N 型不純物を比較的低濃度 (N^-) に含んだウエル領域 1 5 が存在し、図 2 7 および図 3 0 に示されるように、ボディ固定領域 1 4 とウエル領域 1 5 とが接触する構成となっている。

20

【 0 1 2 0 】

NMOS トランジスタ N 4 においては、ソース領域 2 2 のゲート電極 G 1 とは反対側の側面に接するように P 型不純物を比較的高濃度 (P^+) に含んだボディ固定領域 2 4 が設けられ、当該ボディ固定領域 2 4 は、2 つのソース領域 2 2 の側面に接するとともに、部分トレンチ分離絶縁膜 P T のゲート電極 G 1 とは反対側の側面にも接して、ゲート電極 G 1 と平行して延在するように配設されている。

【 0 1 2 1 】

2 つのソース領域 2 2 の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜 P T が設けられ、また、配列の両端に位置するソース領域 2 2 の外側にも部分トレンチ分離絶縁膜 P T が設けられ、当該部分トレンチ分離絶縁膜 P T は、ボディ固定領域 2 4 の長手方向端部の側面にも接するように配設されている。

30

【 0 1 2 2 】

そして、ボディ固定領域 2 4 のゲート電極 G 1 とは反対側の側面に接するように部分トレンチ分離絶縁膜 P T が設けられ、ボディ固定領域 2 4 は部分トレンチ分離絶縁膜 P T によって囲まれている。なお、NMOS トランジスタ領域においては、部分トレンチ分離絶縁膜 P T の下層には P 型不純物を比較的低濃度 (P^-) に含んだウエル領域 2 5 が存在しており、図示はしていないが、ボディ固定領域 2 4 とウエル領域 2 5 とが接触する構成となっている。

40

【 0 1 2 3 】

図 2 6 に示すように半導体装置 4 0 0 の PMOS トランジスタ P 4 においては、ソース領域がゲート幅方向に沿って 4 分割され、4 つの独立したソース領域 1 2 の配列を有した構成となっている。

【 0 1 2 4 】

一方、ドレイン領域 1 3 A においては、ゲート電極 G 1 から所定長さだけ部分トレンチ分離絶縁膜 P T が突出するように設けられているが、ゲート電極 G 1 とは反対側の部分が連続した構成となっており、分割されてはいない。

【 0 1 2 5 】

50

NMOSトランジスタN4においては、ソース領域がゲート幅方向に沿って2分割され、2つの独立したソース領域22の配列を有した構成となっている。

【0126】

一方、ドレイン領域23Aにおいては、ゲート電極G1から所定長さだけ部分トレンチ分離絶縁膜PTが突出するように設けられているが、ゲート電極G1とは反対側の部分が連続した構成となっており、分割されてはいない。

【0127】

その他の構成については、図1～5に示した半導体装置100と同一であり説明は省略する。

【0128】

< D - 2 . 効果 >

以上説明した半導体装置400においては、図1～図5を用いて説明した半導体装置100と同様に、MOSトランジスタのソース領域をゲート幅方向に沿って分割することで、PMOSトランジスタP4およびNMOSトランジスタN4においては、ボディ領域11および21の電位固定を確実に行うことができ、キンクの発生を抑制するとともに、動作耐圧を向上させることができる。

【0129】

また、ソース領域12および22を部分トレンチ分離絶縁膜PTによって分割することで、実質的にゲート電極G1をゲート幅方向に分割するが、トレンチ分離絶縁膜を形成する際には加工精度の高いマスクを使用するので、ゲート電極G1を設計値に従って精度良く分割することができ、ゲート幅にばらつきが生じることを防止して、動作特性にばらつきを生じない半導体装置を得ることができる。

【0130】

また、ドレイン領域13Aおよび23Aの大部分が完全トレンチ分離絶縁膜FTで囲まれた構成を採ることで、その分だけ、PN接合の接合面積が減るので、ドレイン領域13Aおよび23Aにおける寄生接合容量が小さく、MOSトランジスタの動作速度が低下することを防止できる。

【0131】

一方、PMOSトランジスタP4のソース領域12の側面は、部分トレンチ分離絶縁膜PTおよびボディ固定領域14に接し、また、NMOSトランジスタN4のソース領域22の側面は、部分トレンチ分離絶縁膜PTおよびボディ固定領域24に接するので、ソース領域12および22におけるPN接合の接合面積が広くなり、寄生接合容量が大きくなり、電源供給を安定化させることができる。

【0132】

さらに、ボディ固定領域14のゲート電極G1とは反対側の側面に接するように部分トレンチ分離絶縁膜PTが設けられ、ボディ固定領域14は部分トレンチ分離絶縁膜PTによって囲まれているので、部分トレンチ分離絶縁膜PT上に配線層M1を配設した場合に、当該配線層M1に寄生する寄生容量をさらに増やすことができ、電源供給を安定化させることができる。

【0133】

なお、ドレイン領域13Aおよび23A側では部分トレンチ分離絶縁膜PTの形成領域を最小限に止めることで、配線層M1に寄生する寄生容量を抑制して、MOSトランジスタの動作速度が低下することを防止できる。

【0134】

< D - 3 . 応用例 1 >

以上説明した半導体装置400は、ゲート電極G1が共通に接続されたPMOSトランジスタP4およびNMOSトランジスタN4の配列を示したが、図31においては、応用例1として、ゲート電極G1が共通に接続されたPMOSトランジスタP41およびNMOSトランジスタN41の配列(第1の組)、PMOSトランジスタP42およびNMOSトランジスタN42の配列(第2の組)、PMOSトランジスタP43およびNMOS

10

20

30

40

50

トランジスタN 4 3の配列(第3の組)の3組のトランジスタの配列を配設した半導体装置4 0 0 Aの構成を示す。

【0 1 3 5】

なお、図3 1に示す半導体装置4 0 0 Aにおいては、図6に示した半導体装置1 0 0 Aと同一の構成については同一の符号を付し、重複する説明は省略する。また、図3 1に示すF - F線およびG - G線での矢示断面を、それぞれ図3 2および図3 3に示す。なお、B - B線およびD - D線での断面構成は、それぞれ図1 3および図1 4に示した構成と同じである。

【0 1 3 6】

図3 1に示すように、第1の組と第2の組においてはドレイン領域1 3 Aおよび2 3 Aを共通に使用しており、第2の組と第3の組においては、ボディ固定領域1 4および2 4を共通に使用している。

【0 1 3 7】

また、図3 1に示すように、PMOSトランジスタP 4 1およびP 4 2においてはドレイン領域1 3 Aを共通に使用し、図3 2および図3 3に示すように、ドレイン領域1 3 A上はシリサイド膜3 3によって覆われている。これは、NMOSトランジスタN 4 1およびN 4 2におけるドレイン領域2 3 Aにおいても同じである。

【0 1 3 8】

このような構成を採ることで、第1の組～第3の組において、PMOSトランジスタP 4 1～P 4 3が並列に接続され、NMOSトランジスタN 4 1～N 4 3が並列に接続された構成を、極力小さなレイアウト面積で得ることができる。

【0 1 3 9】

ここで、半導体装置4 0 0 Aの上層に配設される配線層M 1の配設パターンの一例を図3 4に示す。

【0 1 4 0】

図3 4に示すように、PMOSトランジスタP 4 1～P 4 3のドレイン領域1 3 AおよびNMOSトランジスタN 4 1～N 4 3のドレイン領域2 3 Aは、それぞれコンタクトホールCHを介して配線層M 1に接続され、当該配線層M 1は出力端子OUTに接続されている。

【0 1 4 1】

また、PMOSトランジスタP 4 1～P 4 3の複数のソース領域1 2およびボディ固定領域1 4は、それぞれコンタクトホールCHを介して配線層M 1に接続され、当該配線層M 1は電源電位VDDに接続され、NMOSトランジスタN 4 1～N 4 3の複数のソース領域2 2およびボディ固定領域2 4は、それぞれコンタクトホールCHを介して配線層M 1に接続され、当該配線層M 1は接地電位GNDに接続されている。

【0 1 4 2】

また、複数のゲート電極G 1は共通して配線層M 1に接続され、当該配線層M 1は入力端子INに接続されている。

【0 1 4 3】

このような配線を行うことで、半導体装置4 0 0 Aはインバータとして機能する。なお、図3 4においては、上記インバータを回路記号で表したものを併記している。

【0 1 4 4】

また、図3 5には、半導体装置4 0 0 Aの上層に配設される配線層M 1の配設パターンの他の例を示す。

【0 1 4 5】

図3 5においては、基本的には図3 4に示した配線層M 1の配設パターンと同じであり、半導体装置4 0 0 Aをインバータとして使用する配線を示しているが、PMOSトランジスタP 4 1～P 4 3の複数のソース領域1 2およびNMOSトランジスタN 4 1～N 4 3の複数のソース領域2 2のうち、それぞれ一部だけがコンタクトホールCHを介して配線層M 1に接続され、残りのソース領域1 2および2 2は配線層M 1には接続されてい

10

20

30

40

50

い。

【 0 1 4 6 】

各トランジスタにおける全てのソース領域 1 2 および 2 2 は、図 3 3 に示すようにシリサイド膜 S S で共通に覆われており、電氣的に接続されているので、その一部を配線層 M 1 に電氣的に接続すれば、各トランジスタのソース領域は共通して配線層 M 1 に電氣的に接続されることになる。

【 0 1 4 7 】

また、図 3 6 には、半導体装置 4 0 0 A の上層に配設される配線層 M 1 の配設パターンのさらなる他の例を示す。

【 0 1 4 8 】

図 3 6 においては、基本的には図 3 5 に示した配線層 M 1 の配設パターンと同じであるが、PMOS トランジスタ P 4 1 ~ P 4 3 のドレイン領域 1 3 A および NMOS トランジスタ N 4 1 ~ N 4 3 のドレイン領域 2 3 A においては、その上方の一部を覆うように配線層 M 1 が形成され、配線層 M 1 直下のドレイン領域 1 3 A および 2 3 A がコンタクトホール C H を介して配線層 M 1 に接続され、ドレイン領域 1 3 A および 2 3 A の他の部分は配線層 M 1 には接続されていない。

【 0 1 4 9 】

各トランジスタにおけるドレイン領域 1 3 A および 2 3 A 分割されておらず、また、図 3 3 に示すようにシリサイド膜 S S で覆われているので、その一部を配線層 M 1 に電氣的に接続すれば、各トランジスタのドレイン領域は配線層 M 1 に電氣的に接続されることになる。

【 0 1 5 0 】

< D - 4 . 応用例 2 >

半導体装置 4 0 0 の応用例 2 として図 3 7 に示すような構成も考えられる。

すなわち、図 3 7 においては、図 3 1 に示した半導体装置 4 0 0 A をインバータ I V 1 として使用するとともに、図 2 6 に示した半導体装置 4 0 0 をインバータ I V 2 として使用する例を示している。

【 0 1 5 1 】

図 3 7 に示すインバータ I V 1 は、図 3 1 に示した半導体装置 4 0 0 A に、図 3 6 を用いて説明したパターンの配線層 M 1 を配設することで得られるインバータであり、図 3 6 と同じ構成には同じ符号を付している。なお、PMOS トランジスタ P 4 1 ~ P 4 3 のドレイン領域 1 3 A および NMOS トランジスタ N 4 1 ~ N 4 3 のドレイン領域 2 3 A が共通に接続される配線層 M 1 が、インバータ I V 1 の出力端子となる。

【 0 1 5 2 】

また、インバータ I V 2 においては、PMOS トランジスタ P 4 のドレイン領域 1 3 A および NMOS トランジスタ N 4 のドレイン領域 2 3 A は、それぞれコンタクトホール C H を介して配線層 M 1 に接続され、当該配線層 M 1 は出力端子 O U T に接続されている。

【 0 1 5 3 】

また、PMOS トランジスタ P 4 の複数のソース領域 1 2 およびボディ固定領域 1 4 の一部が、コンタクトホール C H を介して配線層 M 1 に接続され、当該配線層 M 1 は電源電位 V D D に接続されている。

【 0 1 5 4 】

また、NMOS トランジスタ N 4 の複数のソース領域 2 2 およびボディ固定領域 2 4 の一部が、コンタクトホール C H を介して配線層 M 1 に接続され、当該配線層 M 1 は接地電位 G N D に接続されている。また、ゲート電極 G 1 は共通して配線層 M 1 に接続され、当該配線層 M 1 が、インバータ I V 2 の入力端子となる。

【 0 1 5 5 】

そして、インバータ I V 1 の出力とインバータ I V 2 の入力との間には、トランスミッションゲート T G が配設されている。

【 0 1 5 6 】

10

20

30

40

50

トランSMissionゲートTGは、PMOSTランジスタP10およびNMOSTランジスタN10を有し、それぞれのソース領域32および42がコンタクトホールCHを介して配線層M1に共通に接続され、当該配線層M1はインバータIV1の出力端子に接続されている。また、それぞれのドレイン領域33および43がコンタクトホールCHを介して配線層M1に共通に接続され、当該配線層M1はインバータIV2の入力端子に接続されている。

【0157】

PMOSTランジスタP10およびNMOSTランジスタN10のそれぞれのゲート電極G11およびG12は、インバータIV1およびIV2のゲート電極G1と並列に設けられ、ゲート電極G11の一方の端部にはコンタクトホールCHを介してゲート入力X'が与えられ、ゲート電極G12の一方の端部にはコンタクトホールCHを介してゲート入力Xが与えられる構成となっている。

10

【0158】

なお、PMOSTランジスタP10およびNMOSTランジスタN10のボディ領域は、それぞれゲート電極G11およびG12の他方の端部の外方に設けられたボディ固定領域34および44に電氣的に接続される構成となっている。

【0159】

すなわち、ゲート電極G11およびG12の他方の端部と、ボディ固定領域34および44との間には部分トレンチ分離絶縁膜PTが配設され、当該部分トレンチ分離絶縁膜PTの下層に存在するウエル領域を通じてキャリアの移動が可能な構成となっている。

20

【0160】

なお、ボディ固定領域34は、コンタクトホールCHを介して電源電位VDDを供給する配線層M1に接続され、ボディ固定領域44は、コンタクトホールCHを介して接地電位GNDを供給する配線層M1に接続されている。

【0161】

なお、図37においては、上記インバータIV1、IV2およびトランSMissionゲートTGを回路記号で表したものを併記している。

【0162】

< D - 5 . 応用例3 >

半導体装置400の応用例3として図38に示すような構成も考えられる。

30

すなわち、図38においては、図31に示した半導体装置400AをインバータIV1として使用するとともに、従来のソースタイ構造を有するMOSTランジスタを用いてインバータIV3を構成する例を示している。

【0163】

図38に示すインバータIV1およびトランSMissionゲートTGは、図37を用いて説明した構成と同じであるので説明は省略する。

【0164】

図38に示すインバータIV3は、共通のゲート電極G13を有するPMOSTランジスタP20およびNMOSTランジスタN20を備えている。

【0165】

そして、PMOSTランジスタP20のソース領域102の表面内には、N型不純物を比較的高濃度に含んだボディ固定領域104が選択的に設けられている。

40

【0166】

同様に、NMOSTランジスタN20のソース領域202の表面内には、P型不純物を比較的高濃度に含んだボディ固定領域204が選択的に設けられている。

【0167】

ボディ固定領域104および204は、ゲート電極G13の下に存在するボディ領域に接触するように設けられ、ボディ領域の電位を固定することができる。

【0168】

なお、図示は省略しているが、ソース領域102および202の表面は、ボディ固定領

50

域 1 0 4 および 2 0 4 の表面を含めてシリサイド膜で覆われており、ソース領域 1 0 2 および 2 0 2 を、それぞれ電源電位 V D D および接地電位 G N D に接続することで、P M O S トランジスタ P 2 0 および N M O S トランジスタ N 2 0 のボディ領域の電位を固定することができる。

【 0 1 6 9 】

また、インバータ I V 3 においては、P M O S トランジスタ P 2 0 のドレイン領域 1 0 3 および N M O S トランジスタ N 2 0 のドレイン領域 2 0 3 は、それぞれコンタクトホール C H を介して配線層 M 1 に接続され、当該配線層 M 1 は出力端子 O U T に接続されている。

【 0 1 7 0 】

また、ゲート電極 G 1 は共通して配線層 M 1 に接続され、当該配線層 M 1 が、インバータ I V 3 の入力端子となる。

【 0 1 7 1 】

そして、ソース領域 1 0 2 および 2 0 4 をそれぞれ囲むように部分トレンチ分離絶縁膜 P T が配設され、P M O S トランジスタ P 2 0 および N M O S トランジスタ N 2 0 のボディ領域は、それぞれゲート電極 G 1 3 の端部の外方に設けられたボディ固定領域 3 4 A および 4 4 A に電氣的に接続される構成となっている。

【 0 1 7 2 】

すなわち、ゲート電極 G 1 3 の 2 つの端部と、ボディ固定領域 3 4 A および 4 4 A との間には部分トレンチ分離絶縁膜 P T が配設されており、当該部分トレンチ分離絶縁膜 P T の下層に存在するウエル領域を通じてキャリアの移動が可能な構成となっている。

【 0 1 7 3 】

ボディ固定領域 3 4 A は、コンタクトホール C H を介して電源電位 V D D を供給する配線層 M 1 に接続され、ボディ固定領域 4 4 A は、コンタクトホール C H を介して接地電位 G N D を供給する配線層 M 1 に接続されている。

【 0 1 7 4 】

なお、ボディ固定領域 3 4 A および 4 4 A はトランスミッションゲート T G の近傍まで延在し、トランスミッションゲート T G の P M O S トランジスタ P 1 0 および N M O S トランジスタ N 1 0 のボディ領域も電氣的に接続される構成となっている。その構成は、図 3 7 を用いて説明したボディ固定領域 3 4 および 4 4 との接続と同じであるので説明は省略する。

【 0 1 7 5 】

このように、ボディ領域の電位固定を、ソースタイ構造および部分トレンチ分離絶縁膜を利用して行うことで、ボディ領域の電位固定をより確実に行うことができる。

【 0 1 7 6 】

< D - 6 . 応用例 4 >

半導体装置 4 0 0 の応用例 4 として図 3 9 に示すような構成も考えられる。

すなわち、図 3 9 においては、図 3 1 に示した半導体装置 4 0 0 A をインバータ I V 1 として使用するとともに、従来のソースタイ構造を有する M O S トランジスタを用いてインバータ I V 4 を構成する例を示している。

【 0 1 7 7 】

図 3 9 に示すインバータ I V 1 およびトランスミッションゲート T G は、図 3 7 を用いて説明した構成と同じであるので説明は省略する。

【 0 1 7 8 】

図 3 9 に示すインバータ I V 4 は、共通のゲート電極 G 1 4 を有する P M O S トランジスタ P 3 0 および N M O S トランジスタ N 3 0 を備えている。

【 0 1 7 9 】

そして、P M O S トランジスタ P 3 0 のソース領域 1 0 2 の表面内には、N 型不純物を比較的高濃度に含んだボディ固定領域 1 0 4 が選択的に設けられている。

【 0 1 8 0 】

10

20

30

40

50

同様に、NMOSトランジスタN30のソース領域202の表面内には、P型不純物を比較的高濃度に含んだボディ固定領域204が選択的に設けられている。

【0181】

ボディ固定領域104および204は、ゲート電極G14から離れた位置に設けられ、ゲート電極G14とボディ固定領域104および204との間には、ゲート電極G14から分岐した分岐ゲート電極BGが存在している。

【0182】

分岐ゲート電極BGの構造はゲート電極G13と同じであり、ボディ固定領域104および204は、分岐ゲート電極BGの下に存在するボディ領域に接触するように設けられ、ボディ領域の電位を固定することができる。

10

【0183】

なお、図示は省略しているが、ソース領域102および202の表面は、ボディ固定領域104および204の表面を含めてシリサイド膜で覆われており、ソース領域102および202を、それぞれ電源電位VDDおよび接地電位GNDに接続することで、PMOSトランジスタP30およびNMOSトランジスタN30のボディ領域の電位を固定することができる。なお、その他の構成は図38に示した構成と同じであるので、説明省略する。

【0184】

このような構成を採ることで、ゲート電極G13のゲート長が細く、加工精度の関係から、ボディ固定領域104および204とボディ領域とを直接に接触させることが難しい場合でも、ボディ領域の電位を確実に固定することができる。

20

【0185】

< E . 実施の形態 5 >

< E - 1 . 装置構成 >

図40～図44を用いて本発明に係る実施の形態5の半導体装置500の構成について説明する。

【0186】

図40は半導体装置500の構成を示す平面図であり、図40に示すA-A線、B-B線、D-D線およびE-E線での矢示断面を、それぞれ図41、図42、図43および図44に示す。なお、図1～5に示した半導体装置100と同一の構成については同一の符号を付し、重複する説明は省略する。

30

【0187】

図40に示すように半導体装置500においては、PMOSトランジスタP5と、NMOSトランジスタN5とを有し、両トランジスタのゲート電極G1は共通に接続されている。

【0188】

PMOSトランジスタP5においては、ソース・ドレイン領域がゲート幅方向に沿って4分割され、4つの独立したソース領域12の配列と、4つの独立したドレイン領域13の配列とを有した構成となっている。

【0189】

4つのソース領域12の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜PTが設けられ、また、配列の両端に位置するソース領域12の外側にも部分トレンチ分離絶縁膜PTが設けられている。

40

【0190】

そして、ソース領域12のゲート電極G1とは反対側の側面に接するようにN型不純物を比較的高濃度(N⁺)に含んだボディ固定領域14が設けられ、当該ボディ固定領域14は、4つのソース領域12の側面に接するとともに、部分トレンチ分離絶縁膜PTのゲート電極G1とは反対側の側面にも接して、ゲート電極G1と平行して延在するように配設されている。

【0191】

50

また、4つのドレイン領域13の間、および配列の両端に位置するドレイン領域13の外側にも部分トレンチ分離絶縁膜PTが設けられている。なお、ドレイン領域の外側に配設される部分トレンチ分離絶縁膜は、MOSトランジスタの外周に設けられるので、外周部分トレンチ分離絶縁膜と呼称する場合がある。

【0192】

そして、ドレイン領域13のゲート電極G1とは反対側の側面に接するように部分トレンチ分離絶縁膜PTが設けられ、当該部分トレンチ分離絶縁膜PTは、4つのドレイン領域13の側面に接するとともに、4つのドレイン領域13間およびドレイン領域13の配列の外側に設けられた部分トレンチ分離絶縁膜PTの側面にも接している。これにより、4つのドレイン領域13は、部分トレンチ分離絶縁膜PTで囲まれることになる。

10

【0193】

NMOSトランジスタN5においては、ソース・ドレイン領域がゲート幅方向に沿って2分割され、2つの独立したソース領域22の配列と、2つの独立したドレイン領域23の配列とを有した構成となっている。

【0194】

2つのソース領域22の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜PTが設けられ、また、配列の両端に位置するソース領域22の外側にも部分トレンチ分離絶縁膜PTが設けられている。

【0195】

そして、ソース領域22のゲート電極G1とは反対側の側面に接するようにP型不純物を比較的高濃度(P^+)に含んだボディ固定領域24が設けられ、当該ボディ固定領域24は、2つのソース領域22の側面に接するとともに、部分トレンチ分離絶縁膜PTのゲート電極G1とは反対側の側面にも接して、ゲート電極G1と平行して延在するように配設されている。

20

【0196】

また、2つのドレイン領域23の間、および配列の両端に位置するドレイン領域23の外側にも部分トレンチ分離絶縁膜PTが設けられている。

【0197】

そして、ドレイン領域23のゲート電極G1とは反対側の側面に接するように部分トレンチ分離絶縁膜PTが設けられ、当該部分トレンチ分離絶縁膜PTは、2つのドレイン領域23の側面に接するとともに、2つのドレイン領域23間およびドレイン領域23の配列の外側に設けられた部分トレンチ分離絶縁膜PTの側面にも接している。これにより、2つのドレイン領域23は、部分トレンチ分離絶縁膜PTで囲まれることになる。

30

【0198】

図41に示すように、PMOSトランジスタP5のボディ固定領域14は、SOI層3の表面から埋め込み酸化膜2に達するように設けられ、部分トレンチ分離絶縁膜PTの下層に存在するN型不純物を比較的低濃度(N^-)に含んだウエル領域15と接触する構成となっている。

【0199】

ウエル領域15は部分トレンチ分離絶縁膜PTの下層に存在し、半導体装置500では、ドレイン領域13および23が部分トレンチ分離絶縁膜PTで囲まれるので、ドレイン領域13および23の周囲にはウエル領域15が存在することになる。

40

【0200】

< E - 2 . 効果 >

以上説明したように、半導体装置500においては、MOSトランジスタのソース・ドレイン領域をゲート幅方向に沿って分割することで、図1～図5を用いて説明した半導体装置100と同様に、PMOSトランジスタP5およびNMOSトランジスタN5においては、ボディ領域11および21の電位固定を確実に行うことができ、キンクの発生を抑制できるとともに、動作耐圧を向上させることができる。

【0201】

50

また、ソース・ドレイン領域を部分トレンチ分離絶縁膜 P T および完全トレンチ分離絶縁膜 F T によって分割することで、実質的にゲート電極 G 1 をゲート幅方向に分割するが、トレンチ分離絶縁膜を形成する際には加工精度の高いマスクを使用するので、ゲート電極 G 1 を設計値に従って精度良く分割することができ、ゲート幅にばらつきが生じることを防止して、動作特性にばらつきを生じない半導体装置を得ることができる。

【0202】

また、ドレイン領域 1 3 および 2 3 が部分トレンチ分離絶縁膜 P T で囲まれるので、ドレイン領域 1 3 および 2 3 の周囲にはウエル領域 1 5 が存在し、ドレイン領域 1 3 および 2 3 の周囲の任意の場所にボディ固定領域を設けることができ、当該ボディ固定領域を介してボディ領域の電位を固定することができる。

10

【0203】

これにより、ボディ領域はソース領域 1 2 および 2 2 側からも、ドレイン領域 1 3 および 2 3 側からも電位固定が可能となり、ボディ領域がフローティング状態になることが確実に防止され、ボディ領域がフローティング状態になることによる容量成分の発生を防止できる。

【0204】

なお、PMOS トランジスタ P 5 のソース領域 1 2 の側面は、部分トレンチ分離絶縁膜 P T およびボディ固定領域 1 4 に接し、また、NMOS トランジスタ N 5 のソース領域 2 2 の側面は、部分トレンチ分離絶縁膜 P T およびボディ固定領域 2 4 に接するので、ソース領域 1 2 および 2 2 における P N 接合の接合面積が広くなり、寄生接合容量が大きくなるが、ソース領域側における接合容量の増加は電流の安定供給に寄与するので、電源供給を安定化させることができる。

20

【0205】

< E - 3 . 変形例 1 >

次に、以上説明した実施の形態 5 の変形例 1 の構成について説明する。

図 4 5 は半導体装置 5 0 1 の構成を示す平面図であり、図 4 5 に示す A - A 線、B - B 線、D - D 線および E - E 線での矢示断面を、それぞれ図 4 6、図 4 7、図 4 8 および図 4 9 に示す。なお、図 4 0 ~ 4 4 に示した半導体装置 5 0 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

【0206】

30

図 4 5 に示すように半導体装置 5 0 1 においては、PMOS トランジスタ P 5 1 のボディ固定領域 1 4 のゲート電極 G 1 とは反対側の側面に接するように（図 4 6 参照）部分トレンチ分離絶縁膜 P T が設けられ、ボディ固定領域 1 4 は部分トレンチ分離絶縁膜 P T によって囲まれている。なお、PMOS トランジスタ領域においては、部分トレンチ分離絶縁膜 P T の下層には N 型不純物を比較的低濃度（ N^- ）に含んだウエル領域 1 5 が存在し、図 4 6 に示されるように、ボディ固定領域 1 4 とウエル領域 1 5 とが接触する構成となっている。

【0207】

NMOS トランジスタ N 5 1 においては、ボディ固定領域 2 4 のゲート電極 G 1 とは反対側の側面に接するように部分トレンチ分離絶縁膜 P T が設けられ、ボディ固定領域 2 4 は部分トレンチ分離絶縁膜 P T によって囲まれている。なお、NMOS トランジスタ領域においては、部分トレンチ分離絶縁膜 P T の下層には P 型不純物を比較的低濃度（ P^- ）に含んだウエル領域 2 5 が存在しており、図示はしていないが、ボディ固定領域 2 4 とウエル領域 2 5 とが接触する構成となっている。

40

【0208】

このような構成を採ることで、PMOS トランジスタ P 5 1 のソース領域 1 2 の側面は、部分トレンチ分離絶縁膜 P T およびボディ固定領域 1 4 に接し、また、NMOS トランジスタ N 5 1 のソース領域 2 2 の側面は、部分トレンチ分離絶縁膜 P T およびボディ固定領域 2 4 に接するので、ソース領域 1 2 および 2 2 における P N 接合の接合面積が広くなり、寄生接合容量が大きくなり、電源供給を安定化させることができる。

50

【 0 2 0 9 】

さらに、ボディ固定領域 1 4 のゲート電極 G 1 とは反対側の側面に接するように部分トレンチ分離絶縁膜 P T が設けられ、ボディ固定領域 1 4 は部分トレンチ分離絶縁膜 P T によって囲まれているので、部分トレンチ分離絶縁膜 P T 上に配線層 M 1 を配設した場合に、当該配線層 M 1 に寄生する寄生容量をさらに増やすことができ、電源供給を安定化させることができる。

【 0 2 1 0 】

< E - 4 . 変形例 2 >

次に、実施の形態 5 の変形例 2 の構成について説明する。

図 5 0 は半導体装置 5 0 2 の構成を示す平面図であり、図 5 0 に示す A - A 線、B - B 線、D - D 線および E - E 線での矢示断面を、それぞれ図 5 1、図 5 2、図 5 3 および図 5 4 に示す。なお、図 5 0 ~ 5 4 に示した半導体装置 5 0 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

10

【 0 2 1 1 】

図 5 0 に示すように半導体装置 5 0 2 の P M O S トランジスタ P 5 2 においては、ソース領域がゲート幅方向に沿って 4 分割され、4 つの独立したソース領域 1 2 の配列を有した構成となっている。

【 0 2 1 2 】

すなわち、4 つのソース領域 1 2 の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜 P T が設けられ、また、配列の両端に位置するソース領域 1 2 の外側にも部分トレンチ分離絶縁膜 P T が設けられている。

20

【 0 2 1 3 】

一方、ドレイン領域 1 3 A においては、ゲート電極 G 1 から所定長さだけ部分トレンチ分離絶縁膜 P T が突出するように設けられているが、ゲート電極 G 1 とは反対側の部分が連続した構成になっており、分割されてはいない。

【 0 2 1 4 】

N M O S トランジスタ N 5 2 においては、ソース領域がゲート幅方向に沿って 2 分割され、2 つの独立したソース領域 2 2 の配列を有した構成となっている。

【 0 2 1 5 】

すなわち、2 つのソース領域 2 2 の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜 P T が設けられ、また、配列の両端に位置するソース領域 2 2 の外側にも部分トレンチ分離絶縁膜 P T が設けられている。

30

【 0 2 1 6 】

一方、ドレイン領域 2 3 A においては、ゲート電極 G 1 から所定長さだけ部分トレンチ分離絶縁膜 P T が突出するように設けられているが、ゲート電極 G 1 とは反対側の部分が連続した構成になっており、分割されてはいない。

【 0 2 1 7 】

このような構成を採ることで、ドレイン領域 1 3 A および 2 3 A は連続した構成となり、少なくとも 1 カ所に電位固定のためのコンタクトホールを接続すれば良く、コンタクトホールを形成する工程を簡略化できる。

40

【 0 2 1 8 】

< E - 5 . 変形例 3 >

次に、実施の形態 5 の変形例 3 の構成について説明する。

図 5 5 は半導体装置 5 0 3 の構成を示す平面図であり、図 5 5 に示す A - A 線、B - B 線、D - D 線および E - E 線での矢示断面を、それぞれ図 5 6、図 5 7、図 5 8 および図 5 9 に示す。なお、図 5 0 ~ 5 4 に示した半導体装置 5 0 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

【 0 2 1 9 】

図 5 5 に示すように半導体装置 5 0 3 の P M O S トランジスタ P 5 3 においては、ソース領域がゲート幅方向に沿って 4 分割され、4 つの独立したソース領域 1 2 の配列を有し

50

た構成となっている。

【0220】

すなわち、4つのソース領域12の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜PTが設けられ、また、配列の両端に位置するソース領域12の外側にも部分トレンチ分離絶縁膜PTが設けられている。

【0221】

一方、ドレイン領域13Aにおいては、ゲート電極G1から所定長さだけ部分トレンチ分離絶縁膜PTが突出するように設けられているが、ゲート電極G1とは反対側の部分が連続した構成となっており、分割されてはいない。

【0222】

NMOSトランジスタN53においては、ソース領域がゲート幅方向に沿って2分割され、2つの独立したソース領域22の配列を有した構成となっている。

【0223】

すなわち、2つのソース領域22の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜PTが設けられ、また、配列の両端に位置するソース領域22の外側にも部分トレンチ分離絶縁膜PTが設けられている。

【0224】

一方、ドレイン領域23Aにおいては、ゲート電極G1から所定長さだけ部分トレンチ分離絶縁膜PTが突出するように設けられているが、ゲート電極G1とは反対側の部分が連続した構成となっており、分割されてはいない。

【0225】

このような構成を採ることで、ドレイン領域13Aおよび23Aは連続した構成となり、少なくとも1カ所に電位固定のためのコンタクトホールを接続すれば良く、コンタクトホールを形成する工程を簡略化できる。

【0226】

また、ボディ固定領域14のゲート電極G1とは反対側の側面に接するように(図56参照)部分トレンチ分離絶縁膜PTが設けられ、ボディ固定領域14は部分トレンチ分離絶縁膜PTによって囲まれている。なお、PMOSトランジスタ領域においては、部分トレンチ分離絶縁膜PTの下層にはN型不純物を比較的低濃度(N^-)に含んだウエル領域15が存在し、図56および図59に示されるように、ボディ固定領域14とウエル領域15とが接触する構成となっている。

【0227】

NMOSトランジスタN53においては、ボディ固定領域24のゲート電極G1とは反対側の側面に接するように部分トレンチ分離絶縁膜PTが設けられ、ボディ固定領域24は部分トレンチ分離絶縁膜PTによって囲まれている。なお、NMOSトランジスタ領域においては、部分トレンチ分離絶縁膜PTの下層にはP型不純物を比較的低濃度(P^-)に含んだウエル領域25が存在しており、図示はしていないが、ボディ固定領域24とウエル領域25とが接触する構成となっている。

【0228】

このような構成を採ることで、PMOSトランジスタP51のソース領域12の側面は、部分トレンチ分離絶縁膜PTおよびボディ固定領域14に接し、また、NMOSトランジスタN51のソース領域22の側面は、部分トレンチ分離絶縁膜PTおよびボディ固定領域24に接するので、ソース領域12および22におけるPN接合の接合面積が広くなり、寄生接合容量が大きくなり、電源供給を安定化させることができる。

【0229】

さらに、ボディ固定領域14のゲート電極G1とは反対側の側面に接するように部分トレンチ分離絶縁膜PTが設けられ、ボディ固定領域14は部分トレンチ分離絶縁膜PTによって囲まれているので、部分トレンチ分離絶縁膜PT上に配線層M1を配設した場合に、当該配線層M1に寄生する寄生容量をさらに増やすことができ、電源供給を安定化させることができる。

10

20

30

40

50

【 0 2 3 0 】

< F . 実施の形態 6 >

< F - 1 . 装置構成 >

図 6 0 ~ 図 6 4 を用いて本発明に係る実施の形態 6 の半導体装置 6 0 0 の構成について説明する。

【 0 2 3 1 】

図 6 0 は半導体装置 6 0 0 の構成を示す平面図であり、図 6 0 に示す A - A 線、B - B 線、D - D 線および E - E 線での矢示断面を、それぞれ図 6 1、図 6 2、図 6 3 および図 6 4 に示す。なお、図 1 ~ 5 に示した半導体装置 1 0 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

10

【 0 2 3 2 】

図 6 0 に示すように半導体装置 6 0 0 においては、PMOS トランジスタ P 6 と、NMOS トランジスタ N 6 とを有し、両トランジスタのゲート電極 G 1 は共通に接続されている。

【 0 2 3 3 】

PMOS トランジスタ P 6 においては、ソース・ドレイン領域がゲート幅方向に沿って 4 分割され、4 つの独立したソース領域 1 2 の配列と、4 つの独立したドレイン領域 1 3 の配列とを有した構成となっている。

【 0 2 3 4 】

4 つのソース領域 1 2 の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜 P T が設けられ、また、配列の両端に位置するソース領域 1 2 の外側にも部分トレンチ分離絶縁膜 P T が設けられている。そして、当該部分トレンチ分離絶縁膜 P T のゲート電極 G 1 とは反対側の側面に接するように (図 6 1 参照) N 型不純物を比較的高濃度 (N ⁺) に含んだボディ固定領域 1 4 A が設けられている。なお、ボディ固定領域 1 4 A はソース領域 1 2 の配列方向の側面にも接するように配設されている。

20

【 0 2 3 5 】

また、4 つのドレイン領域 1 3 の間、および配列の両端に位置するドレイン領域 1 3 の外側にも部分トレンチ分離絶縁膜 P T が設けられている。

【 0 2 3 6 】

そして、ドレイン領域 1 3 のゲート電極 G 1 とは反対側の側面に接するように部分トレンチ分離絶縁膜 P T が設けられ、当該部分トレンチ分離絶縁膜 P T は、4 つのドレイン領域 1 3 の側面に接するとともに、4 つのドレイン領域 1 3 間およびドレイン領域 1 3 の配列の外側に設けられた部分トレンチ分離絶縁膜 P T の側面にも接している。これにより、4 つのドレイン領域 1 3 は、部分トレンチ分離絶縁膜 P T で囲まれることになる。

30

【 0 2 3 7 】

NMOS トランジスタ N 6 においては、ソース・ドレイン領域がゲート幅方向に沿って 2 分割され、2 つの独立したソース領域 2 2 の配列と、2 つの独立したドレイン領域 2 3 の配列とを有した構成となっている。

【 0 2 3 8 】

2 つのソース領域 2 2 の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜 P T が設けられ、また、配列の両端に位置するソース領域 2 2 の外側にも部分トレンチ分離絶縁膜 P T が設けられている。そして、当該部分トレンチ分離絶縁膜 P T のゲート電極 G 1 とは反対側の側面に接するように P 型不純物を比較的高濃度 (P ⁺) に含んだボディ固定領域 2 4 A が設けられている。なお、ボディ固定領域 2 4 A はソース領域 2 2 の配列方向の側面にも接するように配設されている。

40

【 0 2 3 9 】

ボディ固定領域 1 4 A および 2 4 A を個々に独立した構成とすることで、ボディ固定領域 1 4 A および 2 4 A の形成面積が小さくて済むので、面積効率が向上する。

【 0 2 4 0 】

また、2 つのドレイン領域 2 3 の間、および配列の両端に位置するドレイン領域 2 3 の

50

外側にも部分トレンチ分離絶縁膜 P T が設けられている。

【 0 2 4 1 】

そして、ドレイン領域 2 3 のゲート電極 G 1 とは反対側の側面に接するように部分トレンチ分離絶縁膜 P T が設けられ、当該部分トレンチ分離絶縁膜 P T は、2 つのドレイン領域 2 3 の側面に接するとともに、2 つのドレイン領域 2 3 間およびドレイン領域 2 3 の配列の外側に設けられた部分トレンチ分離絶縁膜 P T の側面にも接している。これにより、2 つのドレイン領域 2 3 は、部分トレンチ分離絶縁膜 P T で囲まれることになる。

【 0 2 4 2 】

図 6 1 に示すように、P M O S トランジスタ P 6 のボディ固定領域 1 4 A は、S O I 層 3 の表面から埋め込み酸化膜 2 に達するように設けられ、部分トレンチ分離絶縁膜 P T の下層に存在する N 型不純物を比較的低濃度 (N ⁻) に含んだウエル領域 1 5 と接触する構成となっている。

10

【 0 2 4 3 】

ウエル領域 1 5 は部分トレンチ分離絶縁膜 P T の下層に存在し、半導体装置 6 0 0 では、ドレイン領域 1 3 および 2 3 が部分トレンチ分離絶縁膜 P T で囲まれるので、ドレイン領域 1 3 および 2 3 の周囲にはウエル領域 1 5 が存在することになる。

【 0 2 4 4 】

なお、ボディ固定領域 1 4 A の面積は小さいが、図 6 1 および図 6 4 に示されるようにボディ固定領域 1 4 A 上およびソース領域 1 2 上はシリサイド膜 S S で共通に覆われており、電氣的に接続されているので、その一部を配線層 M 1 に電氣的に接続すれば、ボディ固定領域 1 4 A の電位を固定することができる。

20

【 0 2 4 5 】

なお、この構成は、N M O S トランジスタ N 6 のボディ固定領域 2 4 A およびソース領域 2 2 においても同じである。

【 0 2 4 6 】

< F - 2 . 効果 >

以上説明したように、半導体装置 6 0 0 においては、M O S トランジスタのソース・ドレイン領域をゲート幅方向に沿って分割することで、図 1 ~ 図 5 を用いて説明した半導体装置 1 0 0 と同様に、P M O S トランジスタ P 6 および N M O S トランジスタ N 6 においては、ボディ領域 1 1 および 2 1 の電位固定を確実に行うことができ、キルクの発生を抑制できるとともに、動作耐圧を向上させることができる。

30

【 0 2 4 7 】

また、ソース・ドレイン領域を部分トレンチ分離絶縁膜 P T および完全トレンチ分離絶縁膜 F T によって分割することで、実質的にゲート電極 G 1 をゲート幅方向に分割するが、トレンチ分離絶縁膜を形成する際には加工精度の高いマスクを使用するので、ゲート電極 G 1 を設計値に従って精度良く分割することができ、ゲート幅にばらつきが生じることを防止して、動作特性にばらつきを生じない半導体装置を得ることができる。

【 0 2 4 8 】

また、ドレイン領域 1 3 および 2 3 が部分トレンチ分離絶縁膜 P T で囲まれるので、ドレイン領域 1 3 および 2 3 の周囲にはウエル領域 1 5 が存在し、ドレイン領域 1 3 および 2 3 の周囲の任意の場所にボディ固定領域を設けることができ、当該ボディ固定領域を介してボディ領域の電位を固定することができる。

40

【 0 2 4 9 】

これにより、ボディ領域はソース領域 1 2 および 2 2 側からも、ドレイン領域 1 3 および 2 3 側からも電位固定が可能となり、ボディ領域がフローティング状態になることが確実に防止され、ボディ領域がフローティング状態になることによる容量成分の発生を防止できる。

【 0 2 5 0 】

なお、P M O S トランジスタ P 6 のソース領域 1 2 の側面は、その一部だけがボディ固定領域 1 4 A に接し、また、N M O S トランジスタ N 6 のソース領域 2 2 の側面は、その

50

一部だけがボディ固定領域 2 4 A に接するので、ソース領域 1 2 および 2 2 における P N 接合の接合面積は狭く、寄生接合容量は小さいので、ソース領域側における接合容量を大きくすることを望まない場合に有効である。

【 0 2 5 1 】

< F - 3 . 変形例 1 >

次に、以上説明した実施の形態 6 の変形例 1 の構成について説明する。

図 6 5 は半導体装置 6 0 1 の構成を示す平面図であり、図 6 5 に示す A - A 線、B - B 線、D - D 線および E - E 線での矢示断面を、それぞれ図 6 6、図 6 7、図 6 8 および図 6 9 に示す。なお、図 6 0 ~ 6 4 に示した半導体装置 6 0 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

10

【 0 2 5 2 】

図 6 5 に示すように半導体装置 6 0 1 においては、P M O S トランジスタ P 6 1 のボディ固定領域 1 4 A のゲート電極 G 1 とは反対側の側面に接するように (図 6 6 参照) 部分トレンチ分離絶縁膜 P T が設けられている。当該部分トレンチ分離絶縁膜 P T は、ソース領域 1 2 のゲート電極 G 1 とは反対側の側面にも接するように設けられており (図 6 9 参照)、ソース領域 1 2 は部分トレンチ分離絶縁膜 P T で囲まれている。

【 0 2 5 3 】

なお、P M O S トランジスタ領域においては、部分トレンチ分離絶縁膜 P T の下層には N 型不純物を比較的低濃度 (N^-) に含んだウエル領域 1 5 が存在し、図 6 6 に示されるように、ボディ固定領域 1 4 A とウエル領域 1 5 とが接触する構成となっている。

20

【 0 2 5 4 】

N M O S トランジスタ N 6 1 においては、ボディ固定領域 2 4 A のゲート電極 G 1 とは反対側の側面に接するように部分トレンチ分離絶縁膜 P T が設けられている。当該部分トレンチ分離絶縁膜 P T は、ソース領域 2 2 のゲート電極 G 1 とは反対側の側面にも接するように設けられており、ソース領域 2 2 は部分トレンチ分離絶縁膜 P T で囲まれている。

【 0 2 5 5 】

なお、N M O S トランジスタ領域においては、部分トレンチ分離絶縁膜 P T の下層には P 型不純物を比較的低濃度 (P^-) に含んだウエル領域 2 5 が存在しており、図示はしていないが、ボディ固定領域 2 4 A とウエル領域 2 5 とが接触する構成となっている。

【 0 2 5 6 】

30

このような構成を採ることで、P M O S トランジスタ P 6 1 のソース領域 1 2 の側面は、部分トレンチ分離絶縁膜 P T およびボディ固定領域 1 4 A に接し、また、N M O S トランジスタ N 6 1 のソース領域 2 2 の側面は、部分トレンチ分離絶縁膜 P T およびボディ固定領域 2 4 A に接するので、ソース領域 1 2 および 2 2 における P N 接合の接合面積が広くなり、寄生接合容量が大きくなり、電源供給を安定化させることができる。

【 0 2 5 7 】

また、ソース領域 1 2 および 2 2 が部分トレンチ分離絶縁膜 P T によって囲まれているので、部分トレンチ分離絶縁膜 P T 上に配線層 M 1 を配設した場合に、当該配線層 M 1 に寄生する寄生容量をさらに増やすことができ、電源供給を安定化させることができる。

【 0 2 5 8 】

40

< F - 4 . 変形例 2 >

次に、実施の形態 6 の変形例 2 の構成について説明する。

図 7 0 は半導体装置 6 0 2 の構成を示す平面図であり、図 7 0 に示す A - A 線、B - B 線、D - D 線および E - E 線での矢示断面を、それぞれ図 7 1、図 7 2、図 7 3 および図 7 4 に示す。なお、図 6 0 ~ 6 4 に示した半導体装置 6 0 0 と同一の構成については同一の符号を付し、重複する説明は省略する。

【 0 2 5 9 】

図 7 0 に示すように半導体装置 6 0 2 の P M O S トランジスタ P 6 2 においては、ソース領域がゲート幅方向に沿って 4 分割され、4 つの独立したソース領域 1 2 の配列を有した構成となっている。

50

【 0 2 6 0 】

すなわち、４つのソース領域１２の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜ＰＴが設けられ、また、配列の両端に位置するソース領域１２の外側にも部分トレンチ分離絶縁膜ＰＴが設けられている。

【 0 2 6 1 】

一方、ドレイン領域１３Ａにおいては、ゲート電極Ｇ１から所定長さだけ部分トレンチ分離絶縁膜ＰＴが突出するように設けられているが、ゲート電極Ｇ１とは反対側の部分が連続した構成となっており、分割はされていない。

【 0 2 6 2 】

N M O S トランジスタＮ６２においては、ソース領域がゲート幅方向に沿って２分割され、２つの独立したソース領域２２の配列を有した構成となっている。

10

【 0 2 6 3 】

すなわち、２つのソース領域２２の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜ＰＴが設けられ、また、配列の両端に位置するソース領域２２の外側にも部分トレンチ分離絶縁膜ＰＴが設けられている。

【 0 2 6 4 】

一方、ドレイン領域２３Ａにおいては、ゲート電極Ｇ１から所定長さだけ部分トレンチ分離絶縁膜ＰＴが突出するように設けられているが、ゲート電極Ｇ１とは反対側の部分が連続した構成となっており、分割されてはいない。

【 0 2 6 5 】

20

このような構成を採ることで、ドレイン領域１３Ａおよび２３Ａは連続した構成となり、少なくとも１カ所に電位固定のためのコンタクトホールを接続すれば良く、コンタクトホールを形成する工程を簡略化できる。

【 0 2 6 6 】

< F - 5 . 変形例 3 >

次に、実施の形態６の変形例３の構成について説明する。

図７５は半導体装置６０３の構成を示す平面図であり、図７５に示すＡ - Ａ線、Ｂ - Ｂ線、Ｄ - Ｄ線およびＥ - Ｅ線での矢示断面を、それぞれ図７６、図７７、図７８および図７９に示す。なお、図６０～６４に示した半導体装置６００と同一の構成については同一の符号を付し、重複する説明は省略する。

30

【 0 2 6 7 】

図７５に示すように半導体装置６０３のＰＭＯＳトランジスタＰ６３においては、ソース領域がゲート幅方向に沿って４分割され、４つの独立したソース領域１２の配列を有した構成となっている。

【 0 2 6 8 】

すなわち、４つのソース領域１２の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜ＰＴが設けられ、また、配列の両端に位置するソース領域１２の外側にも部分トレンチ分離絶縁膜ＰＴが設けられている。

【 0 2 6 9 】

一方、ドレイン領域１３Ａにおいては、ゲート電極Ｇ１から所定長さだけ部分トレンチ分離絶縁膜ＰＴが突出するように設けられているが、ゲート電極Ｇ１とは反対側の部分が連続した構成となっており、分割されてはいない。

40

【 0 2 7 0 】

N M O S トランジスタＮ６３においては、ソース領域がゲート幅方向に沿って２分割され、２つの独立したソース領域２２の配列を有した構成となっている。

【 0 2 7 1 】

すなわち、２つのソース領域２２の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜ＰＴが設けられ、また、配列の両端に位置するソース領域２２の外側にも部分トレンチ分離絶縁膜ＰＴが設けられている。

【 0 2 7 2 】

50

一方、ドレイン領域 23A においては、ゲート電極 G1 から所定長さだけ部分トレンチ分離絶縁膜 PT が突出するように設けられているが、ゲート電極 G1 とは反対側の部分が連続した構成となっており、分割されてはいない。

【0273】

このような構成を採ることで、ドレイン領域 13A および 23A は連続した構成となり、少なくとも 1 カ所に電位固定のためのコンタクトホールを接続すれば良く、コンタクトホールを形成する工程を簡略化できる。

【0274】

また、ボディ固定領域 14A のゲート電極 G1 とは反対側の側面に接するように（図 76 参照）部分トレンチ分離絶縁膜 PT が設けられている。当該部分トレンチ分離絶縁膜 PT は、ソース領域 12 のゲート電極 G1 とは反対側の側面にも接するように設けられており（図 79 参照）、ソース領域 12 は部分トレンチ分離絶縁膜 PT で囲まれている。

10

【0275】

なお、PMOS トランジスタ領域においては、部分トレンチ分離絶縁膜 PT の下層には N 型不純物を比較的低濃度（ N^- ）に含んだウエル領域 15 が存在し、図 76 に示されるように、ボディ固定領域 14A とウエル領域 15 とが接触する構成となっている。

【0276】

NMOS トランジスタ N63 においては、ボディ固定領域 24A のゲート電極 G1 とは反対側の側面に接するように部分トレンチ分離絶縁膜 PT が設けられている。当該部分トレンチ分離絶縁膜 PT は、ソース領域 22 のゲート電極 G1 とは反対側の側面にも接するように設けられており、ソース領域 22 は部分トレンチ分離絶縁膜 PT で囲まれている。

20

【0277】

なお、NMOS トランジスタ領域においては、部分トレンチ分離絶縁膜 PT の下層には P 型不純物を比較的低濃度（ P^- ）に含んだウエル領域 25 が存在しており、図示はしていないが、ボディ固定領域 24 とウエル領域 25 とが接触する構成となっている。

【0278】

このような構成を採ることで、PMOS トランジスタ P63 のソース領域 12 の側面は、部分トレンチ分離絶縁膜 PT およびボディ固定領域 14A に接し、また、NMOS トランジスタ N63 のソース領域 22 の側面は、部分トレンチ分離絶縁膜 PT およびボディ固定領域 24A に接するので、ソース領域 12 および 22 における PN 接合の接合面積が広くなり、寄生接合容量が大きくなり、電源供給を安定化させることができる。

30

【0279】

また、ソース領域 12 および 22 が部分トレンチ分離絶縁膜 PT によって囲まれているので、部分トレンチ分離絶縁膜 PT 上に配線層 M1 を配設した場合に、当該配線層 M1 に寄生する寄生容量をさらに増やすことができ、電源供給を安定化させることができる。

【0280】

< G . 実施の形態 7 >

< G - 1 . 装置構成 >

図 80 ~ 図 84 を用いて本発明に係る実施の形態 7 の半導体装置 700 の構成について説明する。

40

【0281】

図 80 は半導体装置 700 の構成を示す平面図であり、図 80 に示す A - A 線、B - B 線、D - D 線および E - E 線での矢示断面を、それぞれ図 81、図 82、図 83 および図 84 に示す。なお、図 1 ~ 5 に示した半導体装置 100 と同一の構成については同一の符号を付し、重複する説明は省略する。

【0282】

図 80 に示すように半導体装置 700 においては、PMOS トランジスタ P7 と、NMOS トランジスタ N7 とを有し、両トランジスタのゲート電極 G1 は共通に接続されている。

【0283】

50

PMOSトランジスタP7においては、ソース・ドレイン領域がゲート幅方向に沿って4つの独立したソース領域12の配列と、4つの独立したドレイン領域13の配列とを有した構成となっている。

【0284】

4つのソース領域12の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜PTが設けられ、また、配列の両端に位置するソース領域12の外側にも部分トレンチ分離絶縁膜PTが設けられている。そして、当該部分トレンチ分離絶縁膜PTのゲート電極G1とは反対側の側面に接するように(図81参照)N型不純物を比較的高濃度(N^+)に含んだボディ固定領域14Aが設けられている。なお、ボディ固定領域14Aはソース領域12の配列方向の側面にも接するように配設されている。

10

【0285】

また、4つのドレイン領域13の間にも部分トレンチ分離絶縁膜PTが設けられているが、ドレイン領域13の対向する側面全体に接するのではなく、ゲート電極G1から所定長さだけ部分トレンチ分離絶縁膜PTが突出するように設けられている。これは、配列の両端に位置するドレイン領域13の外側においても同様である。

【0286】

NMOSトランジスタN7においては、ソース・ドレイン領域がゲート幅方向に沿って2分割され、2つの独立したソース領域22の配列と、2つの独立したドレイン領域23の配列とを有した構成となっている。

【0287】

20

2つのソース領域22の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜PTが設けられ、また、配列の両端に位置するソース領域22の外側にも部分トレンチ分離絶縁膜PTが設けられている。

【0288】

そして、ソース領域22のゲート電極G1とは反対側の側面に接するようにP型不純物を比較的高濃度(P^+)に含んだボディ固定領域24Aが設けられている。なお、ボディ固定領域24Aはソース領域22の配列方向の側面にも接するように配設されている。

【0289】

また、2つのドレイン領域23の間にも部分トレンチ分離絶縁膜PTが設けられているが、ドレイン領域23の対向する側面全体に接するのではなく、ゲート電極G1から所定長さだけ部分トレンチ分離絶縁膜PTが突出するように設けられている。これは、配列の両端に位置するドレイン領域23の外側においても同様である。

30

【0290】

図81に示すように、PMOSトランジスタP7のボディ固定領域14Aは、SOI層3の表面から埋め込み酸化膜2に達するように設けられ、部分トレンチ分離絶縁膜PTの下層に存在するN型不純物を比較的低濃度(N^-)に含んだウエル領域15と接触する構成となっている。

【0291】

なお、ボディ固定領域14Aの面積は小さいが、図81および図84に示されるようにボディ固定領域14A上およびソース領域12上はシリサイド膜SSで共通に覆われており、電氣的に接続されているので、その一部を配線層M1に電氣的に接続すれば、ボディ固定領域14Aの電位を固定することができる。

40

【0292】

なお、この構成は、NMOSトランジスタN7のボディ固定領域24Aおよびソース領域22においても同じである。

【0293】

< G - 2 . 効果 >

以上説明したように、半導体装置700においては、MOSトランジスタのソース・ドレイン領域をゲート幅方向に沿って分割することで、図1～図5を用いて説明した半導体装置100と同様に、PMOSトランジスタP7およびNMOSトランジスタN7におい

50

ては、ボディ領域 11 および 21 の電位固定を確実に行うことができ、キンクの発生を抑制できるとともに、動作耐圧を向上させることができる。

【0294】

また、ソース・ドレイン領域を部分トレンチ分離絶縁膜 PT および完全トレンチ分離絶縁膜 FT によって分割することで、実質的にゲート電極 G1 をゲート幅方向に分割するが、トレンチ分離絶縁膜を形成する際には加工精度の高いマスクを使用するので、ゲート電極 G1 を設計値に従って精度良く分割することができ、ゲート幅にばらつきが生じることを防止して、動作特性にばらつきを生じない半導体装置を得ることができる。

【0295】

なお、PMOS トランジスタ P7 のソース領域 12 の側面は、その一部だけがボディ固定領域 14A に接し、また、NMOS トランジスタ N7 のソース領域 22 の側面は、その一部だけがボディ固定領域 24A に接するので、ソース領域 12 および 22 における PN 接合の接合面積は狭く、寄生接合容量は小さいので、ソース領域側における接合容量を大きくすることを望まない場合に有効である。

【0296】

また、PMOS トランジスタ P7 のドレイン領域 13 および NMOS トランジスタ N7 のドレイン領域 23 の側面は、大部分が完全トレンチ分離絶縁膜 FT に接しており、部分トレンチ分離絶縁膜 PT に接する部分は一部分だけである。

【0297】

このような構成を採ることで、ドレイン領域 13 および 23 の大部分が完全トレンチ分離絶縁膜 FT で囲まれ、その分だけ、PN 接合の接合面積が減るので、ドレイン領域 13 および 23 における寄生接合容量が小さく、充放電に費やす時間が少なくて済むので、MOS トランジスタの動作速度が低下することを防止できる。

【0298】

< G - 3 . 変形例 1 >

次に、以上説明した実施の形態 7 の変形例 1 の構成について説明する。

図 85 は半導体装置 701 の構成を示す平面図であり、図 85 に示す A - A 線、B - B 線、D - D 線および E - E 線での矢示断面を、それぞれ図 86、図 87、図 88 および図 89 に示す。なお、図 80 ~ 84 に示した半導体装置 700 と同一の構成については同一の符号を付し、重複する説明は省略する。

【0299】

図 85 に示すように半導体装置 801 においては、PMOS トランジスタ P71 のボディ固定領域 14A のゲート電極 G1 とは反対側の側面に接するように（図 86 参照）部分トレンチ分離絶縁膜 PT が設けられている。当該部分トレンチ分離絶縁膜 PT は、ソース領域 12 のゲート電極 G1 とは反対側の側面にも接するように設けられており（図 89 参照）、ソース領域 12 は部分トレンチ分離絶縁膜 PT で囲まれている。

【0300】

なお、PMOS トランジスタ領域においては、部分トレンチ分離絶縁膜 PT の下層には N 型不純物を比較的低濃度 (N^-) に含んだウエル領域 15 が存在し、図 86 に示されるように、ボディ固定領域 14 とウエル領域 15 とが接触する構成となっている。

【0301】

NMOS トランジスタ N71 においては、ボディ固定領域 24 のゲート電極 G1 とは反対側の側面に接するように部分トレンチ分離絶縁膜 PT が設けられている。当該部分トレンチ分離絶縁膜 PT は、ソース領域 22 のゲート電極 G1 とは反対側の側面にも接するように設けられており、ソース領域 22 は部分トレンチ分離絶縁膜 PT で囲まれている。

【0302】

なお、NMOS トランジスタ領域においては、部分トレンチ分離絶縁膜 PT の下層には P 型不純物を比較的低濃度 (P^-) に含んだウエル領域 25 が存在しており、図示はしていないが、ボディ固定領域 24 とウエル領域 25 とが接触する構成となっている。

【0303】

10

20

30

40

50

このような構成を採ることで、PMOSトランジスタP71のソース領域12の側面は、部分トレンチ分離絶縁膜PTおよびボディ固定領域14Aに接し、また、NMOSトランジスタN61のソース領域22の側面は、部分トレンチ分離絶縁膜PTおよびボディ固定領域24Aに接するので、ソース領域12および22におけるPN接合の接合面積が広くなり、寄生接合容量が大きくなり、電源供給を安定化させることができる。

【0304】

また、ソース領域12および22が部分トレンチ分離絶縁膜PTによって囲まれているので、部分トレンチ分離絶縁膜PT上に配線層M1を配設した場合に、当該配線層M1に寄生する寄生容量をさらに増やすことができ、電源供給を安定化させることができる。

【0305】

< G - 4 . 変形例 2 >

次に、実施の形態7の変形例2の構成について説明する。

図90は半導体装置702の構成を示す平面図であり、図90に示すA - A線、B - B線、D - D線およびE - E線での矢示断面を、それぞれ図91、図92、図93および図94に示す。なお、図80～84に示した半導体装置700と同一の構成については同一の符号を付し、重複する説明は省略する。

【0306】

図90に示すように半導体装置702のPMOSトランジスタP72においては、ソース領域がゲート幅方向に沿って4分割され、4つの独立したソース領域12の配列を有した構成となっている。

【0307】

すなわち、4つのソース領域12の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜PTが設けられ、また、配列の両端に位置するソース領域12の外側にも部分トレンチ分離絶縁膜PTが設けられている。

【0308】

一方、ドレイン領域13Aにおいては、ゲート電極G1から所定長さだけ部分トレンチ分離絶縁膜PTが突出するように設けられているが、ゲート電極G1とは反対側の部分が連続した構成となっており、分割されてはいない。

【0309】

NMOSトランジスタN72においては、ソース領域がゲート幅方向に沿って2分割され、2つの独立したソース領域22の配列を有した構成となっている。

【0310】

すなわち、2つのソース領域22の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜PTが設けられ、また、配列の両端に位置するソース領域22の外側にも部分トレンチ分離絶縁膜PTが設けられている。

【0311】

一方、ドレイン領域23Aにおいては、ゲート電極G1から所定長さだけ部分トレンチ分離絶縁膜PTが突出するように設けられているが、ゲート電極G1とは反対側の部分が連続した構成となっており、分割はされてはいない。

【0312】

このような構成を採ることで、ドレイン領域13Aおよび23Aは連続した構成となり、少なくとも1カ所に電位固定のためのコンタクトホールを接続すれば良く、コンタクトホールを形成する工程を簡略化できる。

【0313】

< G - 5 . 変形例 3 >

次に、実施の形態7の変形例3の構成について説明する。

図95は半導体装置703の構成を示す平面図であり、図95に示すA - A線、B - B線、D - D線およびE - E線での矢示断面を、それぞれ図96、図97、図98および図99に示す。なお、図80～84に示した半導体装置700と同一の構成については同一の符号を付し、重複する説明は省略する。

10

20

30

40

50

【0314】

図95に示すように半導体装置703のPMOSトランジスタP73においては、ソース領域がゲート幅方向に沿って4分割され、4つの独立したソース領域12の配列を有した構成となっている。

【0315】

すなわち、4つのソース領域12の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜PTが設けられ、また、配列の両端に位置するソース領域12の外側にも部分トレンチ分離絶縁膜PTが設けられている。

【0316】

一方、ドレイン領域13Aにおいては、ゲート電極G1から所定長さだけ部分トレンチ分離絶縁膜PTが突出するように設けられているが、ゲート電極G1とは反対側の部分が連続した構成となっており、分割されてはいない。

10

【0317】

NMOSトランジスタN73においては、ソース領域がゲート幅方向に沿って2分割され、2つの独立したソース領域22の配列を有した構成となっている。

【0318】

すなわち、2つのソース領域22の間には、対向する側面全体に接するように部分トレンチ分離絶縁膜PTが設けられ、また、配列の両端に位置するソース領域22の外側にも部分トレンチ分離絶縁膜PTが設けられている。

【0319】

20

一方、ドレイン領域23Aにおいては、ゲート電極G1から所定長さだけ部分トレンチ分離絶縁膜PTが突出するように設けられているが、ゲート電極G1とは反対側の部分が連続した構成となっており、分割されてはいない。

【0320】

このような構成を採ることで、ドレイン領域13Aおよび23Aは連続した構成となり、少なくとも1カ所に電位固定のためのコンタクトホールを接続すれば良く、コンタクトホールを形成する工程を簡略化できる。

【0321】

また、ボディ固定領域14Aのゲート電極G1とは反対側の側面に接するように(図96参照)部分トレンチ分離絶縁膜PTが設けられている。当該部分トレンチ分離絶縁膜PTは、ソース領域12のゲート電極G1とは反対側の側面にも接するように設けられており(図99参照)、ソース領域12は部分トレンチ分離絶縁膜PTで囲まれている。

30

【0322】

なお、PMOSトランジスタ領域においては、部分トレンチ分離絶縁膜PTの下層にはN型不純物を比較的低濃度(N^-)に含んだウエル領域15が存在し、図96に示されるように、ボディ固定領域14Aとウエル領域15とが接触する構成となっている。

【0323】

NMOSトランジスタN73においては、ボディ固定領域24Aのゲート電極G1とは反対側の側面に接するように部分トレンチ分離絶縁膜PTが設けられている。当該部分トレンチ分離絶縁膜PTは、ソース領域22のゲート電極G1とは反対側の側面にも接するように設けられており、ソース領域22は部分トレンチ分離絶縁膜PTで囲まれている。

40

【0324】

なお、NMOSトランジスタ領域においては、部分トレンチ分離絶縁膜PTの下層にはP型不純物を比較的低濃度(P^-)に含んだウエル領域25が存在しており、図示はしていないが、ボディ固定領域24とウエル領域25とが接触する構成となっている。

【0325】

このような構成を採ることで、PMOSトランジスタP73のソース領域12の側面は、部分トレンチ分離絶縁膜PTおよびボディ固定領域14Aに接し、また、NMOSトランジスタN73のソース領域22の側面は、部分トレンチ分離絶縁膜PTおよびボディ固定領域24Aに接するので、ソース領域12および22におけるPN接合の接合面積が広

50

くなり、寄生接合容量が大きくなり、電源供給を安定化させることができる。

【0326】

また、ソース領域12および22が部分トレンチ分離絶縁膜PTによって囲まれているので、部分トレンチ分離絶縁膜PT上に配線層M1を配設した場合に、当該配線層M1に寄生する寄生容量をさらに増やすことができ、電源供給を安定化させることができる。

【0327】

< H . チャンネル幅について >

以上説明した実施の形態1～7においては、PMOSトランジスタではチャンネル領域をゲート幅方向に4分割し、NMOSトランジスタではチャンネル領域をゲート幅方向に2分割する構成を示した。

【0328】

これは、PMOSトランジスタのチャンネル幅が、NMOSトランジスタのチャンネル幅の2倍程度の長さを有するので、分割後の個々のチャンネル幅がPMOSトランジスタとNMOSトランジスタとでほぼ同じにするためであり、このような分割を行うことで、レイアウト設計が容易になるという利点があった。しかし、このような分割に限定されるものではない。

【0329】

また、先に説明したように、MOSトランジスタの動作耐圧はチャンネル幅によって制限され、チャンネル幅が長くなると動作耐圧が低下する。これを図100を用いてさらに説明する。

【0330】

図100は、チャンネル幅に対するMOSトランジスタの動作耐圧特性を示す図であり、横軸にチャンネル幅を、縦軸に動作耐圧を示している。なお、横軸、縦軸ともに単位は任意である。

【0331】

図100から判るように、PMOSトランジスタおよびNMOSトランジスタのどちらにおいても動作耐圧はチャンネル幅によって制限され、チャンネル幅が長くなると動作耐圧が低下する。そこで、チャンネル領域をゲート幅方向に複数に分割することで、個々のチャンネル領域に印加可能な電圧を高くして、トランジスタ全体の動作耐圧を向上させるというのが本発明の技術思想の1つであった。

【0332】

また、図100においてはNMOSトランジスタの動作耐圧特性 C_n と、PMOSトランジスタの動作耐圧特性 C_p とを示しており、特性 C_n および C_p における耐圧規格値に達する最大チャンネル幅を、それぞれ W_{max-n} および W_{max-p} として表している。

【0333】

図100から、NMOSトランジスタの方が W_{max-n} が小さいことが判る。これは、耐圧規格値を同じにするには、NMOSトランジスタのチャンネル幅をPMOSトランジスタよりも短くしなければならないことを意味する。

【0334】

また、電流駆動能力はNMOSトランジスタの方がPMOSトランジスタよりも2倍～2.5倍程度は大きいので、電流駆動能力を同じにするのであれば、NMOSトランジスタのチャンネル幅をPMOSトランジスタよりも短くしなければならない。

【0335】

これらの理由から、PMOSトランジスタのチャンネル幅はNMOSトランジスタのチャンネル幅よりも長く設定する場合が多いが、これに限定されるものではない。

【0336】

以下、PMOSトランジスタおよびNMOSトランジスタにおける、チャンネル幅およびチャンネル領域の分割の変形例について説明する。

【0337】

< H - 1 . 変形例1 >

10

20

30

40

50

図101には、2入力NOR回路NR1の平面レイアウトの一例を示しており、ここでは図26～図30を用いて説明した実施の形態4の半導体装置400を用いて2入力NOR回路を実現している。従って、半導体装置400と同一の構成については同一の符号を付し、重複する説明は省略する。

【0338】

図101において、ゲート電極G21が共通に接続されたPMOSトランジスタP45およびNMOSトランジスタN45の配列（第1の組）、ゲート電極G22が共通に接続されたPMOSトランジスタP46およびNMOSトランジスタN46の配列（第2の組）の2組のトランジスタの配列を有した2入力NOR回路NR1を示している。

【0339】

図101に示すように、2入力NOR回路NR1においては、PMOSトランジスタP45およびP46のチャネル幅がNMOSトランジスタN45およびN46のほぼ4倍に設定されており、PMOSトランジスタP45およびP46のチャネル領域が、ゲート幅方向に4分割されているのに対し、NMOSトランジスタN45およびN46は分割されていない。このため、分割されたPMOSトランジスタP45およびP46のチャネル幅は、NMOSトランジスタN45およびN46のチャネル幅とほぼ同じである。

【0340】

そして、PMOSトランジスタP45のドレイン領域と、PMOSトランジスタP46のソース領域とを共通化して、ソースドレイン共通層17として使用している。

【0341】

また、NMOSトランジスタN45およびN46においては、ドレイン領域23Aを共通に使用している。

【0342】

また、PMOSトランジスタP45の複数のソース領域12およびボディ固定領域14は、コンタクトホールCHを介して配線層M1に接続され、当該配線層M1は電源電位VDDに接続されている。

【0343】

また、NMOSトランジスタN45およびN46のソース領域22およびボディ固定領域24は、それぞれコンタクトホールCHを介して配線層M1に接続され、当該配線層M1は接地電位GNDに接続されている。

【0344】

そして、PMOSトランジスタP46のドレイン領域13AおよびNMOSトランジスタN45、N46の共通のドレイン領域23Aは、コンタクトホールCHを介して配線層M1に接続され、当該配線層M1は出力端子OUTに接続されている。

【0345】

また、ゲート電極G21はコンタクトホールCHを介して配線層M1に接続され、当該配線層M1は入力端子Aに接続され、ゲート電極G22はコンタクトホールCHを介して配線層M1に接続され、当該配線層M1は入力端子Bに接続されている。

【0346】

このような配線を行うことで、2入力NOR回路NR1を得ることができる。なお、図101においては、上記2入力NOR回路NR1を回路記号で表したものを併記している。

【0347】

2入力NOR回路NR1においては、立ち上がり、立ち下りの駆動力をほぼ等しくするため、PMOSトランジスタP45およびP46のチャネル幅がNMOSトランジスタN45およびN46のほぼ4倍に設定されている。

【0348】

< H - 2 . 変形例 2 >

図102には、2入力NOR回路NR2の平面レイアウトの他の例を示しており、基本的に図101に示した2入力NOR回路NR1と同じ平面レイアウトを有するので、図1

10

20

30

40

50

01と同一の構成については同一の符号を付し、重複する説明は省略する。

【0349】

図102に示す2入力NOR回路NR2においては、PMOSトランジスタP45およびP46の代わりに、PMOSトランジスタP451およびP461を有している。

【0350】

PMOSトランジスタP451およびP461は、部分トレンチ分離絶縁膜PTによってチャンネル領域が、ゲート幅方向に3分割されており、図101に示すPMOSトランジスタP45およびP46よりも、分割された個々のチャンネル領域のチャンネル幅が長くなるように設定されている。

【0351】

チャンネル領域の分割数は、キンクの抑制や動作耐圧を考慮して任意に設定することができ、また、等間隔で分割することに限定されるものではなく、チャンネル幅が異なるチャンネル領域が存在する場合でも問題はない。

【0352】

< H - 3 . 変形例3 >

図103には、2入力NAND回路NDの平面レイアウトの一例を示しており、ここでは図26～図30を用いて説明した実施の形態4の半導体装置400を用いて2入力NAND回路を実現している。従って、半導体装置400と同一の構成については同一の符号を付し、重複する説明は省略する。

【0353】

図103において、ゲート電極G31が共通に接続されたPMOSトランジスタP47およびNMOSトランジスタN47の配列(第1の組)、ゲート電極G32が共通に接続されたPMOSトランジスタP48およびNMOSトランジスタN48の配列(第2の組)の2組のトランジスタの配列を有した2入力NAND回路NDを示している。

【0354】

図103に示すように、2入力NAND回路NDにおいては、PMOSトランジスタP47およびP48のチャンネル幅と、NMOSトランジスタN47およびN48のチャンネル幅とがほぼ同じに設定されており、PMOSトランジスタP47およびP48のチャンネル領域、NMOSトランジスタN47およびN48のチャンネル領域が、ともに幅方向に3分割されている。このため、分割されたPMOSトランジスタP47およびP48のチャンネル幅、NMOSトランジスタN45およびN46のチャンネル幅は、何れにせよもほぼ同じである。

【0355】

そして、NMOSトランジスタN47のドレイン領域と、NMOSトランジスタN48のソース領域とを共通化して、ソースドレイン共通層18として使用している。

【0356】

また、PMOSトランジスタP47およびP48においては、ドレイン領域13Aを共通に使用している。

【0357】

また、PMOSトランジスタP47およびP48の複数のソース領域12およびボディ固定領域14は、コンタクトホールCHを介して配線層M1に接続され、当該配線層M1は電源電位VDDに接続されている。

【0358】

また、NMOSトランジスタN47の複数のソース領域22およびボディ固定領域24は、コンタクトホールCHを介して配線層M1に接続され、当該配線層M1は接地電位GNDに接続されている。

【0359】

そして、PMOSトランジスタP47およびP48のドレイン領域13A、NMOSトランジスタN48のドレイン領域23Aは、コンタクトホールCHを介して配線層M1に接続され、当該配線層M1は出力端子OUTに接続されている。

10

20

30

40

50

【0360】

また、ゲート電極G31はコンタクトホールCHを介して配線層M1に接続され、当該配線層M1は入力端子Aに接続され、ゲート電極G32はコンタクトホールCHを介して配線層M1に接続され、当該配線層M1は入力端子Bに接続されている。

【0361】

このような配線を行うことで、2入力NAND回路NDを得ることができる。なお、図103においては、上記2入力NAND回路NDを回路記号で表したものを併記している。

【0362】

2入力NAND回路NDにおいては、立ち上がり、立ち下りの駆動力をほぼ等しくするため、PMOSトランジスタP47およびP48のチャネル幅と、NMOSトランジスタN47およびN48のチャネル幅とがほぼ同じ長さに設定されている。

10

【0363】

なお、以上の説明においては、PMOSトランジスタのチャネル幅が、NMOSトランジスタのチャネル幅と同じか、NMOSトランジスタのチャネル幅よりも長い場合を例示したが、この関係に限定されるものではなく、例えば、異なる電圧レベル間での信号の授受を行う部分に使用されるレベル変換回路では、NMOSトランジスタのチャネル幅の方が、PMOSトランジスタのチャネル幅よりも長く設定される場合があり、このようなレベル変換回路も、本発明に係る半導体装置を用いて実現できることは言うまでもない。

【図面の簡単な説明】

20

【0364】

【図1】本発明に係る実施の形態1の半導体装置の構成を説明する平面図である。

【図2】本発明に係る実施の形態1の半導体装置の構成を説明する断面図である。

【図3】本発明に係る実施の形態1の半導体装置の構成を説明する断面図である。

【図4】本発明に係る実施の形態1の半導体装置の構成を説明する断面図である。

【図5】本発明に係る実施の形態1の半導体装置の構成を説明する断面図である。

【図6】本発明に係る実施の形態1の半導体装置の応用例の構成を説明する平面図である。

。

【図7】本発明に係る実施の形態1の半導体装置の応用例の構成を説明する断面図である。

。

30

【図8】本発明に係る実施の形態1の半導体装置の応用例の構成を説明する断面図である。

。

【図9】本発明に係る実施の形態1の半導体装置の応用例に対する配線層の配設パターンを示す平面図である。

【図10】本発明に係る実施の形態1の半導体装置の応用例に対する配線層の配設パターンを示す平面図である。

【図11】本発明に係る実施の形態2の半導体装置の構成を説明する平面図である。

【図12】本発明に係る実施の形態2の半導体装置の構成を説明する断面図である。

【図13】本発明に係る実施の形態2の半導体装置の構成を説明する断面図である。

【図14】本発明に係る実施の形態2の半導体装置の構成を説明する断面図である。

40

【図15】本発明に係る実施の形態2の半導体装置の構成を説明する断面図である。

【図16】本発明に係る実施の形態2の半導体装置の応用例の構成を説明する平面図である。

。

【図17】本発明に係る実施の形態2の半導体装置の応用例の構成を説明する断面図である。

。

【図18】本発明に係る実施の形態2の半導体装置の応用例の構成を説明する断面図である。

。

【図19】本発明に係る実施の形態2の半導体装置の応用例に対する配線層の配設パターンを示す平面図である。

【図20】本発明に係る実施の形態2の半導体装置の応用例に対する配線層の配設パター

50

ンを示す平面図である。

【図 2 1】本発明に係る実施の形態 3 の半導体装置の構成を説明する平面図である。

【図 2 2】本発明に係る実施の形態 3 の半導体装置の構成を説明する断面図である。

【図 2 3】本発明に係る実施の形態 3 の半導体装置の構成を説明する断面図である。

【図 2 4】本発明に係る実施の形態 3 の半導体装置の構成を説明する断面図である。

【図 2 5】本発明に係る実施の形態 3 の半導体装置の構成を説明する断面図である。

【図 2 6】本発明に係る実施の形態 4 の半導体装置の構成を説明する平面図である。

【図 2 7】本発明に係る実施の形態 4 の半導体装置の構成を説明する断面図である。

【図 2 8】本発明に係る実施の形態 4 の半導体装置の構成を説明する断面図である。

【図 2 9】本発明に係る実施の形態 4 の半導体装置の構成を説明する断面図である。

10

【図 3 0】本発明に係る実施の形態 4 の半導体装置の構成を説明する断面図である。

【図 3 1】本発明に係る実施の形態 4 の半導体装置の応用例 1 の構成を説明する平面図である。

【図 3 2】本発明に係る実施の形態 4 の半導体装置の応用例 1 の構成を説明する断面図である。

【図 3 3】本発明に係る実施の形態 4 の半導体装置の応用例 1 構成を説明する断面図である。

【図 3 4】本発明に係る実施の形態 4 の半導体装置の応用例 1 に対する配線層の配設パターンを示す平面図である。

【図 3 5】本発明に係る実施の形態 4 の半導体装置の応用例 1 対する配線層の配設パターンを示す平面図である。

20

【図 3 6】本発明に係る実施の形態 4 の半導体装置の応用例 1 対する配線層の配設パターンを示す平面図である。

【図 3 7】本発明に係る実施の形態 4 の半導体装置の応用例 2 の構成を説明する平面図である。

【図 3 8】本発明に係る実施の形態 4 の半導体装置の応用例 3 の構成を説明する平面図である。

【図 3 9】本発明に係る実施の形態 4 の半導体装置の応用例 4 の構成を説明する平面図である。

【図 4 0】本発明に係る実施の形態 5 の半導体装置の構成を説明する平面図である。

30

【図 4 1】本発明に係る実施の形態 5 の半導体装置の構成を説明する断面図である。

【図 4 2】本発明に係る実施の形態 5 の半導体装置の構成を説明する断面図である。

【図 4 3】本発明に係る実施の形態 5 の半導体装置の構成を説明する断面図である。

【図 4 4】本発明に係る実施の形態 5 の半導体装置の構成を説明する断面図である。

【図 4 5】本発明に係る実施の形態 5 の半導体装置の変形例 1 の構成を説明する平面図である。

【図 4 6】本発明に係る実施の形態 5 の半導体装置の変形例 1 の構成を説明する断面図である。

【図 4 7】本発明に係る実施の形態 5 の半導体装置の変形例 1 の構成を説明する断面図である。

40

【図 4 8】本発明に係る実施の形態 5 の半導体装置の変形例 1 の構成を説明する断面図である。

【図 4 9】本発明に係る実施の形態 5 の半導体装置の変形例 1 の構成を説明する断面図である。

【図 5 0】本発明に係る実施の形態 5 の半導体装置の変形例 2 の構成を説明する平面図である。

【図 5 1】本発明に係る実施の形態 5 の半導体装置の変形例 2 の構成を説明する断面図である。

【図 5 2】本発明に係る実施の形態 5 の半導体装置の変形例 2 の構成を説明する断面図である。

50

【図 8 1】本発明に係る実施の形態 7 の半導体装置の構成を説明する断面図である。

【図 8 2】本発明に係る実施の形態 7 の半導体装置の構成を説明する断面図である。

【図 8 3】本発明に係る実施の形態 7 の半導体装置の構成を説明する断面図である。

【図 8 4】本発明に係る実施の形態 7 の半導体装置の構成を説明する断面図である。

【図 8 5】本発明に係る実施の形態 7 の半導体装置の変形例 1 の構成を説明する平面図である。

【図 8 6】本発明に係る実施の形態 7 の半導体装置の変形例 1 の構成を説明する断面図である。

【図 8 7】本発明に係る実施の形態 7 の半導体装置の変形例 1 の構成を説明する断面図である。

10

【図 8 8】本発明に係る実施の形態 7 の半導体装置の変形例 1 の構成を説明する断面図である。

【図 8 9】本発明に係る実施の形態 7 の半導体装置の変形例 1 の構成を説明する断面図である。

【図 9 0】本発明に係る実施の形態 7 の半導体装置の変形例 2 の構成を説明する平面図である。

【図 9 1】本発明に係る実施の形態 7 の半導体装置の変形例 2 の構成を説明する断面図である。

【図 9 2】本発明に係る実施の形態 7 の半導体装置の変形例 2 の構成を説明する断面図である。

20

【図 9 3】本発明に係る実施の形態 7 の半導体装置の変形例 2 の構成を説明する断面図である。

【図 9 4】本発明に係る実施の形態 7 の半導体装置の変形例 2 の構成を説明する断面図である。

【図 9 5】本発明に係る実施の形態 7 の半導体装置の変形例 3 の構成を説明する平面図である。

【図 9 6】本発明に係る実施の形態 7 の半導体装置の変形例 3 の構成を説明する断面図である。

【図 9 7】本発明に係る実施の形態 7 の半導体装置の変形例 3 の構成を説明する断面図である。

30

【図 9 8】本発明に係る実施の形態 7 の半導体装置の変形例 3 の構成を説明する断面図である。

【図 9 9】本発明に係る実施の形態 7 の半導体装置の変形例 3 の構成を説明する断面図である。

【図 1 0 0】M O S トランジスタの動作耐圧特性を示す図である。

【図 1 0 1】本発明に係る半導体装置を 2 入力 N O R 回路に適用する場合の平面レイアウトの一例を示す図である。

【図 1 0 2】本発明に係る半導体装置を 2 入力 N O R 回路に適用する場合の平面レイアウトの一例を示す図である。

【図 1 0 3】本発明に係る半導体装置を 2 入力 N A N D 回路に適用する場合の平面レイアウトの一例を示す図である。

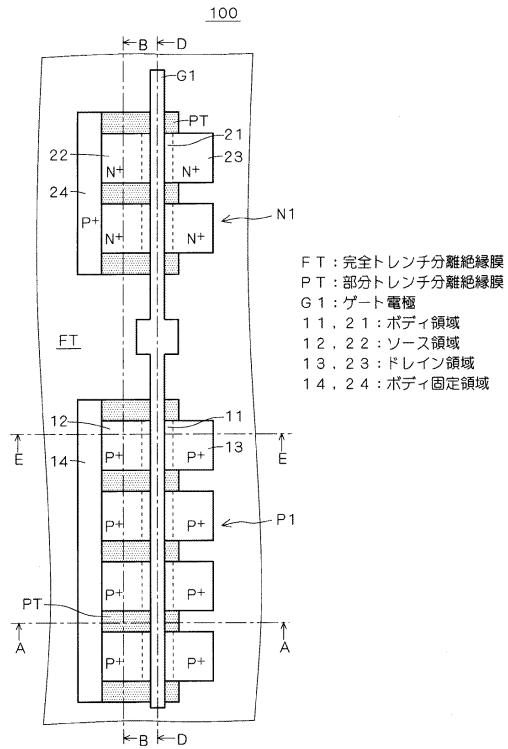
40

【符号の説明】

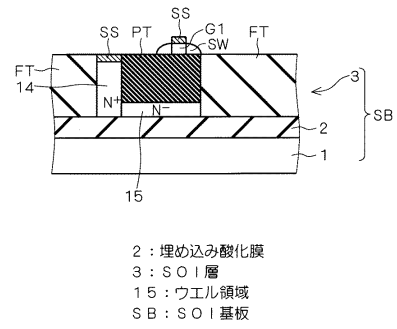
【 0 3 6 5 】

2 埋め込み酸化膜、3 S O I 層、1 1 , 2 1 ボディ領域、1 2 , 2 2 ソース領域、1 3 , 1 3 A , 2 3 , 2 3 A ドレイン領域、1 4 , 1 4 A , 2 4 , 2 4 A ボディ固定領域、1 5 , 2 5 ウエル領域、G 1 ゲート電極、P T 部分トレンチ分離絶縁膜、F T 完全トレンチ分離絶縁膜、S B S O I 基板。

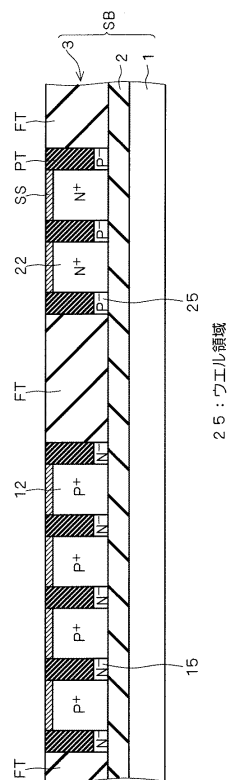
【図 1】



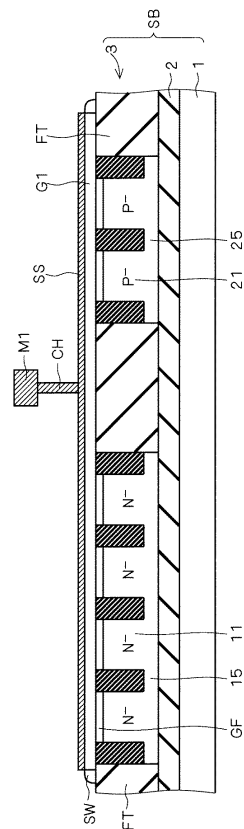
【図 2】



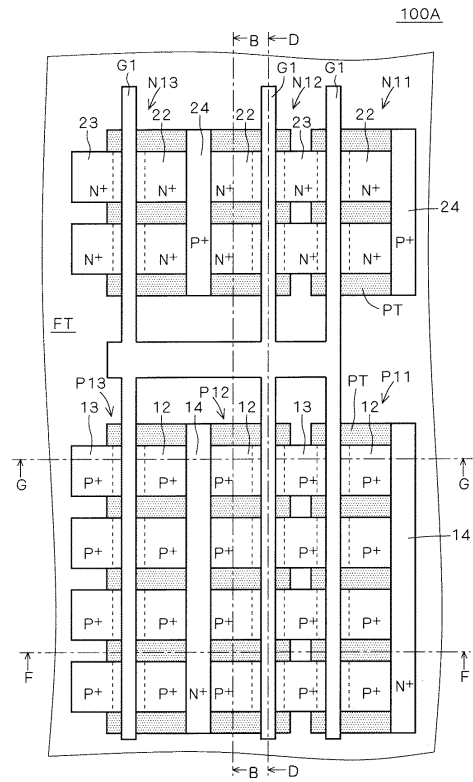
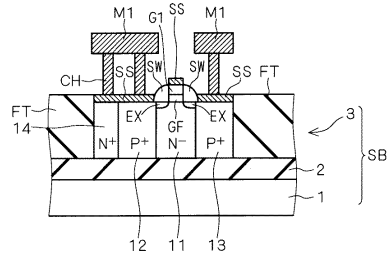
【図 3】



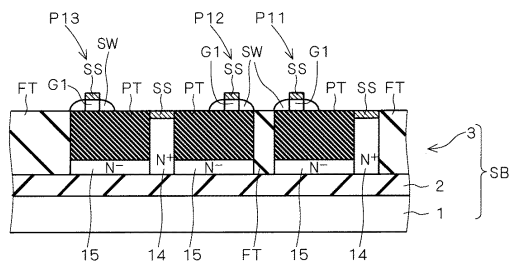
【図 4】



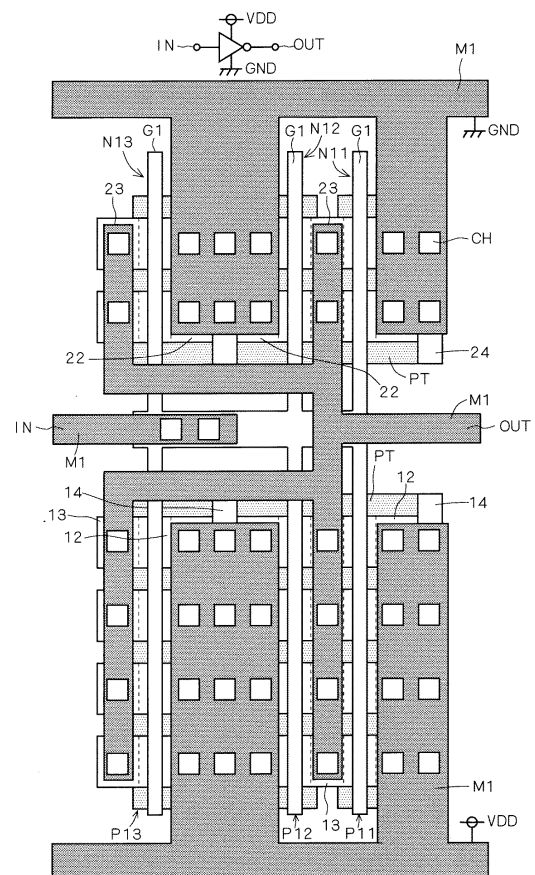
【 図 6 】



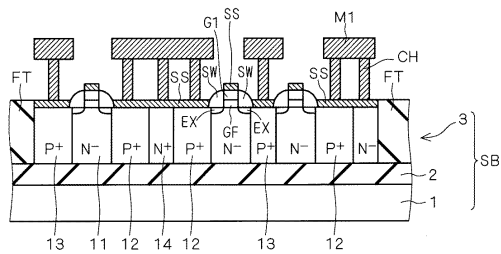
【圖 7】



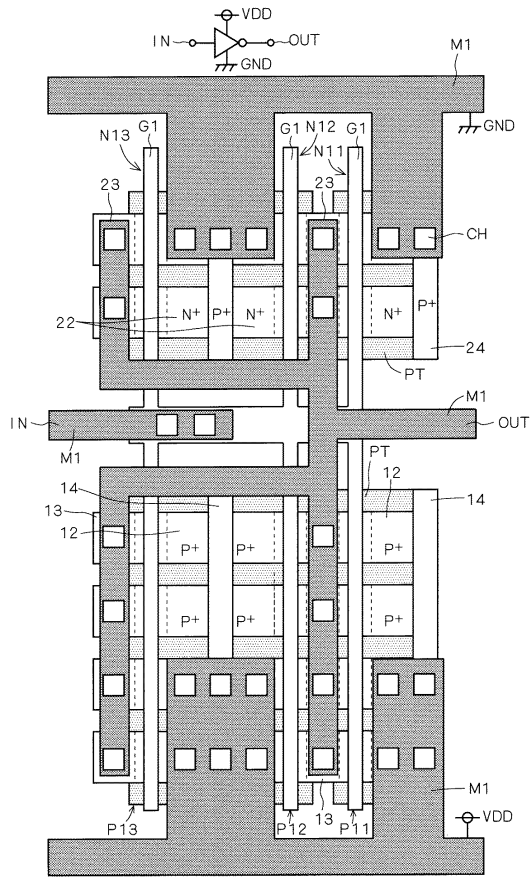
【 図 9 】



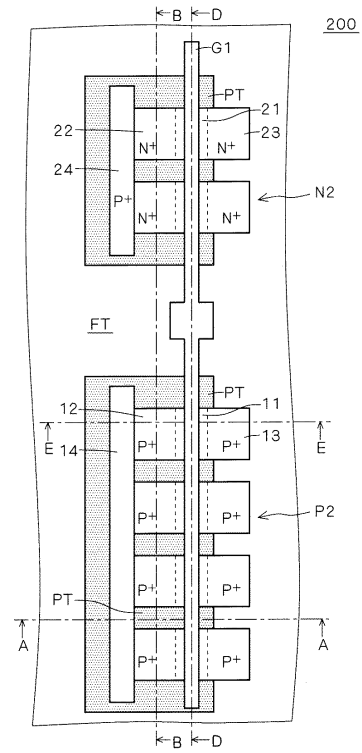
【圖 8】



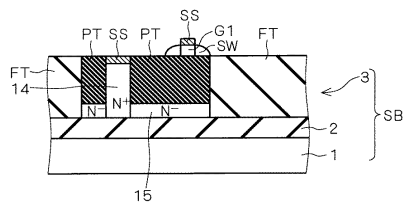
【図 10】



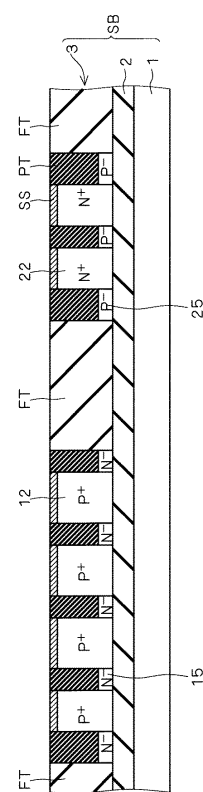
【図 11】



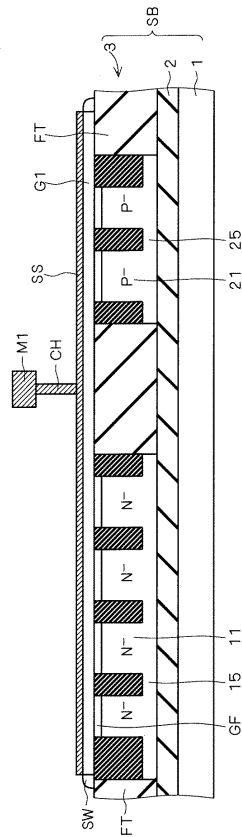
【図 12】



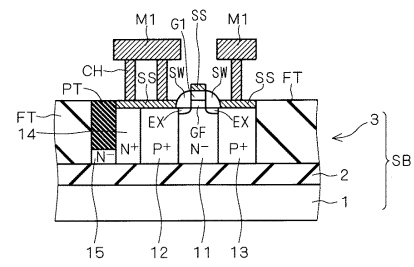
【図 13】



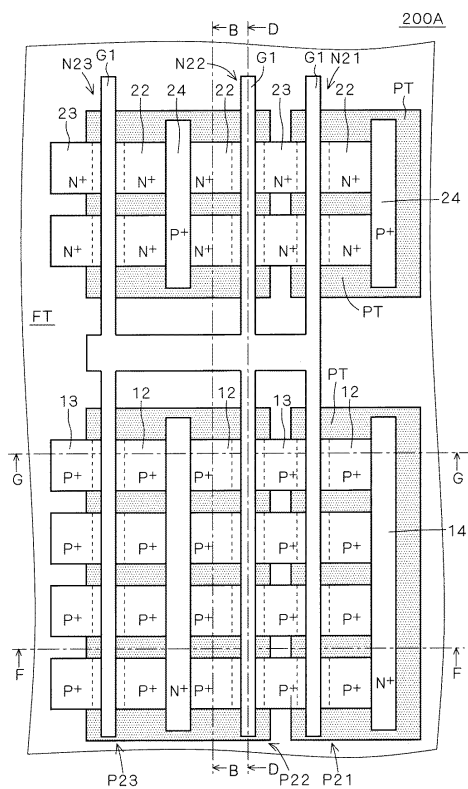
【図 14】



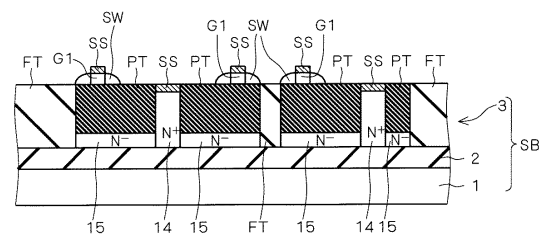
【図 15】



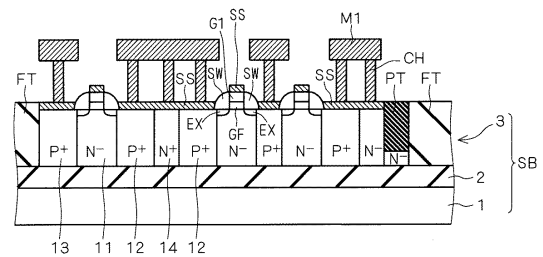
【図 16】



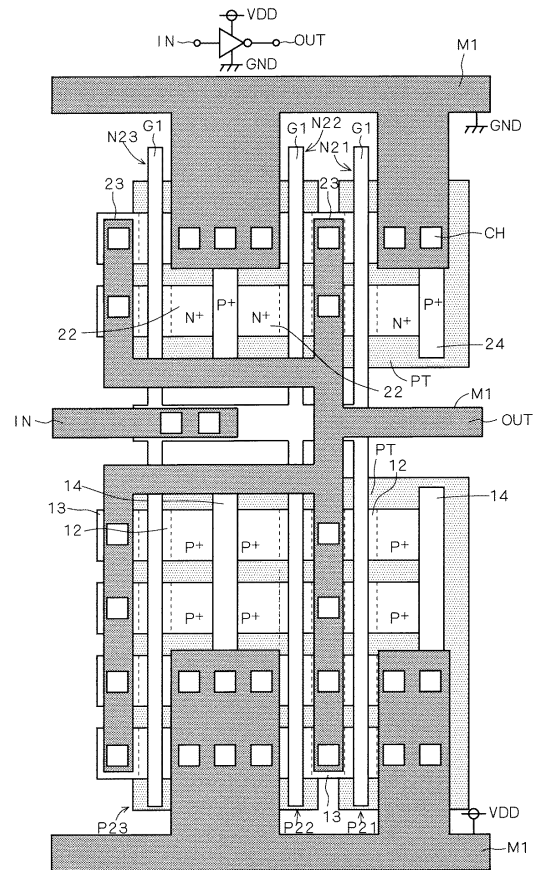
【図 17】



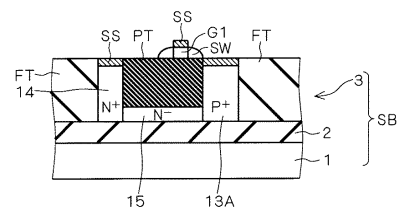
【図 18】



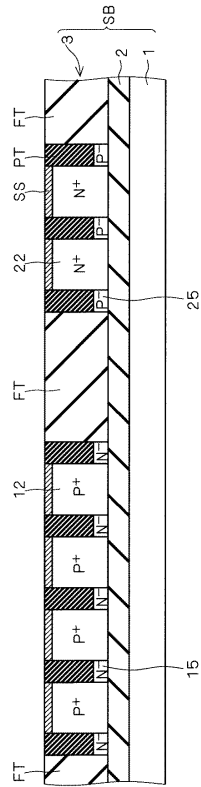
【 図 2 0 】



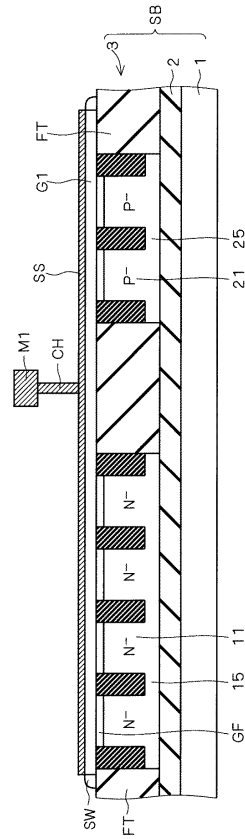
【 図 2 2 】



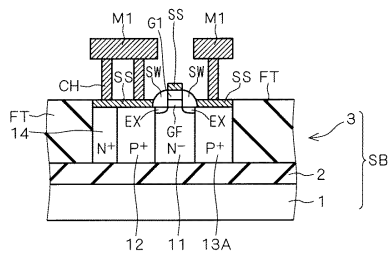
【図 23】



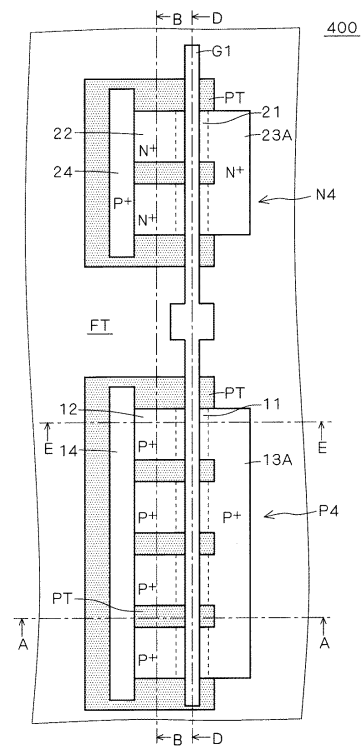
【図 24】



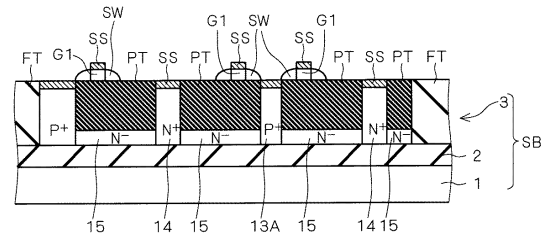
【図 25】



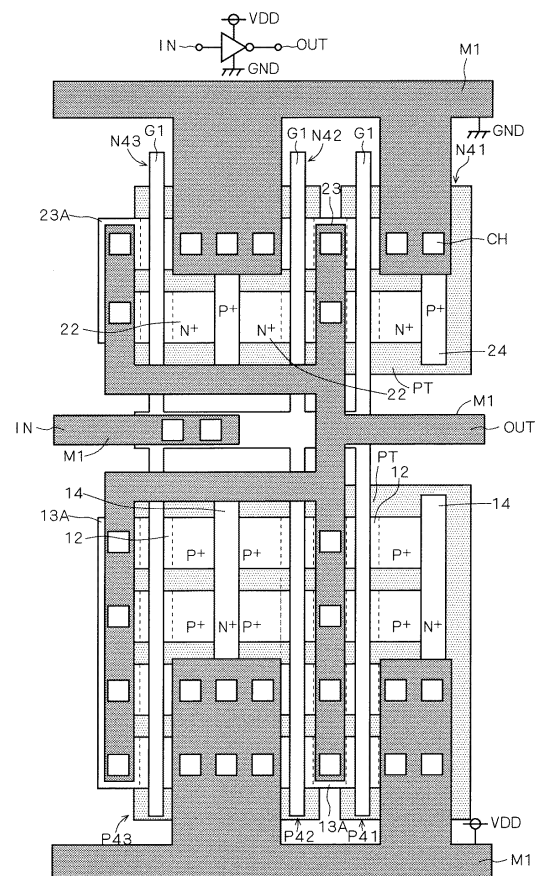
【図 26】



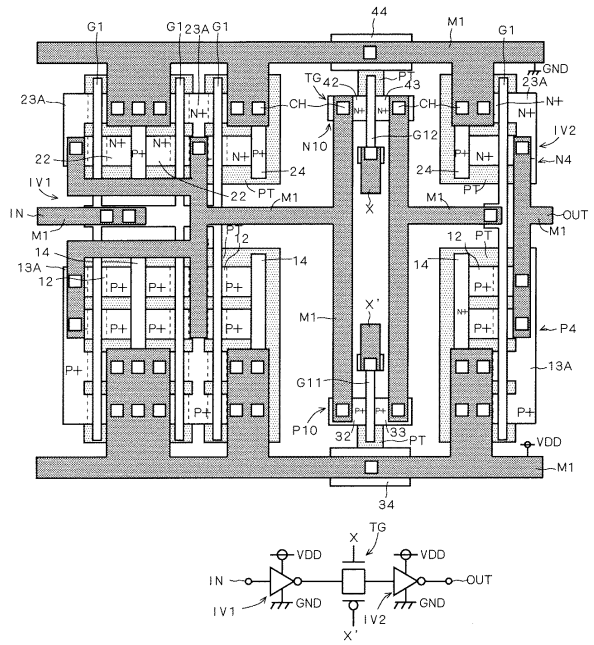
【 図 3 2 】



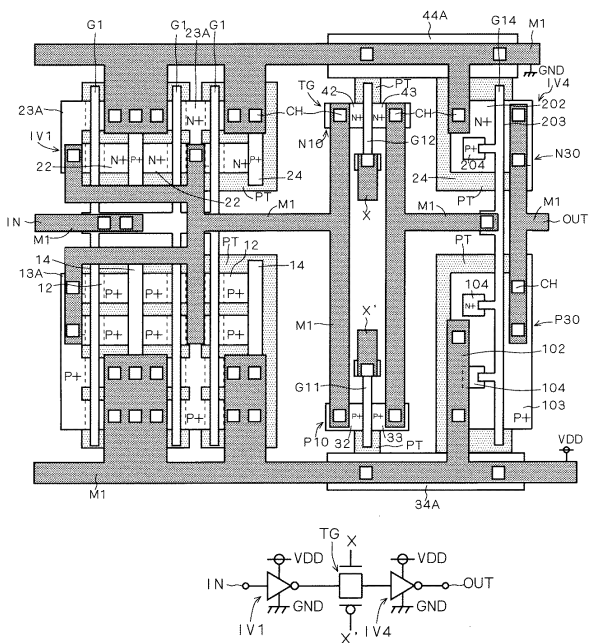
【 図 3 5 】



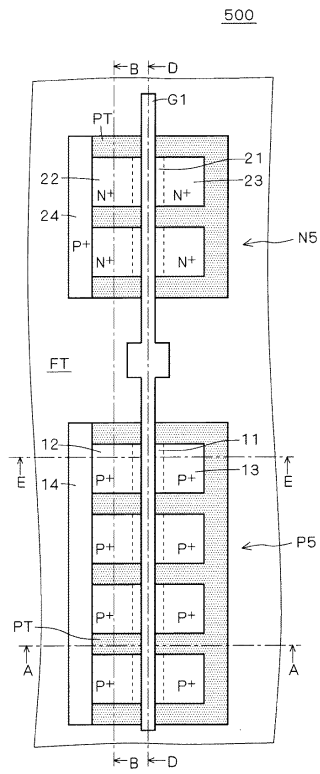
【 図 3 7 】



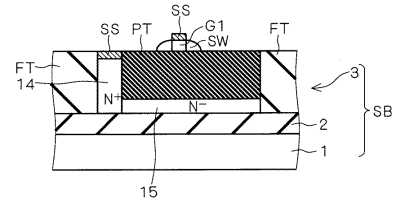
【 図 3 9 】



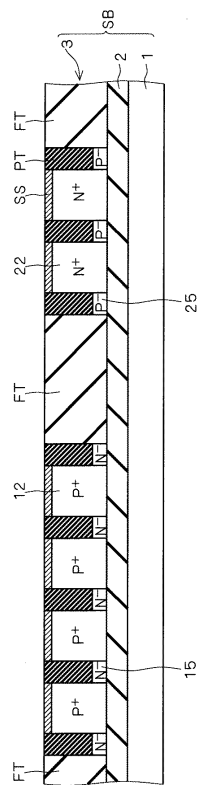
【図40】



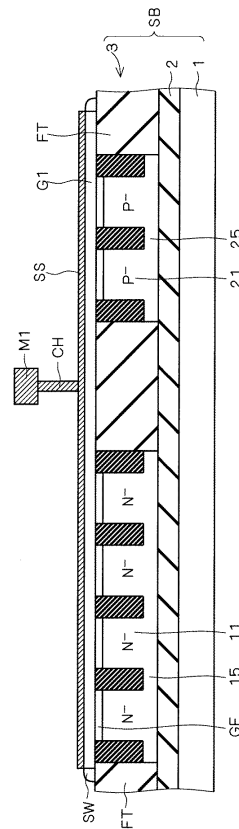
【図41】



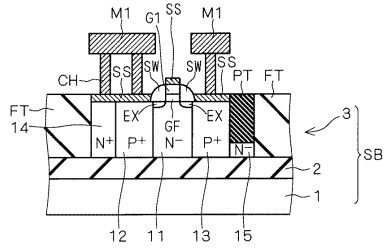
【図42】



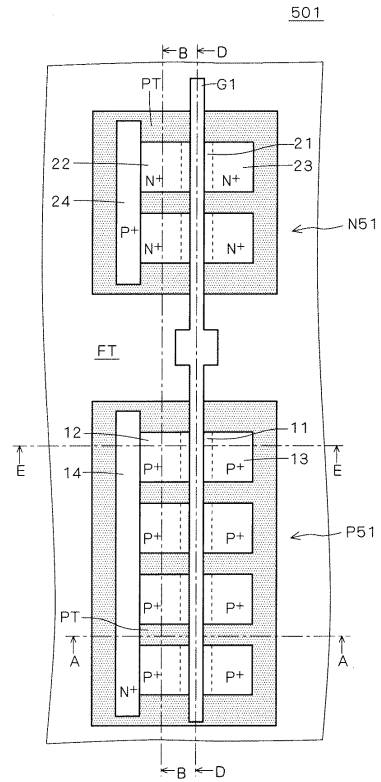
【図43】



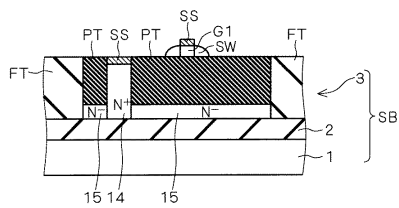
【図 4 4】



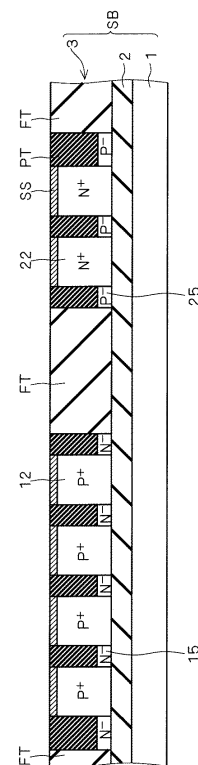
【図 4 5】



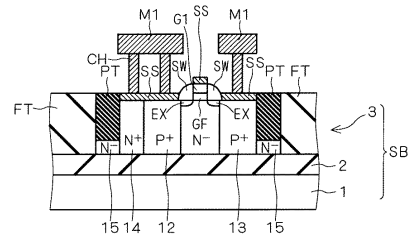
【図 4 6】



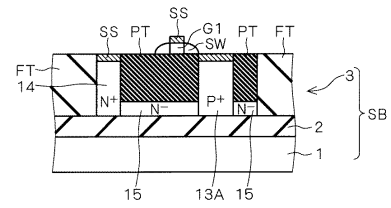
【図 4 7】



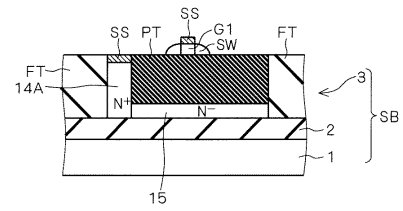
【 図 4 9 】



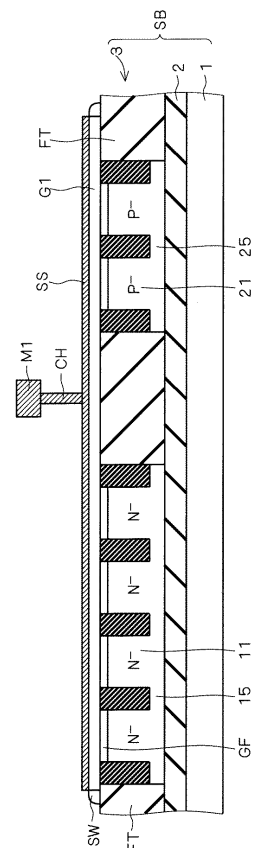
【 図 5 1 】



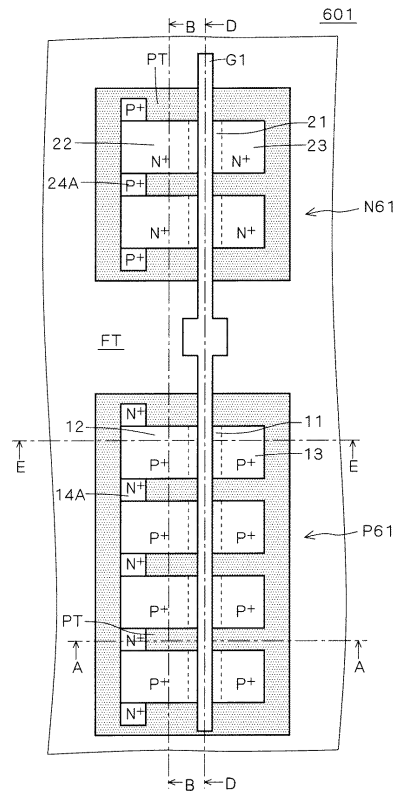
【 図 6 1 】



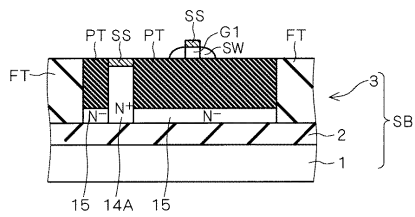
【 図 6 3 】



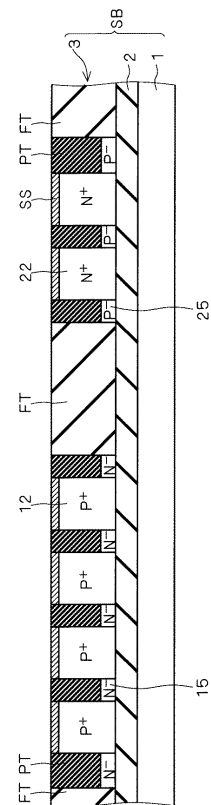
【 図 6 5 】



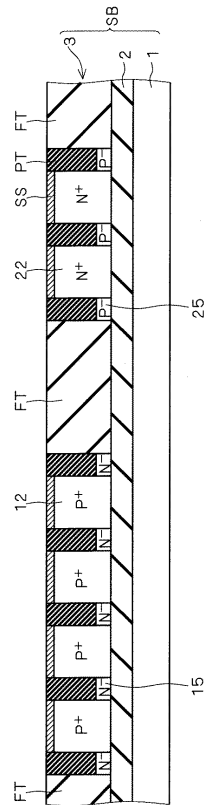
【 図 6 6 】



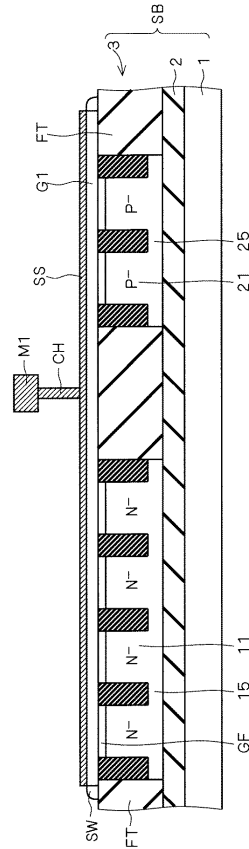
【 図 6 7 】



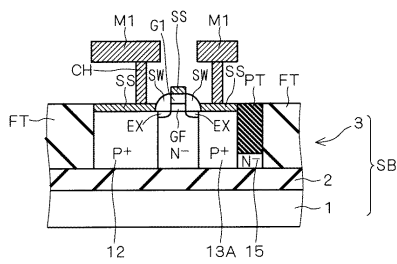
【 図 7 2 】



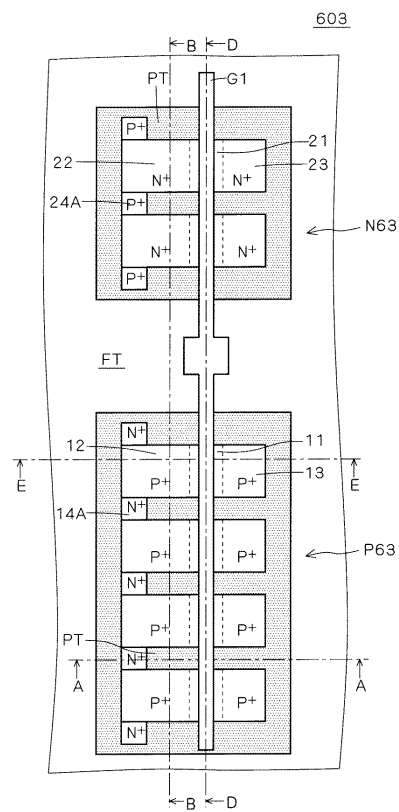
【圖 7 3】



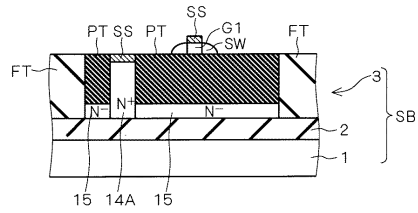
【圖 7 4】



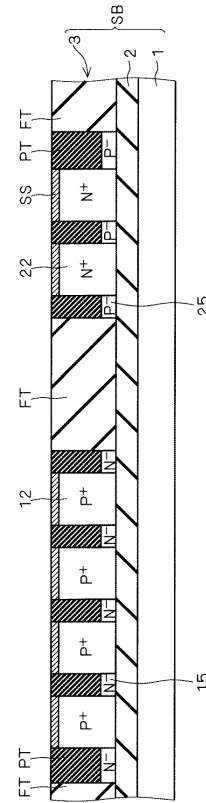
【 図 7 5 】



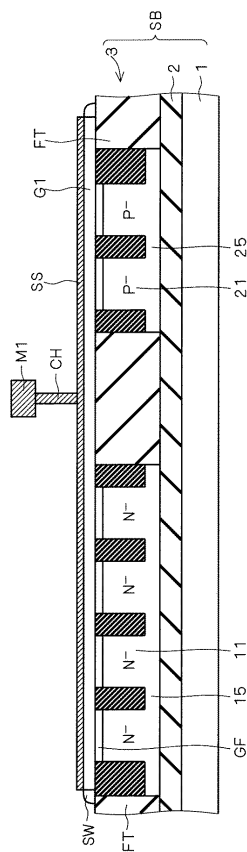
【図 76】



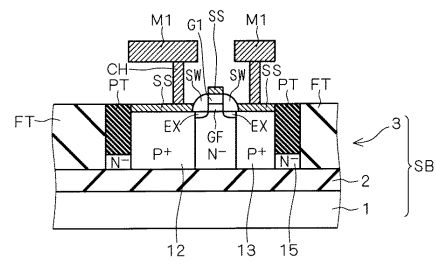
【図 77】



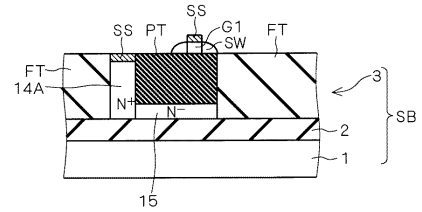
【図 78】



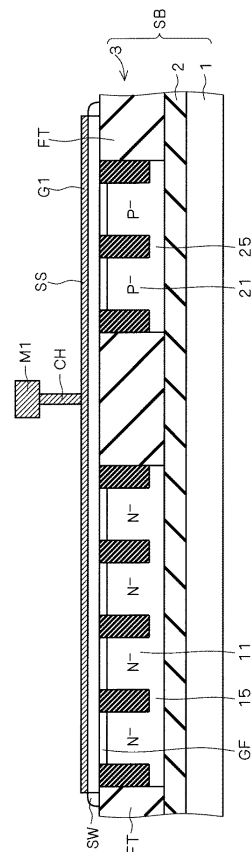
【図 79】



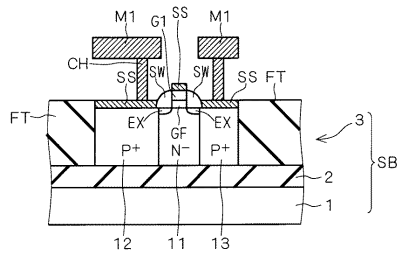
【 図 8 1 】



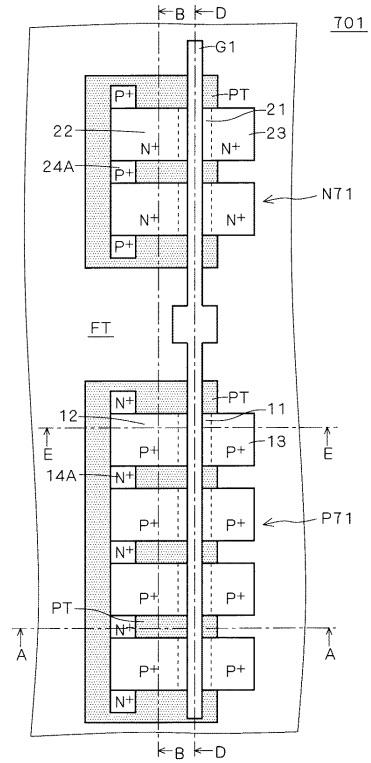
【 図 8 3 】



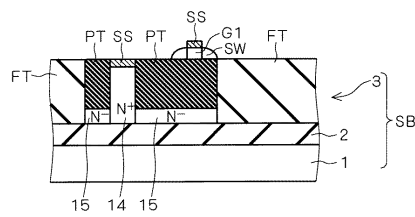
【図 84】



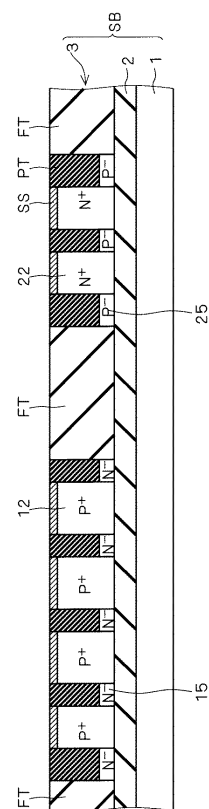
【図 85】



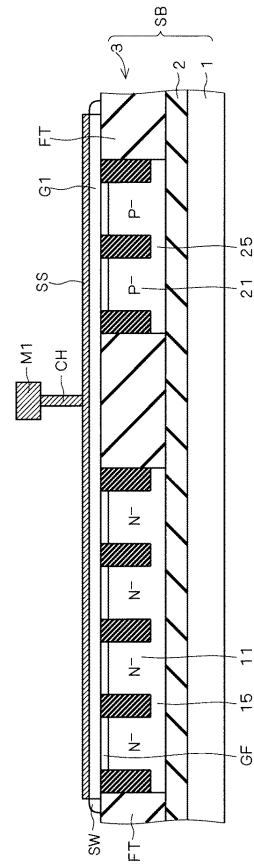
【図 86】



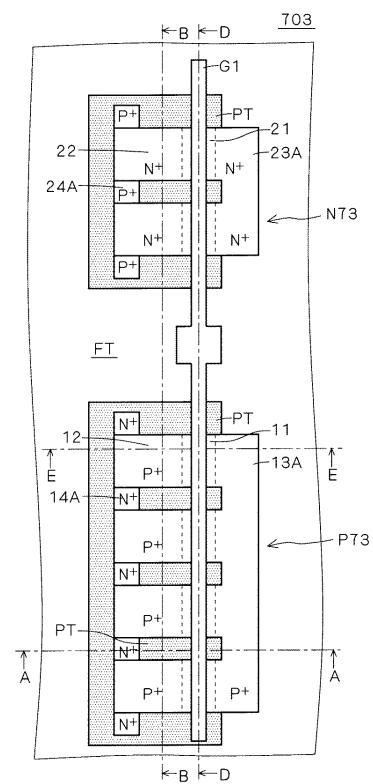
【図 87】



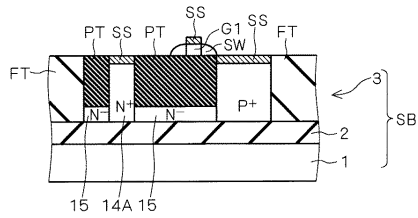
【 図 9 3 】



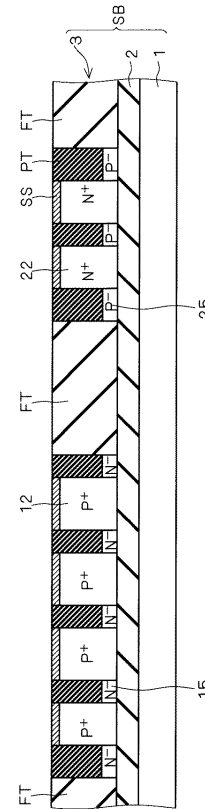
【 図 9 5 】



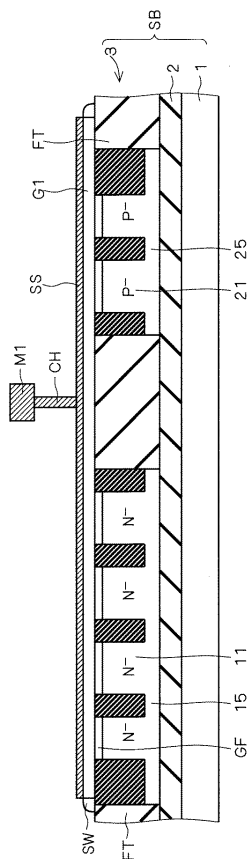
【図 96】



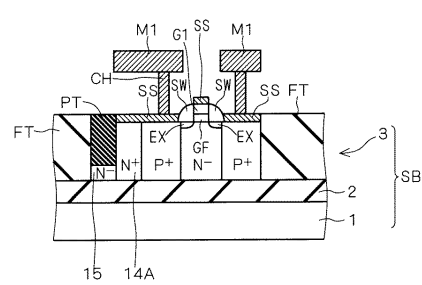
【図 97】



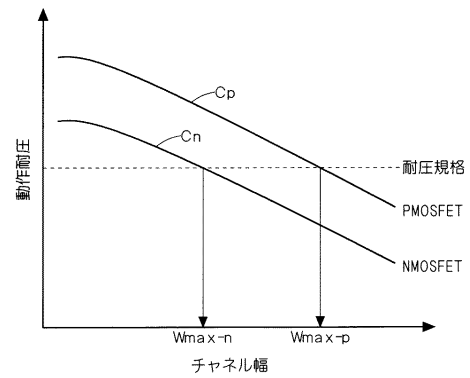
【図 98】



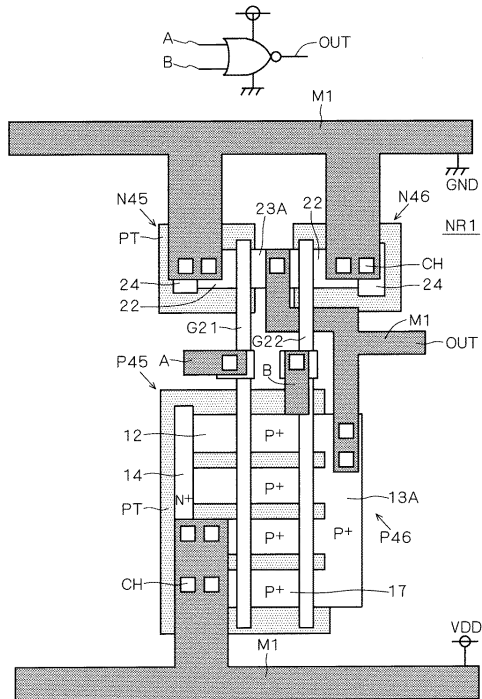
【図 99】



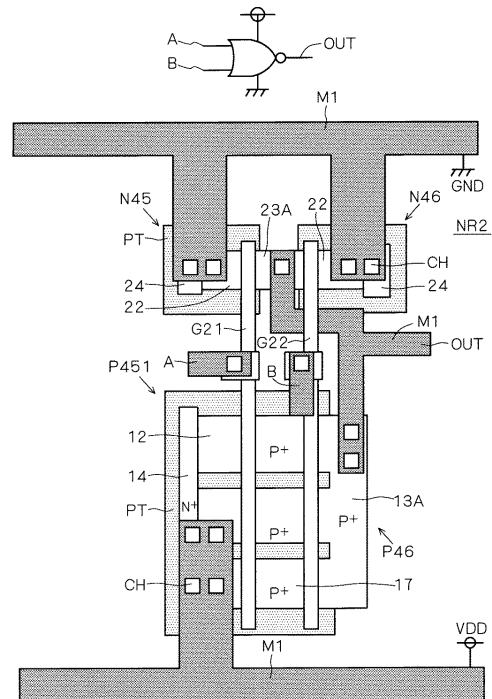
【図 100】



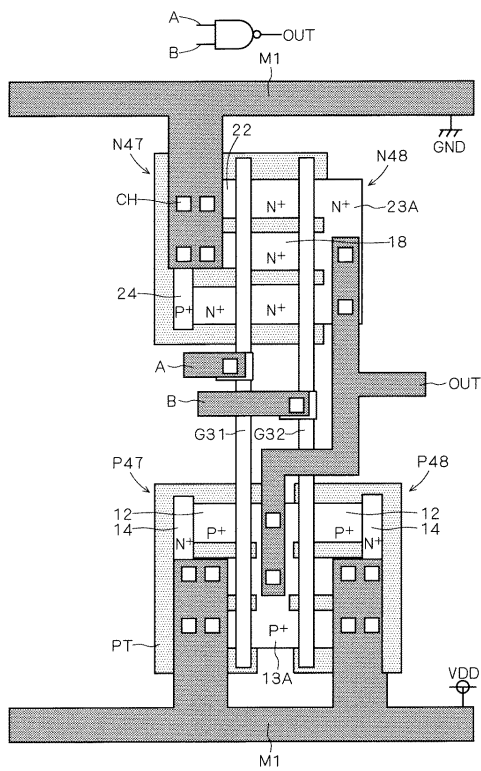
【図 101】



【図 102】



【図 103】



フロントページの続き

(56)参考文献 特開2002-261292(JP,A)
特開2002-246600(JP,A)
特開2001-068675(JP,A)
特開平07-074363(JP,A)
特開2003-174162(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336

H01L 29/786