

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3821316号
(P3821316)

(45) 発行日 平成18年9月13日(2006.9.13)

(24) 登録日 平成18年6月30日(2006.6.30)

(51) Int. Cl.

G06F 17/14 (2006.01)

F I

G06F 17/14

A

請求項の数 12 (全 24 頁)

(21) 出願番号	特願平8-206966	(73) 特許権者	000002185
(22) 出願日	平成8年8月6日(1996.8.6)		ソニー株式会社
(65) 公開番号	特開平10-49518		東京都品川区北品川6丁目7番35号
(43) 公開日	平成10年2月20日(1998.2.20)	(74) 代理人	100082131
審査請求日	平成15年3月18日(2003.3.18)		弁理士 稲本 義雄
		(72) 発明者	小崎 康成
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	伊藤 鎮
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	池田 康成
			東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 演算装置および方法

(57) 【特許請求の範囲】

【請求項1】

演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出される第1の記憶手段であって、所定の順番で入力され記憶されたデータが、前記所定の順番に対するディジット逆順に出力される第1の記憶手段と、

前記第1の記憶手段からのディジット逆順に出力されたデータまたは演算途中のデータが記憶される第2の記憶手段と、

前記第2の記憶手段から、所定の基数に対応するN個の演算されるデータを読み出し、それらのデータに対してパタフライ演算を行い、前記第2の記憶手段の前記N個のデータを読み出したアドレスに前記N個の演算結果をそれぞれ記憶させる演算手段と、

前記演算手段により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出される第3の記憶手段とを備えることを特徴とする演算装置。

【請求項2】

演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出される第1の記憶手段であって、所定の順番で入力され記憶されたデータが、前記所定の順番に対するディジット逆順に出力される第1の記憶手段と、

演算途中のデータが記憶される第2の記憶手段と、

10

20

前記第1の記憶手段または前記第2の記憶手段から、所定の基数に対応するN個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、前記第2の記憶手段の前記N個のデータを読み出したアドレスに前記N個の演算結果をそれぞれ記憶させる演算手段と、

前記演算手段により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出される第3の記憶手段とを備えることを特徴とする演算装置。

【請求項3】

前記演算手段は、時間間引き型アルゴリズムで、バタフライ演算を行うことを特徴とする請求項1または請求項2に記載の演算装置。

10

【請求項4】

前記第1の記憶手段は、演算される所定の数の前記N個のデータの組を、前記所定の順番における順番の小さいデータを含む前記N個のデータの組から順次、前記演算手段に対して出力する

ことを特徴とする請求項1または請求項2に記載の演算装置。

【請求項5】

第1の記憶部において、演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出され、所定の順番で入力され記憶されたデータが、前記所定の順番に対するディジット逆順に出力され、

20

第2の記憶部において、前記第1の記憶部からのディジット逆順に出力されたデータまたは演算途中のデータが記憶され、

演算部において、前記第2の記憶部から、所定の基数に対応するN個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、前記第2の記憶部の前記N個のデータを読み出したアドレスに前記N個の演算結果をそれぞれ記憶させ、

第3の記憶部において、前記演算部により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出される

ステップを含むことを特徴とする演算方法。

【請求項6】

30

第1の記憶部において、演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出され、所定の順番で入力され記憶されたデータが、前記所定の順番に対するディジット逆順に出力され、

第2の記憶部において、演算途中のデータが記憶され、

演算部において、前記第1の記憶部または前記第2の記憶部から、所定の基数に対応するN個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、前記第2の記憶部の前記N個のデータを読み出したアドレスに前記N個の演算結果をそれぞれ記憶させ、

第3の記憶部において、前記演算部により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出される

40

をステップを含むことを特徴とする演算方法。

【請求項7】

演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出される第1の記憶手段と、

前記第1の記憶手段から出力されたデータまたは演算途中のデータが記憶される第2の記憶手段と、

前記第2の記憶手段から、所定の基数に対応するN個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、前記第2の記憶手段の前記N個のデータ

50

を読み出したアドレスに前記N個の演算結果をそれぞれ記憶させる演算手段と、

前記演算手段により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出される第3の記憶手段であって、前記第2の記憶手段から入力された前記演算結果がディジット逆順に記憶される第3の記憶手段と

を備えることを特徴とする演算装置。

【請求項8】

演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出される第1の記憶手段と、演算途中のデータが記憶される第2の記憶手段と、

前記第1の記憶手段または前記第2の記憶手段から、所定の基数に対応するN個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、前記第2の記憶手段の前記N個のデータを読み出したアドレスに前記N個の演算結果をそれぞれ記憶させる演算手段と、

前記演算手段により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出される第3の記憶手段であって、前記演算手段から入力された前記演算結果がディジット逆順に記憶される第3の記憶手段と

を備えることを特徴とする演算装置。

【請求項9】

前記演算手段は、周波数間引き型アルゴリズムで、バタフライ演算を行うことを特徴とする請求項7または請求項8に記載の演算装置。

【請求項10】

前記第3の記憶手段は、所定の数の前記N個の演算結果の組を、前記ディジット逆順における順番の小さいデータを含む前記N個の演算結果の組から順次記憶する

ことを特徴とする請求項7または請求項8に記載の演算装置。

【請求項11】

第1の記憶部において、演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出され、

第2の記憶部において、前記第1の記憶部から出力されたデータまたは演算途中のデータが記憶され、

演算部において、前記第2の記憶部から、所定の基数に対応するN個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、前記第2の記憶部の前記N個のデータを読み出したアドレスに前記N個の演算結果をそれぞれ記憶させ、

第3の記憶部において、前記演算部により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出され、前記第2の記憶部から入力された前記演算結果がディジット逆順に記憶される

ステップを含むことを特徴とする演算方法。

【請求項12】

第1の記憶部において、演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出され、

第2の記憶部において、演算途中のデータが記憶され、

演算部において、前記第1の記憶部または前記第2の記憶部から、所定の基数に対応するN個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、前記第2の記憶部の前記N個のデータを読み出したアドレスに前記N個の演算結果をそれぞれ記憶させ、

第3の記憶部において、前記演算部により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出され

10

20

30

40

50

、前記演算部から入力された前記演算結果がディジット逆順に記憶される
ステップを含むことを特徴とする演算方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、演算装置および方法に関し、特に、所定の順番で入力されたデータを、所定の順番に対するディジット逆順に並べ換えた後、バタフライ演算を行う、あるいは、バタフライ演算を行った後に、演算結果をディジット逆順に並べ換える演算装置および方法に関する。

【0002】

【従来の技術】

最近、放送技術においてもデジタル化が普及しつつある。図18は、オーディオ信号をデジタル化して放送するデジタルラジオ放送の1つであるDAB(Digital Audio Broadcasting)の受信装置の構成例を示している。

【0003】

チューナ92は、アンテナ91を介して受信した信号から、所定の放送局(チャンネル)の信号を選択し、その信号をA/D変換器93に出力する。A/D変換器93は、供給された信号をA/D変換し、変換後のデジタルデータをメモリ100に記憶させる。

【0004】

メモリ100は、そのデータを、ディジット逆順に並べ換えた後、FFT(Fast Fourier Transform)回路94に出力する。なお、ディジット逆順とは、所定の順番の第N番目のデータを、Nを所定の基数rに対応するr進数で表現した角ディジットの上位と下位の関係を反転させた番号に並べ換えたときの順番である。

【0005】

例えば、8個のデータを処理する場合(即ち、8点のFFT演算を行う場合)、8個のデータの順番(0乃至7)は3ビットの2進数($r=2$)で表すことができる。従って、第3(011B)番目のデータは、ディジット逆順においては、第6(110B)番目のデータとなる(Bは2進数を表している)。同様に、8個のデータ $f(0)$ 乃至 $f(7)$ は、 $f(0)$ 、 $f(4)$ 、 $f(2)$ 、 $f(6)$ 、 $f(1)$ 、 $f(5)$ 、 $f(3)$ 、 $f(7)$ という順番(ディジット逆順)に並べ換えられる。

【0006】

FFT回路94は、FFT演算を行い、供給された時間軸上のデータを、複数の副搬送波の周波数軸上のデータに変換することにより、例えばOFDM(Orthogonal Frequency Division Multiplexing)方式で送信されたデータを復調する。なお、このFFT回路94には、時間軸上において隣接するシンボル(所定の量のデータを含む所定の期間の変調信号)との間に設けられているガード・インタバル成分が除去された後のシンボル成分が供給される。

【0007】

デインタリーブ回路および誤り訂正回路95は、FFT回路94より供給されたデータに対してデインタリーブ処理を行うとともに、誤り訂正処理を実行する。デインタリーブ回路および誤り訂正回路95により処理された信号は、その一部が復号化回路96に供給される。復号化回路96は、供給された信号を、DQPSK(Differential Quadrature Phase Shift Keying)復調し、復調したデータを、アナログのオーディオ信号に変換した後、左チャンネルのオーディオ信号と、右チャンネルのオーディオ信号を、スピーカ97、98にそれぞれ出力し、それらの信号に対応する音声を出力させる。

【0008】

また、付加データ出力回路99は、デインタリーブ回路および誤り訂正回路95より供給された信号から、番組内容、交通情報などの付加データを分離して出力する。

【0009】

図19は、FFT回路94の一構成例を示している。入力バッファ102は、低速のクロ

10

20

30

40

50

ック（この受信装置のシステムクロック）で、図20に示すように、メモリ100においてディジット逆順に並び換えられたデータ $f(0)$ 、 $f(4)$ 、 $f(2)$ 、 $f(6)$ 、 $f(1)$ 、 $f(5)$ 、 $f(3)$ 、 $f(7)$ を記憶する。そして、入力バッファ102は、供給されたデータを、そのままの順番で、FFT回路94の高速な内部クロックに同期してセレクタ103に出力するようになされている。即ち、入力バッファ102は、受信装置の低速なシステムクロックとFFT回路94の高速な内部クロックとの間の速度の調節を行っている。

【0010】

そして、セレクタ103は、入力バッファ102からのデータを、図20のメモリ104の最も左側に示すように記憶させる。

10

【0011】

次に、セレクタ105は、まず、メモリ104の第0番目のデータ $f(0)$ と第1番目のデータ $f(4)$ をバタフライ演算器106に出力する。バタフライ演算器106は、それらのデータに対して第1段目のバタフライ演算を行い、演算結果をセレクタ103を介して、メモリ104に第0番目のデータ $R1(0)$ および第1番目のデータ $R1(1)$ として記憶させる。

【0012】

なお、これらの動作は、高速な内部クロックに同期して行われる。

【0013】

同様にして、メモリ104の第2番目のデータ $f(2)$ と第3番目のデータ $f(6)$ 、第4番目のデータ $f(1)$ と第5番目のデータ $f(5)$ 、並びに、第6番目のデータ $f(3)$ と第7番目のデータ $f(7)$ に対してバタフライ演算を行い、それらの演算結果をメモリ104の第2番目のデータ $R1(2)$ 乃至第7番目のデータ $R1(7)$ としてそれぞれ記憶させる。

20

【0014】

次に、セレクタ105は、メモリ104の第0番目のデータ $R1(0)$ および第2番目のデータ $R1(2)$ を読み出し、バタフライ演算器106に出力する。バタフライ演算器106は、それらのデータに対して第2段目のバタフライ演算を行い、演算結果をセレクタ103を介して、メモリ104に第0番目のデータ $R2(0)$ および第2番目のデータ $R2(2)$ として記憶させる。

30

【0015】

さらに、セレクタ105は、メモリ104の第1番目のデータ $R1(1)$ および第3番目のデータ $R1(3)$ を読み出し、バタフライ演算器106に出力する。バタフライ演算器106は、それらのデータに対して第2段目のバタフライ演算を行い、演算結果をセレクタ103を介して、メモリ104に第1番目のデータ $R2(1)$ および第3番目のデータ $R2(3)$ として記憶させる。

【0016】

同様にして、メモリ104の第4番目のデータ $R1(4)$ および第6番目のデータ $R1(6)$ に対してバタフライ演算を行い、演算結果をメモリ104の第4番目のデータ $R2(4)$ および第6番目のデータ $R2(6)$ として記憶させ、メモリ104の第5番目のデータ $R1(5)$ および第7番目のデータ $R1(7)$ に対してバタフライ演算を行い、演算結果をメモリ104の第5番目のデータ $R2(5)$ および第7番目のデータ $R2(7)$ として記憶させる。

40

【0017】

次に、セレクタ105は、メモリ104の第0番目のデータ $R2(0)$ および第4番目のデータ $R2(4)$ を読み出し、バタフライ演算器106に出力する。バタフライ演算器106は、それらのデータに対して第3段目のバタフライ演算を行い、演算結果をセレクタ103を介して、メモリ104に第0番目のデータ $F(0)$ および第4番目のデータ $F(4)$ として記憶させる。

【0018】

50

同様に、メモリ104の第1番目のデータR2(1)および第5番目のデータR2(5)に対して第3段目のバタフライ演算を行い、演算結果をメモリ104の第1番目のデータF(1)および第5番目のデータF(5)として記憶させる。さらに、メモリ104の第2番目のデータR2(2)および第6番目のデータR2(6)に対してバタフライ演算を行い、演算結果をメモリ104の第2番目のデータF(2)および第6番目のデータF(6)として記憶させ、メモリ104の第3番目のデータR2(3)および第7番目のデータR2(7)に対してバタフライ演算を行い、演算結果をメモリ104の第3番目のデータF(3)および第7番目のデータF(7)として記憶させる。

【0019】

次に、セクタ105は、メモリ104に記憶されているデータF(0)乃至F(7)を高速度な内部クロックに同期して出力バッファ107に出力する。 10

【0020】

そして、出力バッファ107は、FFT演算されたデータF(0)乃至F(7)を、低速なシステムクロックに同期してデインタリーブ回路および誤り訂正回路95に出力する。即ち、出力バッファ107は、FFT回路94の高速度な内部クロックと受信装置の低速なシステムクロックとの間の速度の調節を行っている。

【0021】

【発明が解決しようとする課題】

しかしながら、上述の装置においては、メモリ100を利用して、データをディジット逆順に並べ換えた後、FFT回路94でFFT演算を行うので、メモリ100が必要となり、装置のコストが高くなるという問題を有している。 20

【0022】

本発明は、このような状況に鑑みてなされたもので、所定の順番で入力されたデータを、所定の順番に対するディジット逆順に並べ換えた後、バタフライ演算を行うことで、予めデータの順番をディジット逆順に並べ換えるための回路を不要とし、コストを低減することができる。

【0023】

【課題を解決するための手段】

請求項1に記載の演算装置は、演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出される第1の記憶手段であって、所定の順番で入力され記憶されたデータが、所定の順番に対するディジット逆順に出力される第1の記憶手段と、第1の記憶手段からのディジット逆順に出力されたデータまたは演算途中のデータが記憶される第2の記憶手段と、第2の記憶手段から、所定の基数に対応するN個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、第2の記憶手段のN個のデータを読み出したアドレスにN個の演算結果をそれぞれ記憶させる演算手段と、演算手段により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出される第3の記憶手段を備えることを特徴とする。 30

請求項2に記載の演算装置は、演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出される第1の記憶手段であって、所定の順番で入力され記憶されたデータが、所定の順番に対するディジット逆順に出力される第1の記憶手段と、演算途中のデータが記憶される第2の記憶手段と、第1の記憶手段または第2の記憶手段から、所定の基数に対応するN個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、第2の記憶手段のN個のデータを読み出したアドレスにN個の演算結果をそれぞれ記憶させる演算手段と、演算手段により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出される第3の記憶手段を備えることを特徴とする。 40

【0024】

請求項5に記載の演算方法は、第1の記憶部において、演算されるべきデータが低速の 50

クロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出され、所定の順番で入力され記憶されたデータが、所定の順番に対するディジット逆順に出力され、第2の記憶部において、第1の記憶部からのディジット逆順に出力されたデータまたは演算途中のデータが記憶され、演算部において、第2の記憶部から、所定の基数に対応するN個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、第2の記憶部のN個のデータを読み出したアドレスにN個の演算結果をそれぞれ記憶させ、第3の記憶部において、演算部により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出されるステップを含むことを特徴とする。

請求項6に記載の演算方法は、第1の記憶部において、演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出され、所定の順番で入力され記憶されたデータが、所定の順番に対するディジット逆順に出力され、第2の記憶部において、演算途中のデータが記憶され、演算部において、第1の記憶部または第2の記憶部から、所定の基数に対応するN個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、第2の記憶部のN個のデータを読み出したアドレスにN個の演算結果をそれぞれ記憶させ、第3の記憶部において、演算部により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出されるステップを含むことを特徴とする。

【0025】

請求項7に記載の演算装置は、演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出される第1の記憶手段と、第1の記憶手段から出力されたデータまたは演算途中のデータが記憶される第2の記憶手段と、第2の記憶手段から、所定の基数に対応するN個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、第2の記憶手段のN個のデータを読み出したアドレスにN個の演算結果をそれぞれ記憶させる演算手段と、演算手段により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出される第3の記憶手段であって、第2の記憶手段から入力された演算結果がディジット逆順に記憶される第3の記憶手段を備えることを特徴とする。

請求項8に記載の演算装置は、演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出される第1の記憶手段と、演算途中のデータが記憶される第2の記憶手段と、第1の記憶手段または第2の記憶手段から、所定の基数に対応するN個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、第2の記憶手段のN個のデータを読み出したアドレスにN個の演算結果をそれぞれ記憶させる演算手段と、演算手段により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出される第3の記憶手段であって、演算手段から入力された演算結果がディジット逆順に記憶される第3の記憶手段を備えることを特徴とする。

【0026】

請求項11に記載の演算方法は、第1の記憶部において、演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出され、第2の記憶部において、第1の記憶部から出力されたデータまたは演算途中のデータが記憶され、演算部において、第2の記憶部から、所定の基数に対応するN個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、第2の記憶部のN個のデータを読み出したアドレスにN個の演算結果をそれぞれ記憶させ、第3の記憶部において、演算部により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出され、第2の記憶部から入力された演算結果がディジット逆順に記憶されるステッ

10

20

30

40

50

ブを含むことを特徴とする。

請求項 1 2 に記載の演算方法は、第 1 の記憶部において、演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出され、第 2 の記憶部において、演算途中のデータが記憶され、演算部において、第 1 の記憶部または第 2 の記憶部から、所定の基数に対応する N 個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、第 2 の記憶部の N 個のデータを読み出したアドレスに N 個の演算結果をそれぞれ記憶させ、第 3 の記憶部において、演算部により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出され、演算部から入力された演算結果がディジット逆順に記憶されるステップを含むことを特徴とする。

10

【 0 0 2 7 】

請求項 1 に記載の演算装置においては、演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出され、所定の順番で入力され記憶されたデータが、所定の順番に対するディジット逆順に出力され、第 1 の記憶手段からのディジット逆順に出力されたデータまたは演算途中のデータが記憶され、第 2 の記憶手段から、所定の基数に対応する N 個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、第 2 の記憶手段の N 個のデータを読み出したアドレスに N 個の演算結果をそれぞれ記憶させ、演算手段により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出される。

20

請求項 2 に記載の演算装置においては、演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出され、所定の順番で入力され記憶されたデータが、所定の順番に対するディジット逆順に出力され、演算途中のデータが記憶され、第 1 の記憶手段または第 2 の記憶手段から、所定の基数に対応する N 個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、第 2 の記憶手段の N 個のデータを読み出したアドレスに N 個の演算結果をそれぞれ記憶させ、演算手段により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出される。

【 0 0 2 8 】

請求項 5 に記載の演算方法においては、演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出され、所定の順番で入力され記憶されたデータが、所定の順番に対するディジット逆順に出力され、第 1 の記憶部からのディジット逆順に出力されたデータまたは演算途中のデータが記憶され、第 2 の記憶部から、所定の基数に対応する N 個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、第 2 の記憶部の N 個のデータを読み出したアドレスに N 個の演算結果をそれぞれ記憶させ、演算部により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出される。

30

請求項 6 に記載の演算方法においては、演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出され、所定の順番で入力され記憶されたデータが、所定の順番に対するディジット逆順に出力され、演算途中のデータが記憶され、第 1 の記憶部または第 2 の記憶部から、所定の基数に対応する N 個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、第 2 の記憶部の N 個のデータを読み出したアドレスに N 個の演算結果をそれぞれ記憶させ、演算部により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出される。

40

【 0 0 2 9 】

請求項 7 に記載の演算装置においては、演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロ

50

ックで読み出され、第1の記憶手段から出力されたデータまたは演算途中のデータが記憶され、第2の記憶手段から、所定の基数に対応するN個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、第2の記憶手段のN個のデータを読み出したアドレスにN個の演算結果をそれぞれ記憶させ、演算手段により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出され、第2の記憶手段から入力された演算結果がディジット逆順に記憶される。

請求項8に記載の演算装置においては、演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出され、演算途中のデータが記憶され、第1の記憶手段または第2の記憶手段から、所定の基数に対応するN個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、第2の記憶手段のN個のデータを読み出したアドレスにN個の演算結果をそれぞれ記憶させ、演算手段により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出され、演算部から入力された演算結果がディジット逆順に記憶される。

10

【0030】

請求項11に記載の演算方法においては、演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出され、第1の記憶部から出力されたデータまたは演算途中のデータが記憶され、第2の記憶部から、所定の基数に対応するN個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、第2の記憶部のN個のデータを読み出したアドレスにN個の演算結果をそれぞれ記憶させ、演算部により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出され、第2の記憶部から入力された演算結果がディジット逆順に記憶される。

20

請求項12に記載の演算方法においては、演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出され、演算途中のデータが記憶され、第1の記憶部または第2の記憶部から、所定の基数に対応するN個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、第2の記憶部のN個のデータを読み出したアドレスにN個の演算結果をそれぞれ記憶させ、演算部により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出され、演算部から入力された演算結果がディジット逆順に記憶される。

30

【0031】

【発明の実施の形態】

図1は、本発明の演算装置の第1の実施例の構成を示している。本実施例は、例えば、図18の受信装置におけるメモリ100およびFFT回路94の代わりに利用されるFFT演算装置である。

【0032】

入力バッファ1（第1の記憶手段、第1の記憶部）は、所定の回路（例えば、図18のA/D変換器93）より、低速のクロック（例えば、図18の受信装置のシステムクロック）で供給されたデータ（ディジット逆順に並べ換えられていないデータ）を一時的に記憶し、本実施例の装置における高速な内部クロックに同期して、そのデータをディジット逆順にセクタ2に出力するようになされている。即ち、入力バッファ1は、外部装置（例えば、図18の受信装置）の低速なシステムクロックと、本装置の高速な内部クロックとの間の速度の調節を行うようになされている。

40

【0033】

セクタ2は、入力バッファ1より供給されたデータをメモリ4（第2の記憶手段、第2の記憶部）に記憶させるようになされている。

【0034】

50

また、セクタ2は、バタフライ演算器3（演算手段）によりバタフライ演算された2つのデータ（演算結果）を、メモリ4における、演算前のデータが格納されていたアドレスにそれぞれ記憶させるようになされている。

【0035】

バタフライ演算器3は、高速な内部クロックで動作し、内蔵するROMに記憶されている回転演算子データを適宜読み出し、そのデータを利用して、セクタ5より供給された2つのデータに対してバタフライ演算を行い、2つの演算結果をセクタ2に出力するようになされている。

【0036】

メモリ4は、処理途中のデータを記憶するようになされている。

10

【0037】

セクタ5は、メモリ4より2つのデータを読み出し、それらのデータをバタフライ演算器3に供給するようになされている。

【0038】

また、セクタ5は、メモリ4よりデータを読み出し、そのデータを（並べ換えしないで）、高速な内部クロックに同期して出力バッファ6（第3の記憶手段、第3の記憶部）に出力するようになされている。

【0039】

出力バッファ6は、高速な内部クロックに同期してセクタ5より供給されたデータを一時的に記憶し、所定の回路（例えば、図18のデインタリーブ回路および誤り訂正回路95）に、低速のクロックに同期して出力するようになされている。即ち、出力バッファ6は、本装置の高速な内部クロックと、外部装置（例えば、図18の受信装置）の低速なシステムクロックとの間の速度の調節を行うようになされている。

20

【0040】

次に、図2のフローチャートおよび図3を参照して、第1の実施例の動作について説明する。

【0041】

最初に、ステップS1において、入力バッファ1は、低速のクロックで供給されたデータ（図3の最も左側に示すように、ディジット逆順に並べ換えられていないもの）を記憶し、そのデータを、ディジット逆順に、高速な内部クロックに同期してセクタ2に出力する。

30

【0042】

次に、ステップS2において、セクタ2は、図4に示すように、入力バッファ1より供給されたディジット逆順のデータを、メモリ4に記憶させる。

【0043】

そして、ステップS3においては、バタフライ演算器3は、メモリ4に記憶されているデータに対して、図3に示すように3段のバタフライ演算を、高速な内部クロックに同期して順次行っていく。

【0044】

図5は、バタフライ演算におけるデータの流の一例を示している。セクタ5は、メモリ4からデータを2つずつ順次読み出し、それらのデータをバタフライ演算器3に出力する。

40

【0045】

バタフライ演算器3は、それらのデータに対してバタフライ演算を行い、演算結果をセクタ2に出力する。そして、セクタ2は、セクタ5により読み出されたデータが格納されていたメモリ4のアドレスに、演算結果を記憶させる。即ち、本実施例においては、インプレイス方式（データが格納されていたアドレスに、そのデータに対応する演算結果を上書きする方式）で、メモリ4に対してデータ（演算結果）の読み出しおよび書き込みが行われる。

【0046】

50

このようなバタフライ演算を、図3に示すように、3段に渡って順次行っていく。第1段目のバタフライ演算においては、第0番目のデータ $f(0)$ と第1番目のデータ $f(4)$ 、第2番目のデータ $f(2)$ と第3番目のデータ $f(6)$ 、第4番目のデータ $f(1)$ と第5番目のデータ $f(5)$ 、並びに、第6番目のデータ $f(3)$ と第7番目のデータ $f(7)$ に対して、バタフライ演算が行われる。

【0047】

第2段目のバタフライ演算においては、第0番目のデータ $R1(0)$ と第2番目のデータ $R1(2)$ 、第1番目のデータ $R1(1)$ と第3番目のデータ $R1(3)$ 、第4番目のデータ $R1(4)$ と第6番目のデータ $R1(6)$ 、並びに、第5番目のデータ $R1(5)$ と第7番目のデータ $R1(7)$ に対して、バタフライ演算が行われる。

10

【0048】

第3段目のバタフライ演算においては、第0番目のデータ $R2(0)$ と第4番目のデータ $R2(4)$ 、第1番目のデータ $R2(1)$ と第5番目のデータ $R2(5)$ 、第2番目のデータ $R2(2)$ と第6番目のデータ $R2(6)$ 、並びに、第3番目のデータ $R2(3)$ と第7番目のデータ $R2(7)$ に対して、バタフライ演算が行われる。

【0049】

次に、ステップS4において、セクタ5は、メモリ4より、第3段目のバタフライ演算の演算結果であるデータ $F(0)$ 乃至 $F(7)$ を読み出し、そのデータを同じ順番で出力バッファ6に高速のクロックに同期して記憶させる。

【0050】

そして、ステップS5において、出力バッファ6は、そのデータを所定の回路に低速のクロックに同期して出力する。

20

【0051】

このようにして、速度緩衝用の入力バッファ1からメモリ4にデータを移動するときに、データをディジット逆順に並べ換え、そのデータに対してバタフライ演算を行うことによりFFTの処理を行う。なお、上述の実施例においては、入力バッファ1からメモリ4にデータを移動させるときに、データをディジット逆順に並べ換えるようにしているが、メモリ4から出力バッファ6にデータを移動させるときに、データをディジット逆順に並べ換えるようにしてもよい。

【0052】

なお、上述の動作は、時間間引き型のアルゴリズムに従った場合のものであり、次に、周波数間引き型のアルゴリズムに従った場合の動作について、図6を参照して説明する。

30

【0053】

セクタ2は、入力バッファ1からデータを読み出し、ディジット逆順にせずに、そのままの順番でメモリ4に記憶させる。

【0054】

そして、3段のバタフライ演算のうちの第1段目のバタフライ演算においては、第0番目のデータ $f(0)$ と第4番目のデータ $f(4)$ 、第1番目のデータ $f(1)$ と第5番目のデータ $f(5)$ 、第2番目のデータ $f(2)$ と第6番目のデータ $f(6)$ 、並びに、第3番目のデータ $f(3)$ と第7番目のデータ $f(7)$ に対して、バタフライ演算が行われる。

40

【0055】

第2段目のバタフライ演算においては、第0番目のデータ $R1(0)$ と第2番目のデータ $R1(2)$ 、第1番目のデータ $R1(1)$ と第3番目のデータ $R1(3)$ 、第4番目のデータ $R1(4)$ と第6番目のデータ $R1(6)$ 、並びに、第5番目のデータ $R1(5)$ と第7番目のデータ $R1(7)$ に対して、バタフライ演算が行われる。

【0056】

第3段目のバタフライ演算においては、第0番目のデータ $R2(0)$ と第1番目のデータ $R2(1)$ 、第2番目のデータ $R2(2)$ と第3番目のデータ $R2(3)$ 、第4番目のデータ $R2(4)$ と第5番目のデータ $R2(5)$ 、並びに、第6番目のデータ $R2(6)$ と

50

第7番目のデータR2(7)に対して、バタフライ演算が行われる。

【0057】

3段のバタフライ演算が終了した後、セクタ5は、図7に示すように、メモリ4より、第3段目のバタフライ演算の演算結果であるデータF(0), F(4), F(2), F(6), F(1), F(5), F(3), F(7)を読み出し、そのデータをディジット逆順で(即ち、F(0), F(1), ..., F(7)の順番で)出力バッファ6に記憶させる。

【0058】

以上のように、3段のバタフライ演算の終了した後、メモリ4から出力バッファ6にデータを移動させるとき、データをディジット逆順に並べ換える。なお、上述の実施例においては、メモリ4から出力バッファ6にデータを移動させるとき、データをディジット逆順に並べ換えるようにしているが、入力バッファ1からメモリ4にデータを移動させるときに、データをディジット逆順に並べ換えるようにしてもよい。

10

【0059】

図8は、本発明の演算装置の第2の実施例の構成を示している。本実施例は、第1の実施例と同様に、例えば、図18の受信装置におけるメモリ100およびFFT回路94の代わりに利用されるFFT演算装置である。

【0060】

入力バッファ21(第1の記憶手段、第1の記憶部)は、所定の回路(例えば、図18のA/D変換器93)より、低速のクロック(例えば、図18の受信装置のシステムクロック)で供給されたデータ(ディジット逆順に並べ換えられていないデータ)を一時的に記憶し、本実施例の装置における高速な内部クロックに同期して、そのデータをセクタ22に出力するようになされている。即ち、入力バッファ21は、外部装置(例えば、図18の受信装置)の低速なシステムクロックと、本装置の高速な内部クロックとの間の速度の調節を行うようになされている。

20

【0061】

セクタ22は、バタフライ演算を行うデータとして、そのデータの順番に対応するディジット逆順における順番のデータを入力バッファ21から読み出し、バタフライ演算器24(演算手段)に出力するようになされている。

【0062】

また、セクタ22は、メモリ23(第2の記憶手段)より2つのデータを読み出し、それらのデータをバタフライ演算器24に供給するようになされている。

30

【0063】

メモリ23は、処理途中のデータを記憶するようになされている。

【0064】

バタフライ演算器24は、高速な内部クロックで動作し、内蔵するROMに記憶されている回転演算子データを適宜読み出し、そのデータを利用して、供給された2つのデータに対してバタフライ演算を行うようになされている。

【0065】

セクタ25は、バタフライ演算器24により演算された2つのデータ(演算結果)を、演算前の2つのデータが格納されていたメモリ23のアドレスにそれぞれ記憶させるようになされている。

40

【0066】

また、セクタ25は、バタフライ演算器24により演算されたデータを(並べ換えしないで)、高速な内部クロックに同期して出力バッファ26(第3の記憶手段、第2の記憶部)に出力するようになされている。

【0067】

出力バッファ26は、セクタ25より高速な内部クロックに同期して供給されたデータを一時的に記憶し、所定の回路(例えば、図18のデインタリーブ回路および誤り訂正回路95)に、低速のクロックに同期して出力するようになされている。即ち、出力バッ

50

ア26は、本装置の高速な内部クロックと、外部装置（例えば、図18の受信装置）の低速なシステムクロックとの間の速度の調節を行うようになされている。

【0068】

次に、図9のフローチャートおよび図10を参照して、第2の実施例の動作について説明する。

【0069】

最初に、ステップS21において、入力バッファ21は、図10の最も左側に示すように、低速のクロックで供給されたデータ（ディジット逆順に並べ換えられていないもの）を記憶し、バタフライ演算を行う2つのデータとして、そのデータの順番に対応するディジット逆順における順番のデータを、高速な内部クロックに同期してセレクタ22に出力する。例えば、第0番目のデータと第1番目のデータに対してバタフライ演算を行う場合、入力バッファ21は、第0番目のデータ $f(0)$ と第4番目のデータ $f(4)$ を出力する。

10

【0070】

次に、ステップS22においては、供給されたデータに対して第1段目のバタフライ演算が行われる。セレクタ22は、図10および図11に示すように、入力バッファ21より供給されたデータを、バタフライ演算器24に出力する。そして、バタフライ演算器24により処理されたデータ（演算結果）は、セレクタ25を介してメモリ23に記憶される。

【0071】

即ち、図10に示すように、入力バッファ21の第0番目のデータ $f(0)$ と第4番目のデータ $f(4)$ が読み出され、バタフライ演算が行われ、演算結果がメモリ23の第0番目のデータ $R1(0)$ と第1番目のデータ $R1(1)$ として記憶される。

20

【0072】

なお、これらの動作は、高速な内部クロックに同期して行われる。

【0073】

次に、図10および図11に示すように、入力バッファ21の第2番目のデータ $f(2)$ と第6番目のデータ $f(6)$ が読み出され、バタフライ演算が行われ、演算結果がメモリ23の第2番目のデータ $R1(2)$ と第3番目のデータ $R1(3)$ として記憶される。

【0074】

そして、入力バッファ21の第1番目のデータ $f(1)$ と第5番目のデータ $f(5)$ が読み出され、バタフライ演算が行われ、演算結果がメモリ23の第4番目のデータ $R1(4)$ と第5番目のデータ $R1(5)$ として記憶される。

30

【0075】

最後に、入力バッファ21の第3番目のデータ $f(3)$ と第7番目のデータ $f(7)$ が読み出され、バタフライ演算が行われ、演算結果がメモリ23の第6番目のデータ $R1(6)$ と第7番目のデータ $R1(7)$ として記憶される。

【0076】

次に、ステップS23においては、第2段目のバタフライ演算が行われる。セレクタ22は、メモリ23の2つのデータを読み出し、それらのデータをバタフライ演算器24に供給する。そして、バタフライ演算器24は、それらのデータに対してバタフライ演算を行い、演算結果をセレクタ25に出力する。セレクタ25は、演算結果を、演算前のデータが記憶されていたメモリ23のアドレスに記憶させる。

40

【0077】

第2段目のバタフライ演算においては、第0番目のデータ $R1(0)$ と第2番目のデータ $R1(2)$ 、第1番目のデータ $R1(1)$ と第3番目のデータ $R1(3)$ 、第4番目のデータ $R1(4)$ と第6番目のデータ $R1(6)$ 、並びに、第5番目のデータ $R1(5)$ と第7番目のデータ $R1(7)$ に対して、バタフライ演算が行われる。

【0078】

そして、ステップS24においては、第3段目のバタフライ演算が行われる。セレクタ2

50

2 は、メモリ 2 3 の 2 つのデータを読み出し、それらのデータをバタフライ演算器 2 4 に供給する。そして、バタフライ演算器 2 4 は、それらのデータに対してバタフライ演算を行い、演算結果をセクタ 2 5 に出力する。セクタ 2 5 は、演算結果を、演算前のデータと同じ順番で、出力バッファ 2 6 に記憶させる。

【 0 0 7 9 】

第 3 段目のバタフライ演算においては、第 0 番目のデータ $R 2 (0)$ と第 4 番目のデータ $R 2 (4)$ に対してバタフライ演算を行い、演算結果 $F (0)$, $F (4)$ を出力バッファ 2 6 に記憶させ、第 1 番目のデータ $R 2 (1)$ と第 5 番目のデータ $R 2 (5)$ に対してバタフライ演算を行い、演算結果 $F (1)$, $F (5)$ を出力バッファ 2 6 に記憶させる。さらに、第 2 番目のデータ $R 2 (2)$ と第 6 番目のデータ $R 2 (6)$ に対してバタフライ演算を行い、演算結果 $F (2)$, $F (6)$ を出力バッファ 2 6 に記憶させ、第 3 番目のデータ $R 2 (3)$ と第 7 番目のデータ $R 2 (7)$ に対してバタフライ演算を行い、演算結果 $F (3)$, $F (7)$ を出力バッファ 2 6 に記憶させる。

10

【 0 0 8 0 】

そして、ステップ S 2 5 において、出力バッファ 2 6 は、そのデータを所定の回路に低速のクロックに同期して出力する。

【 0 0 8 1 】

このようにして、入力バッファ 2 1 が、バタフライ演算を行うデータとして、そのデータの順番に対応するディジット逆順における順番のデータを、セクタ 2 2 を介してバタフライ演算器 2 4 に出力し、そのデータに対して FFT の処理を行う。なお、上述の実施例においては、入力バッファ 2 1 がディジット逆順における順番のデータをバタフライ演算器 2 4 に出力するようにしているが、その代わりに、バタフライ演算器 2 4 が、出力バッファ 2 6 にデータを出力するときに、データをディジット逆順に並べ換えるようにしてもよい。

20

【 0 0 8 2 】

なお、上述の動作は、時間間引き型のアルゴリズムに従った場合のものであり、次に、周波数間引き型のアルゴリズムに従った場合の動作について、図 1 2 を参照して説明する。

【 0 0 8 3 】

セクタ 2 2 は、入力バッファ 2 1 から、第 1 段目のバタフライ演算を行う 2 つのデータを (ディジット逆順ではなく、そのままの順番で) 読み出し、バタフライ演算器 2 4 に出力する。

30

【 0 0 8 4 】

周波数間引き型のアルゴリズムにおける、第 1 段目のバタフライ演算においては、第 0 番目のデータ $f (0)$ と第 4 番目のデータ $f (4)$ 、第 1 番目のデータ $f (1)$ と第 5 番目のデータ $f (5)$ 、第 2 番目のデータ $f (2)$ と第 6 番目のデータ $f (6)$ 、並びに、第 3 番目のデータ $f (3)$ と第 7 番目のデータ $f (7)$ に対して、バタフライ演算が行われる。

【 0 0 8 5 】

第 2 段目のバタフライ演算においては、第 0 番目のデータ $R 1 (0)$ と第 2 番目のデータ $R 1 (2)$ 、第 1 番目のデータ $R 1 (1)$ と第 3 番目のデータ $R 1 (3)$ 、第 4 番目のデータ $R 1 (4)$ と第 6 番目のデータ $R 1 (6)$ 、並びに、第 5 番目のデータ $R 1 (5)$ と第 7 番目のデータ $R 1 (7)$ に対して、バタフライ演算が行われる。

40

【 0 0 8 6 】

第 3 段目のバタフライ演算においては、図 1 3 に示すように、第 0 番目のデータ $R 2 (0)$ と第 1 番目のデータ $R 2 (1)$ に対してバタフライ演算を行い、演算結果を、ディジット逆順にして出力バッファ 2 6 に第 0 番目のデータ $F (0)$ と第 4 番目のデータ $F (4)$ として記憶させ、第 2 番目のデータ $R 2 (2)$ と第 3 番目のデータ $R 2 (3)$ に対してバタフライ演算を行い、演算結果を、ディジット逆順にして出力バッファ 2 6 に第 2 番目のデータ $F (2)$ と第 6 番目のデータ $F (6)$ として出力バッファ 2 6 に記憶させる。

【 0 0 8 7 】

50

さらに、第4番目のデータR2(4)と第5番目のデータR2(5)に対してバタフライ演算を行い、演算結果を、ディジット逆順にして出力バッファ26に第1番目のデータF(1)と第5番目のデータF(5)として出力バッファ26に記憶させ、第6番目のデータR2(6)と第7番目のデータR2(7)に対してバタフライ演算を行い、演算結果を、ディジット逆順にして出力バッファ26に第3番目のデータF(3)と第7番目のデータF(7)として出力バッファ26に記憶させる。

【0088】

このように、第3段目のバタフライ演算が終了し、出力バッファ26に演算結果を記憶させるとき、データをディジット逆順に並べ換える。なお、上述の実施例においては、出力バッファ26に演算結果を記憶させるとき、データをディジット逆順に並べ換えるようにしているが、その代わりに、入力バッファ21がディジット逆順における順番のデータをバタフライ演算器24に出力するようにしてもよい。

10

【0089】

以上のように、第2の実施例においては、入力バッファ21からバタフライ演算器24にデータが供給されるとき、または、第3段目のバタフライ演算が終了し、バタフライ演算器24から出力バッファ26に演算結果が出力されるときに、データがディジット逆順に変換されるので、FFTの処理を、より速く行うことができる。

【0090】

次に、本発明の第3の実施例について説明する。第3の実施例の構成は、第2の実施例の構成と同一であるので、その説明を省略する。

20

【0091】

次に、図14を参照して、第3の実施例の動作について説明する。

【0092】

入力バッファ21は、全データの半分より多くのデータ(今の場合、 $f(0)$ 乃至 $f(4)$)が供給されると、バタフライ演算を行う2つのデータの出力を開始する(今の場合、最初に、 $f(0)$ と $f(4)$ が出力される)。

【0093】

セレクタ22は、入力バッファ21より供給された2つのデータをバタフライ演算器24に出力する。

【0094】

そして、バタフライ演算器24は、供給されたデータに対して第1段目のバタフライ演算を行う。入力バッファ21は、図15に示すように、バタフライ演算を行う2つのデータとして、そのデータの順番に対応するディジット逆順における順番のデータを、セレクタ22を介してバタフライ演算器24に出力する。このとき、入力バッファ21は、バタフライ演算を行う2つのデータとして、より小さい順番のデータを含む2つのデータから順次出力していく。即ち、本実施例においては、入力バッファ21は、 $f(0)$ と $f(4)$ 、 $f(1)$ と $f(5)$ 、 $f(2)$ と $f(6)$ 、 $f(3)$ と $f(7)$ の順番で、データ $f(0)$ 乃至 $f(7)$ を出力する。

30

【0095】

そして、バタフライ演算器24により処理されたデータは、セレクタ25を介してメモリ23に記憶される。

40

【0096】

最初に、入力バッファ21の第0番目のデータ $f(0)$ と第4番目のデータ $f(4)$ が読み出され、バタフライ演算が行われ、演算結果がメモリ23の第0番目のデータR1(0)と第1番目のデータR1(1)として記憶される。

【0097】

次に、第3の実施例においては、図14に示すように、入力バッファ21の第1番目のデータ $f(1)$ と第5番目のデータ $f(5)$ が読み出され、バタフライ演算が行われ、演算結果がメモリ23の第4番目のデータR1(4)と第5番目のデータR1(5)として記憶される。

50

【0098】

そして、入力バッファ21の第2番目のデータ $f(2)$ と第6番目のデータ $f(6)$ が読み出され、バタフライ演算が行われ、演算結果がメモリ23の第2番目のデータ $R1(2)$ と第3番目のデータ $R1(3)$ として記憶される。

【0099】

最後に、入力バッファ21の第3番目のデータ $f(3)$ と第7番目のデータ $f(7)$ が読み出され、バタフライ演算が行われ、演算結果がメモリ23の第6番目のデータ $R1(6)$ と第7番目のデータ $R1(7)$ として記憶される。

【0100】

第2段目のバタフライ演算、第3段目のバタフライ演算、および、出力バッファ26へのデータの出力は、第2の実施例と同様であるので、その説明を省略する。 10

【0101】

このようにすることにより、入力バッファ21に全データの半分より多くのデータが供給されたとき処理を開始し、処理を順次進めることができるので、データの入力時の待ち時間(システムディレイ)を減少させることができ、FFTの処理を高速に行うことができる。なお、第2の実施例と同様に、入力バッファ21がディジット逆順における順番のデータをバタフライ演算器24に出力する代わりに、バタフライ演算器24が、出力バッファ26にデータを出力するときに、データをディジット逆順に並べ換えるようにしてもよい。

【0102】

なお、上述の動作は、時間間引き型のアルゴリズムに従った場合のものであり、次に、周波数間引き型のアルゴリズムに従った場合の動作について、図16を参照して説明する。 20

【0103】

入力バッファ21からバタフライ演算器24へのデータの入力、第1段目のバタフライ演算、および、第2段目のバタフライ演算は、第2の実施例と同様であるので、その説明を省略する。

【0104】

そして、第3段目のバタフライ演算においては、図17に示すように、最初に、第0番目のデータ $R2(0)$ と第1番目のデータ $R2(1)$ に対してバタフライ演算を行い、演算結果を、ディジット逆順にして出力バッファ26に第0番目のデータ $F(0)$ と第4番目のデータ $F(4)$ として記憶させ、次に、第4番目のデータ $R2(4)$ と第5番目のデータ $R2(5)$ に対してバタフライ演算を行い、演算結果を、ディジット逆順にして出力バッファ26に第1番目のデータ $F(1)$ と第5番目のデータ $F(5)$ として出力バッファ26に記憶させる。 30

【0105】

そして、第2番目のデータ $R2(2)$ と第3番目のデータ $R2(3)$ に対してバタフライ演算を行い、演算結果を、ディジット逆順にして出力バッファ26に第2番目のデータ $F(2)$ と第6番目のデータ $F(6)$ として出力バッファ26に記憶させ、最後に、第3番目のデータ $R2(3)$ と第7番目のデータ $R2(7)$ に対してバタフライ演算を行い、演算結果を、ディジット逆順にして出力バッファ26に第3番目のデータ $F(3)$ と第7番目のデータ $F(7)$ として出力バッファ26に記憶させる。 40

【0106】

このように、第3段目のバタフライ演算が終了し、出力バッファ26に演算結果を記憶させるとき、データをディジット逆順に並べ換える。

【0107】

以上のようにすることにより、演算結果 $F(0)$ 乃至 $F(3)$ が、出力バッファ26に順次記憶され、同時に、演算結果 $F(4)$ 乃至 $F(7)$ が、出力バッファ26に順次記憶されるので、第0番目の演算結果 $F(0)$ が記憶されたとき、出力バッファ26からのデータの出力を開始し、データの出力を順次行うことができ、データ(演算結果)の出力時における待ち時間を減少させることができ、FFTの処理を速く行うことができる。なお、 50

第2の実施例と同様に、バタフライ演算器24が、出力バッファ26にデータを出力するときにデータをディジット逆順に並べ換える代わりに、入力バッファ21がディジット逆順における順番のデータをバタフライ演算器24に出力するようにしてもよい。

【0108】

なお、上記実施例においては、8個のデータ($f(0)$ 乃至 $f(7)$)に対してFFTを行っているが、勿論、他の数のデータに対してFFTを行うようにすることもできる。

【0109】

また、上記実施例においては、基数 N (即ち、バタフライ演算器3, 24が1回の演算で処理するデータの数を $2(N=2)$)としているが、基数 N を2に限定するものではない。

【0110】

【発明の効果】

以上のごとく、請求項1に記載の演算装置および請求項5に記載の演算方法によれば、演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出され、所定の順番で入力され記憶されたデータが、所定の順番に対するディジット逆順に出力され、第1の記憶部からのディジット逆順に出力されたデータまたは演算途中のデータが記憶され、第2の記憶部から、所定の基数に対応する N 個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、第2の記憶部の N 個のデータを読み出したアドレスに N 個の演算結果をそれぞれ記憶させ、演算部により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出されるようにしたので、データを入力する前に、そのデータをディジット逆順に並べ換える必要がなく、ディジット逆順に並べ換えるためのメモリなどが不要となり、装置のコストを低減することができる。

請求項2に記載の演算装置および請求項6に記載の演算方法によれば、演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出され、所定の順番で入力され記憶されたデータが、所定の順番に対するディジット逆順に出力され、演算途中のデータが記憶され、第1の記憶部または第2の記憶部から、所定の基数に対応する N 個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、第2の記憶部の N 個のデータを読み出したアドレスに N 個の演算結果をそれぞれ記憶させ、演算部により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出されるようにしたので、データを入力する前に、そのデータをディジット逆順に並べ換える必要がなく、ディジット逆順に並べ換えるためのメモリなどが不要となり、装置のコストを低減することができる。

【0111】

請求項7に記載の演算装置および請求項11に記載の演算方法によれば、演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出され、第1の記憶部から出力されたデータまたは演算途中のデータが記憶され、第2の記憶部から、所定の基数に対応する N 個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、第2の記憶部の N 個のデータを読み出したアドレスに N 個の演算結果をそれぞれ記憶させ、演算部により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出され、第2の記憶部から入力された演算結果がディジット逆順に記憶されるようにしたので、データを出力した後に、そのデータをディジット逆順に並べ換えるためのメモリなどが不要となり、装置のコストを低減することができる。

請求項8に記載の演算装置および請求項12に記載の演算方法によれば、演算されるべきデータが低速のクロックで書き込まれて一時的に記憶され、この一時的に記憶された演算されるべきデータが高速のクロックで読み出され、演算途中のデータが記憶され、第1

10

20

30

40

50

の記憶部または第2の記憶部から、所定の基数に対応するN個の演算されるデータを読み出し、それらのデータに対してバタフライ演算を行い、第2の記憶部のN個のデータを読み出したアドレスにN個の演算結果をそれぞれ記憶させ、演算部により演算されたデータが高速のクロックで書き込まれて一時的に記憶され、この一時的に記憶されたデータが低速のクロックで読み出され、演算部から入力された演算結果がディジット逆順に記憶されるようにしたので、データを出力した後に、そのデータをディジット逆順に並べ換えるためのメモリなどが不要となり、装置のコストを低減することができる。

【図面の簡単な説明】

【図1】本発明の演算装置の第1の実施例の構成を示すブロック図である。

【図2】図1に示す第1の実施例の動作を説明するフローチャートである。

【図3】時間間引き型のアルゴリズムを利用した場合の、第1の実施例におけるシグナルフローを説明する図である。

【図4】図1のセレクタ2の動作を説明する図である。

【図5】バタフライ演算におけるデータの流れの一例を示す図である。

【図6】周波数間引き型のアルゴリズムを利用した場合の、第1の実施例におけるシグナルフローを説明する図である。

【図7】図1のセレクタ5の動作を説明する図である。

【図8】本発明の演算装置の第2の実施例の構成を示すブロック図である。

【図9】図8に示す第2の実施例の動作を説明するフローチャートである。

【図10】時間間引き型のアルゴリズムを利用した場合の、第2の実施例におけるシグナルフローを説明する図である。

【図11】時間間引き型のアルゴリズムを利用した場合の、図8のセレクタ22およびセレクタ25の動作を説明する図である。

【図12】周波数間引き型のアルゴリズムを利用した場合の、第2の実施例におけるシグナルフローを説明する図である。

【図13】周波数間引き型のアルゴリズムを利用した場合の、図8のセレクタ22およびセレクタ25の動作を説明する図である。

【図14】時間間引き型のアルゴリズムを利用した場合の、第3の実施例におけるシグナルフローを説明する図である。

【図15】時間間引き型のアルゴリズムを利用した場合の、セレクタ22およびセレクタ25の動作を説明する図である。

【図16】周波数間引き型のアルゴリズムを利用した場合の、第3の実施例におけるシグナルフローを説明する図である。

【図17】周波数間引き型のアルゴリズムを利用した場合の、セレクタ22およびセレクタ25の動作を説明する図である。

【図18】DABの受信装置の一構成例を示すブロック図である。

【図19】従来の演算装置である図18のFFT回路94の一構成例を示すブロック図である。

【図20】図19のFFT回路94におけるシグナルフローを説明する図である。

【符号の説明】

1 入力バッファ, 2 セレクタ, 3 バタフライ演算器, 4 メモリ, 5 セレクタ, 6 出力バッファ, 21 入力バッファ, 22 セレクタ, 23 メモリ, 24 バタフライ演算器, 25 セレクタ, 26 出力バッファ, 91 アンテナ, 92 チューナ, 93 A/D変換器, 94 FFT回路, 95 デインタリーブ回路および誤り訂正回路, 96 復号化回路, 97, 98 スピーカ, 99 付加データ出力回路, 100 メモリ, 102 入力バッファ, 103 セレクタ, 104 メモリ, 105 セレクタ, 106 バタフライ演算器, 107 出力バッファ

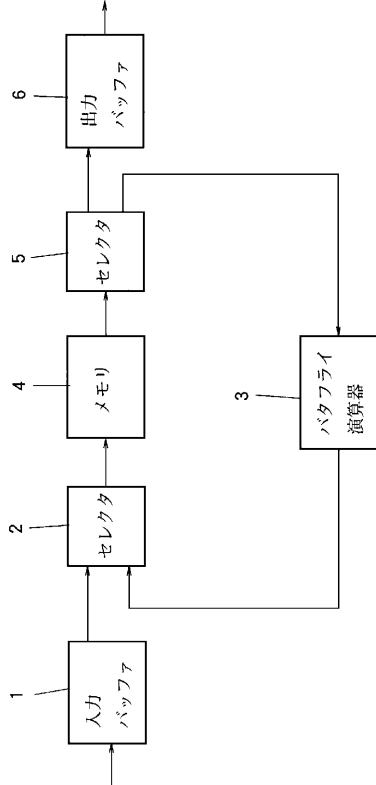
10

20

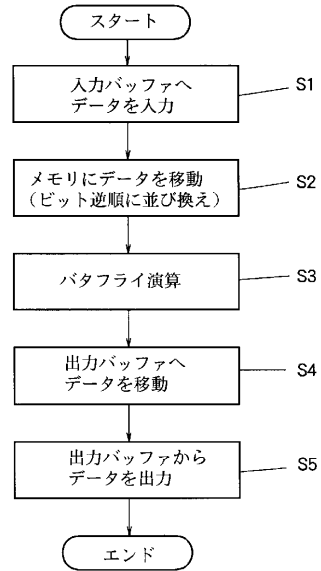
30

40

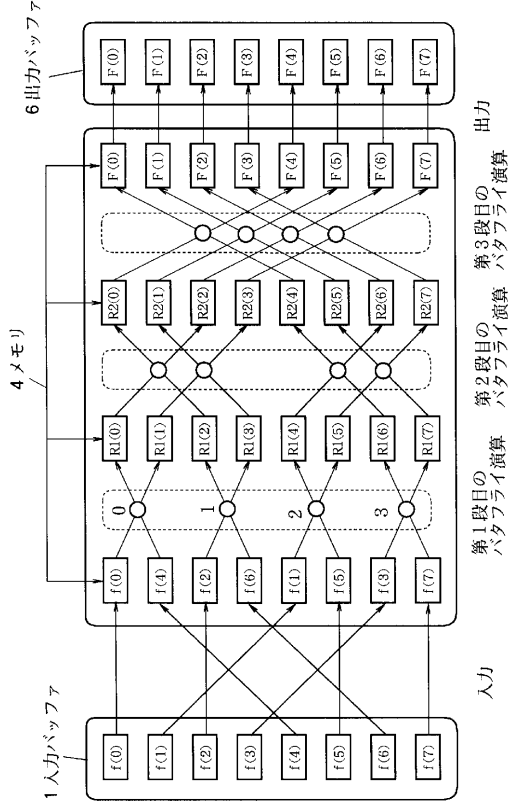
【図1】



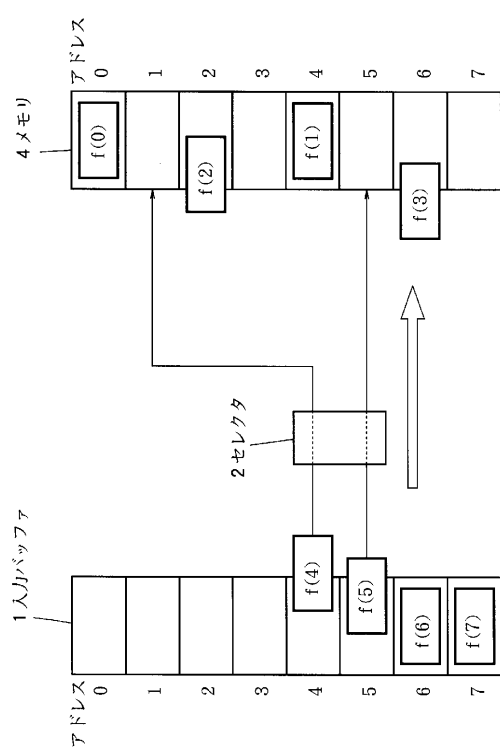
【図2】



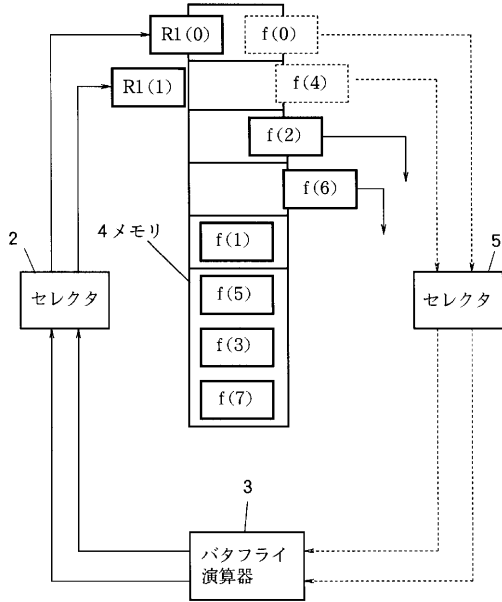
【図3】



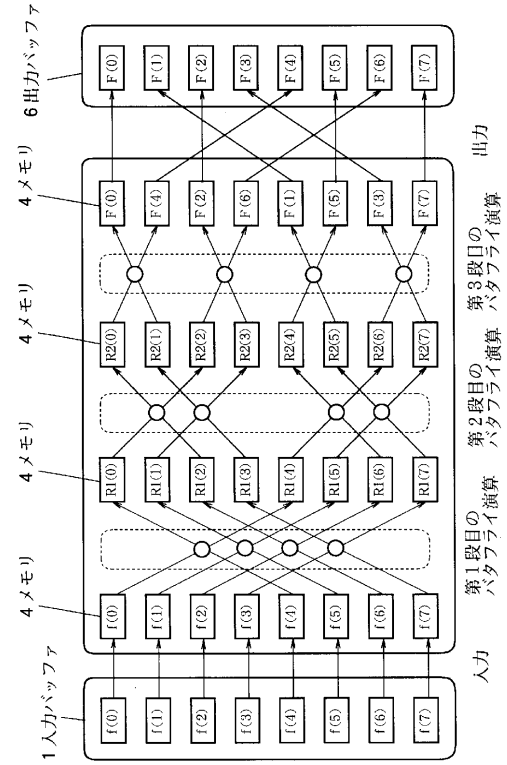
【図4】



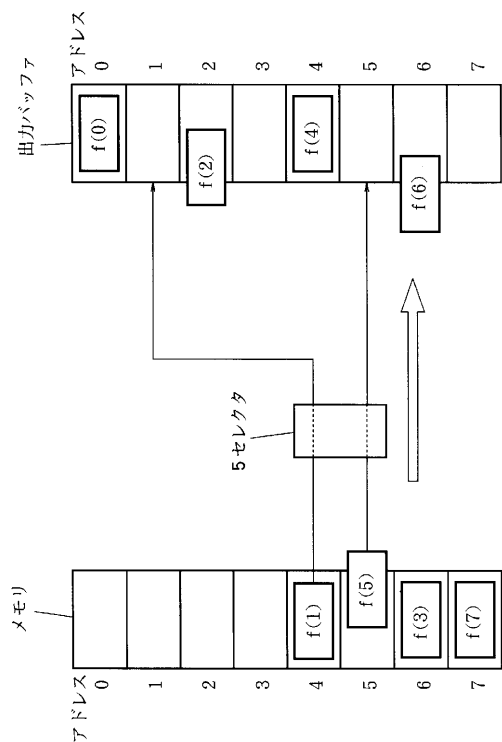
【 図 5 】



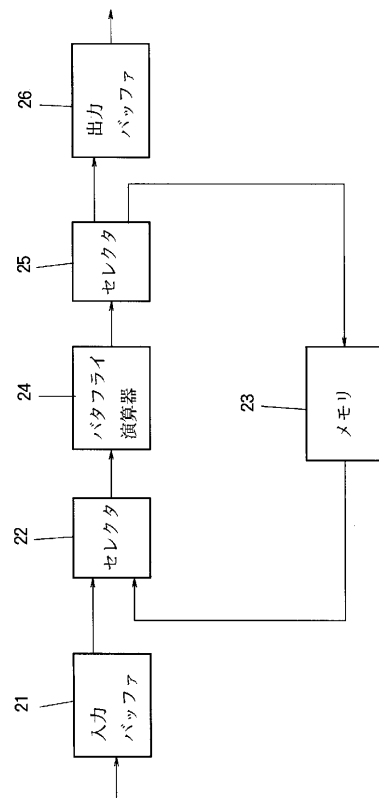
【 図 6 】



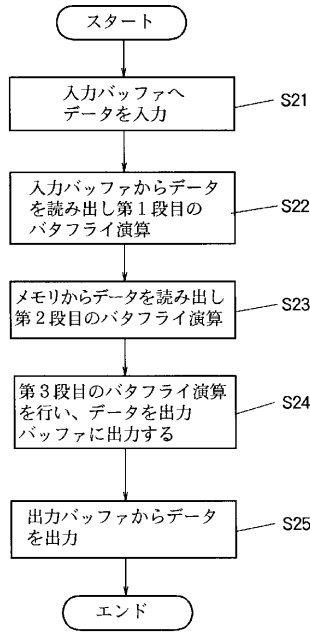
【 図 7 】



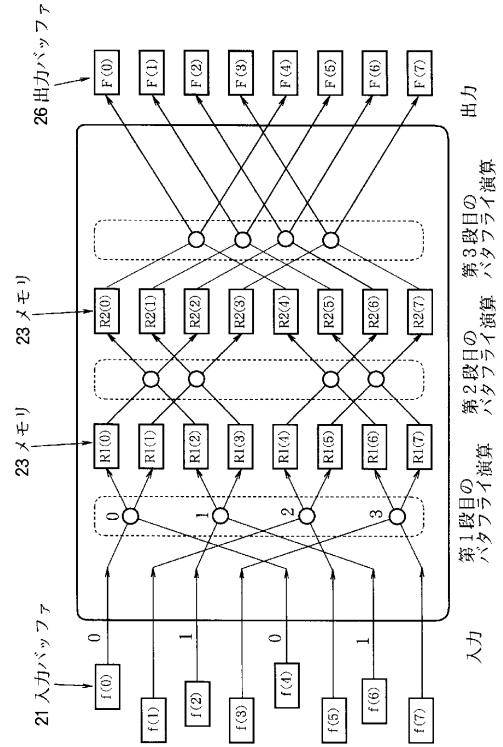
【 図 8 】



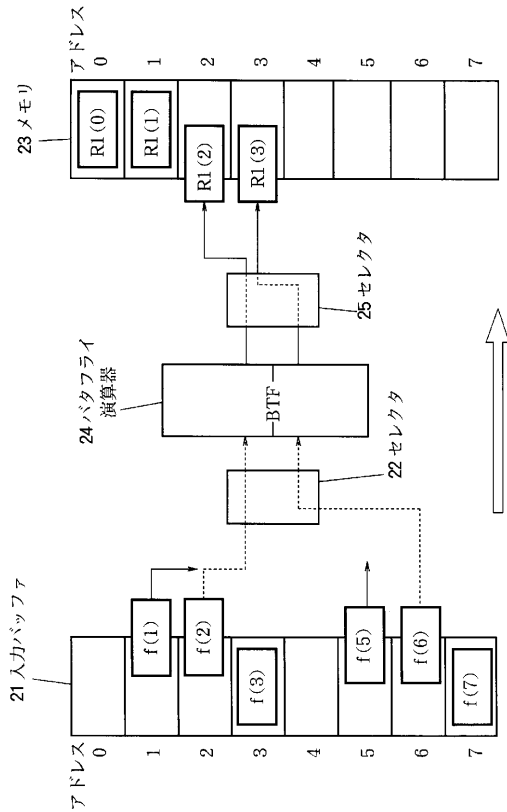
【 図 9 】



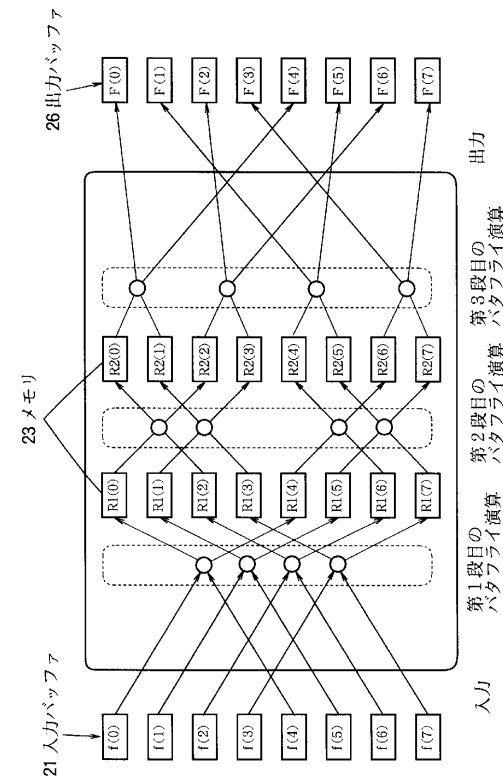
【 図 10 】



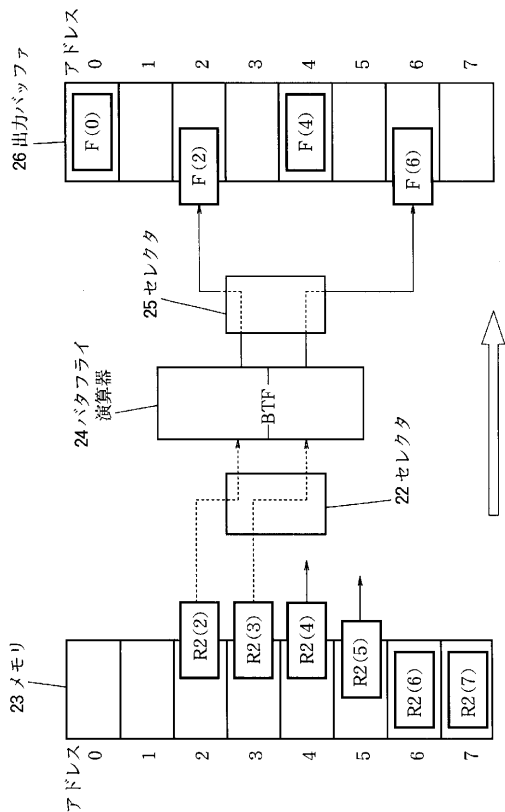
【 図 11 】



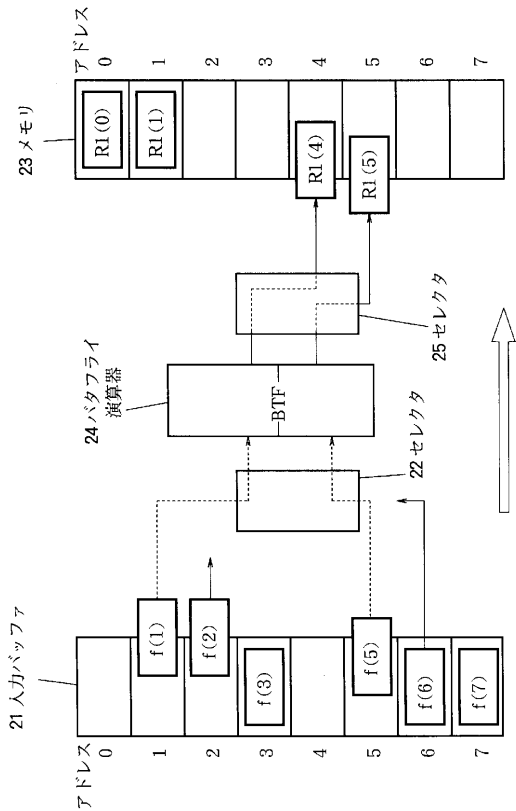
【 図 12 】



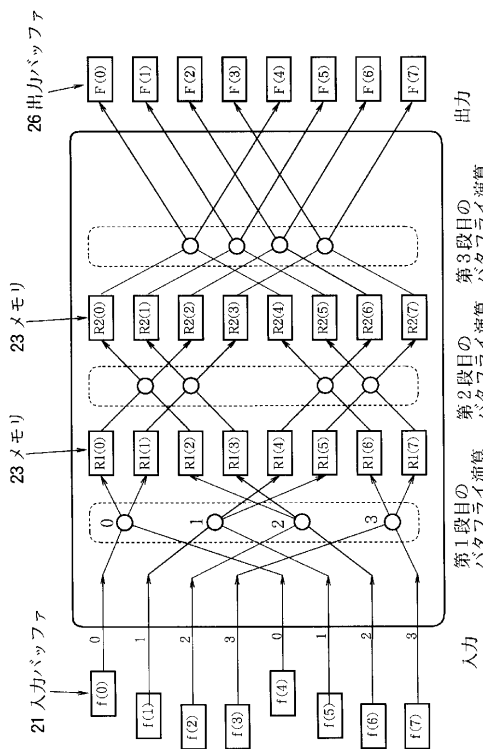
【 図 1 3 】



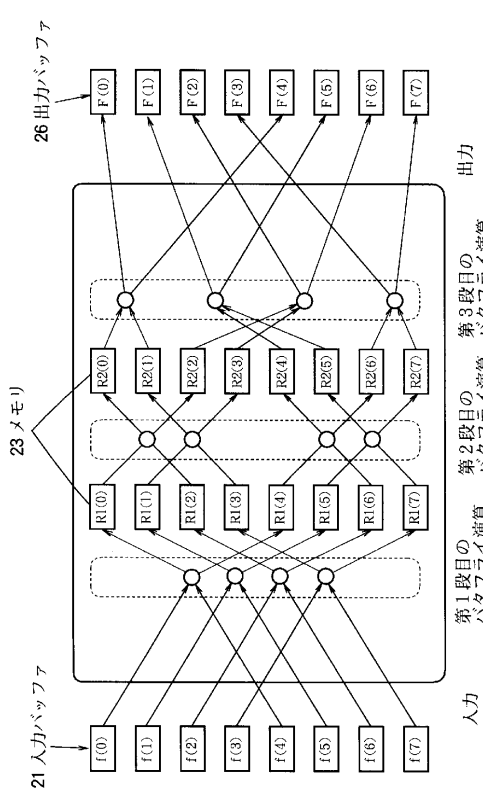
【 図 1 5 】



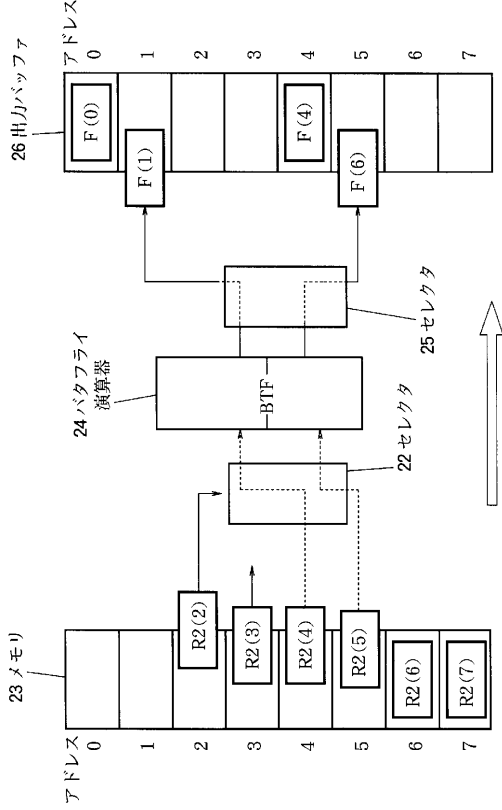
【 図 1 4 】



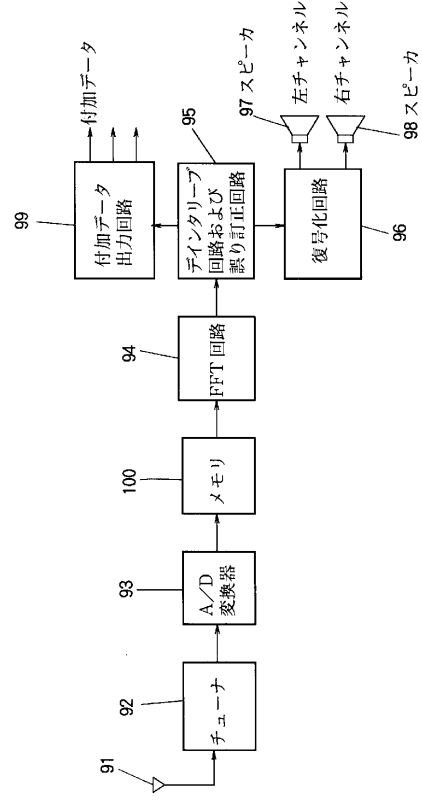
【 図 1 6 】



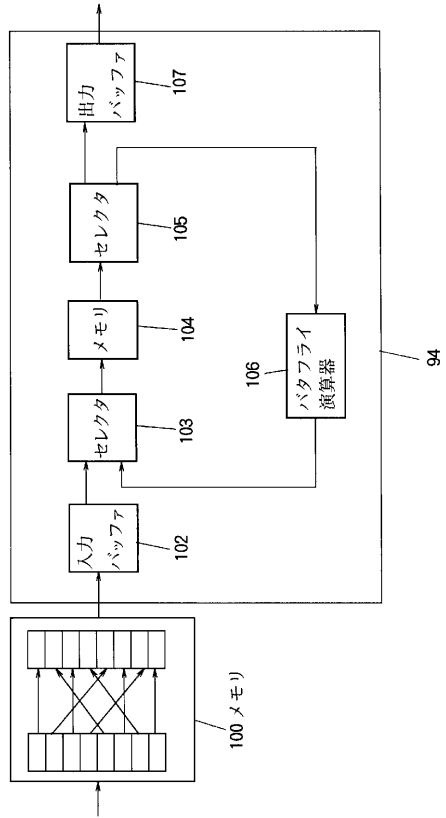
【 図 17 】



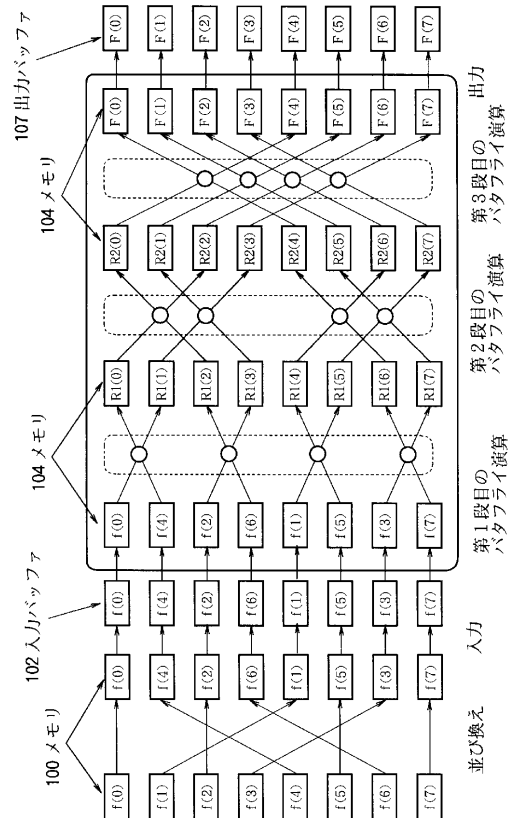
【 図 18 】



【 図 19 】



【 図 20 】



フロントページの続き

審査官 鳥居 稔

(56)参考文献 特開平04 - 160563 (JP, A)
特開昭57 - 075372 (JP, A)

(58)調査した分野(Int.Cl. , DB名)
G06F 17/14