

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年1月4日(04.01.2024)



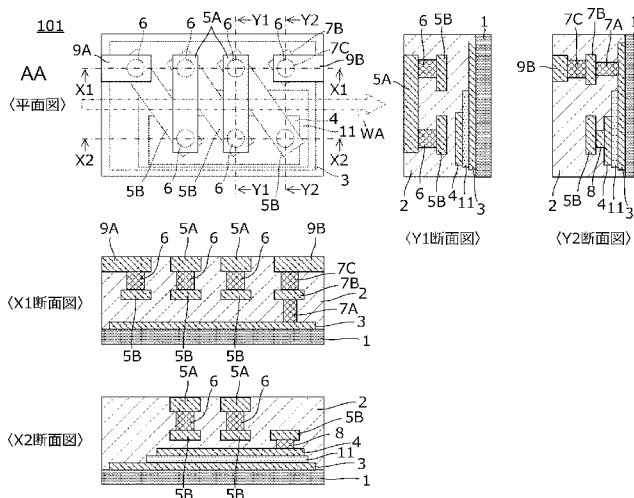
(10) 国際公開番号

WO 2024/004985 A1

- (51) 国際特許分類:
H01L 27/04 (2006.01) *H01F 27/00* (2006.01)
H01F 17/00 (2006.01)
- (21) 国際出願番号: PCT/JP2023/023730
- (22) 国際出願日: 2023年6月27日(27.06.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-105968 2022年6月30日(30.06.2022) JP
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
- JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 水野 孝昭 (MIZUNO Takaaki); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 中磯 俊幸 (NAKAISO Toshiyuki); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 豊島 健司 (TOYOSHIMA Kenji); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 吉岡 由雅 (YOSHIOKA Yoshimasa); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).

(54) Title: ELECTRONIC COMPONENT

(54) 発明の名称: 電子部品



X1, X2, Y1, Y2 Cross-section view
AA Plan view

(57) Abstract: An electronic component (101) comprises: a substrate (1); an insulator layer (2); an inductor formed in the insulator layer; planar conductors (3, 4) extending along the substrate (1); and planar conductor connection conductors (7A, 7B, 7C, 8) that conduct to the planar conductors (3, 4). The inductor comprises: surface direction conductors (5A, 5B); and a plurality of inductor via conductors (6) that connect the surface direction conductors (5A, 5B) to each other. The direction of current flowing to inductor via conductors (6) adjacent to the planar conductor connection conductors



WO 2024/004985 A1

(74) 代理人: 弁理士法人 楓国際特許事務所 (KAEDE PATENT ATTORNEYS' OFFICE);
〒5400011 大阪府大阪市中央区農人橋 1
丁目4番34号 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(7A, 7B, 7C, 8), among the plurality of inductor via conductors (6) that constitute a portion of a helical coil having a winding axis (WA) along the surface of the substrate (1), is mutually opposite to the direction of current flowing to the planar conductor connection conductors (7A, 7B, 7C, 8).

(57) 要約: 電子部品 (101) は、基板 (1) と、絶縁体層 (2) と、絶縁体層 (2) 内に形成されたインダクタと、基板 (1) に沿って延びる面状導体 (3, 4) と、面状導体 (3, 4) に導通する面状導体接続用導体 (7A, 7B, 7C, 8) と、を備える。インダクタは、面方向導体 (5A, 5B) と、面方向導体 (5A, 5B) 同士を接続する複数のインダクタ用ビア導体 (6) と、を備える。基板 (1) の面に沿う巻回軸 (WA) を有するヘリカル状コイルの一部を構成する複数のインダクタ用ビア導体 (6) のうち面状導体接続用導体 (7A, 7B, 7C, 8) に隣接するインダクタ用ビア導体 (6) に流れる電流の方向と面状導体接続用導体 (7A, 7B, 7C, 8) に流れる電流の方向とは互いに逆である。

明 細 書

発明の名称：電子部品

技術分野

[0001] 本発明は、ヘリカル状コイルインダクタ及び面状導体を備える電子部品に関する。

背景技術

[0002] 基板にヘリカル状のコイルが形成されたコイル部品はインダクタとして用いられる。

[0003] 特許文献1には、コイル部品が示されている。特許文献1のコイル部品は、表裏面に複数の帯状導体とその帯状導体を覆う絶縁層とを形成したコア基板をチップ状に切断することにより作製される。具体的には、このコイル部品は、帯状導体からなる複数の側部導体と、その側部導体を覆う絶縁層を、コア基板を素材とする直方体状の絶縁体の左右両側面に有する。また、側部導体とこれらの間を絶縁体の上下面でそれぞれ接続する橋架導体を有することで、矩形ヘリカルコイルが形成される。

[0004] 特許文献2には、配線基板が示されている。特許文献2の配線基板は、芯材を含まずに形成されている第1絶縁層と、第1絶縁層を介して互いに対向するように設けられている第1導体層及び第2導体層と、第1絶縁層を貫通して第1導体層と第2導体層とを接続する複数のビア導体と、を含む。第1導体層及び第2導体層は第1絶縁層を介して隣接される。所定形状を有する磁性体は、第1導体層、第2導体層、及び複数のビア導体のいずれとも接しないように第1絶縁層内に埋設されている。第1導体層及び第2導体層それぞれに含まれる配線パターン、及び複数のビア導体によって磁性体の周囲にコイルが形成されている。コイルは、配線基板の積層方向と交差する方向に沿って延在している。

先行技術文献

特許文献

[0005] 特許文献1：特開2004-103756号公報

特許文献2：特開2021-197454号公報

発明の概要

発明が解決しようとする課題

[0006] ドープシリコン基板のような導電性の基板の上にインダクタを構成する場合、そのQ値が劣化しないように、ヘリカルコイルの磁束の開口方向を基板に平行に配置することが有効である。すなわち、コイルで発生した磁束が基板を貫かないようになり、渦電流による損失を低減できる。ただし、このインダクタを部品化し、導電体や他の電子部品といった要素と共に回路基板に配置する場合、上述のインダクタにキャパシタを組み合わせてLCフィルタやインピーダンス整合回路といったLC複合部品を形成する際には、次に述べるような課題が生じる。

[0007] 特許文献1及び特許文献2に記載のコイル部品のようにヘリカルコイルを作る場合は、基板の面に平行な面に沿ってヘリカルコイルが形成される。しかしながら、そのヘリカルコイルの開口付近に、他の電子部品が近接して形成されると、この電子部品の導体部にヘリカルコイルの磁界による渦電流が発生して、複合部品の電気的特性が劣化してしまう。

[0008] また、上述のインダクタにキャパシタを組み合わせてLCフィルタやインピーダンス整合回路といったLC複合部品を形成する際には、次に述べるような課題が生じる。

[0009] 特許文献1及び特許文献2に記載のコイル部品のように、ヘリカルコイルを作る場合は、基板の面に平行な面のうち上面か下面のどちらかが始端又は終端となる。しかし、ヘリカルコイルの開口付近に、端子やその他の要素に導通する内部配線を形成すると、この内部配線に、磁界による渦電流が発生して複合部品の電気的特性が劣化してしまう。

[0010] そこで、本発明の目的は、ヘリカルコイルの磁束の開口方向が基板に平行に配置されたヘリカルコイルを有する電子部品において、他の導電体や電子部品等の要素と共に実装する場合でも、ヘリカルコイルを有する電子部品と

他の要素とが実装される電子機器の小型化が可能な電子部品を提供することにある。

[0011] また、本発明の目的は、所定のインダクタンスを有するインダクタと共に内部配線を備える小型の電子部品を提供することにある。

課題を解決するための手段

[0012] 本開示の一例としての電子部品は、

基板と、前記基板の面に沿って形成された絶縁体層と、前記絶縁体層内に形成されたインダクタと、前記基板又は前記絶縁体層に形成されて前記基板に沿って延びる1つ以上の面状導体と、前記面状導体に導通する1つ以上の面状導体接続用導体と、を備え、

前記インダクタは、前記基板の面に沿う複数の層にそれぞれ延びる複数の面方向導体と、前記複数の層のうち異なる層に延びる前記面方向導体同士を接続する複数のインダクタ用ビア導体とを含み、前記基板の面に沿う巻回軸を有するヘリカル状コイルによるインダクタであり、

前記複数のインダクタ用ビア導体のうち前記面状導体接続用導体に隣接する前記インダクタ用ビア導体に流れる電流の方向と前記面状導体接続用導体に流れる電流の方向とは互いに逆である、ことを特徴とする。

発明の効果

[0013] 本発明によれば、ヘリカルコイルの磁束の開口方向が基板に平行に配置されたヘリカルコイルを有する電子部品において、他の導電体や電子部品等の要素と共に実装する場合に、ヘリカルコイルを有する電子部品と他の要素とが実装される電子機器の小型化が可能な電子部品が得られ、また、所定のインダクタンスを有するインダクタと共に内部配線を備える小型の電子部品が得られる。

図面の簡単な説明

[0014] [図1]図1は第1の実施形態に係る電子部品101の構造を示す図である。

[図2]図2は電子部品101の等価回路図である。

[図3]図3(A)は電子部品101と、それに隣接する別の部材201との位

置関係を示す平面図である。図3（B）は比較例としての電子部品301と、それに隣接する別の電子部品などの部材201との位置関係を示す平面図である。

[図4]図4（A）は電子部品111の平面図である。図4（B）は電子部品内にヘリカル状コイルと共に他の部材21を備える、比較例としての電子部品311の平面図である。

[図5]図5は第2の実施形態に係る電子部品102の構造を示す図である。

[図6]図6は面状導体3を形成した状態での断面図である。

[図7]図7は誘電体層11を形成した状態での断面図である。

[図8]図8は面状導体4を形成した状態での断面図である。

[図9]図9は絶縁体層2を形成した状態での断面図である。

[図10]図10は面方向導体5B及び面状導体接続用導体7Bを形成した状態での断面図である。

[図11]図11はインダクタ用ビア導体6及び面状導体接続用導体7Cを形成した状態での断面図である。

[図12]図12は面方向導体5A及び端子電極9A、9Bを形成した状態での断面図である。

[図13]図13は端子電極10A、10Bを形成した状態での断面図である。

[図14]図14は第3の実施形態に係る電子部品103の構造を示す図である。

[図15]図15は基板導通電極12、誘電体層11、面状導体4などを形成した状態での断面図である。

[図16]図16は面方向導体5B及び面状導体接続用導体7Bを形成した状態での断面図である。

[図17]図17はインダクタ用ビア導体6及び面状導体接続用導体7Cを形成した状態での断面図である。

[図18]図18は面方向導体5A及び端子電極9A、9Bを形成した状態での断面図である。

[図19]図19は端子電極10A, 10Bを形成した状態での断面図である。

[図20]図20は第4の実施形態に係る電子部品104の構造を示す図である。

発明を実施するための形態

[0015] 以降、図を参照して幾つかの具体的な例を挙げて、本発明を実施するための複数の形態を示す。各図中には同一箇所同一符号を付している。要点の説明又は理解の容易性を考慮して、実施形態を説明の便宜上、複数の実施形態に分けて示すが、異なる実施形態で示した構成の部分的な置換又は組み合わせは可能である。第2の実施形態以降では第1の実施形態と共通の事柄についての記述を省略し、異なる点についてのみ説明する。特に、同様の構成による同様の作用効果については実施形態毎には逐次言及しない。

[0016] 《第1の実施形態》

図1は第1の実施形態に係る電子部品101の構造を示す図である。図1中の〈平面図〉は電子部品101の平面図である。図1中の〈X1断面図〉は電子部品101の平面図におけるX1-X1部分での断面図であり、図1中の〈X2断面図〉は電子部品101の平面図におけるX2-X2部分での断面図である。また、図1中の〈Y1断面図〉は電子部品101の平面図におけるY1-Y1部分での断面図であり、図1中の〈Y2断面図〉は電子部品101の平面図におけるY2-Y2部分での断面図である。

[0017] 電子部品101は、基板1と、基板1の面に沿って形成された絶縁体層2と、絶縁体層2内に形成されたインダクタを備える。また、基板1に形成され、基板1に沿って延びる面状導体3に導通する面状導体接続用導体7A, 7B, 7Cと、基板1に沿って延びる面状導体4に導通する面状導体接続用導体8を備える。

[0018] 前記インダクタは、基板1の面に沿う複数の層（この例では2層）にそれぞれ延びる複数の面方向導体5A, 5Bと、複数の層のうち異なる層に延びる面方向導体5A, 5B同士を接続する複数のインダクタ用ビア導体6と、を備える。前記インダクタは、基板1の面に沿う巻回軸WAを有するヘリカ

ル状コイルによるインダクタである。

- [0019] 面状導体接続用導体 7 A, 7 B, 7 C, 8 はヘリカル状コイルの巻回軸方向の端部（ヘリカル状コイルのコイル開口）に位置する。
- [0020] 面状導体 3, 4 はキャパシタ電極である。つまり、面状導体 3, 4 と、これら面状導体 3, 4 で挟まれた誘電体層 1 1 とでキャパシタが構成されている。
- [0021] このように、面状導体 3, 4 は、複数の面方向導体 5 A, 5 B より基板 1 に近い位置に形成されている。この構造により、複数の面方向導体 5 A, 5 B と、複数のインダクタ用ビア導体 6 とで構成されるヘリカル状コイルによるインダクタが端子電極 9 A, 9 B 寄りに位置する。したがって、回路からインダクタに接続されるまでの経路が最短化でき、インダクタの Q 値を高く保てる。また、キャパシタ電極をコイル形成領域に重ねて配置できることで省スペース化できる。
- [0022] 複数のインダクタ用ビア導体 6 のうち面状導体接続用導体 7 A, 7 B, 7 C に隣接するインダクタ用ビア導体 6 に流れる電流の方向と面状導体接続用導体 7 A, 7 B, 7 C に流れる電流の方向とは互いに逆である。また、面状導体接続用導体 8 に隣接するインダクタ用ビア導体 6 に流れる電流の方向と面状導体接続用導体 8 に流れる電流の方向とは互いに逆である。これについては後に図 3 (A)、図 3 (B) 等を参照して説明する。
- [0023] 基板 1 は例えばシリコン基板であり、この基板 1 の表面にポリシリコンや Al 等の薄膜の面状導体 3 が形成されている。面状導体 3 の上面の所定領域には SiO_2 や SiN 等による誘電体層 1 1 が形成されている。この誘電体層 1 1 の表面にはポリシリコンや Al 等の薄膜の面状導体 4 が形成されている。
- [0024] 絶縁体層 2 の表面には面方向導体 5 A 及び端子電極 9 A, 9 B が形成されている。面状導体 3 は面状導体接続用導体 7 A, 7 B, 7 C を通して端子電極 9 B に電氣的に接続されている。また、面状導体 4 は面状導体接続用導体 8 を通して面方向導体 5 B に電氣的に接続されている。
- [0025] このように、面状導体接続用導体は、面状導体接続用導体 7 A, 7 B, 7

Cという3つの部分で構成されている。そのうちの一つの面状導体接続用導体7Bは面方向導体5Bと同じ層に形成されている。この面方向導体5Bの形成工程で面状導体接続用導体7Bは形成される。したがって、複数のインダクタ用ビア導体6のうち面方向導体5A、5Bに隣接するインダクタ用ビア導体6に流れる電流の方向と面状導体接続用導体7Cに流れる電流の方向とは互いに逆にするための特別な導体パターンを形成する工程は不要である。

[0026] この電子部品101は、図2に示すように、インダクタとキャパシタとの直列回路からなるLC複合部品として機能する。この電子部品101において、面方向導体5A、5B及びインダクタ用ビア導体6によってヘリカル状コイルインダクタL1が構成される。面状導体3、4と、これら面状導体3、4で挟まれた誘電体層11とでキャパシタCが構成される。面状導体接続用導体7A、7B、7C、8等によってインダクタL2が構成される。

[0027] なお、図1に示した面状導体3、4が抵抗体である場合には、電子部品101は、インダクタ、キャパシタ及び抵抗素子の直列回路からなるLCR複合部品として機能する。

[0028] このようにインダクタとキャパシタとの直列接続された電子部品は周波数フィルタやインピーダンス整合回路として用いることができる。

[0029] まず、本実施形態に係る電子部品101の比較例について示す。図3(B)は比較例としての電子部品301と、それに隣接する別の電子部品などの部材201との位置関係を示す平面図である。この比較例としての電子部品301は、端子電極9Aから電流が流入するとき、図3(B)に示す向きで上部のインダクタ用ビア導体6の周囲の磁束の向きは同一(右旋)であり、下部のインダクタ用ビア導体6の周囲の磁束の向きは同一(左旋)である。そのため、ヘリカル状コイルの内外に生じる全体的な磁束 ϕ (太い破線)は大きく拡張する。

[0030] 一方、図3(A)は本実施形態に係る電子部品101と、それに隣接する別の部材201との位置関係を示す平面図である。図中の破線の同心円はイ

ンダクタ用ビア導体 6 及び面状導体接続用導体 7 C 等に生じる磁束を示す。
ヘリカル状コイルの内外に生じる全体的な磁束 ϕ を太線で示す。

[0031] 電子部品 101 においては、複数のインダクタ用ビア導体 6 のうち、面状導体接続用導体 7 A, 7 B, 7 C に隣接するインダクタ用ビア導体 (図 3 (A) に示す向きで上部の 3 つのインダクタ用ビア導体 6 のうち右端のインダクタ用ビア導体 6) に流れる電流の方向と面状導体接続用導体 7 A, 7 B, 7 C に流れる電流の方向とは互いに逆である。このことにより、図 3 (B) に示した例と比較して、磁束 ϕ の拡がりが増えられ、したがって、電子部品 101 に部材 201 が隣接していても相互の影響は少ない。

[0032] なお、本実施形態の電子部品 101 では、面状導体接続用導体 8 に隣接するインダクタ用ビア導体 (図 3 (A) に示す向きで下部の 2 つのインダクタ用ビア導体 6 のうち右端のインダクタ用ビア導体 6) に流れる電流の方向と面状導体接続用導体 8 に流れる電流の方向とは互いに逆である。そのため、磁束 ϕ の拡がり抑制効果が高い。

[0033] 比較例としての電子部品 301 では、磁束 ϕ の拡がりが増えるが、本実施形態の電子部品 101 では、磁束 ϕ の拡がりが増えられ、電子部品 101 と部材 201 との間隔 d_1 は、図 3 (B) に示した間隔 d_2 より小さくできる。

[0034] 図 4 (B) は電子部品内に上記ヘリカル状コイルと共に他の部材 21 を備える、比較例としての電子部品 311 の平面図である。この電子部品 311 内のヘリカル状コイルの構造は図 3 (B) に示したとおりである。

[0035] 一方、図 4 (A) は本実施形態に係る電子部品 111 の平面図である。この電子部品 311 は、電子部品内に上記ヘリカル状コイルと共に上記他の部材 21 を備える。この電子部品 111 内のヘリカル状コイルの構造は図 3 (A) に示したとおりである。

[0036] 比較例としての電子部品 311 では、磁束 ϕ の拡がりが増えるが、本実施形態の電子部品 111 では、磁束 ϕ の拡がりが増えられ、ヘリカル状コイルと部材 21 との間隔 d_1 を比較例の間隔 d_2 よりも小さくでき、小型

の電子部品 1 1 1 を構成できる。

[0037] 第 1 の実施形態では、インダクタ用ビア導体 6 を 2 列に配置し、当該 2 列のインダクタ用ビア導体 6 の一方の列の端部に並んで面状導体接続用導体 7 A, 7 B, 7 C が位置し、他方の列の端部に並んで面状導体接続用導体 8 が位置する例を示したが、インダクタ用ビア導体 6 の例数は 2 列に限らない。また、すべての列の端部に並んで面状導体接続用導体 8 が位置していなくても、磁束 ϕ の拡がりの抑制効果はある。

[0038] 図 3 (A)、図 4 (A) に示した例では、複数のインダクタ用ビア導体 6 の間隔に対して、インダクタ用ビア導体 6 の端部と面状導体接続用導体 7 A, 7 B, 7 C 又は 8 との間隔は等間隔であるが、この間隔が等間隔であることは必須ではない。ただし、この間隔が近すぎると、ヘリカル状コイルによる磁界を弱めあうため、ヘリカル状コイルによるインダクタのインダクタンスが小さくなる。逆に、上記間隔が大きすぎると、ヘリカル状コイルによる磁束の拡がりを抑制する効果が小さくなる。したがって、上記間隔は等間隔ぐらいがよい。

[0039] 図 1 に示した例では、面状導体 3, 4 を基板 1 に形成したが、面状導体 3, 4 は絶縁体層 2 の中間層に形成してもよい。

[0040] なお、ヘリカル状コイルが発する高周波磁界によって面状導体 3, 4 に渦電流が生じる場合もある。しかしながら、図 3 (A)、図 3 (B)、図 4 (A)、図 4 (B) に示したとおり、磁束 ϕ の拡がりは抑制されるので、上記渦電流による損失（インダクタの Q 値の劣化）は抑制される。

[0041] また、第 1 の実施形態で示した電子部品では、面状導体 3 がキャパシタ形成部のみではなく、基板 1 のほぼ全面に亘って形成されている。したがって、基板 1 の下方の部材や回路についての電磁シールド性がある。

[0042] 《第 2 の実施形態》

第 2 の実施形態では、端子電極の構成が第 1 の実施形態で示した例とは異なる電子部品について例示する。

[0043] 図 5 は第 2 の実施形態に係る電子部品 1 0 2 の構造を示す図である。図 5

中の〈平面図〉は電子部品102の平面図である。図5中の〈X1断面図〉は電子部品102の平面図におけるX1-X1部分での断面図であり、図5中の〈X2断面図〉は電子部品102の平面図におけるX2-X2部分での断面図である。

[0044] 電子部品102は、基板1と、基板1の面に沿って形成された絶縁体層2と、絶縁体層2内に形成されたインダクタと、基板1に形成され、基板1に沿って延びる面状導体3、4と、面状導体3に導通する面状導体接続用導体7A、7B、7Cと、面状導体4に導通する面状導体接続用導体8を備える。

[0045] 絶縁体層2の表面には端子電極10A、10Bが形成されている。端子電極10A、10Bは端子電極9A、9Bに電氣的に導通している。第1の実施形態で示した電子部品101では、図1に示したとおり、端子電極9A、9Bと共に面方向導体5A、5Bが露出していたが、第2の実施形態データ示す電子部品102では端子電極10A、10Bだけが露出する。その他の構成は第1の実施形態で示したとおりである。

[0046] 次に電子部品102の製造方法について例示する。図6は面状導体3を形成した状態での断面図である。基板1はシリコン真性半導体基板又はシリコン不純物半導体基板であり、この工程では、基板1の表面にAl膜又はCu膜を蒸着し、リフトオフする、Al膜又はCu膜をスパッタリングやCVDで成膜し、リソグラフィし、エッチングする、などといった半導体プロセスによって形成する。

[0047] 図7は誘電体層11を形成した状態での断面図である。この工程では、面状導体3の表面にSiO₂膜やSiN膜等の誘電体層11をスパッタリングやCVDといった半導体プロセスによって形成し、その後、リソグラフィし、エッチングにより誘電体層11のパターンを形成する。

[0048] 図8は面状導体4を形成した状態での断面図である。この工程では、面状導体3の形成方法と同様に、Al膜又はCu膜を蒸着し、リフトオフする、Al膜又はCu膜をスパッタリングやCVDで成膜し、リソグラフィし、エッチングする

、などといった半導体プロセスによって面状導体4のパターンを形成する。

[0049] 図9は絶縁体層2を形成した状態での断面図である。この工程では、スパインコートやCVD、スパッタリングといった方法で樹脂（有機）膜やSiO₂膜、SiN膜等の無機膜を形成し、その後リソグラフィ及びエッチングにより、所定箇所開口APを形成する。

[0050] 図10は面方向導体5B及び面状導体接続用導体7Bを形成した状態での断面図である。この工程では、図9に示した開口APに面状導体接続用導体7A, 8を成膜し、絶縁体層2の表面に面方向導体5B及び面状導体接続用導体7Bを形成する。例えば、Cuを成膜し、リソグラフィし、めっきすることにより、または、Cuをスパッタリングし、リソグラフィし、エッチングすることにより、または、Cu膜をリソグラフィし、蒸着し、リフトオフする、といった方法で形成する。

[0051] 図11はインダクタ用ビア導体6及び面状導体接続用導体7Cを形成した状態での断面図である。この工程では、Al膜又はCu膜を蒸着し、リフトオフし、Al膜又はCu膜をスパッタリングやCVDで成膜し、リソグラフィし、エッチングする、などといった半導体プロセスによって面状導体4のパターンを形成する。

[0052] 図12は面方向導体5A及び端子電極9A, 9Bを形成した状態での断面図である。この工程では、絶縁体層2の表面に面方向導体5A及び端子電極9A, 9Bを形成する。例えば、Cuを成膜し、リソグラフィし、めっきすることにより、または、Cuをスパッタリングし、リソグラフィし、エッチングすることにより、または、Cu膜をリソグラフィし、蒸着し、リフトオフする、といった方法で形成する。

[0053] 図13は端子電極10A, 10Bを形成した状態での断面図である。この工程では、端子電極10A, 10Bは実装用の電極であり、端子電極9A, 9Bの表面にNiめっき、Auめっき等を施して形成する。その後、保護膜を形成し、端子電極10A, 10B部分を窓開けし、端子電極10A, 10Bを露出させる。絶縁体層2は複数の種類の層からなりたっていてもよく、全部

を同じ材料で形成した場合は、完成後には図13のように境界が見えない場合もある。

[0054] なお、この第2の実施形態では、端子電極9B、10Bが大きくても、ヘリカル状コイルが発する高周波磁界が端子電極9B、10Bを効果的に避ける。これにより、渦電流による損失が抑制され、ヘリカル状コイルによるインダクタのQ値低下が抑えられる。このことは以降に示す各実施形態においても同様である。

[0055] 《第3の実施形態》

第3の実施形態では、面状導体の構成が第1、第2の実施形態で示した例とは異なる電子部品について例示する。

[0056] 図14は第3の実施形態に係る電子部品103の構造を示す図である。図14中の〈平面図〉は電子部品103の平面図である。図14中の〈X1断面図〉は電子部品103の平面図におけるX1-X1部分での断面図であり、図14中の〈X2断面図〉は電子部品103の平面図におけるX2-X2部分での断面図である。

[0057] 電子部品103は、基板1と、基板1の面に沿って形成された絶縁体層2と、絶縁体層2内に形成されたインダクタと、基板1に形成され、基板1に沿って延びる面状導体4と、面状導体4に導通する面状導体接続用導体7A、7B、7Cと、面状導体4に導通する面状導体接続用導体8とを備える。

[0058] X2断面図に表れているように、基板1の表面には誘電体層11が形成されている。この誘電体層11の表面に面状導体4が形成されている。また、X1断面図に表れているように、基板1の表面の所定位置に基板導通電極12が形成されている。基板1は導電率が高い半導体基板、もしくは上記各層が形成される表面に導電率の高い層が形成された半導体基板である。その他の構成は第2の実施形態で示したとおりである。

[0059] 次に電子部品103の製造方法について例示する。図15は基板導通電極12、誘電体層11、面状導体4などを形成した状態での断面図である。基板1はシリコン不純物半導体基板であり。この工程では、X1断面図でに表

れているように、基板 1 の表面にAl膜又はCu膜を蒸着し、リフトオフし、Al膜又はCu膜をスパッタリングやCVDで成膜し、リソグラフィし、エッチングする、などといった半導体プロセスによって形成する。また、X2断面図に表れているように、基板 1 表面にSiO₂膜やSiN膜等の誘電体層 11 をスパッタリングやCVDといった半導体プロセスによって形成し、その後、リソグラフィし、エッチングにより誘電体層 11 のパターンを形成する。

[0060] 図 16 は面方向導体 5 B 及び面状導体接続用導体 7 B を形成した状態での断面図である。図 17 はインダクタ用ビア導体 6 及び面状導体接続用導体 7 C を形成した状態での断面図である。図 18 は面方向導体 5 A 及び端子電極 9 A, 9 B を形成した状態での断面図である。図 19 は端子電極 10 A, 10 B を形成した状態での断面図である。

[0061] 図 16 から図 19 に示した各工程は、第 2 の実施形態において図 10 から図 13 に示した各工程と同様である。

[0062] このようにして、基板をキャパシタ用の面状導体の一部として利用する場合にも本発明は適用できる。

[0063] 《第 4 の実施形態》

第 4 の実施形態では面状導体が半導体基板と共に半導体素子を構成する電子部品について例示する。

[0064] 図 20 は第 4 の実施形態に係る電子部品 104 の構造を示す図である。図 20 中の〈平面図〉は電子部品 104 の平面図である。図 20 中の〈X1断面図〉は電子部品 104 の平面図における X1-X1 部分での断面図であり、図 20 中の〈X2断面図〉は電子部品 104 の平面図における X2-X2 部分での断面図である。

[0065] 基板 1 は P 型シリコン半導体基板であり、この基板 1 の所定箇所に N ウェル 13 が形成されて、N ウェル内の所定領域に P+領域 14 が形成されている。

[0066] 基板導通電極 12 は N ウェル 13 領域の表面に形成されている。また、基板導通電極 15 は P+領域の表面に形成されている。この構造により、Nウ

エル13、Nウェル13に導通する基板導通電極12、P+領域14、及びP+領域に導通する基板導通電極15によってダイオードが構成されている。

[0067] 以上の構成により、電子部品104は、ヘリカルコイルによるインダクタにダイオードが直列接続された電子部品として作用する。例えばESD保護素子として使用できる。

[0068] なお、図20に示した例では基板1にダイオードを構成したが、同様にしてトランジスタを構成してもよい。

[0069] 最後に、本発明は上述した各実施形態に限られるものではない。当業者によって適宜変形及び変更が可能である。本発明の範囲は、上述の実施形態ではなく、特許請求の範囲によって示される。さらに、本発明の範囲には、特許請求の範囲内と均等の範囲内での実施形態からの変形及び変更が含まれる。

[0070] 以下に本発明の電子部品の構成について列挙する。

[0071] <1> 基板と、前記基板の面に沿って形成された絶縁体層と、前記絶縁体層内に形成されたインダクタと、前記基板又は前記絶縁体層に形成されて前記基板に沿って延びる面状導体と、前記面状導体に導通する面状導体接続用導体と、を備え、

前記インダクタは、前記基板の面に沿う複数の層にそれぞれ延びる複数の面方向導体と、前記複数の層のうち異なる層に延びる前記面方向導体同士を接続する複数のインダクタ用ビア導体とを含み、前記基板の面に沿う巻回軸を有するヘリカル状コイルによるインダクタであり、

前記複数のインダクタ用ビア導体のうち前記面状導体接続用導体に隣接するインダクタ用ビア導体に流れる電流の方向と前記面状導体接続用導体に流れる電流の方向とは互いに逆である、

電子部品。

[0072] <2> 前記面状導体接続用導体は、前記ヘリカル状コイルの前記巻回軸の方向の端部（ヘリカル状コイルインダクタのコイル開口）に位置する、<1

>に記載の電子部品。

[0073] <3> 前記面状導体は、前記複数の面方向導体より前記基板に近い位置に形成されている、<1>又は<2>に記載の電子部品。

[0074] <4> 前記面状導体接続用導体は3つ以上の部分で構成されていて、そのうちの一つの部分は前記面方向導体と同じ層に形成されている、<3>に記載の電子部品。

[0075] <5> 前記基板は低抵抗の半導体基板であり、前記面状導体は前記半導体基板と共にキャパシタを構成するキャパシタ電極である、<1>乃至<4>のいずれかに記載の電子部品。

[0076] <6> 前記面状導体は抵抗体膜である、<1>乃至<5>のいずれかに記載の電子部品。

[0077] <7> 前記基板は半導体基板であり、前記面状導体は前記半導体基板と共に半導体素子を構成する、<1>乃至<6>のいずれかに記載の電子部品。

[0078] <8> 前記インダクタ用ビア導体は2列に配置され、当該2列のインダクタ用ビア導体の端部に並んで前記面状導体接続用導体が位置する、<1>乃至<7>のいずれかに記載の電子部品。

[0079] <9> 前記インダクタ用ビア導体の端部と前記面状導体接続用導体とは等間隔の位置に配置されている、<8>に記載の電子部品。

符号の説明

[0080] A P…開口

C…キャパシタ

d…間隔

L 1…ヘリカル状コイルインダクタ

L 2…インダクタ

WA…巻回軸

1…基板

2…絶縁体層

3, 4…面状導体

- 5 A, 5 B…面方向導体
- 6…インダクタ用ビア導体
- 7 A, 7 B, 7 C, 8…面状導体接続用導体
- 9 A, 9 B…端子電極
- 10 A, 10 B…端子電極
- 11…誘電体層
- 12…基板導通電極
- 13…Nウェル
- 14…P+領域
- 15…基板導通電極
- 21…部材
- 101～104…電子部品
- 111…電子部品
- 201…部材
- 301…比較例としての電子部品
- 311…電子部品

請求の範囲

- [請求項1] 基板と、前記基板の面に沿って形成された絶縁体層と、前記絶縁体層内に形成されたインダクタと、前記基板又は前記絶縁体層に形成されて前記基板に沿って延びる1つ以上の面状導体と、前記面状導体に導通する1つ以上の面状導体接続用導体と、を備え、
- 前記インダクタは、前記基板の面に沿う複数の層にそれぞれ延びる複数の面方向導体と、前記複数の層のうち異なる層に延びる前記面方向導体同士を接続する複数のインダクタ用ビア導体とを含み、前記基板の面に沿う巻回軸を有するヘリカル状コイルによるインダクタであり、
- 前記複数のインダクタ用ビア導体のうち前記面状導体接続用導体に隣接するインダクタ用ビア導体に流れる電流の方向と前記面状導体接続用導体に流れる電流の方向とは互いに逆である、
- 電子部品。
- [請求項2] 前記面状導体接続用導体は、前記ヘリカル状コイルの前記巻回軸の方向の端部に位置する、
- 請求項1に記載の電子部品。
- [請求項3] 前記面状導体は、前記複数の面方向導体より前記基板に近い位置に形成されている、
- 請求項1又は2に記載の電子部品。
- [請求項4] 前記面状導体接続用導体は3つ以上の部分で構成されていて、そのうちの一部分は前記面方向導体と同じ層に形成されている、請求項3に記載の電子部品。
- [請求項5] 前記基板は低抵抗の半導体基板であり、
- 前記面状導体は前記半導体基板と共にキャパシタを構成するキャパシタ電極である、
- 請求項1乃至4のいずれかに記載の電子部品。
- [請求項6] 前記面状導体は抵抗体膜である、

請求項 1 乃至 5 のいずれかに記載の電子部品。

[請求項7]

前記基板は半導体基板であり、

前記面状導体は前記半導体基板と共に半導体素子を構成する、

請求項 1 乃至 6 のいずれかに記載の電子部品。

[請求項8]

前記インダクタ用ビア導体は 2 列に配置され、当該 2 列のインダクタ用ビア導体の端部に並んで前記面状導体接続用導体が位置する、

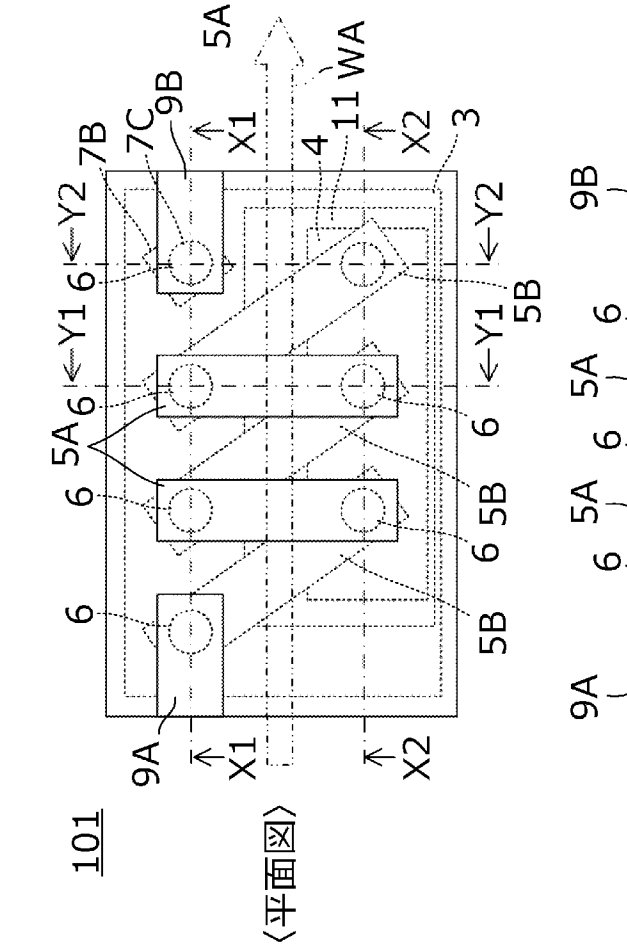
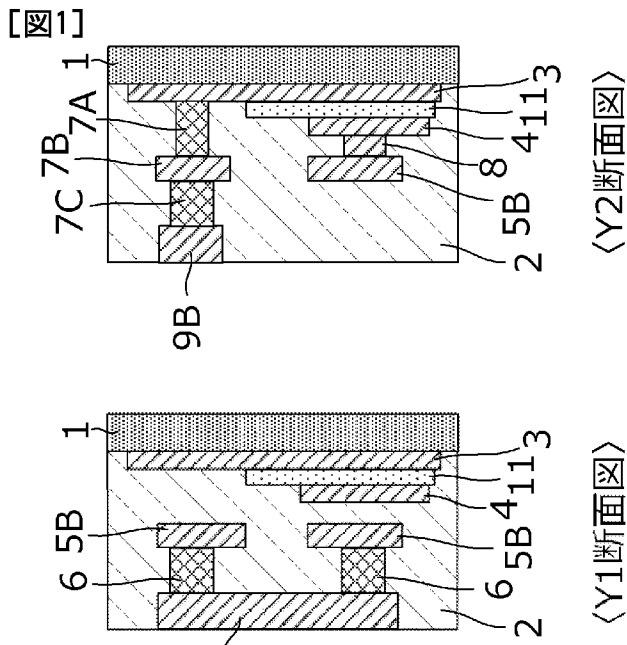
請求項 1 乃至 7 のいずれかに記載の電子部品。

[請求項9]

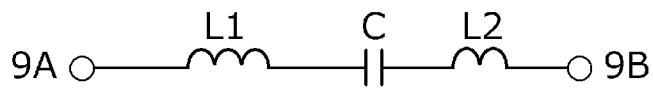
前記インダクタ用ビア導体の端部と前記面状導体接続用導体とは等間隔の位置に配置されている、

請求項 8 に記載の電子部品。

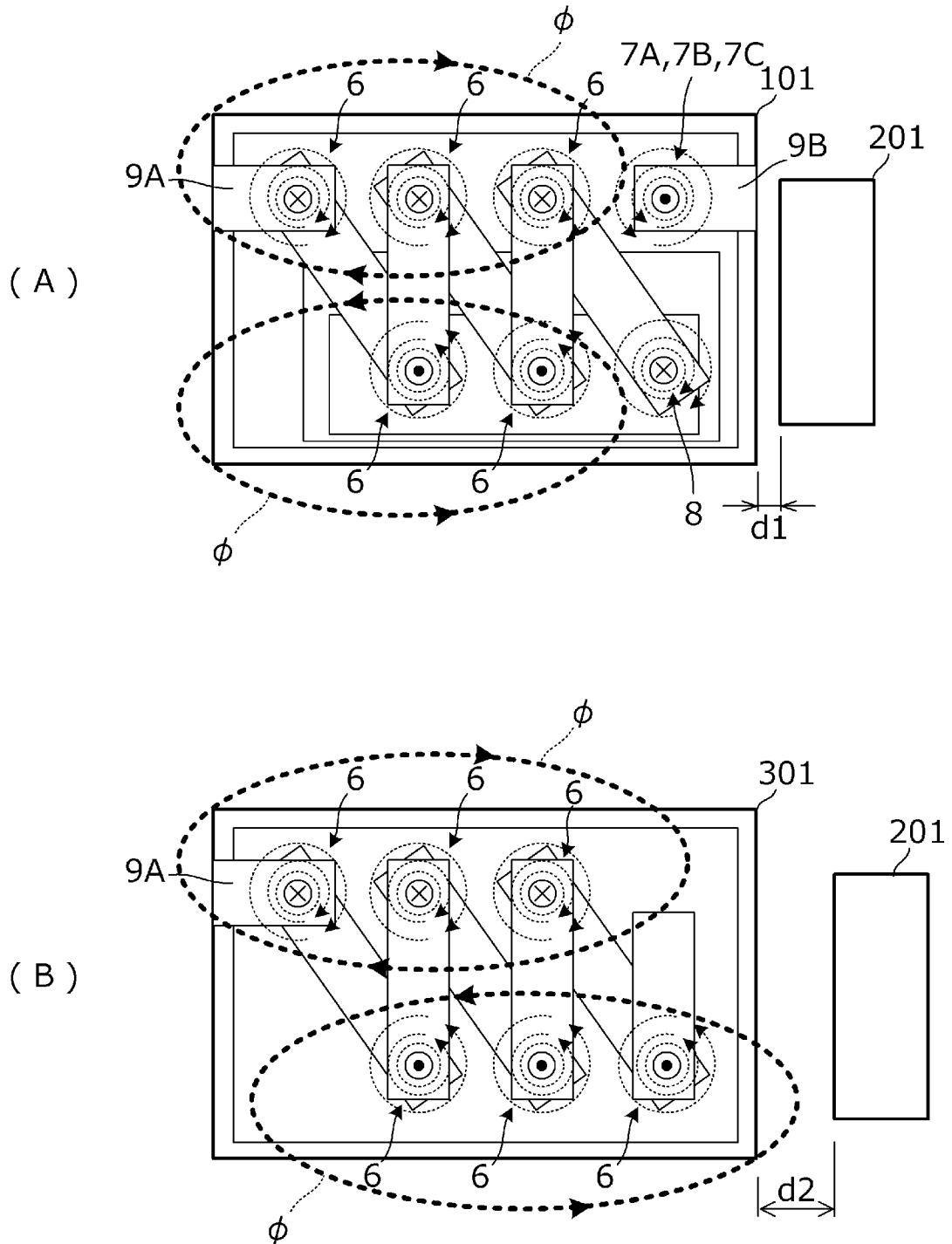
[図1]



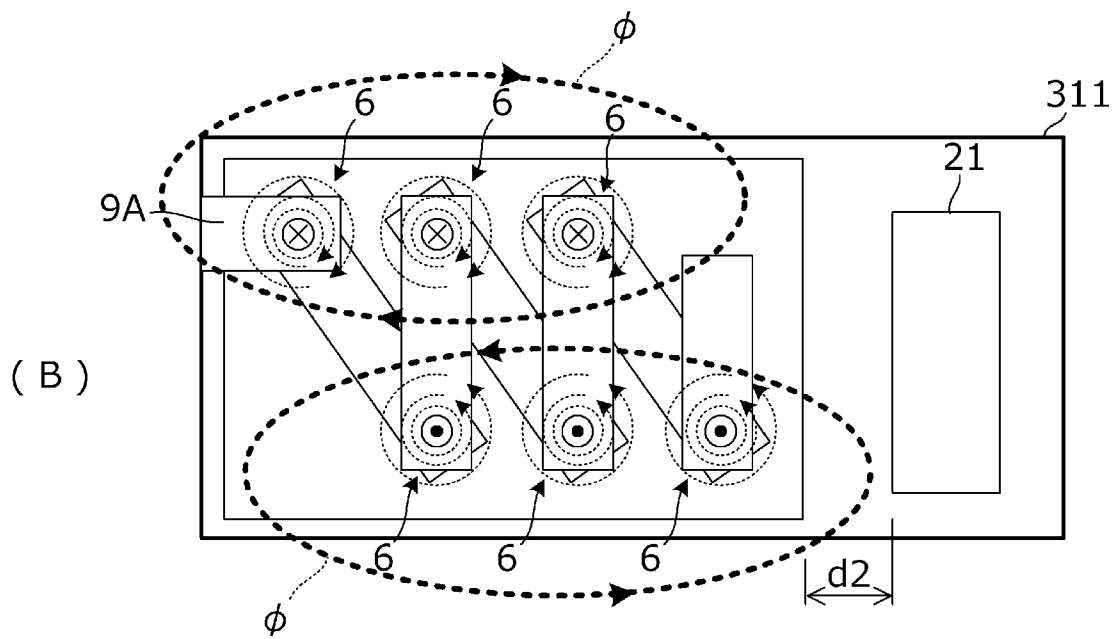
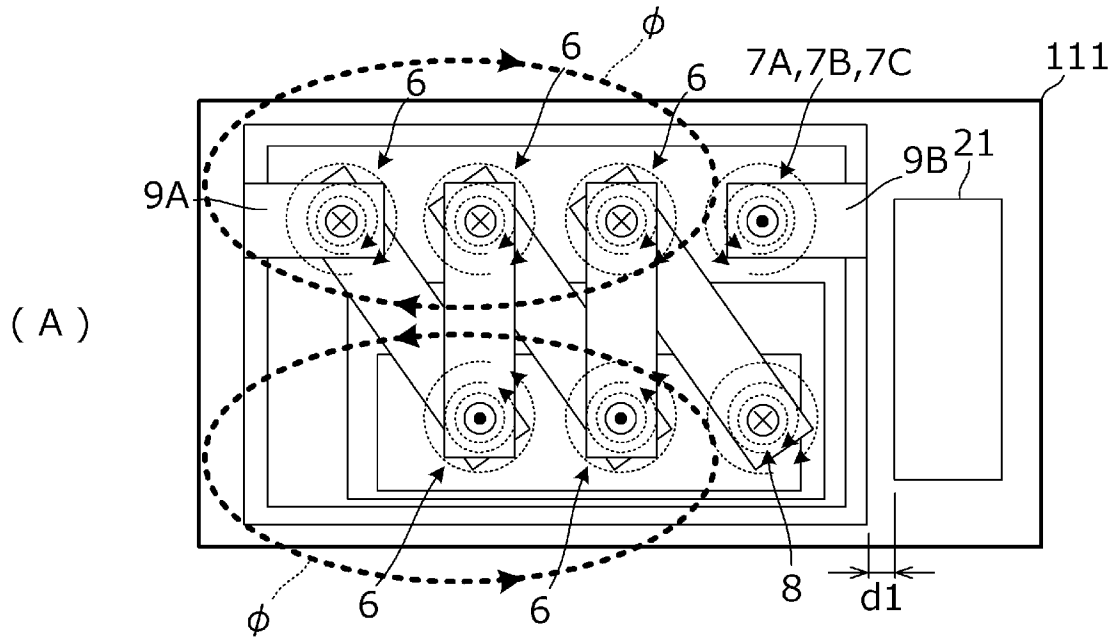
[図2]



[図3]

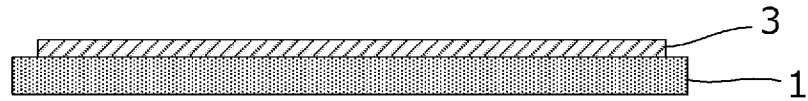


[図4]

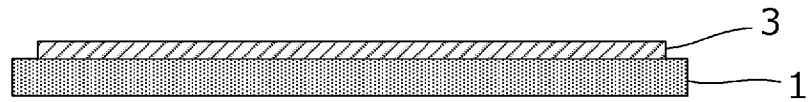


[図6]

〈X1断面図〉

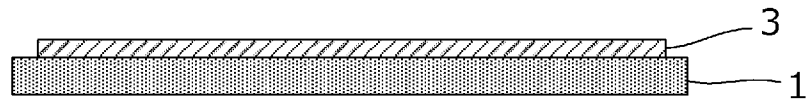


〈X2断面図〉

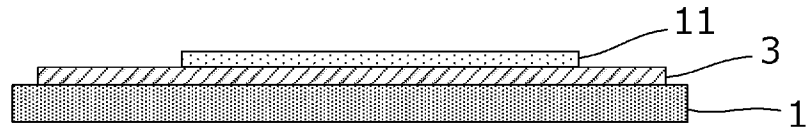


[図7]

〈X1断面図〉

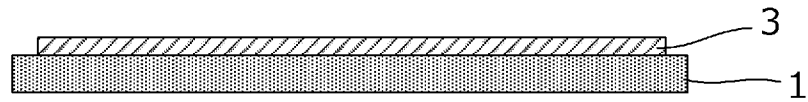


〈X2断面図〉

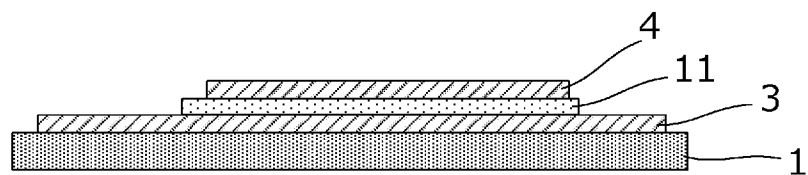


[図8]

〈X1断面図〉

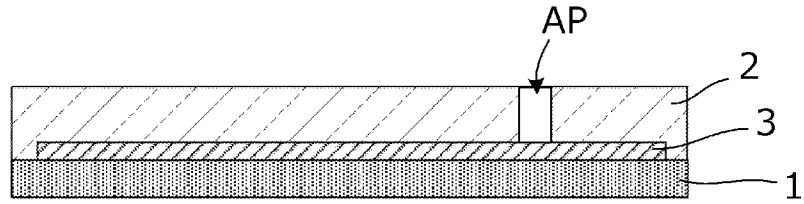


〈X2断面図〉

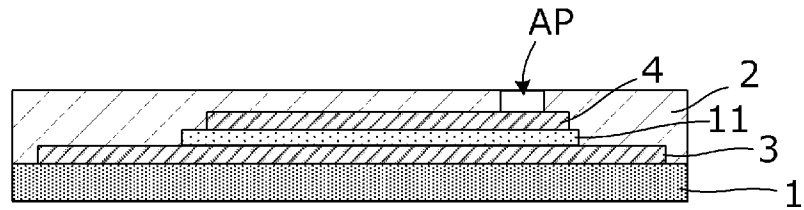


[图9]

〈X1断面图〉

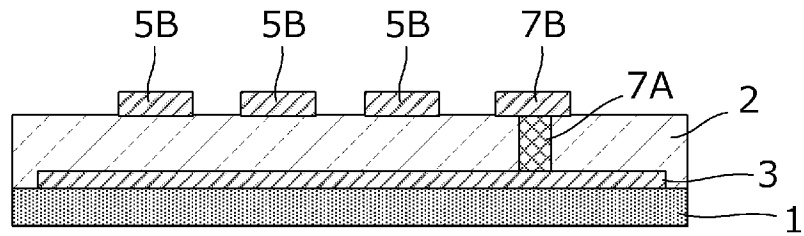


〈X2断面图〉

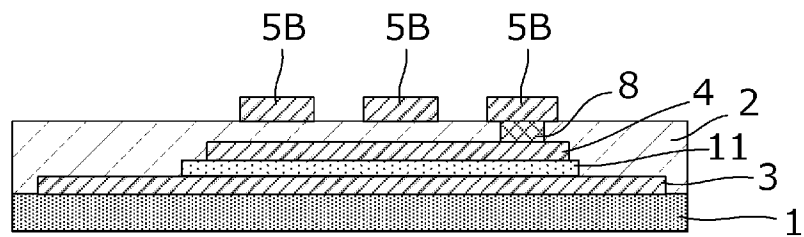


[图10]

〈X1断面图〉

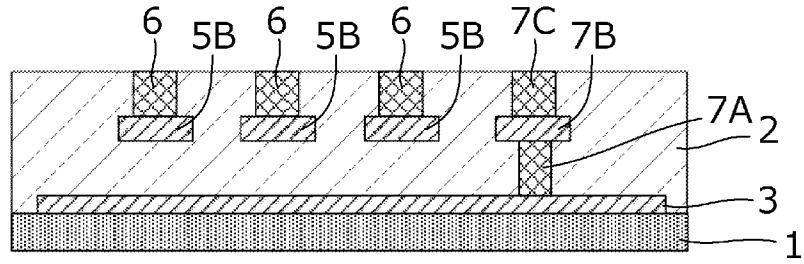


〈X2断面图〉

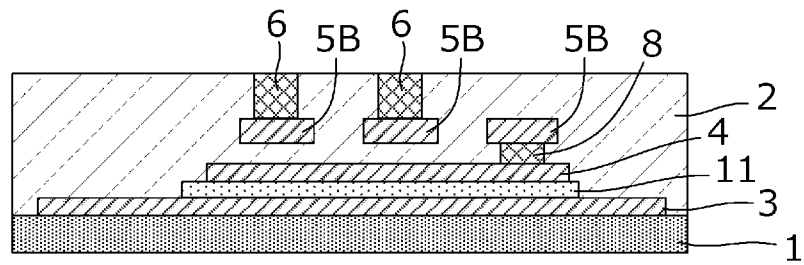


[図11]

〈X1断面図〉

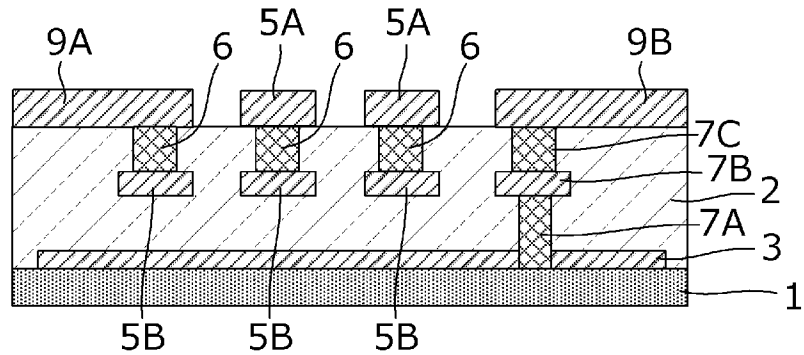


〈X2断面図〉

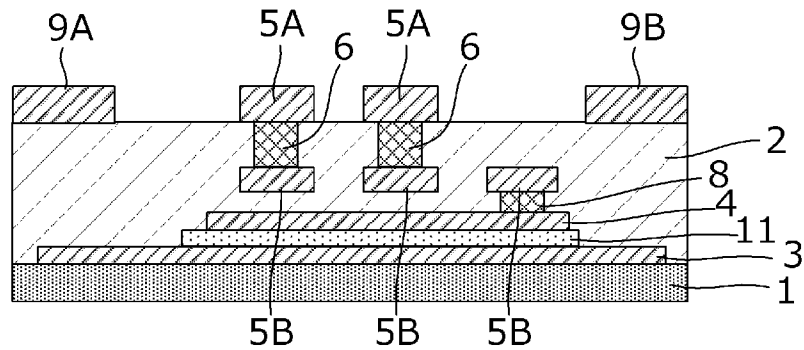


[図12]

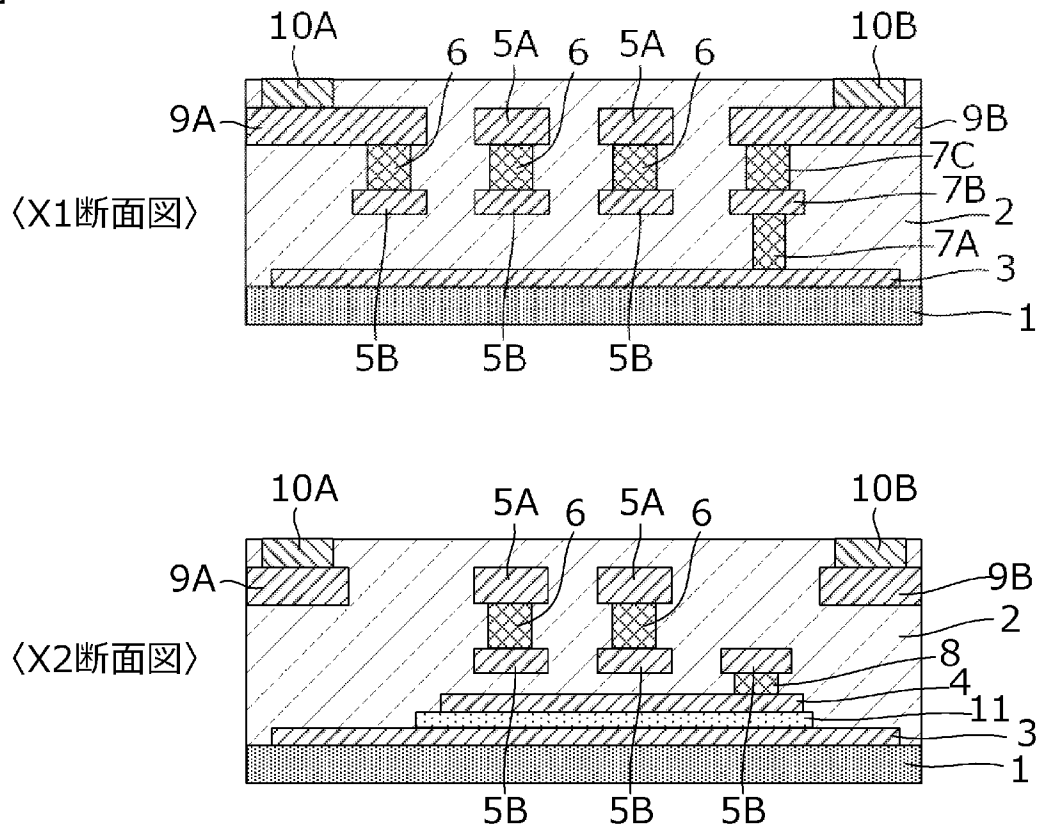
〈X1断面図〉



〈X2断面図〉

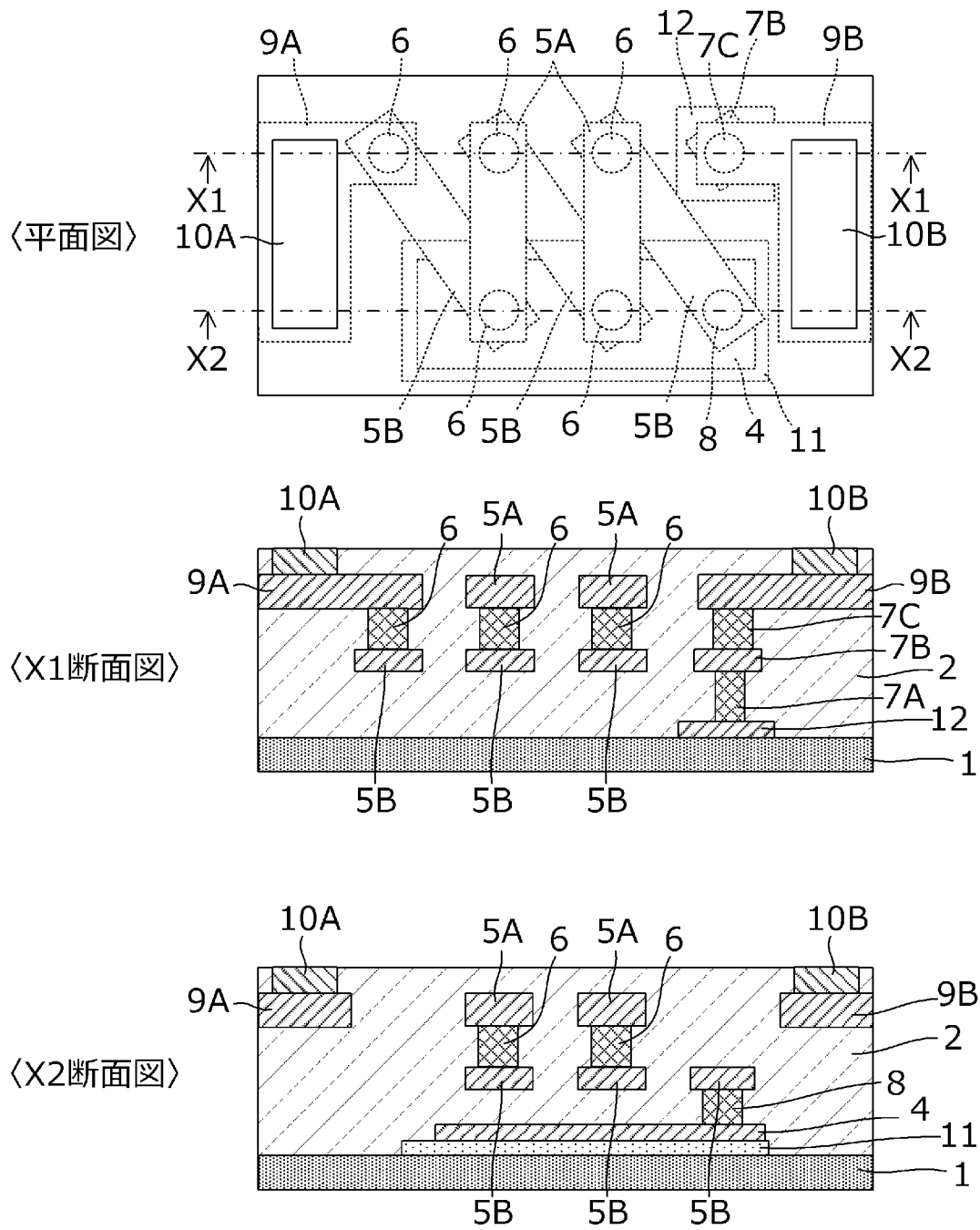


[図13]

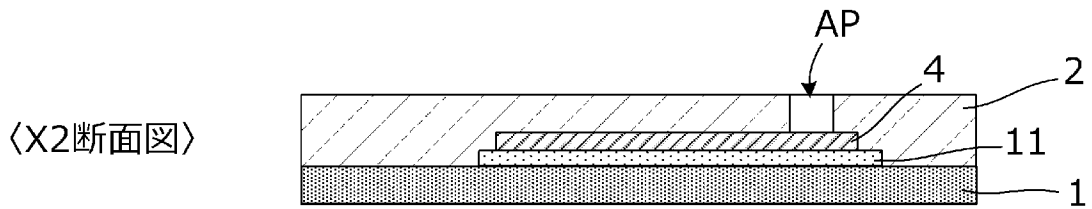
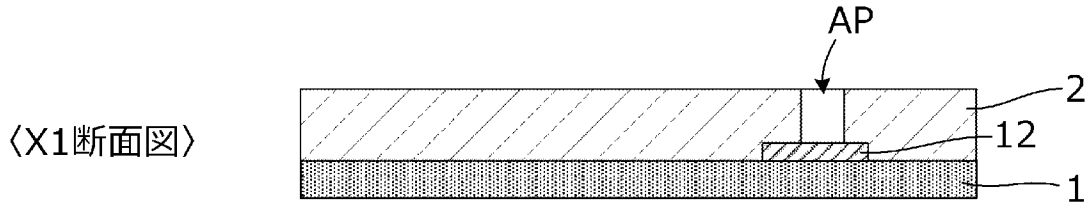


[図14]

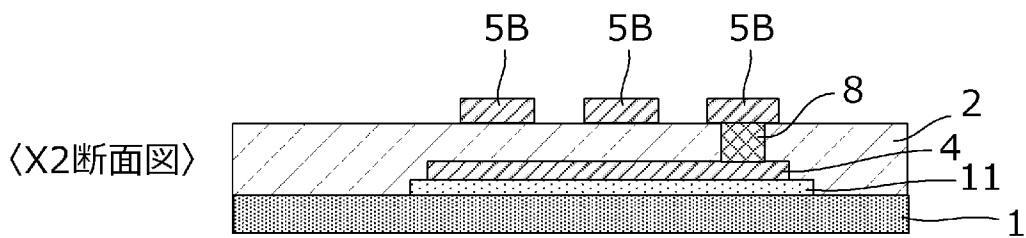
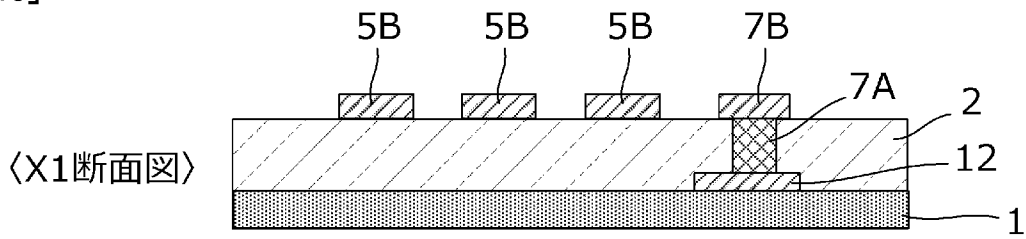
103



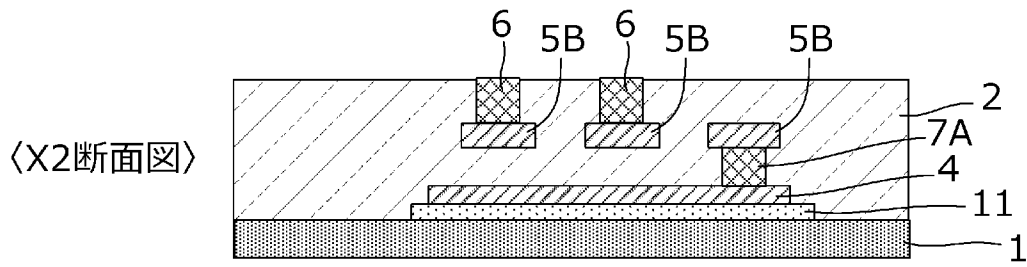
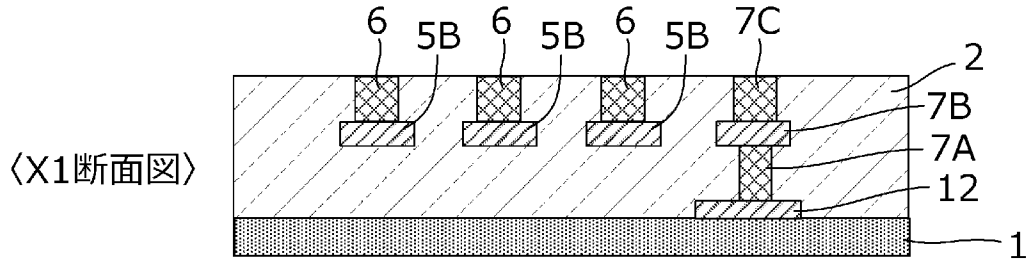
[图15]



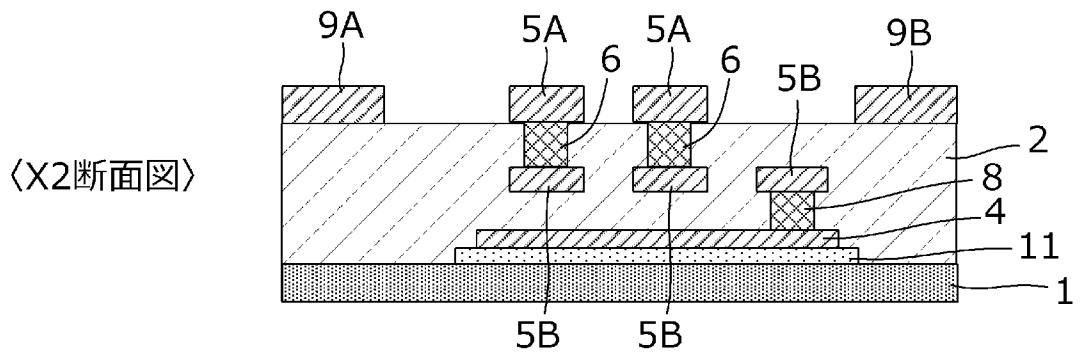
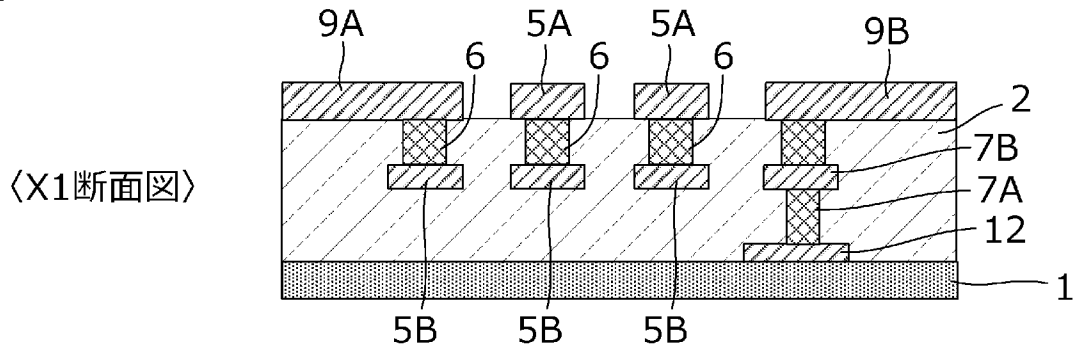
[图16]



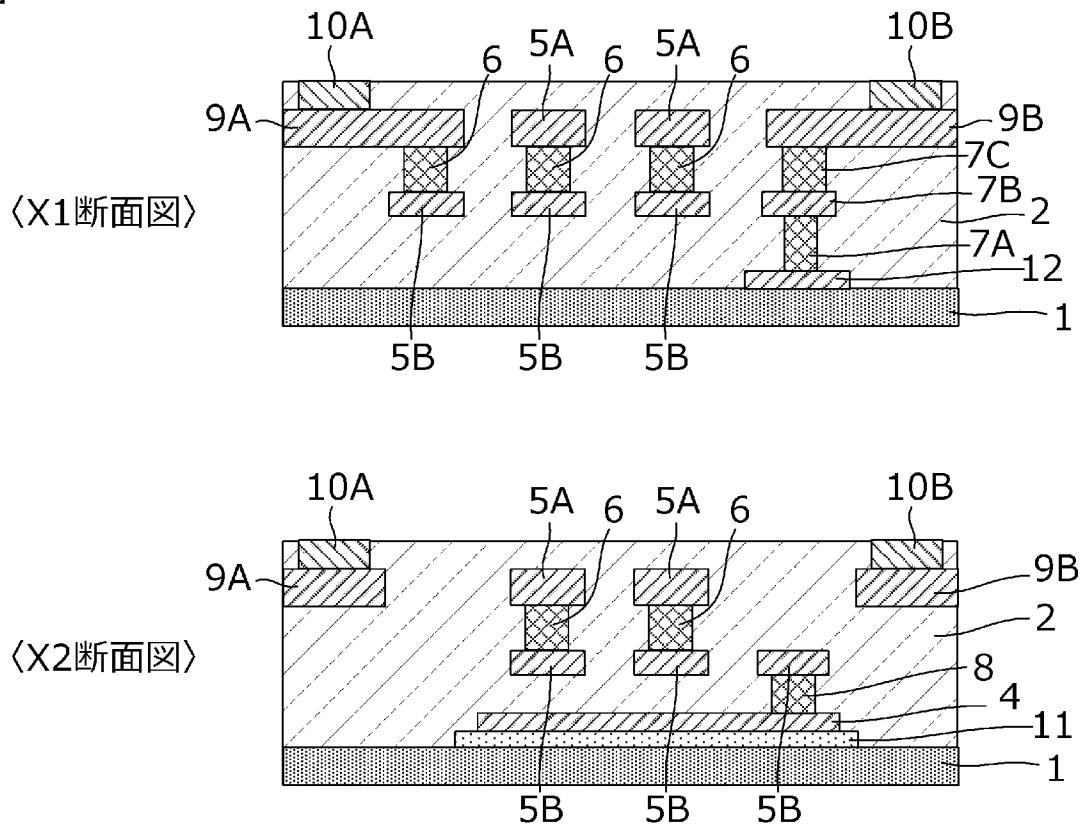
[图17]



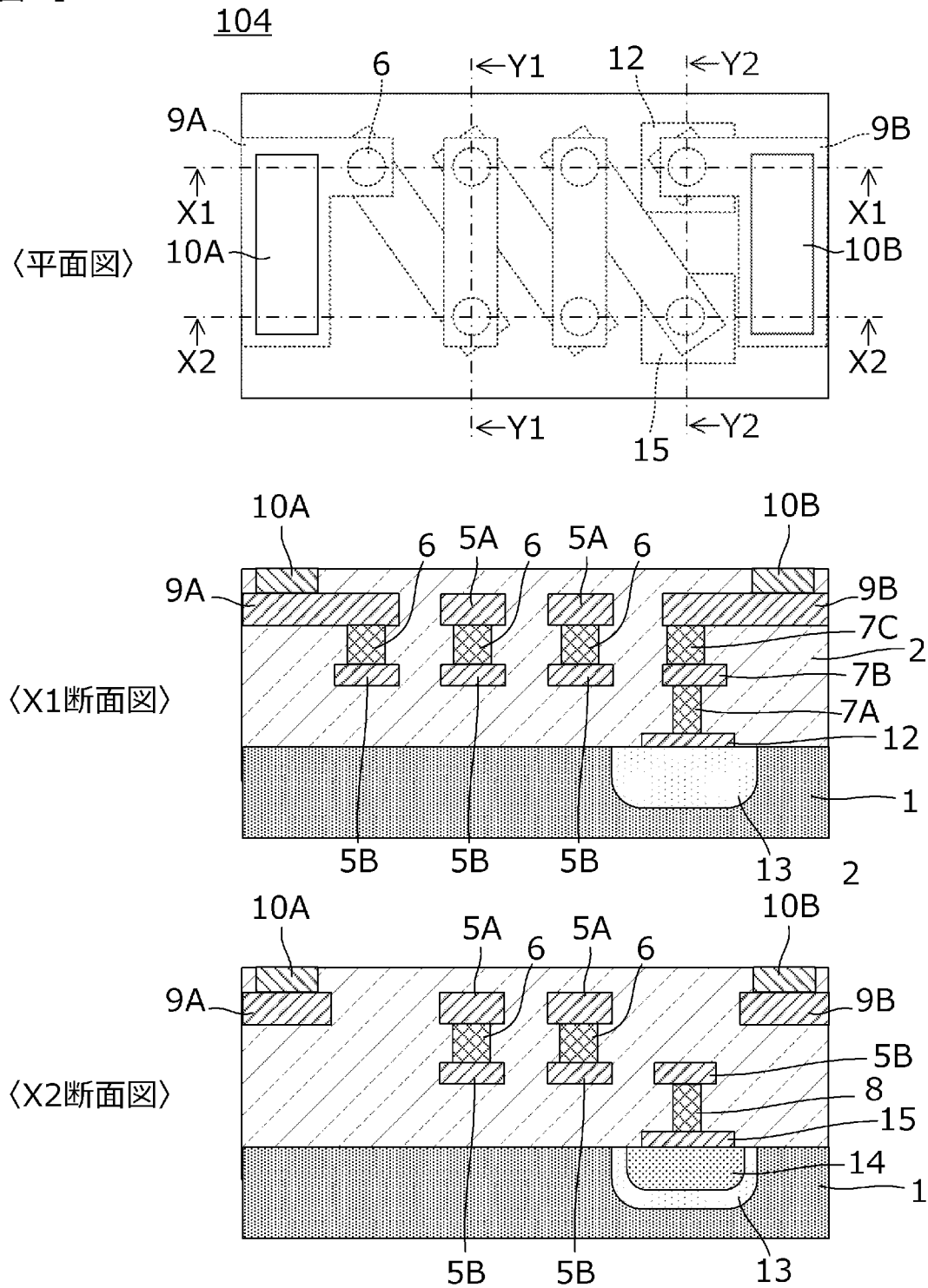
[图18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/023730

A. CLASSIFICATION OF SUBJECT MATTER		
H01L 27/04 (2006.01)i; H01F 17/00 (2006.01)i; H01F 27/00 (2006.01)i FI: H01L27/04 L; H01L27/04 C; H01L27/04 R; H01F17/00 C; H01F27/00 S		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L27/04; H01F17/00; H01F27/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2007/138857 A1 (MURATA MANUFACTURING CO., LTD.) 06 December 2007 (2007-12-06) paragraphs [0049], [0057], fig. 2, 4	1-2, 8-9
Y		1-9
Y	US 5070317 A (BHAGAT, Jayant K.) 03 December 1991 (1991-12-03) column 14, lines 21-24, fig. 22B-22C	1-9
Y	JP 2001-223334 A (TOSHIBA CORP.) 17 August 2001 (2001-08-17) paragraph [0007]	6
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 03 August 2023		Date of mailing of the international search report 22 August 2023
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/JP2023/023730

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO 2007/138857 A1	06 December 2007	US 2009/0065594 A1 paragraphs [0083], [0091], fig. 2, 4 EP 2023275 A1 CN 101460964 A	
US 5070317 A	03 December 1991	(Family: none)	
JP 2001-223334 A	17 August 2001	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/04(2006.01)i; H01F 17/00(2006.01)i; H01F 27/00(2006.01)i FI: H01L27/04 L; H01L27/04 C; H01L27/04 R; H01F17/00 C; H01F27/00 S		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L27/04; H01F17/00; H01F27/00 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2023年 日本国実用新案登録公報 1996-2023年 日本国登録実用新案公報 1994-2023年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2007/138857 A1 (株式会社村田製作所) 06.12.2007 (2007-12-06) 段落[0049], [0057], 図2, 4	1-2, 8-9
Y		1-9
Y	US 5070317 A (BHAGAT, Jayant K.) 03.12.1991 (1991-12-03) 第14欄第21-24行目, 図22B-22C	1-9
Y	JP 2001-223334 A (株式会社東芝) 17.08.2001 (2001-08-17) 段落[0007]	6
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日	03.08.2023	国際調査報告の発送日 22.08.2023
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 脇水 佳弘 5F 2376 電話番号 03-3581-1101 内線 3516	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/023730

引用文献			公表日	パテントファミリー文献			公表日
WO	2007/138857	A1	06.12.2007	US	2009/0065594	A1	
					段落[0083],[0091], 図2,4		
				EP	2023275	A1	
				CN	101460964	A	
US	5070317	A	03.12.1991	(ファミリーなし)			
JP	2001-223334	A	17.08.2001	(ファミリーなし)			