



(12) 发明专利申请

(10) 申请公布号 CN 102842504 A

(43) 申请公布日 2012. 12. 26

(21) 申请号 201110164686. 4

(22) 申请日 2011. 06. 20

(71) 申请人 中芯国际集成电路制造(北京)有限公司

地址 100176 北京市大兴区经济技术开发区文昌大道 18 号

(72) 发明人 刘焕新 涂火金

(74) 专利代理机构 中国国际贸易促进委员会专利商标事务所 11038

代理人 屠长存

(51) Int. Cl.

H01L 21/336(2006. 01)

H01L 29/78(2006. 01)

H01L 29/04(2006. 01)

H01L 29/06(2006. 01)

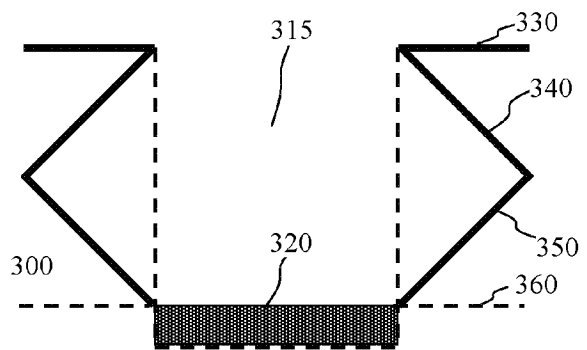
权利要求书 2 页 说明书 6 页 附图 3 页

(54) 发明名称

半导体器件及其制造方法

(57) 摘要

本发明公开了一种半导体器件及其制造方法,旨在改善“Σ”形嵌入式源区/漏区的性能。在 Si 衬底中通过干法蚀刻形成“U”形凹槽之后,在“U”形凹槽底部外延生长 SiGe 层。通过使用对 Si 的蚀刻速度大于对 SiGe 的蚀刻速度的蚀刻剂,从“U”形凹槽的侧壁,对 Si 衬底进行具有晶向选择性的湿法蚀刻,形成“Σ”形凹槽。由于 SiGe 层的存在,“U”形凹槽底部的 Si 被保护而不被蚀刻,从而避免了在进行具有晶向选择性的湿法蚀刻时形成尖的底部。



1. 一种制造半导体器件的方法,包括:
在 Si 衬底中形成“U”形凹槽;
通过外延生长在所述“U”形凹槽的底部形成 SiGe 层;
使用对 Si 的蚀刻速度大于对 SiGe 的蚀刻速度的蚀刻剂,从所述“U”形凹槽的侧壁,对所述 Si 衬底进行具有晶向选择性的湿法蚀刻,从而形成“ Σ ”形凹槽。
2. 如权利要求 1 所述的方法,还包括:
在所述“ Σ ”形凹槽中外延生长 SiGe,以填充所述“ Σ ”形凹槽。
3. 如权利要求 2 所述的方法,其中所述“ Σ ”形凹槽中填充的 SiGe 用于形成 PMOS 器件的源区或漏区。
4. 如权利要求 1 所述的方法,其中所述“U”形凹槽是使用干法蚀刻工艺形成的。
5. 如权利要求 1 所述的方法,其中所述“U”形凹槽的深度在 300 埃至 550 埃之间。
6. 如权利要求 1 所述的方法,其中所述衬底表面和所述“U”形凹槽侧壁的晶面方向基本上分别是 {100} 晶面族和 {110} 晶面族中基本上相互垂直的两个晶面之一,在所述具有晶向选择性的湿法蚀刻中,在 $\langle 111 \rangle$ 晶向上的蚀刻速度小于在其它晶向上的蚀刻速度。
7. 如权利要求 6 所述的方法,其中所述衬底表面的晶面方向是 (001),所述“U”形凹槽的侧壁的晶面方向是 (110)。
8. 如权利要求 6 所述的方法,其中所述蚀刻剂包含四甲基氢氧化铵 (TMAH)。
9. 如权利要求 1 所述的方法,其中在通过外延生长在所述“U”形凹槽的底部形成 SiGe 层的步骤中,还在所述“U”形凹槽的侧壁上形成侧壁 SiGe 薄膜,所述侧壁 SiGe 薄膜的厚度小于所述“U”形凹槽底部的 SiGe 层的厚度,该方法还包括:
在对所述 Si 衬底进行所述湿法蚀刻之前,蚀刻去除所述侧壁 SiGe 薄膜,而保留所述“U”形凹槽底部的所述 SiGe 层的至少一部分覆盖所述“U”形凹槽底部的 Si。
10. 如权利要求 9 所述的方法,其中在所述通过外延生长在所述“U”形凹槽的底部形成 SiGe 层的步骤中,工艺温度为 500°C 至 800°C,压力为 5 托至 50 托。
11. 如权利要求 9 所述的方法,其中在所述通过外延生长在所述“U”形凹槽的底部形成 SiGe 层的步骤中,所使用的工艺气体包含:
SiH₄ 或者 SiH₂Cl₂;
GeH₄;
HCl;
B₂H₆ 或者 BH₃;以及
H₂,
其中 H₂ 的气体流速为 0.1slm 至 50slm,上述其它气体的气体流速为 1sccm 至 1000sccm。
12. 如权利要求 1 所述的方法,其中所述 SiGe 层的厚度为 10 埃至 300 埃。
13. 一种半导体器件,包括:
硅衬底,所述硅衬底中形成有凹陷;以及
填充所述凹陷的硅锗材料,用于形成 PMOS 器件的源区或漏区,
其中所述凹陷具有第一部分和第二部分,
所述衬底表面和所述第一部分的侧壁的晶面方向基本上分别是 {100} 晶面族和 {110}

晶面族中基本上相互垂直的两个晶面之一,并且

所述第二部分位于所述第一部分之上,所述第二部分的侧壁分为上半部分和下半部分,所述上半部分和下半部分的晶面方向基本上分别是(111)和 $(11\bar{1})$ 。

14. 如权利要求 13 所述的方法,其中所述衬底表面的晶面方向基本上是(001),所述第一部分的侧壁的晶面方向基本上是(110)。

15. 如权利要求 13 所述的方法,其中所述第一部分的高度为 10 埃至 300 埃。

半导体器件及其制造方法

技术领域

[0001] 本发明涉及半导体器件及其制造方法,特别涉及一种具有“ Σ ”形嵌入式源漏区的半导体器件及其制造方法。

背景技术

[0002] 在 CMOS 器件中,为了增大 PMOS 器件沟道区的压缩应力,以增强其载流子迁移率,提出了嵌入式硅锗技术。其中使用嵌入式的硅锗来形成源区或漏区,从而对沟道区施加应力。

[0003] 为了增强施加应力的效果,进一步提出了形成“ Σ ”形凹槽以填充硅锗的技术方案。

[0004] 图 1 示意性地示出了衬底中形成的“ Σ ”形凹槽的截面。在该截面图中,衬底 100 的表面 130、凹槽侧壁的上半部分 140 和下半部分 150、以及凹槽底部 180 的延长线 160(用虚线表示)形成“ Σ ”形。

[0005] 图 1 所示出的“ Σ ”形凹槽可以通过使用具有晶向选择性的湿法蚀刻来形成。

[0006] 例如,可以选择衬底 100 的表面的晶面方向为 (001)。如图 2A 所示,首先,例如通过干法蚀刻,在衬底中形成“U”形凹槽 210。凹槽 210 底部的晶面方向也是 (001),侧壁的晶面方向则可以是 (110)。

[0007] 然后,采用具有晶向选择性的湿法蚀刻剂,例如包含四甲基氢氧化铵 (TMAH) 的蚀刻剂,来通过“U”形凹槽 210 对衬底 200 进行蚀刻。在该蚀刻过程中,在 $\langle 111 \rangle$ 晶向上的蚀刻速度小于在其它晶向上的蚀刻速度。由此,“U”形凹槽 210 被蚀刻而成为钻石形的凹槽 215,如图 2B 所示。图 2B 中以虚线示出了原来的“U”形凹槽 210 的位置。凹槽 215 的侧壁具有上半部分 240 和下半部分 250。上半部分 240 和下半部分 250 的晶面方向基本上分别是 (111) 和 $(11\bar{1})$ 。

[0008] 然而,由于在 $\langle 100 \rangle$ 晶向和 $\langle 110 \rangle$ 晶向上的蚀刻速度比在 $\langle 111 \rangle$ 晶向上的蚀刻速度大,所以凹槽 215 底部很容易被过度蚀刻,从而使得凹槽 215 两侧侧壁的下半部分 250 相交。于是,该各向异性蚀刻的结果往往导致凹槽 215 的底部是尖的,而不是平的。

[0009] 而如果凹槽 215 的底部是尖的,那么当在凹槽 215 中外延生长 SiGe 时,不能得到高质量的 SiGe。

发明内容

[0010] 本发明的一个目的是提供一种制造半导体器件的方法,其能防止在形成“ Σ ”形凹槽时形成尖的底部。

[0011] 根据本发明的第一方面,提供了一种制造半导体器件的方法,包括:在 Si 衬底中形成“U”形凹槽;通过外延生长在“U”形凹槽的底部形成 SiGe 层;使用对 Si 的蚀刻速度大于对 SiGe 的蚀刻速度的蚀刻剂,从“U”形凹槽的侧壁,对 Si 衬底进行具有晶向选择性的湿法蚀刻,从而形成“ Σ ”形凹槽。

- [0012] 优选地,该方法还包括:在“ Σ ”形凹槽中外延生长 SiGe,以填充“ Σ ”形凹槽。
- [0013] 优选地,“ Σ ”形凹槽中填充的 SiGe 用于形成 PMOS 器件的源区或漏区。
- [0014] 优选地,“U”形凹槽可以是使用干法蚀刻工艺形成的。
- [0015] 优选地,“U”形凹槽的深度可以在 300 埃至 550 埃之间。
- [0016] 优选地,衬底表面和“U”形凹槽侧壁的晶面方向基本上分别是 {100} 晶面族和 {110} 晶面族中基本上相互垂直的两个晶面之一。在上述具有晶向选择性的湿法蚀刻中,在 $\langle 111 \rangle$ 晶向上的蚀刻速度小于在其它晶向上的蚀刻速度。
- [0017] 优选地,衬底表面的晶面方向是 (001),“U”形凹槽的侧壁的晶面方向是 (110)。
- [0018] 优选地,蚀刻剂可以包含四甲基氢氧化铵 (TMAH)。
- [0019] 可选地,在通过外延生长在“U”形凹槽的底部形成 SiGe 层的步骤中,还在“U”形凹槽的侧壁上形成侧壁 SiGe 薄膜,侧壁 SiGe 薄膜的厚度小于“U”形凹槽底部的 SiGe 层的厚度,该方法还包括:在对 Si 衬底进行湿法蚀刻之前,蚀刻去除侧壁 SiGe 薄膜,而保留“U”形凹槽底部的 SiGe 层的至少一部分覆盖“U”形凹槽底部的 Si。
- [0020] 在通过外延生长在“U”形凹槽的底部形成 SiGe 层的步骤中,优选地,工艺温度为 500°C 至 800°C,压力为 5 托至 50 托。优选地,所使用的工艺气体包含:
- [0021] SiH_4 或者 SiH_2Cl_2 ;
- [0022] GeH_4 ;
- [0023] HCl ;
- [0024] B_2H_6 或者 BH_3 ;以及
- [0025] H_2 ,
- [0026] 其中 H_2 的气体流速为 0.1sim 至 50sim,上述其它气体的气体流速为 1scm 至 1000scm。
- [0027] 优选地, SiGe 层的厚度可以为 10 埃至 300 埃。
- [0028] 根据本发明的第二方面,提供了一种用于一种半导体器件,包括:硅衬底,硅衬底中形成有凹陷;以及填充凹陷的硅锗材料,用于形成 PMOS 器件的源区或漏区,其中凹陷具有第一部分和第二部分,衬底表面和第一部分的侧壁的晶面方向基本上分别是 {100} 晶面族和 {110} 晶面族中基本上相互垂直的两个晶面之一,并且第二部分位于第一部分之上,第二部分的侧壁分为上半部分和下半部分,上半部分和下半部分的晶面方向基本上分别是 (111) 和 $(11\bar{1})$ 。
- [0029] 优选地,衬底表面的晶面方向基本上是 (001),第一部分的侧壁的晶面方向基本上是 (110)。
- [0030] 优选地,第一部分的高度可以为 10 埃至 300 埃。
- [0031] 本发明的一个优点在于,在湿法蚀刻工艺中保护了凹槽底部的硅不被蚀刻,从而防止了在形成“ Σ ”形凹槽时形成尖的底部。
- [0032] 通过以下参照附图对本发明的示例性实施例的详细描述,本发明的其它特征及其优点将会变得清楚。

附图说明

- [0033] 构成说明书的一部分的附图描述了本发明的实施例,并且连同说明书一起用于解

释本发明的原理。

[0034] 参照附图,根据下面的详细描述,可以更加清楚地理解本发明,其中:

[0035] 图 1 是示意性地示出“ Σ ”形凹槽的截面图。

[0036] 图 2A 和 2B 是示意性地示出现有技术中形成“ Σ ”形凹槽的工艺各个阶段的截面图。

[0037] 图 3A 至图 3D 是示意性地示出根据本发明的半导体器件制造方法的各个阶段的截面图。

[0038] 图 4 是根据本发明的制造半导体器件的方法的工艺流程图。

具体实施方式

[0039] 现在将参照附图来详细描述本发明的各种示例性实施例。应注意到:除非另外具体说明,否则在这些实施例中阐述的部件和步骤的相对布置、数字表达式和数值不限制本发明的范围。

[0040] 同时,应当明白,为了便于描述,附图中所示出的各个部分的尺寸并不是按照实际的比例关系绘制的。

[0041] 以下对至少一个示例性实施例的描述实际上仅仅是说明性的,决不作为对本发明及其应用或使用的任何限制。

[0042] 对于相关领域普通技术人员已知的技术、方法和设备可能不作详细讨论,但在适当情况下,所述技术、方法和设备应当被视为授权说明书的一部分。

[0043] 在这里示出和讨论的所有示例中,任何具体值应被解释为仅仅是示例性的,而不是作为限制。因此,示例性实施例的其它示例可以具有不同的值。

[0044] 应注意到:相似的标号和字母在下面的附图中表示类似项,因此,一旦某一项在一个附图中被定义,则在随后的附图中不需要对其进行进一步讨论。

[0045] 如本领域所公知, {100} 晶面族包括 (100) 晶面、(010) 晶面、(001) 晶面, {110} 晶面族包括 (110) 晶面、(101) 晶面、(011) 晶面、 $(1\bar{1}0)$ 晶面、 $(10\bar{1})$ 晶面、 $(01\bar{1})$ 晶面, {111} 晶面族则包括 (111) 晶面、 $(\bar{1}11)$ 晶面、 $(1\bar{1}1)$ 晶面、 $(11\bar{1})$ 晶面。

[0046] 如本领域所公知, $\langle 100 \rangle$ 晶向族包括 [100] 晶向、[010] 晶向、[001] 晶向, $\langle 110 \rangle$ 晶向族包括 [110] 晶向、[101] 晶向、[011] 晶向、 $[1\bar{1}0]$ 晶向、 $[10\bar{1}]$ 晶向、 $[01\bar{1}]$ 晶向, $\langle 111 \rangle$ 晶向族则包括 [111] 晶向、 $[\bar{1}11]$ 晶向、 $[1\bar{1}1]$ 晶向、 $[11\bar{1}]$ 晶向。为便于描述,本申请文件中,将“晶向族”简称为“晶向”。例如,“ $\langle 111 \rangle$ 晶向”意指“ $\langle 111 \rangle$ 晶向族”。

[0047] 下面参考图 3A 至 3D 所示出的各个阶段的截面图以及图 4 所示出的工艺流程图,描述根据本发明的制造半导体器件的方法。

[0048] 半导体器件中往往既有 NMOS 器件,也有 PMOS 器件。在 CMOS 器件中尤其如此。

[0049] 而使用嵌入式硅锗形成的源区或漏区往往用于 PMOS 器件。因此,在执行下面描述的各个步骤之前,可以用掩模遮蔽要形成 NMOS 器件的部分,而暴露要形成 PMOS 器件的部分,从而只在要形成 PMOS 器件的部分中形成凹槽,并填充嵌入式硅锗。

[0050] 首先,在步骤 S410,在衬底 300 中形成“U”形凹槽 310,如图 3A 所示。衬底 300 的材料例如可以是硅 (Si)。

[0051] 例如,可以通过公知的干法蚀刻工艺来形成“U”形凹槽 310。

[0052] 可以以衬底 300 上形成的栅极及栅极侧壁间隔件(均未示出)作为掩模来对衬底 300 进行蚀刻以形成“U”形凹槽 310。

[0053] “U”形凹槽 310 的深度可以根据所期望的源区/漏区的深度来确定,例如可以在 300 埃至 550 埃之间。

[0054] “U”形凹槽底部可以基本上平行于衬底表面。“U”形凹槽侧壁可以基本上垂直于衬底表面。

[0055] 衬底表面和“U”形凹槽侧壁的晶面方向例如可以基本上分别是 {100} 晶面族和 {110} 晶面族中的任意晶面。

[0056] 例如,当衬底表面的晶面方向为 (001) 时,“U”形凹槽侧壁的晶面方向可以是 (110)、 $(1\bar{1}0)$ 、(100) 或 (010)。

[0057] 而当衬底表面的晶面方向为 (110) 时,“U”形凹槽侧壁的晶面方向可以是 $(1\bar{1}0)$ 或 (001)。

[0058] 考虑到目前常用的晶片表面的晶面方向为 (001),比较方便的是,衬底表面的晶面方向为 (001)。

[0059] 当沟道取向被选择为 $\langle 110 \rangle$ 晶向以获得更大的载流子迁移率时,“U”形凹槽的侧壁的晶面方向例如可以基本上是 (110) 或 $(1\bar{1}0)$ 。

[0060] 在本申请文件中,在衬底表面的晶面方向选择为 (001) 的情况下,当提到“(11x) 晶面”时,意欲涵盖 (11x) 晶面和 $(1\bar{1}x)$ 晶面,其中,“x”表示“0”、“1”或“ $\bar{1}$ ”。

[0061] 接下来,在步骤 S420,通过外延生长在“U”形凹槽 310 的底部形成硅锗 (SiGe) 层 320。

[0062] 标准的 SiGe 外延生长工艺是自下向上的工艺,主要从底部向上生长,而从侧壁生长的速度相对较慢。因此,相对于底部生长的 SiGe 的厚度,侧壁生长的 SiGe(如果有的话)的厚度很小。

[0063] 通过选择外延生长的工艺气体和工艺条件,可以使得在侧壁上的生长速度更加显著地小于从底部向上的生长速度。

[0064] 例如,工艺气体可以包含:

[0065] SiH_4 或者 SiH_2Cl_2 ;

[0066] GeH_4 ;

[0067] HCl ;

[0068] B_2H_6 或者 BH_3 ;以及

[0069] H_2 ,

[0070] 其中 H_2 的气体流速可以为 0.1s1m 至 50s1m,上述其它气体的气体流速可以为 1sccm 至 1000sccm。

[0071] 工艺温度可以为 500°C 至 800°C ,压力可以为 5 托至 50 托。

[0072] 所形成的 SiGe 层 320 的厚度例如可以是 10 埃至 300 埃。

[0073] 如上所述,在“U”形凹槽侧壁上可能也会形成较薄的侧壁 SiGe 薄膜(图中未示出),该侧壁 SiGe 薄膜的厚度小于底部的 SiGe 层的厚度。在一次实验中,当在底部外延生

长约 14.3nm 的 SiGe 时,在侧壁上只生长了 1nm 至 2nm 的 SiGe。

[0074] 可以在下面描述的湿法蚀刻工艺之前,首先采用专门的蚀刻步骤去除侧壁 SiGe 薄膜。也可以通过下面描述的湿法蚀刻工艺,在蚀刻 Si 衬底之前,先去除该侧壁 SiGe 薄膜。

[0075] 在蚀刻去除侧壁 SiGe 薄膜的同时,虽然底部的 SiGe 层也会损失一小部分,但是由于其厚度更大,所以总能留下至少一部分以继续覆盖“U”形凹槽底部的 Si。

[0076] 然后,在步骤 S430 中,从“U”形凹槽 310 的侧壁,对 Si 衬底 300 进行具有晶向选择性的湿法蚀刻。

[0077] 具有晶向选择性的湿法蚀刻为本领域所公知。例如,在 $\langle 111 \rangle$ 晶向上的蚀刻速度可以小于在其它晶向上的蚀刻速度。

[0078] 由此,该湿法蚀刻将停止在 (111) 晶面和 $(11\bar{1})$ 晶面上,从而形成“ Σ ”形凹槽 315,如图 3C 所示。在图 3C 所示的截面图中,衬底 300 的表面 330、凹槽侧壁的上半部分 340 和下半部分 350、以及 SiGe 层上表面的延长线 360(用虚线表示)形成“ Σ ”形。

[0079] 同时,这里使用的蚀刻剂对 Si 的蚀刻速度大于对 SiGe 的蚀刻速度。本领域技术人员应该明白,有多种蚀刻剂可以选择。

[0080] 作为示例,可以使用四甲基氢氧化铵 (TMAH)。TMAH 对 SiGe 的蚀刻速度比对 Si 的蚀刻速度小很多。下表示出了对使用 TMAH 对 SiGe 进行蚀刻的实验数据。其中,VDHF 是稀释的氢氟酸 ($\text{HF} : \text{H}_2\text{O} = 1 : 300 \sim 1 : 500$)。

[0081]

湿法清洗之前		使用 VDHF 清洗 300 秒之后		使用 TMAH 第一次 蚀刻 30 秒之后		使用 TMAH 第二次 蚀刻 30 秒之后	
SiGe 厚度(埃)	Ge%	SiGe 厚度(埃)	Ge%	SiGe 厚度(埃)	Ge%	SiGe 厚度(埃)	Ge%
563.26	19.44	560.53	19.44	532.25	19.52	504.2	19.6
变化量(埃)		2.73		28.28		28.05	

[0082] 在先后两次使用 TMAH 蚀刻各 30 秒之后,共一分钟时间总计蚀刻去除了 56.33 埃的 SiGe。而 TMAH 对 Si 的蚀刻速度大致为 500 埃 / 分钟。

[0083] 因此,“U”形凹槽底部的 SiGe 层 320 可以在此湿法蚀刻过程中用作阻挡层,以防止其所覆盖的 Si 被蚀刻。而未被 SiGe 层覆盖的侧壁则被蚀刻而形成“ Σ ”形。

[0084] 至此,已经形成了具有基本上平坦的底表面的“ Σ ”形凹槽 315。由于 SiGe 层 320 的存在,防止了“U”形凹槽 310 底部的 Si 被蚀刻,从而克服了现有技术中形成尖的底部的技术问题。

[0085] 然后,可以在步骤 S440 中,在“ Σ ”形凹槽 315 中外延生长 SiGe370,以填充“ Σ ”形凹槽 315,如图 3D 所示。在此步骤中, SiGe 层 320 可以用作籽层。

[0086] “ Σ ”形凹槽 315 中所填充的 SiGe 用来形成 PMOS 器件的源区或漏区。

[0087] 图 3D 示意性地示出了根据本发明的方法制造的半导体器件所具有的“ Σ ”形嵌入式 SiGe 源 / 漏区结构。

[0088] 如图 3D 所示,根据本发明的半导体器件的硅衬底中形成有凹陷。凹陷中填充有硅锆材料。所填充的硅锆材料用于形成 PMOS 器件的源区或漏区。

[0089] 凹陷具有第一部分（对应于第一次外延生长的 SiGe 层 320）和第二部分（对应于第二次外延生长的 SiGe 370）。

[0090] 衬底 300 的表面和第一部分 320 的侧壁的晶面方向基本上分别是 {100} 晶面族和 {110} 晶面族中基本上相互垂直的两个晶面之一。

[0091] 如上所述,比较方便的是,衬底 300 的表面的晶面方向基本上为 (001)。当沟道方向选择为 $\langle 110 \rangle$ 晶向时,第一部分 320 的侧壁的晶面方向可以基本上是 (110)。

[0092] 第二部分 370 位于第一部分 320 之上。

[0093] 第二部分 370 的侧壁分为上半部分 340 和下半部分 350,上半部分 340 和下半部分 350 的晶面方向基本上分别是 (111) 和 $(11\bar{1})$ 。

[0094] 第一部分 320 的高度可以为 10 埃至 300 埃。

[0095] 至此,已经详细描述了根据本发明的制造半导体器件的方法和所形成的半导体器件。为了避免遮蔽本发明的构思,没有描述本领域所公知的一些细节。本领域技术人员根据上面的描述,完全可以明白如何实施这里公开的技术方案。

[0096] 虽然已经通过示例对本发明的一些特定实施例进行了详细说明,但是本领域的技术人员应该理解,以上示例仅是为了进行说明,而不是为了限制本发明的范围。本领域的技术人员应该理解,可在不脱离本发明的范围和精神的情况下,对以上实施例进行修改。本发明的范围由所附权利要求来限定。

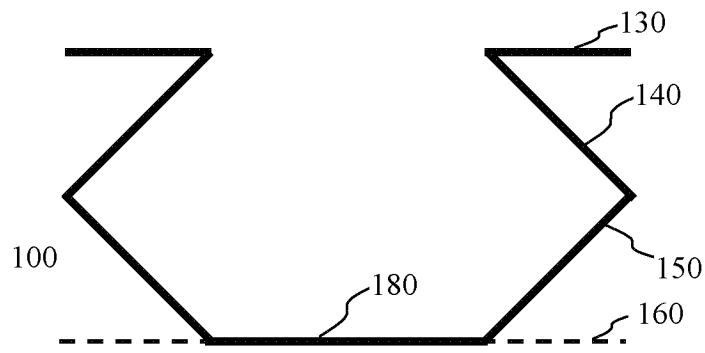


图 1

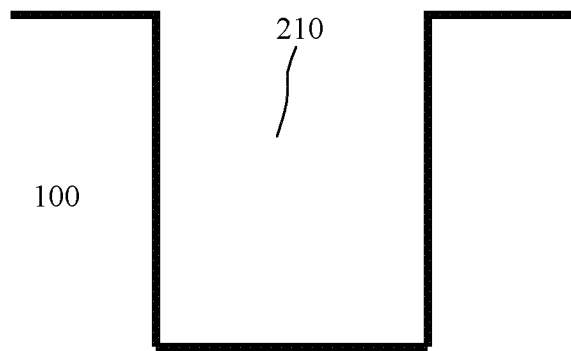


图 2A

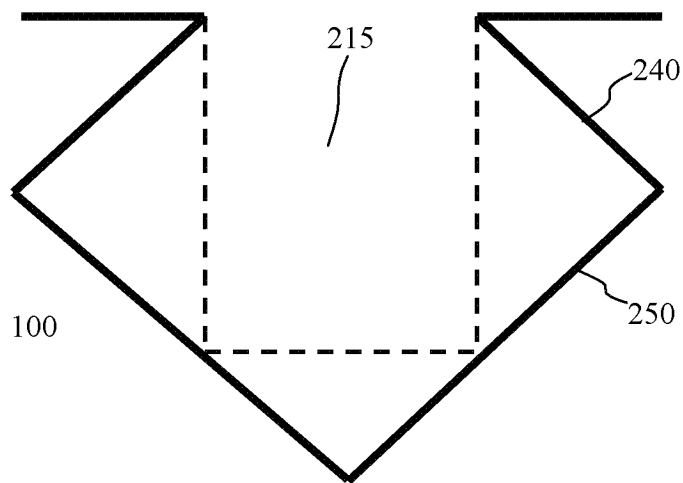


图 2B

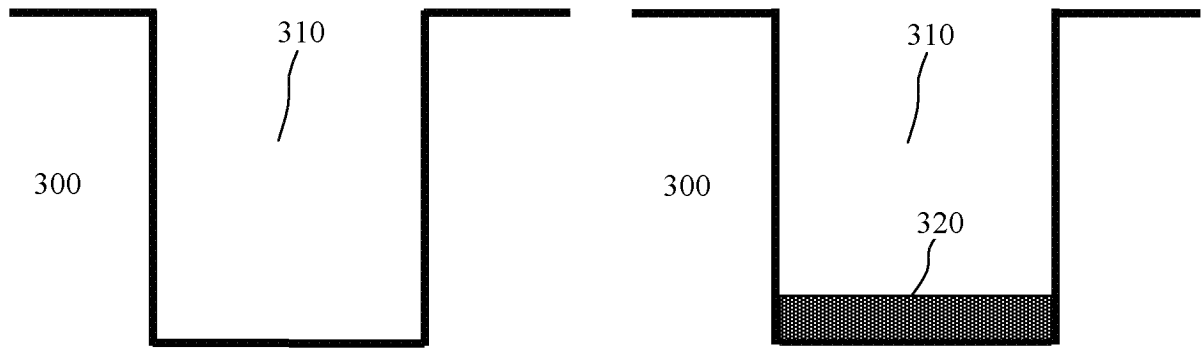


图 3A

图 3B

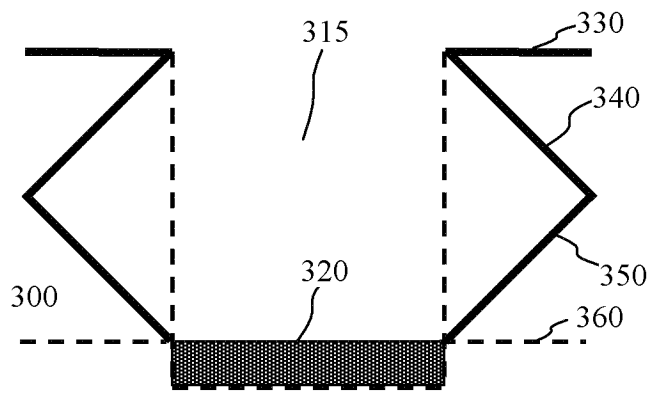


图 3C

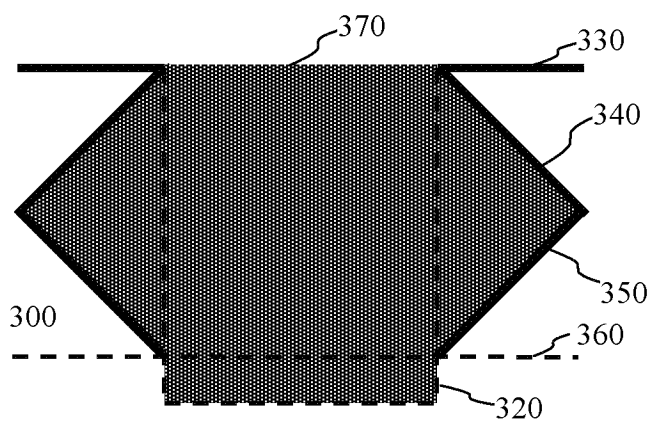


图 3D

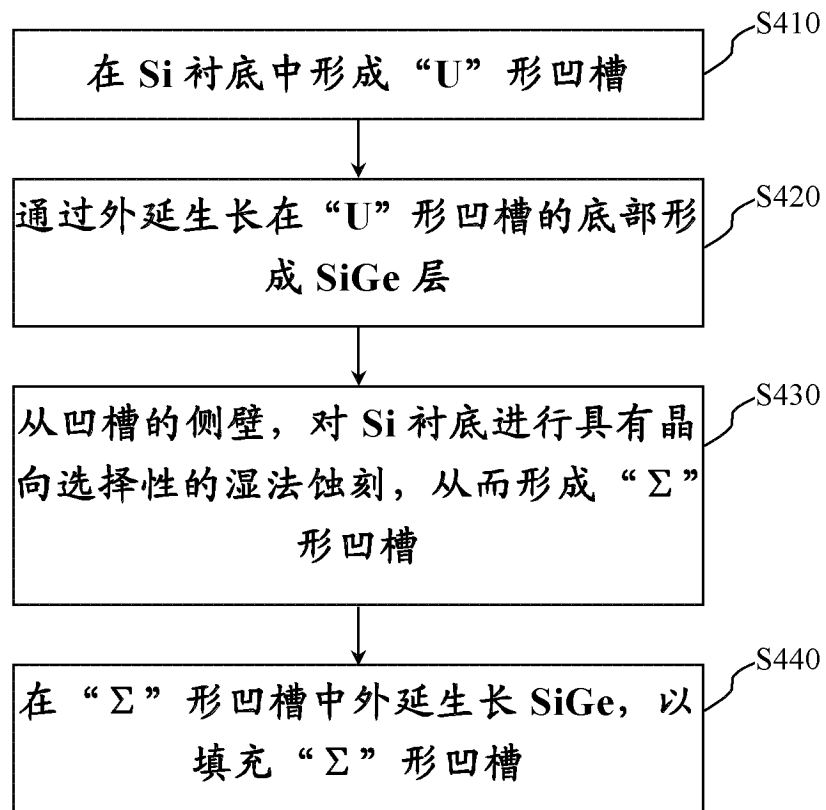


图 4