[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
G11C 11/40

[12]发明专利说明书

[21] ZL 专利号 96119754.4

[45]授权公告日 2002 年 2 月 27 日

[11]授权公告号 CN 1079981C

[22]申请日 1996.12.11 [24]颁证日 2002.2.27
[21]申请号 96119754.4
[30]优先权
[32]1995.12.11 [33]JP [31]321760/95
[73]专利权人 三菱电机株式会社
地址 日本东京都
[72]发明人 飞田洋一
[56]参考文献

US 4559548A	1985.12.17	H01L27/04
US 5394365A	1995. 2.28	G11C5/14

审查员 樊晓东

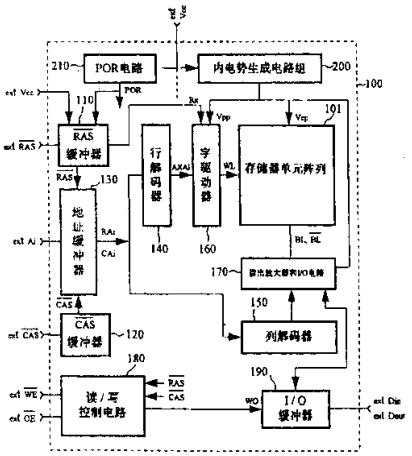
[74]专利代理机构 中国专利代理(香港)有限公司
代理人 王 勇 萧掬昌

权利要求书 1 页 说明书 8 页 附图页数 9 页

[54]发明名称 电势生成电路

[57]摘要

一个电势生成电路,包括至少一对 MOS 晶体管,每个晶体管都是 连成二极管的且串联连接于一个输出节点与一给定电势节点间,以便按 同一正方向排列,此两晶体管的各自的背栅极与栅极相连。一个电容连 接在所说一对 MOS 晶体管的连接节点与一输入接点间,交流信号由此 输入节点输入。



ISSN1008-4274

权 利 要 求 书

1.电势生成电路，包括:

至少一对MOS晶体管，其中每一个晶体管都是连成二极管的且串联连接在输出节点与一个给定电势节点间，以便可以按同一正方向排列，；

一个电容，连接于所说一对MOS晶体管的连接节点和一个输入节点间，所说输入节点可输入交流信号，其特征在于

每个晶体管的背栅极与其自身的栅极互连。

2.根据在权利要求1中的一个电势生成电路，其特征在于所说两个MOS晶体管都是连成二极管的，且串联连接于一个输出节点和一个地电势节点间，以便能按同一正方向从输出节点至地电势节点排列。

3.根据权利要求1中的一个电势生成电路，其特征在于所说两个MOS晶体管都是连成二极管的且串联连接在输出节点与一个电源电势节点间，以便此两个晶体管能按同一正方向从电源电势节点到输出节点排列；另外还包括一个充电MOS晶体管，它也是连成二极管的且连接在电源电势节点和输出节点间，以便按正方向从电源电势节点至输出节点排列，此晶体管的背栅极同其栅极是相连的。

说　明　书

电势生成电路

发明背景

1.发明领域

本发明涉及到一个半导体集成电路，更具体而言，涉及利用连成二极管的MOS晶体管的阈电压来设计电势生成电路的半导体集成电路.

2.现有技术描述

近来，随着便携式设备，如，笔记本个人计算机、蜂窝电话、个人手提电话等的迅速发展和应用，对于低功耗类型半导体集成电路的需求正在增加。为实现低功耗最普遍采用的方法是用低压电源驱动半导体集成电路。然而，当使用低压电源驱动半导体集成电路时，会产生这样一个缺点：由 MOS 晶体管的阈电压导致的电压降与电源电势的比率较大，而且，使用 MOS 晶体管的阈电压带来的电压降使得实现电势调整变得尤为困难，这严重影响了电路的设计。

图 14 是常规的基片电势生成电路的电路图（这里称为 V_{BB} 生成电路），例如它在 USP4,559,548 中有对应的描述. 图 14 中，参考电势节点“a”与地电位 V_{SS} 相连；输出节点“b”是产生基片电压 V_{BB} 的一端子，这里 V_{BB} 低于地电势 V_{SS}。在输出节点“b”和参考电压节点“a”之间，连成二极管的 P 沟道 MOS 晶体管“P_1”和“P_2”被串联连接，以使它们按同一正方向排列，“P_1”和“P_2”的背栅极（back gate）连至电源电压 V_{CC}。数字“q”表示两个连成二极管的 P 沟道 MOS 晶体管“P_1”和“P_2”之间的连接节点，同时该节点通过电容“C”连到输入节点“d”。交流输入信号ϕ加至输入节点“d”。

具有上述构造的该常规 V_{BB} 生成电路的运行下面将作描述. 当输入信号“ϕ”到达 V_{CC} 电平时，由于电容“c”的容性耦合，两个连成二极管的 P 沟道 MOS 晶体管的连接点“q”的电压将上升. 这时候，正向偏置只加到 P 沟道 MOS 晶体管“P_1”上，而“P_1”是两个 P 沟道 MOS 晶体管中连至地节点“a”的那一个晶体管，由此，只有 P 沟道 MOS 晶体管“P_1”是导通的，结果连接节点“q”的电势会降低. 接着，当输入信号ϕ降至 V_{SS} 时，由于电容“c”的容性耦合，连接节点

“q”的电势将进一步降低。结果，正向偏置就只加至P沟道MOS晶体管“P_2”上，而“P_2”是两个晶体管“P_1”和“P_2”中连至输出节点“b”的那一个晶体管，因此，只有P沟道MOS晶体管“P_2”是导通的，电荷从输出节点“b”获得，输出节点“b”的电势就会相应降低。通过重复以上所述的过程，低于地电势V_{SS}的基片电势V_{BB}就可从输出节点“b”获得。一般地，执行这种操作的电路称为充电泵电路。设两个连成二极管的P沟道MOS晶体管“P_1”和“P_2”有相同的阈值电压V_{th}，计算由图14中的V_{BB}生成电路产生的电势的表达式为：$-(V_{CC}-2|V_{th}|)$。因为V_{CC} = 3.3v MOS晶体管的阈电压$|V_{th}|$通常为0.7v左右，对于低压电源来说，V_{BB}生成电路中V_{BB}的值是－1.9V，此值只有电源电压绝对值的58％。在这种使用由低压电源驱动的MOS晶体管的阈电压$|V_{th}|$的电路中，MOS晶体管的电压降占了电源电压很大的比例。

在以基本上与V_{BB}生成电路相同的功能运作的V_{PP}生成电路230中，也存在着同样的问题，但V_{PP}生成电路是产生一个高于电源电势V_{CC}的升高电势V_{PP}。此电路示于图15，在USP3,805,095有描述。

发明概要

在常规的电势生成电路中，如上描述的V_{BB}生成电路和V_{PP}生成电路，存在着这样的问题：MOS晶体管的阈电压$|V_{th}|$占电源电压V_{CC}的百分比尤其在以低电压电源运行时较高，因此充电泵电路的性能就非常差。

本发明解决了以上所述的问题。其中一个目标是：考虑电源电压，尤其是低压电源驱动时，提供高性能的电势生成电路。

此发明的另一目标是提供能快速产生预定电势的基片电势生成电路。

根据此发明的总体设想，一个电势生成电路包括：两个MOS晶体管，每个都是连成二极管的，为了能使它们按同一正方向排列，此两晶体管串联连接于输出节点与电源电势节点之间，它们各自的背栅极连接到MOS晶体管自身的栅极上；以及一个电容，它连接在所说两个晶体管连接节点与输入交流信号的输入节点之间。

附图简述

图1是本发明应用的DRAM的方框图。

图 2 是一方框图，表示图 1 所示的一个内部电势生成电路组的一个例子。

图 3 所示是根据本发明 MOS 晶体管阈电压关于源极和背栅极之间电压的关系特性。

图 4 所示是本发明的一个实施方案中 V_{BB} 生成电路的电路图。

图 5 所示是本发明另一个实施方案中 V_{BB} 生成电路的电路图。

图 6 所示是本发明中 V_{BB} 生成电路又一个经修改后的例子的电路图。

图 7 所示是本发明中又另一例 V_{BB} 生成电路。

图 8 所示是本发明中 V_{BB} 生成电路运行的时序图。

图 9 是根据本发明的一个实施方案的 V_{PP} 生成电路的电路图。

图 10 是根据本发明的另一个实施方案的 V_{PP} 生成电路的电路图。

图 11 是根据本发明 V_{PP} 生成电路又一例修改后的电路图。

图 12 是根据本发明 V_{BB} 生成电路的又另一个例子的电路图。

图 13 是本发明 V_{PP} 生成电路运行的时序图。

图 14 是现有技术下 V_{BB} 生成电路的电路图。

图 15 是现有技术下 V_{PP} 生成电路的电路图。

在所有的图中，相同的元件被赋于了相同的标号。

优选实施方案详述

图 1 是本发明所应用的 DRAM（动态随机存取存储器）的方框图，包括一个内电势生成电路组 200，一个 POR 电路 210 和一个存储器单元阵列 101，此阵列包括排成多行多列的多个存储器单元。一个/RA$（行地址选通）缓冲器 110 接收一个外加的外部/RAS 信号，并把此/RA$ 信号输出到一个地址缓冲器 130 中；一个/CAS（列地址选通）缓冲器 120 接收外加的/CAS 信号并输出/CAS 信号到地址缓冲器 130 中。地址缓冲器 130 接收一个外部地址信号 ext Ai（i=0，1，2……）和/RA$ 信号，锁定外部地址信号 ext Ai，为内部电路输出一个行地址信号 RAi 和/RAi，并且接收外部地址信号 ext Ai（i=0，1，2，……）和/CA$ 信号，锁定外部地址信号 ext Ai，为内部电路输出列地址信号 CAi 和 /CAi。

标号为 140 的行解码器从地址缓冲器 130 中接收到行地址信号 RAi 和/RAi，并选择相应的字线；一个标号为 150 的列解码器从地址缓冲器

130 中接收到 CAi 和/CAi 信号并选择相应的读出放大器和 I/O 电路 170，放大由比特线上读出的存储器单元 101 的电势并传送由比特线上读出的存储器 101 的数据。标号 160 是一个字驱动器，用于提升由行解码器 140 选择的字线电压；180 是一个读、写控制电路，它接收一个写使能信号 pxt/WE 和一个来自外部的输出使能信号 ext/oE，并输出一个信号 wo 用于控制内部电路的读和写；190 是一个 I/O 缓冲器，它从读写控制电路 180 接收信号 WO，并在写的情况下把来自外部的信号 ext Din 通过数据线传送到读出放大器和 I/O 电路 170，而在读出的情况下，通过读出放大器和 I/O 电路 170 和数据线把从存储器单元中读出的数据作为数据 ext Dout 输出到 I/O 脚。

图 2 是图 1 中内部电势生成电路组 200 的方框图，它包括一个 V_{BB} 生成电路 220，用于产生低于地电势 V_{SS} 的基片电压 V_{BB}；一个 V_{PP} 生成电路 230，用于产生高于 V_{CC} 的升高电势 V_{PP}；一个中间电势生成电路，用于生成一中间电势 $1/2V_{CC}$，作为单元板（plate）电势 V_{CP} 和比特线预充电电势 V_{BL}；和一个参考电压生成电路 250，用于产生参考电压 Vref。

图 4 是本发明优选实施方案 V_{BB} 生成电路 220 的电路图，图 8 是其运行的时序图。在图 4 中，参考标号 221a 指定了一参考电势节点，此例中，该参考电势节点与地电势 V_{SS} 相连。标号 221b 指定了用于输出基片电势 V_{BB} 的一个输出节点；221n1 和 221n2 为 N 沟道 MOS 晶体管，每个晶体管都是连成二极管，且此两晶体管连接于输出节点 221b 和地电势节点 221a 之间，以便按相同的正方向从输出节点 221b 到地电势节点 221a 排列，另外，此两晶体管的背栅极与各自的栅极相连；标号 221q1 是两连成二极管的 N 沟道 MOS 晶体管 221n1 和 221n2 的连接节点；221d 是用于接收交流输入信号 ϕ 的输入节点；最后，221c1 是一连接于输入节点 221d 和节点 221q1 之间的电容。

当 MOS 晶体管的背栅极与栅极相连时，其阈电压由图 3 所示。图 3 是 MOS 晶体管阈电压 V_{th} 随 MOS 晶体管背栅板和源极之间的电势差 V_{BS} 的波动曲线，阈电压的表达式如下

$$V_{th} = V_o+K[(2\phi_F+V_{BS})^{1/2}-(2\phi_F)^{1/2}] \qquad (1)$$

这里：V_{BS} 为背栅极电压（基于源极电压），K 为体效应常数，ϕ_F 为表面电势，V_o 为 V_{BS} = 0v 时的阈电压。

在图 3 中，（ d ）表示 MOS 晶体管的背栅和源极之间的电势差 V_{BS} 等于 MOS 晶体管的阈值电压 V_{th} 的交点. 从图 3 中很容易看出，由于 $V_{BS} = V_{th}$，在常规情况 $V_{BS} = -1.5V$ 下有可能使阈电压从 0.7v 降至 0.25v，此电压比 MOS 晶体管在 $V_{BB} = 0v$ 时的阈电压 0.35 还小 0.1v. 因此 V_{BS} 变得与 V_{th} 相等. 要使 $V_{BS} = V_{th}$，可以通过把 MOS 晶体管的背栅极与栅极相连实现. 在以下描述中，为了清楚起见，$|V_{th0}|$ 表示背栅极与栅极相连时 MOS 晶体管阈电压的绝对值，而 $|V_{th}|$ 表示 $V_{BS0}=-1.5V$ 时的常规阈电压.

图 4 中 V_{BB} 生成电路的运行参考图 8 的时序图来描述. 在图 8 中，（ a ）表示输入信号 ϕ 的电势改变，（ b ）表示连接节点 221q1 的电势 N221q1 的变化，（ c ）表示图 4 中 V_{BB} 生成电路输出节点 221b 的电势 V_{BB} 的变化.

首先，当输入信号 ϕ 从 V_{SS} 上升至 V_{CC} 时，由于电容 221c1 的容性耦合，连接节点 221q1 的电势 N221q1 从 V_{SS} 上升到 V_{CC}. 这时候，在两个连成二极管的 N 沟道 MOS 晶体管 221n1 和 221n2 中，只有连接到地电位节点 221a 的 N 沟道 MOS 晶体管 221n1 在正向加偏压，而且也只有此 N 沟道 MOS 晶体管 221n1 是导通的. 因此连接节点 221q1 的电势 N221q1 将从 V_{CC} 向下降落. 然后，当输入信号 ϕ 从 V_{CC} 下降至 V_{SS} 水平时，一旦由于电容 221c1 的容性耦合电势降低，连接节点 221q1 的电势 N221q1 从该降落处进一步下降. 结果，现在，在两个连成二极管的 N 沟道 MOS 晶体管 221n1 和 221n2 中，只有与输出节点 221b 相连的 N 沟道 MOS 晶体管受正向偏压，且只有此 N 沟道 MOS 晶体管 221n2 是导通的，因此，电荷可从输出节点 221b 获得，并且输出节点 221b 的电势 V_{BB} 下降. 通过重复这些过程，就可产生低于地电势 V_{SS} 的基片电势 V_{BB}.

当两个连成二极管的 N 沟道 MOS 晶体管 221n1 和 221n2 的阈电压绝对值均为 $|V_{th}|$ 时，图 4 中 V_{BB} 生成电路中产生的电势的计算值为：$-(V_{CC} - 2|V_{th0}|)$. 同时输出节点 221b 的电势 V_{BB} 稳定在 $-(V_{CC} - 2|V_{th0}|)$，如图 8 所示. 在低压电源情况下，$V_{CC} = 3.3V$ 且图 3 中 MOS 晶体管的阈电压为 0.25V 左右，因此图 4 所示 V_{BB} 生成电路中的 V_{BB} 为 - 2.8v，此值在绝对值上占电源电势的 85 %.

图 5 是另一个 V_{BB} 生成电路，包括 P 沟道 MOS 晶体管 $221P_1$ 和

221P_2，而不是构成如图4所示V_{BB}生成电路的N沟道MOS晶体管221n1和221n2。假设N沟道MOS晶体管221n1和221n2和P沟道MOS晶体管221P_1和221P_2的阈电压的绝对值都是$|V_{th0}|$，图5所示V_{BB}生成电路产生的电势按同图4中的V_{BB}生成电路一样的方式计算所得值为－（$V_{CC}-2|V_{th0}|$）＝－2.8V。

图6是又一个V_{BB}生成电路，它包含多级图4中的N沟道MOS管和电容。更详细地说，这个V_{BB}生成电路由5个N沟道MOS管和4个电容组成。在图6中，参考标号223n1，223n2、223n3、223n4和223n5分别为连成二极管的N沟道MOS晶体管，且它们各自的栅极与背栅极相连；标号223c1、223c2，223c3和223c4为电容；标号223q1，223q2，223q3，223q4为各个N沟道MOS晶体管的连结节点；标号223d1为第一个输入节点，用于接收第一交流输入信号；标号223d2为第二节点，用于接收第二输入信号/ϕ，此信号为第一输入信号ϕ的反。图14中V_{BB}生成电路所产生的电势的计算值为：－（$4V_{CC}-5|V_{th0}|$）＝－12.05^{v}

图7是又一个V_{BB}生成电路，它包括P沟道MOS晶体管224P1、223P2、224P3、224P4和224P5，而不是构成图6所示V_{BB}生成电路的N沟道MOS晶体管224n1、223n2、224n3、224n4和224n5。假设N沟道MOS晶体管224n1、224n2、224n3、224n4和224n5和P沟道MOS晶体管224P1，224P2，224P3，224P4和224P5的阈电压的绝对值均等于$|V_{th0}|$，图7中V_{BB}生成电路所产生的电势同图6的V_{BB}生成电路的计算方式一样计算出：

$$-(4V_{CC}-|V_{th0}|)=-12.05^{v}.$$

接着，根据本发明的第二种模式，图9至12示出了V_{PP}生成电路230。在图9中，参考标号231a为电源电势节点，施加了电源电势V_{CC}，标号231b是用于输出升高电势V_{PP}的输出节点。标号231n1和231n2为N沟道MOS晶体管，每个都是连成二极管的且连接于输出节点231b和电源电势节点231a之间，以便能从电源电势节点231a至输出节点231b按同一正向下排列，另外，这两个晶体管的栅极与背栅极是相连的。标号231q1是两连成二极管的N沟道MOS晶体管231n1和231n2的连接节点。标号231d是接收输入交流信号的输入节点；标号231c1为连接于输入节点231d和连接节点231q1之间的一个电容；数字标号

231t 为充电电路，用于预先对输出节点 231b 充电以到达 $V_{CC} - |V_{th0}|$，由此很快地提升输出节点 231b 的电势，并且具有连成二极管的 N 沟道 MOS 晶体管，其各自的背栅极与栅极是相连的，并且连接在电源电势节点 231a 和输出节点 231b 之间，以便按从电源电势节点 231a 至输出节点 231b 的正方向排列.

图 9 中所示 V_{PP} 生成电路的运行由图 13 的时序图来描述. 在图 13 中，（ a ）为输入信号 ϕ 的变化，（ b ）为节点 231q1 的节点电势 N231q1 的变化，（ c ）为输出节点 231b 的电势 V_{PP} 的变化.

首先，当输入信号 ϕ 从 V_{CC} 降至 V_{SS} 时，由于电容 231c1 的容性耦合，连接节点 231q1 的电势 N231q1 从 $V_{CC} - |V_{th0}|$ 下降. 这时候，两连成二极管的 N 沟道 MOS 晶体管 231n1 和 231n2 中，只有连于地电势节点 231a 的 N 沟道 MOS 晶体管 231n1 受正向偏压，也只有这个 N 沟道 MOS 晶体管 231n1 是导通的，因此连接节点 231q1 的电势就会上升. 然后，当输入信号 ϕ 从 V_{SS} 上升到 V_{CC} 时，连接节点 231q1 的电势 N231q1 将从一旦由于电容 231c1 的容性耦合 已升至的电势点继续上升. 结果，现在，两个连成二极管的 N 沟道 MOS 晶体管 231n1 和 231n2 中，只有连于输出节点 231b 的 N 沟道 MOS 晶体管 231n2 受正向偏压，且也只有此 N 沟道 MOS 晶体管 231n2 是导通的，因此，输出节点的电势继续从充电电路 231t 所施加电势 $V_{CC} - |V_{th0}|$ 处上升. 通过重复这些过程，就能获得高于电源电势 V_{CC} 的升高电势 V_{PP}.

当连成二极管的 N 沟道 MOS 晶体管的阈电压均等于 $|V_{th0}|$ 时，图 9 中所示 V_{PP} 生成电路中生成的电势的计算值是 2（ $V_{CC} - |V_{th0}|$ ），并且输出节点 231b 的电势 V_{PP} 稳定在该值 2（ $V_{CC} - |V_{th0}|$ ）处，如图 13 的时序图所示. 在低压电源情况下， V_{CC} = 3.3V 及 MOS 晶体管的阈电压如图 3 所示大约为 0.25v，因而图 $9N_{PP}$ 生成电路中 V_{PP} 的值为 6.5v .

图 10 是另一个 V_{PP} 生成电路，由 P 沟道 MOS 晶体管 231P1 和 231P2 组成，而不是图 9 中由 N 沟道 MOS 管 231n1 和 231n2 构成的 V_{PP} 生成电路. 假设 N 沟道 MOS 晶体管 231n1 和 231n2 和 P 沟道 MOS 晶体管 231P1 和 231P2 的阈电压均为 $|V_{th0}|$，图 10 中 V_{PP} 生成电路所产生的电势的一个计算值为： 2（ $V_{CC} - |V_{th0}|$ ） = 6.1v，这同图 9 的 V_{PP} 生成电路的计算方式相同.

图 11 是进一步发展的 V_{PP} 生成电路，由多级图 9 所示 N 沟道 MOS 晶体管和电容组成. 更详细地说，此 V_{PP} 生成电路包括 5 个 N 沟道 MOS 晶体管， 4 个电容和 4 个充电电路. 在图 11 中，参考标号 233n1 、233n2 、 233n3 、 233n4 、 233n5 分别为连成二极管的 N 沟道 MOS 晶体管，它们各自的背栅极与栅极相连；标号 233c1 、 233c2 、 233c3 、233c4 为电容；标号 233q1 、 233q2 、 233q3 、 233q4 是各个 N 沟道 MOS 晶体管的连接节点；标号 233d1 是第一个输入节点，接收交流信号作为第一输入信号；标号 233d2 为第二输入节点，接收第二输入信号 /ϕ，此信号为交流输入信号ϕ的反相信号；标号 233t1 、 233t2 、 233t3 和 233t4 为充电电路，用于预先对连接节点 233q2 、 233q3 和 233q4 及输出节点 233b 充电以达到 $V_{CC} - |V_{th0}|$，因此很快提升输出节点 233b 的电势；并且具有连成二极管的 N 沟道 MOS 晶体管 233e1 、 233e2 、233e3 和 233e4 ，它们的背栅极与各自的栅极相连、且这些晶体管连接于电源电势节点 233a 、各自的连接节点 233q2 、 233q3 、 233q4 和输出节点 233b 中，以便可按同一正方向从电源电势节点 233a 至各自的连接节点 233q2 ， 233q3 ， 233q4 和输出节点 233b 排列. 图 11 所示 V_{PP} 生成电路所产生的电势的计算值为： $5 (V_{CC} - |V_{th0}|) = 15.25v$.

图 12 为另一个 V_{PP} 生成电路，包括 P 沟道 MOS 晶体管 234P1 、234P2 、 234P3 、 234P4 、 234P5 、 234e1 、 234e2 、 234e3 、 234e4 ，而不是组成图 11 中 V_{PP} 生成电路的 N 沟道 MOS 晶体管 233n1 、233n2 、 233n3 、 233n4 、 233n5 、 233e1 、 233e2 、 233e3 、 233e4 . 假设 N 沟道 MOS 晶体管 233n1 、 233n2 、 233n3 、 233n4 、 233n5 和 P 沟道 MOS 晶体管 234P1 、 234P2 、 234P3 、 234P4 、 234P5 的阈电压均等于 $|V_{th0}|$，图 12 所示 V_{PP} 生成电路所产生的电势的计算值为： $5 (V_{CC} - |V_{th0}|) = 15.25v$ ，这同图 11 所示的 V_{PP} 生成电路计算方式一样。

在以上结构的电势生成电路中，因为 MOS 晶体管的阈电压很小，因此 MOS 晶体管阈电压的降落所导致的生成电势的损失也较小。这就有可能获得考虑电源电压后的高性能的电势生成电路。

上文参考了某些实施方案对本发明作了描述。在本发明范围内的各种修改和增加也可由本领域中的那些技术人员作出。因此，本发明的范围仅受限于下列的权利要求。

说 明 书 附 图

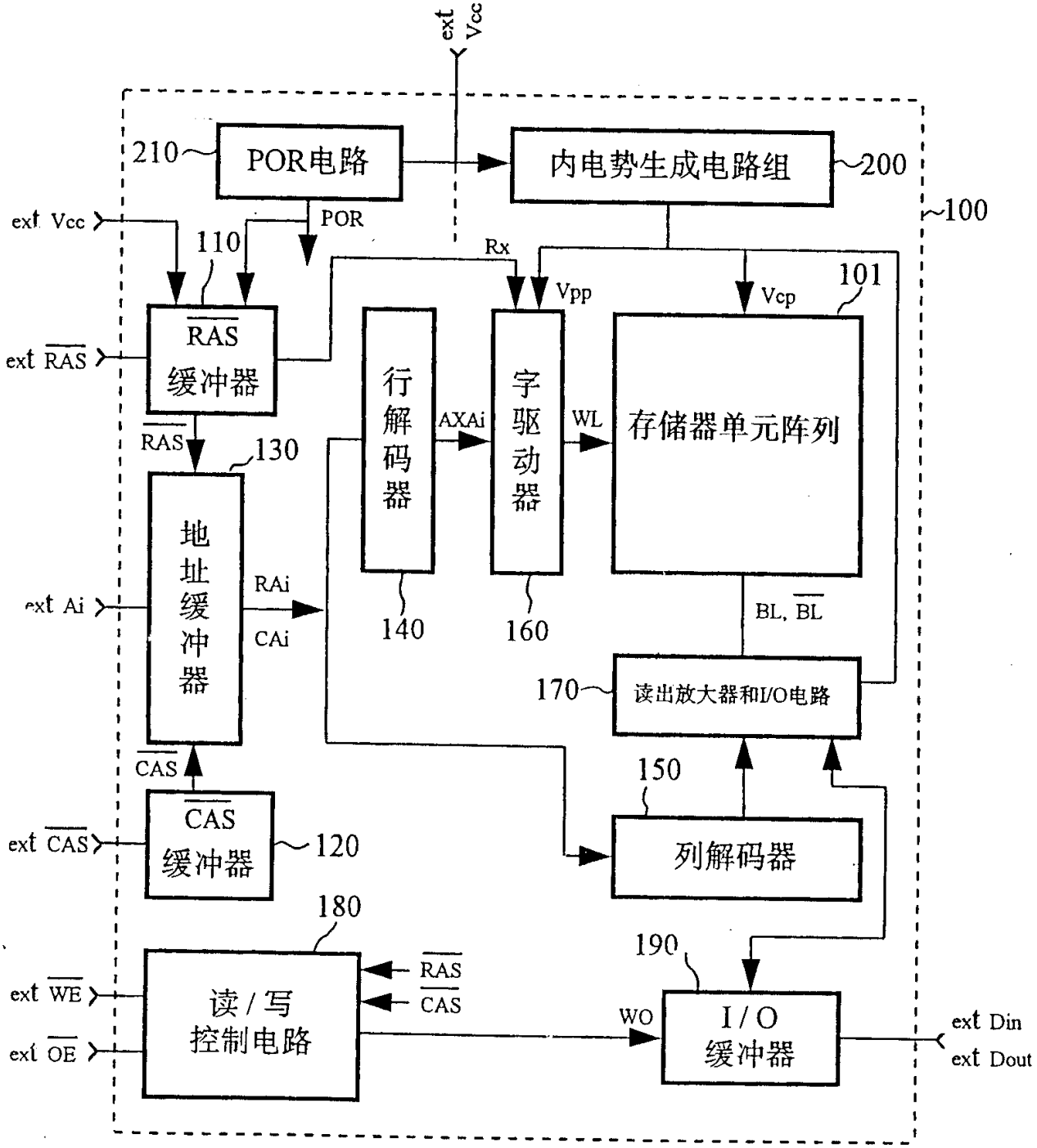

ext Vcc
210
POR电路
内电势生成电路组
200
100
ext Vcc
POR
110
Rx
Vpp
Vcp
101
ext RAS
RAS
缓冲器
行解码器
AXAi
字驱动器
WL
存储器单元阵列
RAS
130
地址缓冲器
ext Ai
RAi
CAi
140
160
BL, BL
170
读出放大器和I/O电路
CAS
150
ext CAS
CAS
缓冲器
120
列解码器
180
190
ext WE
ext OE
读/写控制电路
RAS
CAS
WO
I/O缓冲器
ext Din
ext Dout

图 1

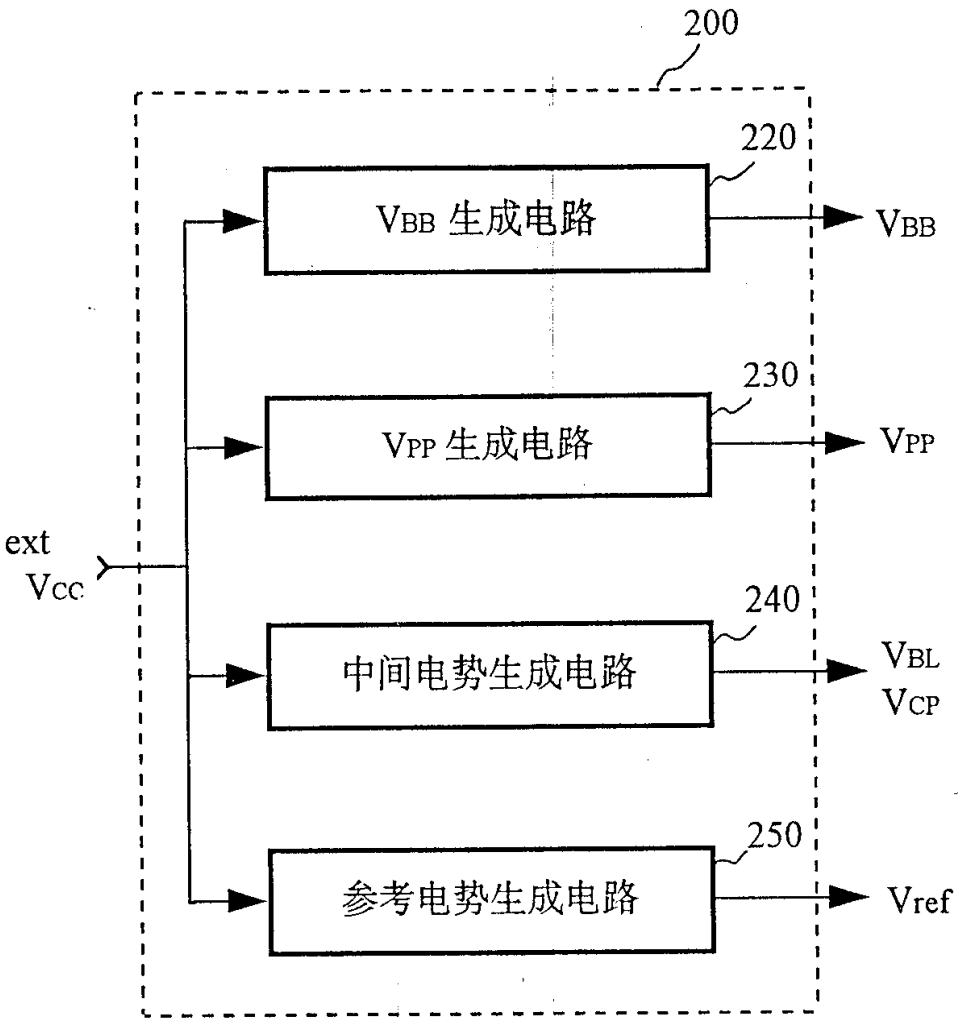
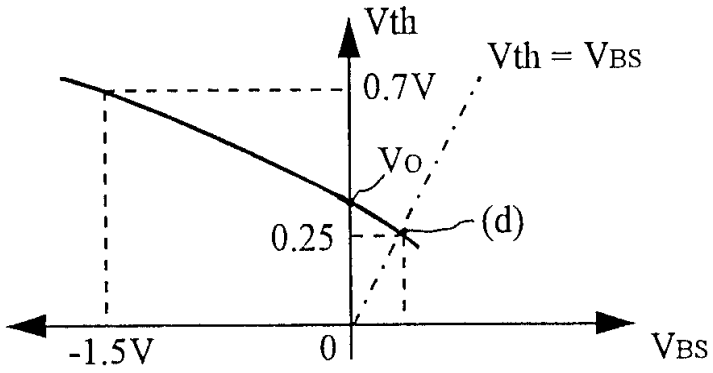


图 2



$$Vth = Vo + K\left(\sqrt{2\phi_F + V_{BS}} - \sqrt{2\phi_F}\right)$$

图 3

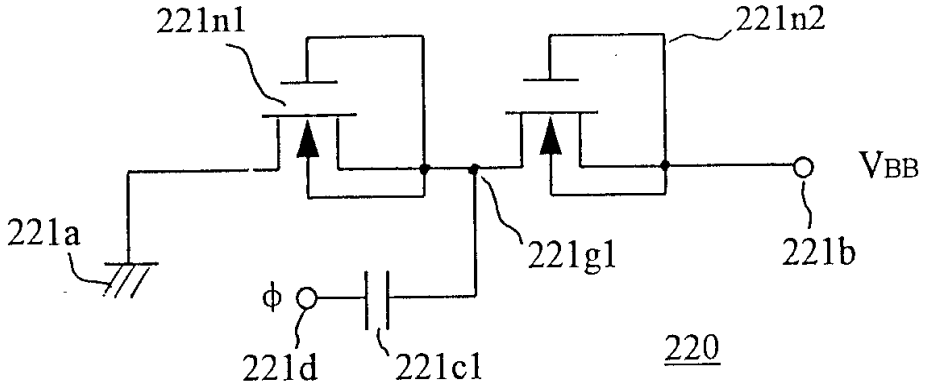

221n1
221n2
VBB
221a
221g1
221b
ϕ
221d
221c1
220

图 4

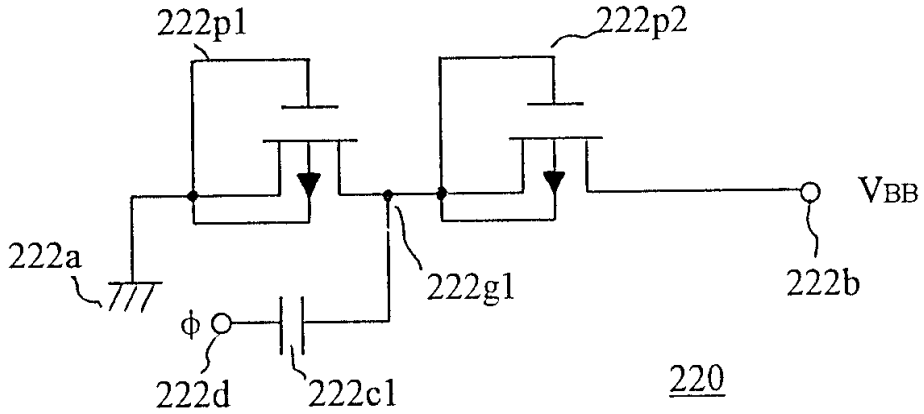

222p1
222p2
VBB
222a
222g1
222b
ϕ
222d
222c1
220

图 5

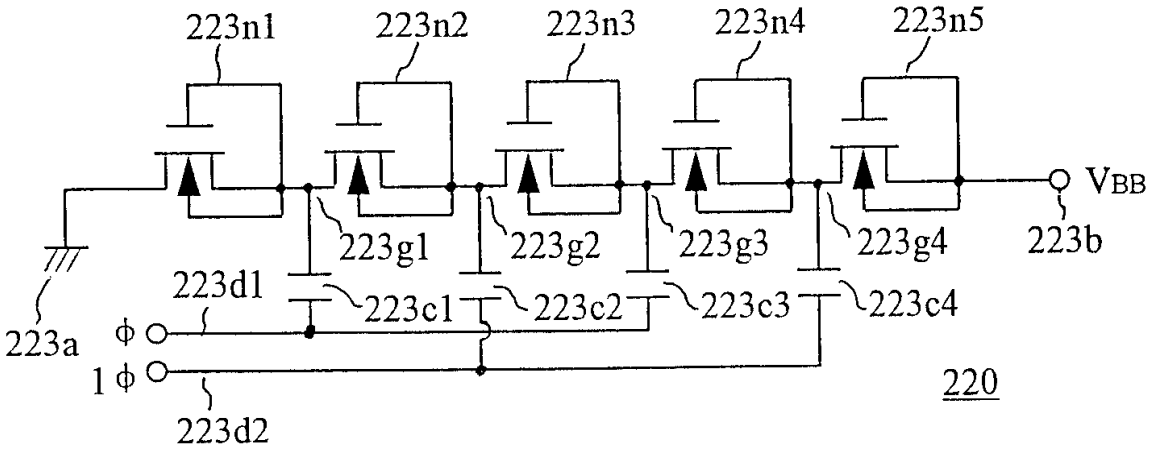

223n1
223n2
223n3
223n4
223n5
VBB
223g1
223g2
223g3
223g4
223b
223d1
223c1
223c2
223c3
223c4
223a
ϕ
1ϕ
223d2
220

图 6

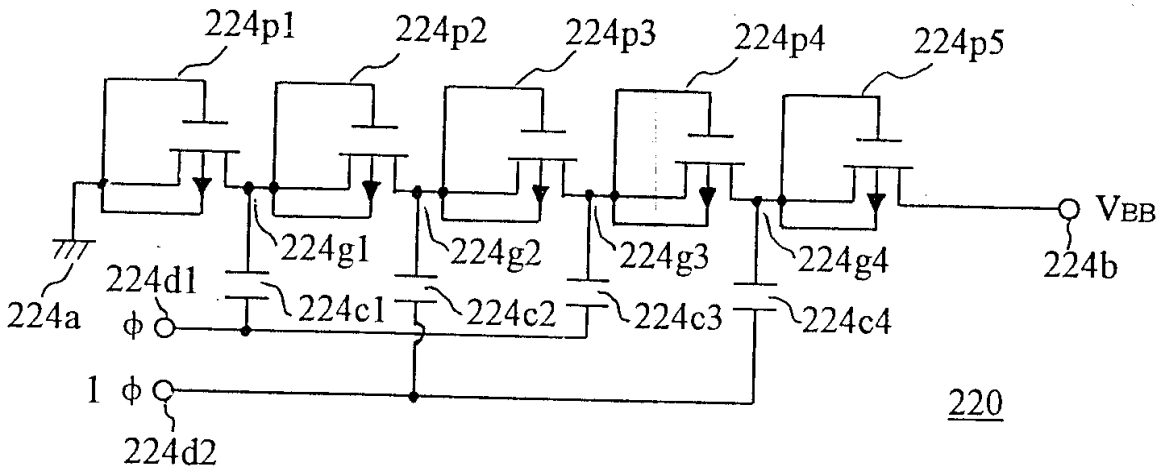

224p1
224p2
224p3
224p4
224p5
VBB
224b
224g1
224g2
224g3
224g4
224a
224d1
224c1
224c2
224c3
224c4
ϕ
1 ϕ
224d2
220

图 7

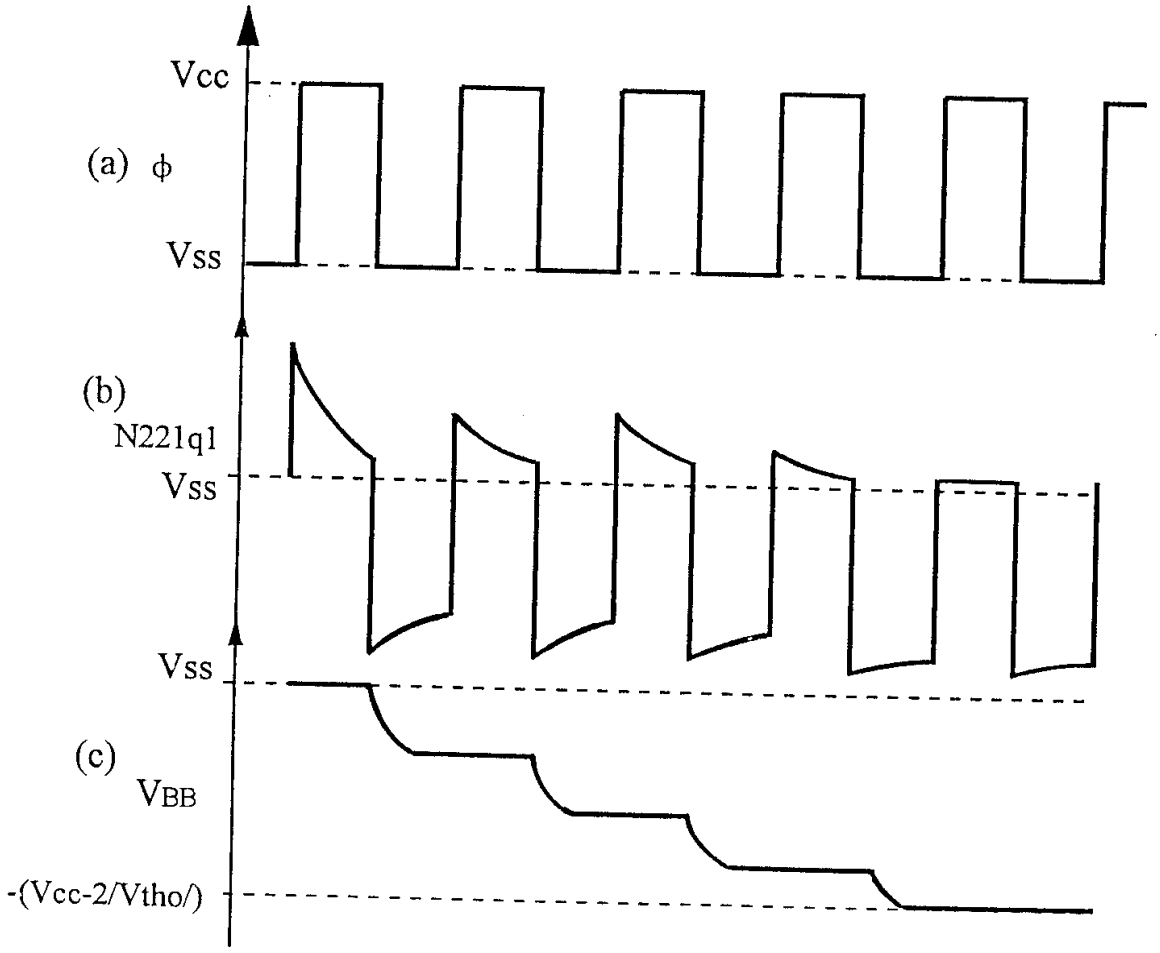

Vcc
(a) ϕ
Vss
(b)
N221q1
Vss
Vss
(c)
VBB
-(Vcc-2/Vtho/)

图 8

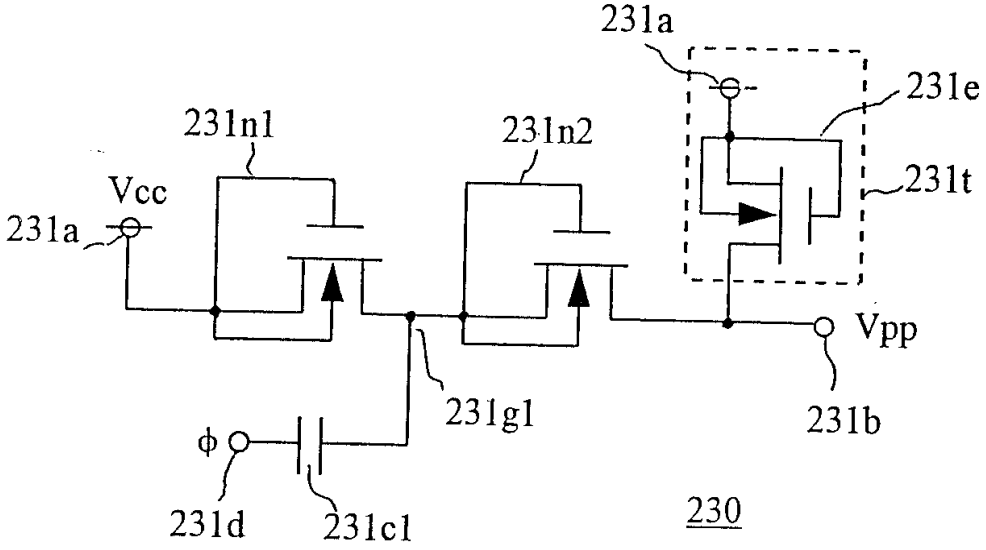

231a
231e
231n1
231n2
231t
Vcc
231a
Vpp
231g1
231b
ϕ
231d
231c1
230

图 9

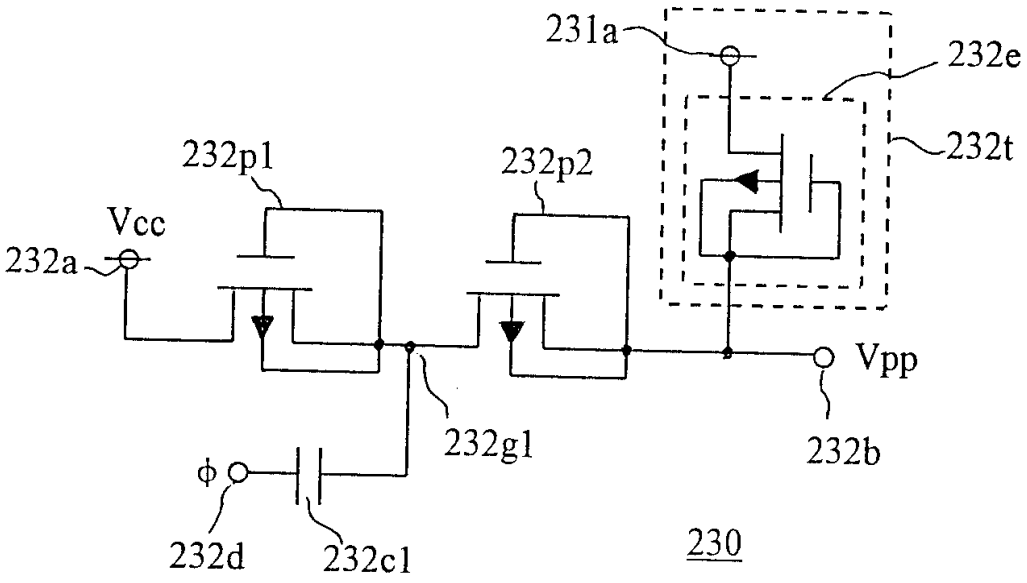

231a
232e
232t
232p1
232p2
Vcc
232a
Vpp
232g1
232b
ϕ
232d
232c1
230

图 10

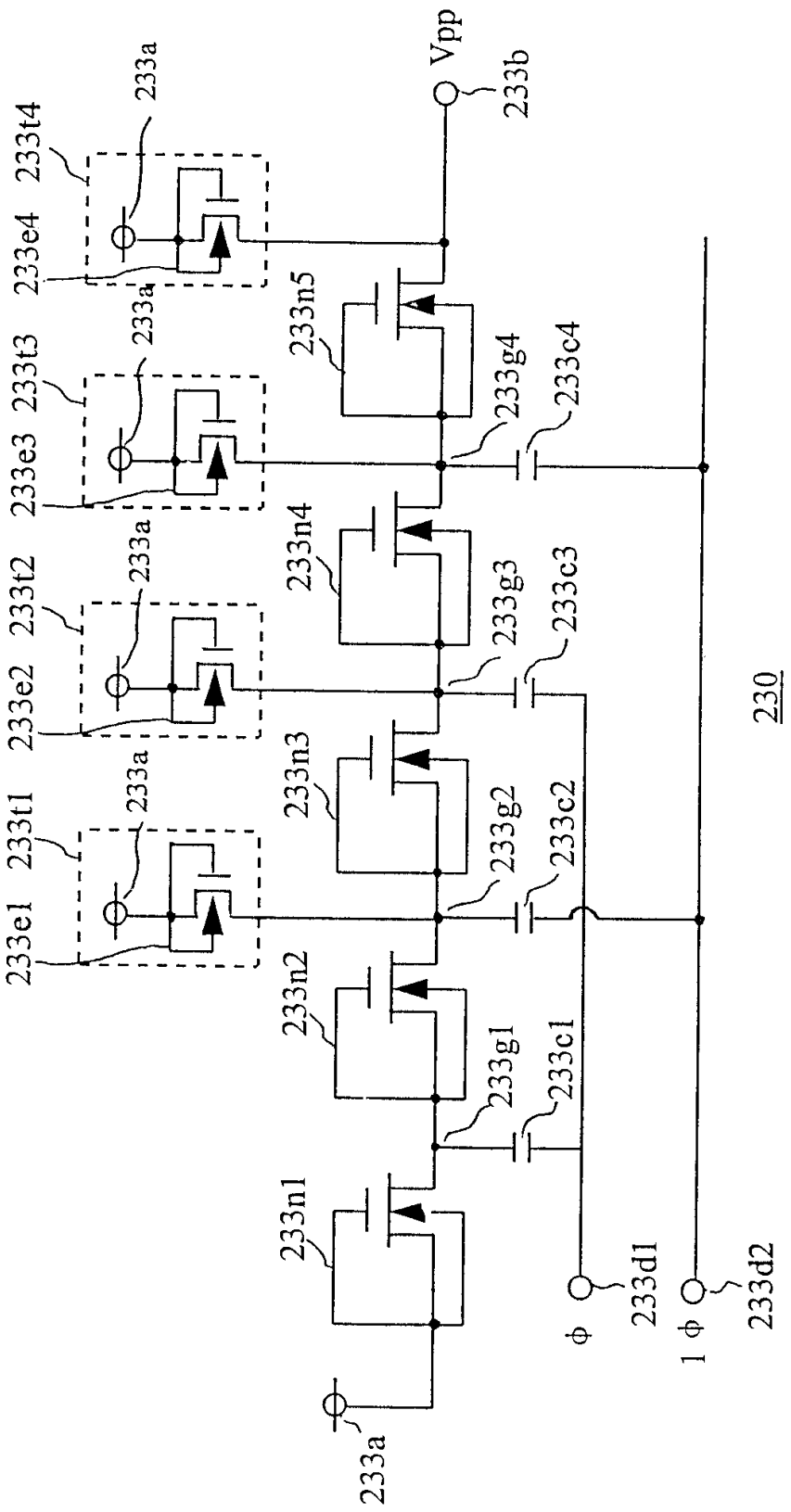

Vpp
233b
233a
233t4
233e4
233t3
233e3
233t2
233e2
233t1
233e1
233n5
233n4
233n3
233n2
233n1
233g4
233g3
233g2
233g1
233c4
233c3
233c2
233c1
233d1
233d2
230

图 11

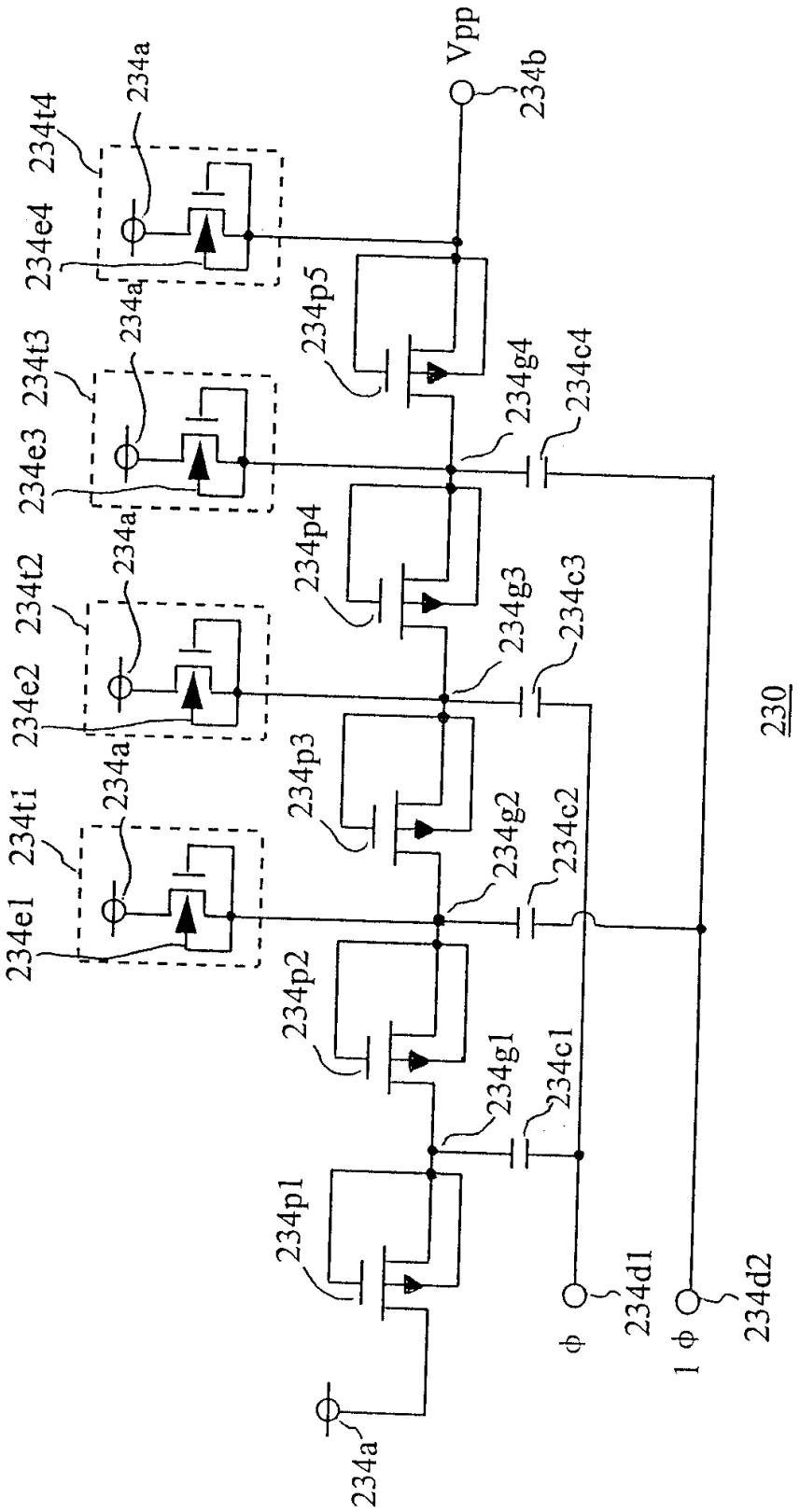

Vpp
234b
234a
234t4
234e4
234a
234p5
234t3
234e3
234a
234g4
234c4
234p4
234t2
234e2
234a
234g3
234c3
234p3
234ti
234e1
234a
234g2
234c2
234p2
234g1
234c1
234p1
234a
φ
234d1
1 φ
234d2
230

图 12

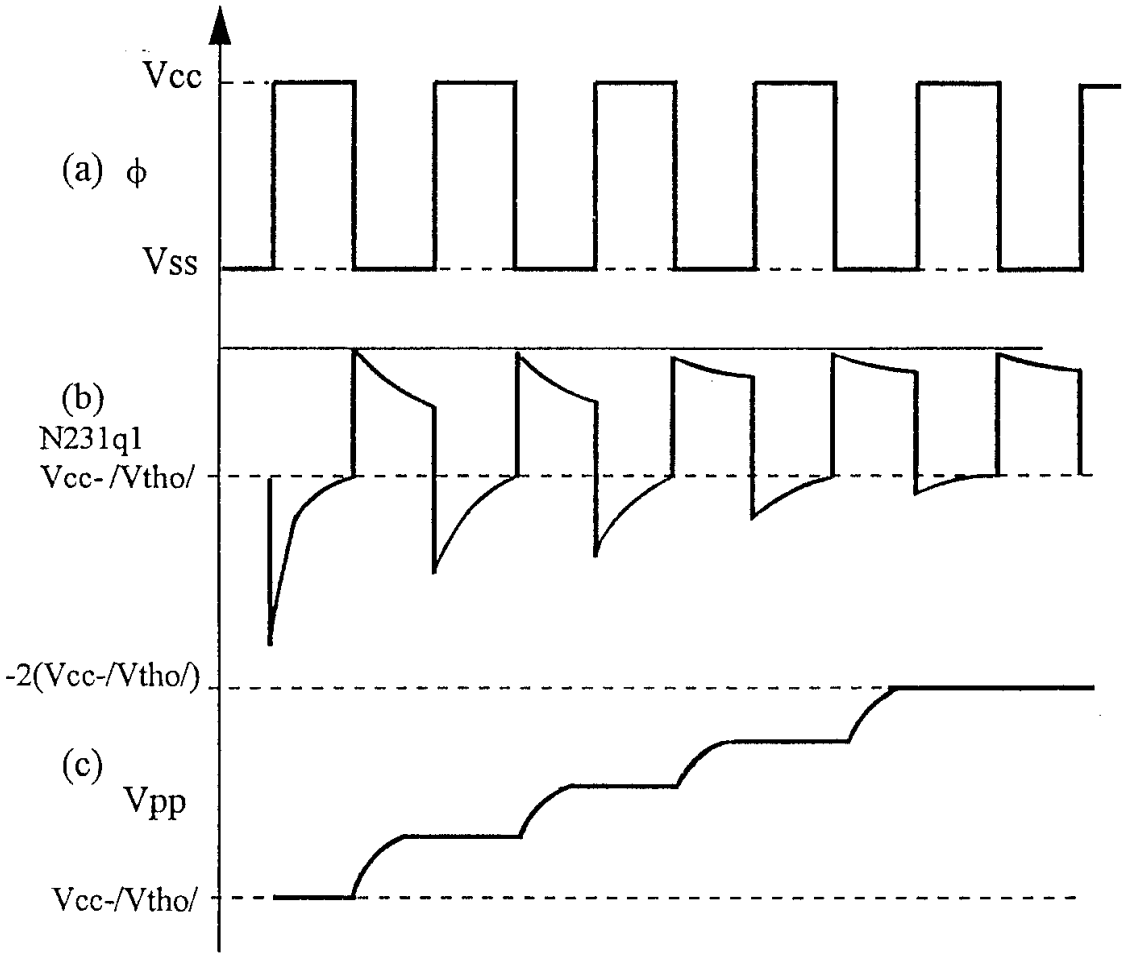


图 13

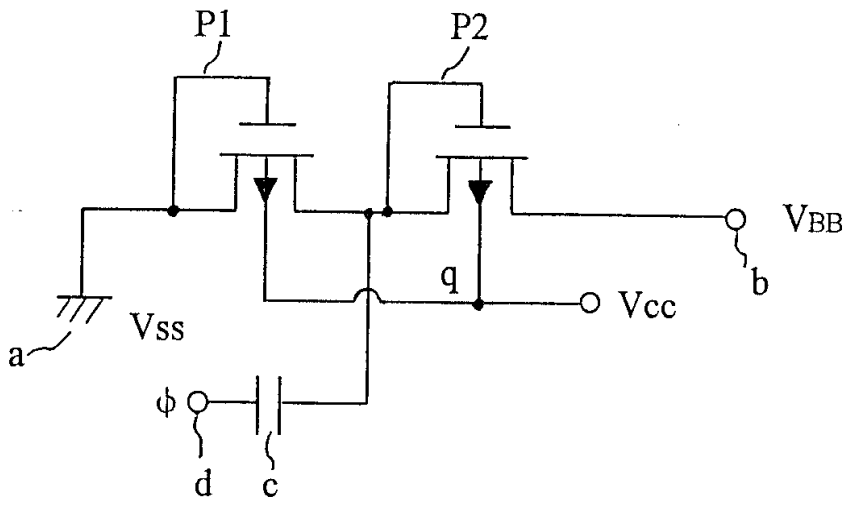


图 14 已有技术

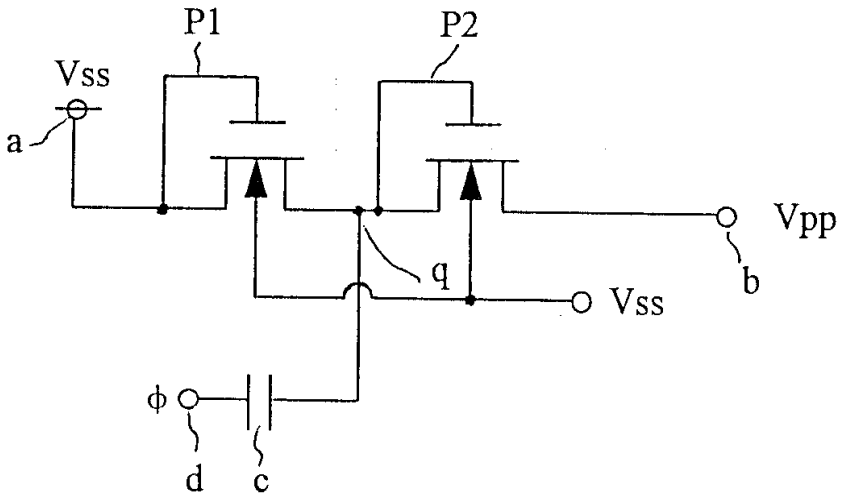


图 15 已有技术