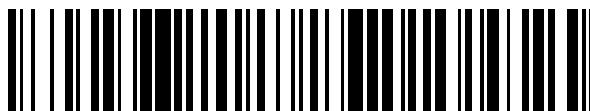


19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 841 069**

51 Int. Cl.:

H04L 1/00

(2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **08.05.2013 PCT/US2013/040126**

87 Fecha y número de publicación internacional: **28.11.2013 WO13176889**

96 Fecha de presentación y número de la solicitud europea: **08.05.2013 E 13724681 (5)**

97 Fecha y número de publicación de la concesión europea: **18.11.2020 EP 2853051**

54 Título: **Sistema y método para codificación FEC multicanal y transmisión de datos**

30 Prioridad:

21.05.2012 US 201213476606

45 Fecha de publicación y mención en BOPI de la
traducción de la patente:

07.07.2021

73 Titular/es:

**ALCATEL LUCENT (100.0%)
Site Nokia Paris Saclay, Route de Villejust
91620 Nozay, FR**

72 Inventor/es:

PUROHIT, VINAY, D.

74 Agente/Representante:

VALLEJO LÓPEZ, Juan Pedro

Observaciones:

**Véase nota informativa (Remarks, Remarques o
Bemerkungen) en el folleto original publicado por
la Oficina Europea de Patentes**

ES 2 841 069 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Sistema y método para codificación FEC multicanal y transmisión de datos

5 **Referencia cruzada a solicitudes relacionadas**

La presente solicitud se refiere a la patente de Estados Unidos 9.030.953 (solicitud número de serie 13/471.504) presentada el 15 de mayo de 2012, titulada "SISTEMA Y MÉTODO QUE PROPORCIONAN TRANSMISIÓN DE DATOS RESILIENTES A TRAVÉS DE FRAGMENTOS ESPECTRALES" (Expediente de abogado n.º 809662).

10 **Campo técnico**

La invención se refiere en general a redes de comunicación y, más específicamente, pero no exclusivamente, a redes de comunicación punto a punto y punto a multipunto y enlaces de ruta indirecta.

15 **Antecedentes**

Los sistemas inalámbricos tradicionales asumen la disponibilidad de un bloque contiguo de espectro con un ancho de banda proporcional a la cantidad de datos a transmitir. Por lo tanto, los sistemas de transmisión se diseñan con frecuencia para los requisitos de ancho de banda del peor de los casos, con el caso de uso típico o promedio, en algunos casos, que requiere mucho menos ancho de banda (es decir, espectro). En el contexto de los sistemas de comunicaciones por satélite y otros sistemas de comunicaciones punto a punto, el espectro disponible asignado a los clientes puede fragmentarse con el tiempo, lo que da lugar a bloques no utilizados entre bloques de espectro asignados. Cuando los bloques de espectro no utilizados son demasiado pequeños, es necesario reasignar espectro entre clientes o "mover" a un cliente de la asignación espectral existente a una nueva asignación espectral para que los bloques de espectro no utilizados puedan fusionarse en una sola región espectral. Desafortunadamente, tal reasignación es muy perjudicial.

Además, varias técnicas existentes para transmitir datos exhiben susceptibilidad a interferencias y/u otras fuentes de error. Es deseable una resiliencia mejorada, junto con una eficiencia espectral mejorada.

El documento EP 1995901 A2 desvela un aparato y un método de intercalador. Una realización de la invención se refiere a un método de procesamiento de datos. En el método, se recibe un flujo de datos inicial. Se selecciona una serie de bytes que tienen una longitud total de bytes del flujo de datos inicial, teniendo la serie de bytes un intervalo en el flujo de datos inicial que es mayor que la longitud total de bytes. Se calcula al menos un byte de redundancia en función de la serie de bytes.

El documento EP 2264931 A1 enseña una corrección de errores de envío mejorada con intercalado de bits. La enseñanza mejora el sistema de comunicación al proporcionar un canal de borrado binario virtual sobre una infraestructura de intercambio de datos basada en tramas, a través de una combinación de mecanismos de diversidad de tiempo con agentes de intercalado basados en bits.

40 **Sumario**

45 Varias deficiencias de la técnica anterior son abordadas por la presente invención de sistemas, métodos y aparatos para la transmisión resiliente de un flujo de datos D mediante la asociación de porciones de flujo de datos secuenciales con elementos respectivos dentro de una matriz de elementos, definiendo y codificando FEC cada uno de una pluralidad de grupos de elementos que comprenden porciones de flujo de datos no secuenciales, dividiendo la secuencia de bloques de FEC en una pluralidad de subflujos y asociando cada subflujo con un canal de transmisión respectivo.

En un primer aspecto de la invención, se proporciona un método de codificación de datos para su transmisión de acuerdo con la reivindicación 1.

55 En otro aspecto de la invención, se proporciona un medio legible por ordenador no transitorio de acuerdo con la reivindicación 9.

En un aspecto adicional de la invención, se proporciona un producto de programa informático de acuerdo con la reivindicación 10.

60 En otro aspecto de la invención se proporciona un aparato de acuerdo con la reivindicación 11.

Breve descripción de los dibujos

65 Las enseñanzas de la presente invención pueden entenderse fácilmente considerando la siguiente descripción detallada junto con los dibujos adjuntos, en los que:

la figura 1 representa un diagrama de bloques de alto nivel de un sistema que se beneficia de varias realizaciones; la figura 2 representa un diagrama de bloques de alto nivel de un dispositivo informático de uso general adecuado para su uso en diversas realizaciones; la figura 3 representa un diagrama de flujo de un método de acuerdo con una realización; la figura 4 representa una representación gráfica de una matriz de almacenamiento intercalada útil para comprender las diversas realizaciones; la figura 5 representa un diagrama de flujo de un método de acuerdo con una realización; y la figura 6 representa una representación gráfica de una asignación espectral útil para comprender las diversas realizaciones.

Para facilitar la comprensión, se han utilizado números de referencia idénticos, cuando fue posible, para designar elementos idénticos que son comunes a las figuras.

Descripción detallada

La invención se describirá principalmente en el contexto de un sistema de comunicaciones por satélite. Sin embargo, los expertos en la técnica e informados por las enseñanzas del presente documento se darán cuenta de que la invención también es aplicable a cualquier sistema que se beneficie de una asignación espectral flexible, tal como sistemas de comunicaciones por microondas, sistemas de comunicaciones inalámbricas y similares. Además, aunque se describen principalmente en el contexto de un sistema de comunicaciones de punto a punto, las diversas realizaciones encuentran aplicabilidad también dentro del contexto de los sistemas de comunicaciones de punto a multipunto.

Las diversas realizaciones abordan el problema general de proporcionar una transmisión fiable de un flujo de datos, D, desde el nodo de origen A al nodo de destino B. D puede ser cualquier dato empaquetado, incluyendo Ethernet/IP, o puede ser datos serializados a través de interfaces estándar como RS-232, RS-422, EIA-530, DVB-ASI, MPEG, IP y similares.

En términos generales, varias realizaciones proporcionan un aparato transmisor en el que, para que se transmita un flujo de datos D, se realizan los siguientes procesos: (1) codificar el flujo de datos D para proporcionar una secuencia de bloques de datos; (2) disponer los bloques codificados en la memoria en un orden particular (es decir, un orden de empaquetado y/o transmisión, tal como se describe a continuación con respecto a la figura 2); y (3) segmentar o cortar los bloques dispuestos en N porciones, donde cada una de las N porciones es transmitida por uno de los respectivos P enlaces de transmisión diferentes. Se observa que la cantidad de datos transmitidos en un enlace físico se selecciona normalmente para que sea proporcional al rendimiento de ese enlace. En varias realizaciones en las que todos los enlaces P tienen la misma capacidad, a cada enlace se le puede asignar una porción igual del flujo original D. En varias realizaciones, el uso de múltiples enlaces proporciona un intercalado natural de datos que es ventajoso para el intercalado tradicional en el dominio del tiempo utilizado en otros esquemas.

De manera similar, varias realizaciones proporcionan un aparato receptor en el que, para que se reciba un flujo de datos D, se realiza el proceso inverso de los descritos anteriormente, tal como recibir datos a través de los diversos enlaces, recombinar las diversas partes, desintercalar los diversos bloques de datos, decodificar los bloques de datos intercalados y así sucesivamente para extraerlos del flujo de datos D. Varias realizaciones proporcionan mecanismos para transportar entre uno o más transmisores y receptores la codificación, intercalación, enlace y otros parámetros, parámetros de cifrado opcionales, etc. y así sucesivamente.

Se implementan varias realizaciones dentro del contexto de un sistema de comunicaciones por satélite. Sin embargo, los expertos en la técnica e informados por las enseñanzas del presente documento se darán cuenta de que la invención también es aplicable a cualquier sistema que se beneficie de una asignación espectral flexible, tal como sistemas de comunicaciones por microondas, sistemas de comunicaciones inalámbricas y similares.

La figura 1 representa un diagrama de bloques de alto nivel de un sistema que se beneficia de varias realizaciones. Específicamente, el sistema 100 de la figura 1 está adaptado para transmitir un flujo de datos D desde una fuente 110 hacia un destino 190. El sistema 100 incluye un codificador/intercalador 120 de corrección de errores en sentido directo (FEC), un seccionador 130, una pluralidad de módulos 140 transmisores, uno o más tipos de medios 150 de transmisión, tales como una red inalámbrica, una red cableada, etc., una pluralidad de módulos 160 receptores, un combinador 170 y un descodificador/desintercalador 180 FEC. También se puede usar un módulo 105 de control opcional dentro del contexto del sistema 100.

El codificador/intercalador 120 FEC recibe el flujo de datos D de, ilustrativamente, una fuente 110 tal como un enrutador, elemento de red informática, sistema de enlace descendente por satélite, red de transporte óptico, etc. En términos generales, el flujo de datos D se transmite al codificador/intercalador 120 FEC a través de cualquier tecnología o mecanismo adecuado para este propósito. El codificador/intercalador 120 FEC funciona para procesar el flujo de datos D (1) FEC codificando el flujo de datos D para proporcionar de este modo una pluralidad de bloques de datos codificados por FEC, y (2) almacenando los bloques de datos codificados por FEC en, ilustrativamente, una matriz de

memoria de N filas y M columnas, tal como se describe con más detalle a continuación con respecto a la figura 2. El codificador/intercalador 120 de FEC proporciona un flujo D' de datos intercalados y codificados con FEC al seccionador 130.

- 5 El seccionador 170 corta, desmultiplexa y/o divide el flujo D' de datos codificados e intercalados en una pluralidad P de subflujos (por ejemplo, $D_0, D_1, \dots, D_{P-1}$), donde P corresponde a varios enlaces y/o fragmentos espectrales. En diversas realizaciones, se pueden usar más o menos enlaces P y/o fragmentos espectrales. Cada uno de los subflujos $D_0, D_1, \dots, D_{P-1}$ está acoplado a un módulo 140 transmisor respectivo (por ejemplo, $140_0, 140_1, \dots, 140_{P-1}$).
- 10 Cada uno de los módulos 140 transmisores modula su respectivo subflujo (por ejemplo, $D_0, D_1, \dots, D_{P-1}$) para proporcionar las señales moduladas correspondientes (por ejemplo, $S_0, S_1, \dots, S_{P-1}$) para su transmisión a un módulo 160 receptor correspondiente (por ejemplo, $160_0, 160_1, \dots, 160_{P-1}$) a través de un canal de transmisión a través de un medio 150 de transmisión apropiado, TAL como una red inalámbrica, una red cableada, etc.
- 15 Cada módulo 140 transmisor puede proporcionar un procesamiento adicional de corrección de errores en sentido directo (FEC) y varios otros procesos. Los datos que se van a transmitir pueden proporcionarse como un flujo de paquetes de datos D, tales como paquetes de flujo de transporte (TS) de 188 bytes, paquetes de Ethernet de 64-1500 bytes, etc. La estructura de paquete específica, los datos transportados dentro de una estructura de paquete, etc., se adaptan fácilmente a las diversas realizaciones descritas en el presente documento.
- 20 Los módulos 140 transmisores pueden incluir modulación, corrección de errores y/u otras características que difieren de un módulo transmisor a otro, tales como las características del tipo de forma de onda, mapas de constelación, ajustes de corrección de errores en sentido directo (FEC), medio de transmisión pretendido, etc. Cada módulo 140 transmisor puede optimizarse de acuerdo con un tipo específico de tráfico (por ejemplo, medios de transmisión, datos que no son de transmisión y similares), las condiciones específicas del canal asociadas con su correspondiente fragmento espectral y/u otros criterios.
- 25 Cada uno de los módulos 160 receptores desmodula su respectiva señal recibida (por ejemplo, $S_0, S_1, \dots, S_{P-1}$) para extraer de ellos correspondientes subflujos desmodulados (por ejemplo, $D_0, D_1, \dots, D_{P-1}$) el procesamiento adicional por el combinador 170. Los módulos 160 receptores pueden incluir modulación, corrección de errores y/u otras características que difieren de un módulo receptor a otro, tales como las características del tipo de forma de onda, mapas de constelación, ajustes de corrección de error en sentido directo (FEC), medio de transmisión, etc. Cada módulo 160 receptor puede optimizarse de acuerdo con un tipo específico de tráfico (por ejemplo, medios de transmisión continua, datos que no son de transmisión continua y similares), las condiciones de canal específicas asociadas con su fragmento espectral correspondiente y/u otros criterios.
- 30 En términos generales, cada módulo 140 transmisor puede emparejarse con un módulo 160 receptor correspondiente para establecer de ese modo un canal de comunicaciones para propagar un subflujo o segmento de flujo a través de un medio 150 de transmisión homogéneo o heterogéneo. Los módulos 140 transmisores, los módulos 160 receptores y los medios 150 de transmisión pueden implementar uno o más sistemas de comunicaciones punto a punto (por ejemplo, enlaces por satélite, enlaces microondas, enlaces ópticos y similares), uno o más sistemas de comunicaciones punto a multipunto (por ejemplo, red de conmutación de paquetes) y así sucesivamente.
- 35 Los medios 150 de transmisión pueden incluir sistemas de comunicaciones por satélite, sistemas de comunicaciones por microondas y/u otros sistemas de alta frecuencia punto a punto o punto a multipunto. En estas realizaciones, los módulos 140 transmisores y los módulos 160 receptores incluyen los circuitos necesarios, elementos funcionales y similares para realizar varios procesos gnomo, tales como almacenamiento en memoria intermedia de señal, amplificación de potencia, conversión ascendente, conversión descendente, modulación de frecuencia/código, etc.
- 40 Aunque en la figura 1 se muestra como un emparejamiento uno a uno, se contempla que uno o más módulos 140 transmisores puedan emparejarse con uno o más módulos 160 receptores dependiendo del tipo de configuración deseada, la naturaleza de los medios 150 de transmisión utilizados, etc. En términos generales, los enlaces de transmisión físicos que forman parte o todos los medios 150 de transmisión pueden comprender cualquier enlace cableado (fibra/DSL) o inalámbrico, tal como 3G, 4G, Evolución a Largo Plazo (LTE), Wi-Fi, WiMAX, 802.11x, microondas o, en términos generales, cualquier tipo de red de comunicaciones o telecomunicaciones capaz de transportar datos en paquetes.
- 45 El combinador 170 recibe los subflujos desmodulados de los diversos módulos 160 receptores, combina los subflujos y proporciona un flujo D" de datos de entrada codificados/intercalados FEC resultante al descodificador/desintercalador 180 FEC. En términos generales, el combinador 170 realiza una función inversa a la del seccionador 130.
- 50 El descodificador/desintercalador 180 FEC procesa el flujo D" de datos de entrada codificados/intercalados FEC recibidos del combinador 170 para extraer del mismo el flujo D de datos desintercalados y descodificados original, que luego se proporciona al destino 190. En términos generales, el descodificador/desintercalador 180 de FEC realiza una función inversa a la del codificador/intercalador 120 de FEC.
- 55
- 60
- 65

El módulo 105 de control opcional interactúa con un sistema de gestión de elementos (EMS), un sistema de gestión de red (NMS) y/u otro sistema de gestión o control adecuado para su uso en la gestión de elementos de red que implementan las funciones descritas en el presente documento con respecto a la figura 1. El módulo 105 de control puede usarse para configurar varios codificadores, intercaladores, seccionadores, módulos transmisores, módulos receptores, combinadores, descodificadores, desintercaladores y/u otros circuitos dentro de los elementos descritos en el presente documento con respecto a la figura 1. Además, el módulo 105 de control puede estar ubicado remotamente con respecto a los elementos controlados por él, ubicado en un circuito de transmisión próximo, ubicado en un circuito de receptor próximo, y así sucesivamente.

El módulo 105 de control puede implementarse como un ordenador de uso general programado para realizar funciones de control específicas como se describe en el presente documento. En una realización, el módulo 105 de control adapta la configuración y/o el funcionamiento de los elementos funcionales relacionados con el transmisor y los elementos funcionales relacionados con el receptor mediante, respectivamente, una primera señal de control TXCONF y una segunda señal de control RXCONF. En esta realización, se pueden proporcionar múltiples señales de control en el caso de múltiples transmisores y receptores.

En varias realizaciones, el sistema 100 de la figura 1 utiliza las técnicas de agregación espectral virtual (VSA) descritas con más detalle con respecto a la patente de Estados Unidos 9.030.953 a la que se ha hecho referencia anteriormente.

Por ejemplo, en diversas realizaciones de la invención, algunos de los módulos 140 transmisores están adaptados para transmitir sus respectivos segmentos o cortes a través de regiones espectrales o cortes dentro de una región espectral asociada con una o más señales portadoras. Las señales portadoras pueden comprender señales portadoras de enlace ascendente asociadas con uno o más transpondedores de un satélite, uno o más transpondedores de múltiples satélites, enlaces terrestres de microondas, etc.

En algunas realizaciones, los cortes o segmentos se transportan a través de múltiples módulos 140 transmisores para proporcionar así una transmisión de datos redundante. En estas realizaciones, múltiples módulos 160 receptores operan para seleccionar una señal recibida preferida (o partes de la misma), tales preferencias se basan en la tasa de error de bits, la calidad del canal y/u otros parámetros.

La figura 2 representa un diagrama de bloques de alto nivel de un dispositivo informático de uso general adecuado para su uso en diversas realizaciones. Por ejemplo, el dispositivo 200 informático representado en la figura 2 puede usarse para ejecutar programas adecuados para implementar diversas funciones de procesamiento de transmisor, funciones de procesamiento de receptor y/o funciones de procesamiento de gestión como se describirá en el presente documento.

Como se representa en la figura 2, el dispositivo 200 informático incluye un circuito 210 de entrada/salida (E/S), un procesador 220 y una memoria 230. El procesador 220 está acoplado a cada uno de los circuitos 210 de E/S y la memoria 230.

La memoria 230 se representa incluyendo memorias intermedias 232, programas 234 de transmisor (TX), programas 236 de receptor (RX) y/o programas 238 de gestión. Los programas específicos almacenados en la memoria 230 dependen de la función implementada usando el dispositivo 200 informático.

En una realización, el codificador/intercalador 120 de FEC descrito anteriormente con respecto a la figura 1 se implementa usando un dispositivo informático, tal como el dispositivo 200 informático de la figura 2. Específicamente, el procesador 220 ejecuta las diversas funciones descritas anteriormente con respecto al codificador/intercalador 120. En esta realización, los circuitos 210 de E/S reciben el flujo D de datos de entrada desde una fuente de datos (por ejemplo, la fuente de datos 110) un flujo D' de datos de entrada codificado/intercalado de FEC al seccionador 130.

En una realización, el seccionador 130 descrito anteriormente con respecto a la figura 1 se implementa usando un dispositivo informático, tal como el dispositivo 200 informático de la figura 2. Específicamente, el procesador 220 ejecuta las diversas funciones descritas anteriormente con respecto al seccionador 130. En esta realización, los circuitos 210 de E/S reciben el flujo D' de datos de entrada codificados/intercalados de FEC desde el codificador/intercalador 120 de FEC y proporcionan los subflujos P a sus correspondientes módulos 140 de transmisión.

En una realización, el combinador 170 descrito anteriormente con respecto a la figura 1 se implementa usando un dispositivo informático, tal como el dispositivo 200 informático de la figura 2. Específicamente, el procesador 220 ejecuta las diversas funciones descritas anteriormente con respecto al combinador 170. En esta realización, los circuitos 210 de E/S reciben los subflujos P de sus correspondientes módulos 160 receptores y proporcionan el flujo D" de datos de entrada codificado/intercalado de FEC combinado o recibido al descodificador/desintercalador 180 de FEC.

En una realización, el descodificador/desintercalador 180 de FEC descrito anteriormente con respecto a la figura 1 se

implementa usando un dispositivo informático, tal como el dispositivo 200 informático de la figura 2. Específicamente, el procesador 220 ejecuta las diversas funciones descritas anteriormente con respecto al descodificador/desintercalador 180. En esta realización, los circuitos 210 de E/S reciben el flujo D" de datos de entrada codificados/intercalados de FEC combinados o recibidos desde el combinador 170 y proporcionan desde allí el flujo D de datos desintercalados y descodificados al destino 190.

En una realización, un módulo 105 de control opcional descrito anteriormente con respecto a la figura 1 se implementa usando un dispositivo informático, tal como el dispositivo 200 informático de la figura 2.

Aunque se muestra y describe principalmente que tiene tipos y disposiciones específicas de componentes, se apreciará que cualquier otro tipo y/o disposición de componentes adecuados se puede utilizar para el dispositivo 200 informático. El dispositivo 200 informático puede implementarse de cualquier manera adecuada para implementar las diversas funciones descritas en el presente documento.

Se apreciará que el ordenador 200 representado en la figura 2 proporciona una arquitectura y funcionalidad generales adecuadas para implementar elementos funcionales descritos en el presente documento y/o partes de elementos funcionales descritos en el presente documento. Las funciones representadas y descritas en el presente documento pueden implementarse en software y/o hardware, por ejemplo, usando un ordenador de uso general, uno o más circuitos integrados específicos de aplicación (ASIC) y/o cualquier otro equivalente de hardware.

Se contempla que algunas de las etapas tratadas en el presente documento como métodos de software pueden implementarse dentro del hardware, por ejemplo, como circuitos que cooperan con el procesador para realizar varias etapas del método. Partes de las funciones/elementos descritos en el presente documento pueden implementarse como un producto de programa informático en el que las instrucciones informáticas, cuando son procesadas por un ordenador, adaptan el funcionamiento del ordenador de modo que los métodos y/o técnicas descritos en el presente documento se invocan o se proporcionan de otro modo. Las instrucciones para invocar los métodos de la invención pueden almacenarse en medios fijos o extraíbles, transmitirse a través de un flujo de datos en un medio de transmisión u otro medio portador de señales, transmitirse a través de medios tangibles y/o almacenarse dentro de una memoria dentro de un dispositivo informático que funcione de acuerdo con las instrucciones.

La figura 3 representa un diagrama de flujo de un método de acuerdo con una realización y adecuado para procesar un flujo D de datos para su transmisión, tal como se ha descrito anteriormente con respecto a la figura 1. La figura 4 representa una representación gráfica de una matriz de almacenamiento intercalada útil para comprender las diversas realizaciones. Estas dos figuras se describirán juntas dentro del contexto de una realización en particular.

En la etapa 310, se reciben uno o más flujos de datos de uno o más clientes. Haciendo referencia al recuadro 315, el uno o más flujos de datos pueden recibirse a través de un enlace por satélite, un enlace de microondas, un canal inalámbrico, un canal cableado y/u otros medios.

En la etapa 320, las porciones de datos tales como palabras (compuestas por uno o más bytes) del flujo D de datos recibid se almacenan en una fila o en otro orden definido dentro de una matriz, donde un valor de verificación de redundancia circular (CRC) se asocia opcionalmente con uno. o más de las filas u otra parte de un orden definido. Con referencia al recuadro 325, la matriz puede comprender un área definida de memoria, una matriz de punteros (tal como apuntar a una memoria intermedia de entrada), una lista enlazada u otro mecanismo de almacenamiento. En una realización particular descrita en el presente documento, se explica con más detalle una matriz de memoria que comprende N filas por M columnas.

En la etapa 330, cuando se llenan K filas, se forma un bloque de codificación de FEC para cada grupo de K elementos en la misma columna. Con referencia al recuadro 335, la codificación de FEC puede realizarse utilizando parámetros de FEC predeterminados o parámetros de FEC adaptados en respuesta a varios criterios, tales como niveles de ruido del canal de transmisión y/o consideraciones de compatibilidad, consideraciones de compatibilidad del receptor, consideraciones de compatibilidad de codificación/cifrado subyacentes, etc. Además, el parámetro de verificación de redundancia circular (CRC) puede calcularse como parte del proceso de codificación de FEC e inyectarse periódicamente en la secuencia de bloques de datos codificados para mejorar las capacidades de detección/corrección de errores.

En la etapa 340, se repiten las etapas 310-330 para el siguiente grupo de K filas. Con referencia al recuadro 345, K puede ser predefinido, variable, adaptable en función de alguna condición o determinado de alguna otra manera. Las etapas 310-340 funcionan para generar una secuencia de bloques codificados por FEC que luego se proporcionan al seccionador 130 para su procesamiento adicional. El funcionamiento de las etapas 310-340 se describirá con más detalle a continuación con respecto a la figura 4.

En la etapa 350, los datos de bloques codificados por FEC se dividen en una pluralidad (ilustrativamente P) de segmentos de flujo y/o subflujos, cada uno de los segmentos de flujo y/o subflujos se asocia con un fragmento espectral respectivo y/o enlace como se describe en el presente documento respecto a las diversas realizaciones. Con referencia al recuadro 355, los segmentos de flujo y/o subflujos pueden definirse según el cliente, los fragmentos espectrales

disponibles de tamaño fijo o tamaño variable, el tipo de datos o tipo de señal, el fragmento espectral o la capacidad de enlace, el fragmento espectral o los parámetros de enlace y/u otros parámetros o criterios.

En la etapa 360, los segmentos de flujo y/o subflujos se modulan de acuerdo con los parámetros de modulación apropiados, asignaciones de ancho de banda, niveles de prioridad y/u otros parámetros para sus respectivos fragmentos espectrales o enlaces, y luego se transmite por esos respectivos fragmentos espectrales o enlaces tales como a través de un módulo de transmisión correspondiente.

La figura 4 representa una representación gráfica de una matriz de almacenamiento intercalada útil para comprender las diversas realizaciones. Específicamente, la figura 4 representa una matriz 400 de elementos de memoria que tienen n filas y m columnas, donde un byte almacenado en una fila i y una columna j se designa S_{ij} .

En una realización, la matriz 400 representada está poblada por el funcionamiento del codificador/intercalador 120 de FEC descrito anteriormente con respecto a la figura 1. Pueden utilizarse varias realizaciones para almacenar datos de acuerdo con la matriz 400 representada. De manera similar, la estructura de la matriz 400 representada también puede adaptarse de acuerdo con varias realizaciones. De manera similar, el decodificador/desintercalador 180 de FEC realiza sustancialmente la operación inversa como se describe en el presente documento.

Para los propósitos de esta discusión, se supone que los bytes de datos asociados con un flujo D de datos son procesados por un codificador/intercalador de FEC y almacenados en una matriz N por M como se represente. Para asegurar una baja latencia, los bytes de datos entrantes también pueden enviarse simultáneamente al seccionador 130 (incluyendo opcionalmente un byte de verificación de redundancia circular (CRC) inyectado periódicamente).

En una realización, el codificador/intercalador 120 de FEC almacena los bytes de datos entrantes del flujo D de datos en la matriz en orden de filas, ilustrativamente, la fila 0 se llena primero, la fila 1 a continuación, y así sucesivamente hasta que se llena la fila $k-1$. Opcionalmente, un byte de verificación de redundancia circular (CRC) se calcula periódicamente para cada fila de bytes y se almacena en la matriz, ilustrativamente representada como la última columna de cada fila. El propósito del CRC (indicado en la matriz como C_i) es permitir que los receptores, tales como los módulos 160 receptores, realicen una verificación rápida de CRC en el paquete en esa fila y permitir el uso de todos los bytes de datos de esa fila sin incurrir en el retardo asociado llenando primero la matriz del desintercalador y, después, calculando la paridad con el fin de corregir errores.

Una vez que los elementos de la fila $k-1$ se llenan con bytes de datos y (opcionalmente) un byte de CRC, la codificación de FEC se aplica individualmente a cada una de las m columnas. Es decir, esos bytes de datos en las filas $0-k$ que están dentro de la misma columna m se procesan juntos usando codificación de FEC para formar de ese modo un bloque de FEC. Es decir, el bloque de FEC se forma utilizando el bloque de bytes en cada columna. En algunos sistemas, solo un subconjunto de k filas (por ejemplo, k') puede llenarse y el resto de las $z = k-k'$ filas se anula o se rellena con ceros.

En referencia a la figura 4, se puede ver que un primer bloque de FEC denotado como $P_{k,0}$ se forma en la primera columna ($j=0$) aplicando codificación de FEC a los elementos en términos de columna $i=0$ hasta $i=k-1$ (es decir, $S_{0,0}$, $S_{1,0}$... $S_{k-1,0}$). De manera similar, un segundo bloque de FEC indicado como $P_{k,1}$ se forma en la segunda columna ($j=1$) aplicando codificación de FEC a los elementos en las columnas $i=0$ a $i=k-1$ ($S_{0,1}$, $S_{1,1}$... $S_{k-1,1}$), un tercer bloque de FEC indicado como $P_{k,2}$ se forma en la tercera columna ($j=2$) aplicando la codificación de FEC a los elementos en las columnas $i=0$ hasta $i=k-1$ ($S_{0,2}$, $S_{1,2}$... $S_{k-1,2}$) y así sucesivamente hasta la columna $j=m-1$.

Las etapas de procesamiento anteriores pueden implementarse para cada una de las K filas dentro de la matriz. También se pueden anular partes de la matriz a medida que los bloques de FEC correspondientes se transmiten al seccionador 130.

En varias realizaciones, se proporciona un esquema de FEC de bloques sistemático (es decir, uno que conserva los bytes de entrada originales en su salida). Tales esquemas incluyen, ilustrativamente, LDPC o BCH, u otros esquemas de FEC que manejan supresiones también pueden aplicarse a los bytes de usuario disponibles en cada columna. Los bytes de paridad de salida del codificador de FEC llenan el resto de las filas $N-K$ de cada columna. En varias realizaciones, pueden usarse códigos de FEC no sistemáticos si, ilustrativamente, no es un requisito una baja latencia de transmisión.

En varias realizaciones, la transmisión de bytes tiene lugar por filas. En diversas realizaciones, la transmisión de bytes de datos de usuario al seccionador 130 y el almacenamiento en la matriz intercaladora en la ubicación $S_{i,j}$ ocurren simultáneamente, si se usan códigos de FEC sistemáticos, por lo tanto no incurrir en latencia. Los bytes de datos originales ($S_{i,j}$) se transmiten en el mismo orden en que se almacenan en la matriz. Para los códigos de FEC no sistemáticos, la transmisión de bytes hacia el seccionador VSA comienza solo después de que el codificador haya generado su salida para cada columna de entrada. Las filas con bytes de relleno con ceros no se transmiten opcionalmente.

En varias realizaciones, una vez que se transmiten los bytes de datos y los bytes de CRC opcionales asociados de

las primeras filas K' , comienza la transmisión de bytes desde las filas (empezando por la fila K) que contienen códigos de paridad. Por tanto, los bytes de la fila K se transmiten primero, luego la fila $K + 1$, y así sucesivamente.

5 Los bytes de datos de una fila constituyen efectivamente la carga útil de un paquete. El intercalador puede construirse para proporcionar que (1) El tamaño de fila, M (que es el número de bytes de datos de usuario por fila + un byte CRC opcional) sea igual al tamaño de carga útil de los paquetes generados por el seccionador VSA; y (2) El seccionador está sincronizado de manera que asigna un número de secuencia predecible para el paquete correspondiente a la primera fila del intercalador.

10 En varias realizaciones, debido a los múltiples enlaces de transmisión, se pueden transmitir diferentes filas del intercalador a través de múltiples enlaces de transmisión, proporcionando así de manera efectiva el intercalado de datos de doble frecuencia y tiempo. El intercalado máximo se logra con enlaces de transmisión de igual capacidad donde las filas del intercalador se distribuyen a través de los enlaces de transmisión de manera cíclica. Si los enlaces son desiguales, la distribución es proporcional al ancho de banda disponible por enlace.

15 En varias realizaciones, cuando la baja latencia de transmisión puede no ser un requisito clave, las filas (K' filas de datos de usuario y $N-K$ filas de bytes de paridad) pueden transmitirse de una manera no secuencial para proporcionar más intercalado. En varias realizaciones, la fila $n.^{\circ} 0$ es la primera fila transmitida.

20 Varias realizaciones contemplan que se procesen k filas de datos dentro del contexto de la codificación de FEC de cada una de las m columnas (o $m + 1$ columnas si los datos de CRC ocupan un elemento en una fila). Un superbloque puede definirse como que incluye los datos del bloque de FEC asociados con k filas. En varias realizaciones, una matriz puede tener el tamaño para almacenar solo unos pocos superbloques, reutilizándose la memoria de la matriz para superbloques posteriores. En varias realizaciones, el tamaño del superbloque se adapta en respuesta a la optimización del canal, el tipo de datos y/u otros parámetros. Tales superbloques también pueden definirse dentro del contexto de otras estructuras de matriz.

25 En varias realizaciones, el valor de M se elige para que coincida con el tamaño de carga útil de los paquetes enviados a través del enlace de transmisión. Puede que esto no sea necesario para todas las técnicas de agregación de enlaces, pero ciertamente ayuda a garantizar la sincronización del intercalador con la técnica de transmisión de VSA. Pueden usarse varios esquemas de sincronización además de los descritos en el presente documento dentro del contexto de las diversas realizaciones.

30 La figura 5 representa un diagrama de flujo de un método de acuerdo con una realización. Específicamente, el método 500 de la figura 5 es adecuado para procesar uno o más subflujos recibidos, como se ha descrito anteriormente con respecto a la figura 1. En términos generales, el método 500 de la figura 5 proporciona una función de receptor que opera de una manera sustancialmente inversa a la función de transmisor descrita anteriormente con respecto al método 300 de la figura 3. Cualquier función no inversa presentada en el presente documento con respecto a cualquiera de los dos métodos 300, 500 comprende una realización alternativa de ese método, cuya realización también se contempla implementar en el otro de los dos métodos 500, 300.

35 En la etapa 510, se reciben uno o más subflujos modulados y, si es necesario, se reducen. Haciendo referencia al recuadro 515, el uno o más flujos de datos pueden recibirse a través de un enlace por satélite, un enlace de microondas, un canal inalámbrico, un canal cableado y/u otros medios.

40 En la etapa 520, cualquier subflujo previamente combinado en el transmisor se separa para proporcionar subflujos individuales, y en la etapa 530 cada uno de los subflujos individuales se desmodula utilizando un desmodulador apropiado.

45 En la etapa 540, uno o más de los subflujos desmodulados se retrasan selectivamente para que los flujos de datos desmodulados resultantes puedan alinearse temporalmente.

50 Se observa que las funciones descritas en el presente documento con respecto a las etapas 510-530 pueden ser realizadas, ilustrativamente, mediante módulos 160 receptores, tales como los descritos anteriormente con respecto a la figura 1. De manera similar, la etapa 540 puede ser realizada por cualquier elemento funcional que incluya suficientes circuitos de temporización/almacenamiento en memoria intermedia, tales como varias realizaciones del módulo 160 receptor y/o combinador 170 descritos anteriormente con respecto a la figura T.

55 En la etapa 550, los subflujos desmodulados y retardados selectivamente se combinan para proporcionar un flujo o secuencia resultante de datos de bloque codificados, tal como una secuencia de bloques de FEC que incluyen partes secuenciales o no contiguas de un flujo D de datos inicial.

60 En la etapa 560, los datos del bloque se adaptan según la estructura de matriz inicial utilizada para establecer los datos del bloque. Es decir, los datos de bloque pueden adaptarse según la estructura de la matriz de memoria, la estructura de la matriz de punteros u otra estructura utilizada para agrupar porciones de datos no secuenciales para la codificación de FEC.

En la etapa 570, los bytes, palabras, paquetes u otras partes de datos secuenciales del flujo D de datos de entrada se extraen de los bloques de codificación de FEC y se corrigen según sea necesario, tal como se describe en las diversas realizaciones.

Como se ha señalado anteriormente con respecto a las realizaciones de la matriz bidimensional, los datos de CRC asociados con cada fila de porciones de datos contiguas o secuenciales son útiles para indicar que existe un error dentro de esa fila. Al determinar que existe un error en una fila, los datos de FEC asociados con las diversas filas se pueden usar para reemplazar los datos de la fila de manera que se corrija el error.

En términos generales, las realizaciones descritas anteriormente se describen dentro del contexto de una matriz bidimensional de elementos de almacenamiento, punteros (o punteros a los mismos) en los que las porciones de flujo de datos secuenciales (por ejemplo, palabras contiguas, bytes, paquetes, etc.) están asociadas (almacenadas o apuntadas) a elementos respectivos dentro de la matriz de elementos. Los grupos de elementos no secuenciales se definen (por ejemplo, elementos relacionados con columnas en lugar de elementos relacionados con filas) para incluir, por tanto, porciones de flujo de datos no secuenciales que se procesan mediante FEC. Esto da como resultado una secuencia de bloques de FEC que están efectivamente intercalados con respecto al orden del flujo de datos subyacente. Los bloques de FEC se disponen secuencialmente como, ilustrativamente, un flujo de bloques y se dividen en subflujos que comprenden porciones respectivas de la secuencia de bloques de FEC. A continuación, cada subflujo se procesa para su transmisión a través de uno (o más) de una pluralidad de canales de transmisión.

La matriz puede ser una matriz unidimensional, una matriz tridimensional u otro tipo de estructura. Varias realizaciones contemplan almacenar u organizar grupos (por ejemplo, filas) de porciones de datos secuenciales o contiguas de un flujo D de datos con los datos de CRC respectivos, y grupos de codificación de FEC (por ejemplo, columnas) de porciones de datos no secuenciales o no contiguas para proporcionar bloques de FEC, que luego se organizan para la transmisión como un flujo o secuencia de bloques, de modo que el flujo o secuencia se secciona o segmenta en subflujos o subsecuencias de bloques, que luego se transmiten a través de varios canales de transmisión hacia un receptor. El receptor realiza procesos inversos para recuperar el flujo D de datos original.

Sincronización transmisor/receptor

En varias realizaciones, la sincronización del intercalador entre los sistemas de transmisión y recepción puede proporcionarse utilizando números de secuencia dentro de la estructura de paquetes transmitidos. Los números de secuencia pueden ser generados por el seccionador 130 al dividir el flujo D de dato en segmentos y ser utilizados por el combinador 170 cuando recombina los segmentos en el flujo D de datos.

Por ejemplo, los paquetes con la condición (número de secuencia módulo N) == 0 se asignan a la fila 0 del intercalador. Los números de secuencia de paquetes posteriores se asignan a filas sucesivas. El seccionador puede asignar números de secuencia del 0 a Q donde $Q = K' + (N - K) - 1$. Así, las filas que comprenden bytes de datos de usuario, S_{ij} , reciben el número de secuencia $0..K'-1$ mientras que las filas que comprenden bytes de paridad reciben los números de secuencia $K'..Q$.

Una vez que se han transmitido todas las filas de la matriz del intercalador, el seccionador establece su siguiente número de secuencia disponible en N. De manera similar, para el tercer conjunto de paquetes del intercalador, el número de secuencia inicial es $2*N$, y así sucesivamente. El número de secuencia inicial puede volver a 0 después de la iteración k si $(k*N + Q)$ excede el número de secuencia máximo soportado por el número de bits utilizados por el seccionador VSA para transportar números de secuencia de paquetes.

En otras realizaciones, se pueden usar diferentes técnicas de sincronización para determinar cómo se almacenan los paquetes en el desintercalador, pero la técnica de FEC general descrita aquí todavía se aplica.

En varias realizaciones, tal como un sistema en el que N permanece constante (por ejemplo, 256), el valor, K, puede ajustarse para variar el grado de protección contra errores requerido. La reducción de K aumenta la capacidad de protección contra errores. Por ejemplo, N y K pueden ser fijos. Ajustar el valor de K' (y por lo tanto $Z = K - K'$) es un método alternativo para ajustar la tasa de FEC. La tasa de FEC efectiva es, por tanto, $(K - Z)/(N - Z)$. Al aumentar Z (el número de filas con relleno de ceros que no se transmiten), la tasa de FEC efectiva se reduce (es decir, FEC se hace más fuerte) porque una mayor proporción de la carga útil transmitida constituye bytes de paridad de protección contra errores. En estas realizaciones, cuando Z se puede ajustar, ilustrativamente, a tamaños de etapa de 1, se proporciona un esquema de tasa de código de FEC de grano muy fino. Por ejemplo, si N es 256 y K es 224, la tasa de FEC efectiva se puede ajustar en cualquier lugar entre 224/256 (igual que la tasa 7/8), 223/255, 222/254, etc. Obsérvese que este ajuste de tasa fina no aumenta la complejidad del codificador y es relativamente sencillo de implementar.

En varias realizaciones, los parámetros de codificación de FEC se adaptan en respuesta al número de canales de transmisión o enlaces P usados para transferir los diversos cortes a través del medio 150. Por ejemplo, a medida que aumenta el número de enlaces, se puede reducir la sobrecarga atribuible a la codificación de FEC.

Desafortunadamente, las alteraciones del canal pueden impedir la entrega de paquetes en uno o más enlaces de transmisión en un momento dado. Algunas de las deficiencias de canal que se encuentran más comúnmente son (1) ruido e interferencia en las señales de RF utilizadas para la transmisión inalámbrica; (2) fallo del equipo en el transmisor o el receptor para uno de los enlaces de transmisión P; y la congestión de la memoria intermedia (tal como en los enrutadores o conmutadores IP) que provocan caídas de paquetes en uno de los nodos intermedios de una red cableada utilizada para los enlaces de transmisión P.

En varias realizaciones, las múltiples instancias de receptor, Rx0...RxP-1, reciben paquetes transmitidos por el seccionador y proporcionan esos paquetes al Combinador para reconstituir el flujo D de datos. Los paquetes que llegan al combinador se reordenan basándose, de manera ilustrativa, en los números de secuencia que se encuentran en ellos. Los paquetes de control y nulos que pueden haber sido introducidos por elementos de transmisión específicos (tales como moduladores DVB-S2 en el caso de enlaces por satélite) son filtrados por el Combinador VSA. El combinador proporciona los paquetes recibidos y sus números de secuencia asociados al bloque descodificador/desintercalador FEC.

En diversas realizaciones, el descodificador/desintercalador 180 de FEC espera la llegada de un número de secuencia que coincida con los criterios de sincronización para el paquete de la primera fila descrito anteriormente en la sección del transmisor. Los paquetes pueden almacenarse en la matriz de memoria del desintercalador comenzando en la primera fila (ilustrativamente una fila 0). Las filas correspondientes a los números de secuencia que faltan pueden rellenarse con nulos o ceros. Estas filas constituyen borrados y la falta de un paquete da como resultado una ubicación de borrado por bloque de FEC en columnas. Las filas de borrado se indican ya que sus ubicaciones son útiles para reconstruir los bytes que faltan cuando se invoca el descodificador de FEC.

Como se ha señalado anteriormente, varias realizaciones utilizan (número de secuencia módulo N) = $[0 \dots K'-1]$ correspondiente a los bytes de datos del usuario, y estos se almacenan, respectivamente, en las filas $[0 \dots K'-1]$ de la memoria del desintercalador. El módulo de números de secuencia $N = K' \dots Q$ se puede usar para paquetes que contienen bytes de paridad y se almacenan en las filas $K \dots N-1$, respectivamente. Las Z filas correspondientes a bytes con relleno de ceros no se ven afectadas.

En varias realizaciones, cuando un paquete para cualquiera de las filas en $[0 \dots K'-1]$ es recibido por un módulo 160 receptor, se verifica el byte DE CRC opcional, Ci, si está presente en el paquete. El paquete se transmite al nodo de usuario final, B, inmediatamente si pasa la verificación DE CRC. Esta transmisión directa de bytes recibidos al usuario final puede denominarse FEC Bypass. Esto garantiza una latencia muy baja cuando las condiciones del canal son buenas. Si pasan las verificaciones de CRC para todas las filas de datos del usuario, no son necesarias verificaciones adicionales en la iteración actual de la memoria del desintercalador y se pasa a la etapa 5 para iniciar la siguiente iteración. Si una verificación de CRC para cualquier paquete falla o se observa un número de secuencia que falta para cualquiera de las filas de bytes del usuario, el FEC Bypass se detiene para los siguientes paquetes para dicha iteración de la memoria del intercalador de FEC. Esto es necesario para reconstruir los bytes de error/incorrectos o los paquetes que faltan.

Se observará que un paquete que falta aparece como bytes de error que abarca todas las columnas en la memoria del intercalador. Debido a que cada columna se trata como un bloque de entrada separado para el descodificador FEC, el impacto real de un paquete que falta es muy pequeño ya que solo un byte de borrado necesita corrección en cada columna. En las diversas realizaciones tratadas en el presente documento, el descodificador/desintercalador de FEC se aplica en columnas para reconstruir los bytes que faltan.

En términos generales, el número de bytes corregidos depende del descodificador de FEC específico utilizado. Por ejemplo, si se usa el descodificador Reed-Solomon/BCH, los bytes de paridad N-K permiten la corrección de hasta $(N-K)/2$ bytes con errores/incorrectos o borrados (N-K) en cada columna. Dicho de otra manera, hasta N-K paquetes perdidos para cada conjunto de Q paquetes que forman una iteración a través de la memoria del desintercalador se reconstruyen con éxito.

Las diversas realizaciones tratadas en el presente documento proporcionan una flexibilidad significativa en el diseño de redes de transmisión inalámbricas y cableadas que emplean múltiples enlaces de transmisión. La protección contra errores puede diseñarse para una amplia gama de condiciones, como la reconstrucción sin errores de paquetes perdidos ocasionales (debido a la congestión de la red) hasta la entrega sin errores del flujo D de usuario incluso en presencia de una interrupción del enlace físico durante un período prolongado.

Las diversas realizaciones encuentran una aplicabilidad particular dentro del contexto de transmisión altamente elástica en redes inalámbricas.

Como ejemplo, considérese un esquema de transmisión inalámbrica que emplea P cortes espectrales disjuntos de igual ancho de banda W, lo que da como resultado un uso total del espectro de $P \cdot W$. Estos cortes espectrales se pueden utilizar en diversas aplicaciones, tales como la transmisión de microondas de punto a punto o para comunicaciones por satélite, etc. Supóngase que cada uno de los segmentos espectrales se agrega utilizando el esquema de agregación VSA. Los inventores usaron la tasa de FEC más alta (es decir, la sobrecarga de corrección

de errores más baja) para las capas físicas de cada uno de los enlaces de transmisión que da como resultado una tasa de error de bits que excede el umbral de casi libre de errores (QEF). Supóngase un esquema de FEC multiportadora de acuerdo con los siguientes parámetros: $N=256$; $K=240$; $Z=0$; $M=184$ con verificaciones de CRC para cada fila desactivada; y esquema de codificación de FEC = Reed Solomon. Esta disposición puede tolerar $NK = 16$ paquetes perdidos por cada 256 paquetes transmitidos sin dar como resultado errores de bit en el nodo de usuario B. Se puede habilitar protección adicional aumentando el valor de Z . La protección se puede reducir seleccionando un valor más alto de K si los enlaces de transmisión se consideran fiables.

Como otro ejemplo, considérese un sistema muy resistente que puede soportar una interrupción del enlace físico durante un período indefinido y no experimentar pérdida de paquetes ni errores de bits. Supóngase P enlaces de transmisión de igual capacidad; conjunto $K = N \cdot (P-1)/P$; esto implica que $N-K = N/P$ paquetes perdidos por iteración a través del bloque de desintercalador de FEC pueden reconstruirse con éxito. Dado que cada enlace tiene la misma capacidad, cada enlace transporta efectivamente $1/P$ del tráfico total que coincide con el número efectivo de borrados (como una fracción del total de datos que se transmiten) que se pueden tolerar. Esta disposición proporciona efectivamente una tasa de FEC de $(P-1)/P$ para permitir la reconstrucción de todos los paquetes en un enlace que sufren una interrupción completa durante un período indefinido. Si P es 4, eso se traduce en una tasa de código de solo $3/4$. Si P es 8, la tasa de FEC es efectivamente $7/8$, y así sucesivamente.

Las diversas realizaciones proporcionan una mejora significativa en la ganancia de codificación. Específicamente, en un sistema inalámbrico tradicional de un solo operador que emplea una velocidad de símbolo de símbolos E por segundo, una fuente de ruido fuerte que dura una duración finita, T , puede borrar por completo (corromper) los símbolos $E \cdot T$. Esto también se aplica a los sistemas cableados en los que el número de paquetes perdidos es directamente proporcional a la duración de la fuente de ruido.

En un sistema que emplea múltiples enlaces de transmisión basados en diferentes enlaces cableados (o bloques espectrales disjuntos para sistemas inalámbricos), es probable que una determinada fuente de ruido de banda limitada afecte solo a un canal de transmisión o enlace en un momento dado. Múltiples enlaces físicos (o bloques espectrales) pueden verse afectados simultáneamente, pero la probabilidad es mucho menor. Si todos los cortes espectrales tienen el mismo ancho de banda, llevan efectivamente símbolos E/P por segundo, donde P es el número de cortes espectrales. La misma fuente de ruido que corrompió los símbolos $E \cdot T$ en un sistema de portadora única ahora corrompe solo los símbolos $E \cdot T/P$. Para la misma tasa de codificación de FEC en los sistemas de una sola portadora y de múltiples portadoras, la capacidad de protección contra errores ahora se mejora efectivamente en un factor de $10 \cdot \log(P)$ dB.

Realizaciones de asignación de fragmentos espectrales

Varias realizaciones descritas en el presente documento pueden adaptarse para usar técnicas de asignación de espectro virtual (VSA) y, opcionalmente, varias técnicas de mejora de la resiliencia, como se describe con más detalle en la solicitud de patente de Estados Unidos n.º de serie 13/471.504, presentada el 15 de mayo de 2012, titulada "SISTEMA Y MÉTODO PARA PROPORCIONAR TRANSMISIÓN DE DATOS RESILIENTES MEDIANTE FRAGMENTOS ESPECTRALES", que se incorpora en el presente documento por referencia en su totalidad.

Brevemente, varias realizaciones descritas anteriormente utilizan opcionalmente una técnica eficiente y de propósito general para agregar múltiples bloques fragmentados de espectro inalámbrico en un bloque virtual contiguo de manera que el ancho de banda acumulativo es casi igual a la suma de los anchos de banda de los bloques constituyentes. Los bloques fragmentados están opcionalmente separados unos de otros por bloques de espectro, tales como bloques de protección, bloques propiedad de otras partes, bloques prohibidos por la autoridad reguladora del espectro inalámbrico de una región o país, etc. Los fragmentos espectrales se modulan o se aumentan en una o más señales C portadoras de manera que el espectro asociado con la señal C portadora modulada se divide lógicamente o virtualmente en la pluralidad de fragmentos espectrales usados para transportar los subflujos de datos modulados.

Se utiliza una tabla de asignación de fragmentos espectrales u otra estructura de datos para realizar un seguimiento de qué fragmentos espectrales se han definido, qué fragmentos espectrales están en uso (y por qué subflujos de datos) y qué fragmentos espectrales están disponibles. En términos generales, cada transpondedor/canal de transmisión puede dividirse en una pluralidad de regiones o fragmentos espectrales. Cada uno de estos fragmentos o regiones espectrales puede asignarse a una subflujo de datos particular. Cada uno de los subflujos de datos puede modularse de acuerdo con una técnica de modulación única o común.

Se pueden usar uno o más transpondedores de satélite u otros mecanismos de transmisión de señales portadoras para transmitir señales portadoras que tienen fragmentos espectrales modulados entre los módulos transmisores y los módulos receptores a través de un solo satélite, múltiples satélites u otras combinaciones/tipos de medios de transmisión de señales portadoras.

la figura 6 representa una representación gráfica de una asignación espectral útil para comprender las diversas realizaciones. Específicamente, la figura 6 representa gráficamente una asignación espectral de 36 MHz en la que a un primer cliente se le asigna una primera porción 610 del espectro, ilustrativamente un solo bloque de 10 MHz; a un

segundo cliente se le asigna una segunda porción 620 del espectro, ilustrativamente un solo bloque de 8 MHz; a un tercer cliente se le asigna una tercera porción 630 del espectro, ilustrativamente un solo bloque de 10 MHz; y a un cuarto cliente se le asigna una cuarta porción 640 del espectro, ilustrativamente tres bloques de espectro no contiguos que comprenden un primer bloque 640_1 de 1 MHz, un segundo bloque 640_1 de 1 MHz y un bloque 640_3 de 6 MHz.

- 5 Dentro del contexto de las diversas realizaciones tratadas en el presente documento, el flujo de datos asociado con el cuarto cliente se divide en dos fragmentos espectrales diferentes de 1 MHz en un solo fragmento espectral de 6 MHz, cada uno de los cuales se procesa sustancialmente de la misma manera que se ha descrito anteriormente.

REIVINDICACIONES

1. Un método (300) de codificación de datos para su transmisión, comprendiendo el método:

- 5 asociar (320), mediante un aparato que comprende uno o más dispositivos informáticos (200), porciones ($S_{0,0}$ - $S_{k-1,m-1}$) de flujo de datos secuenciales de un flujo de datos, "D", con los elementos de memoria respectivos dentro de una matriz (400) de elementos de memoria;
 definir, mediante el aparato, una pluralidad de grupos de elementos de memoria, comprendiendo cada grupo una pluralidad de elementos de memoria que incluyen porciones de flujo de datos no secuenciales del flujo de datos;
 10 corrección de errores en sentido directo, "FEC", que codifican (330), mediante el aparato, cada uno de los grupos de elementos de memoria para formar respectivos bloques de FEC ($P_{k,0}$ - $P_{k,m-1}$);
 dividir (350), mediante el aparato (130, 200), los bloques de FEC codificados en una pluralidad de subflujos (D_0 - D_{P-1});
 15 asociar, mediante el aparato, cada subflujo (D_0 - D_{P-1}) a un canal de transmisión respectivo; y
 modular (360), mediante el aparato, cada subflujo con parámetros de modulación para generar una señal modulada respectiva (S_0 , S_i - S_{P-1}) adaptada para transmisión a través del canal de transmisión respectivo.

2. El método de la reivindicación 1, en el que la matriz de elementos de memoria comprende una matriz bidimensional que tiene M columnas y N filas, donde M y N son números enteros mayores que uno, y en donde cada grupo comprende una pluralidad de elementos de memoria dentro de una columna común (C_0 - C_{M-1}) de elementos de memoria dentro de la matriz.

3. El método de las reivindicaciones 1 o 2, que comprende adicionalmente:

- 25 calcular una verificación de redundancia circular, "CRC", (C_0 - C_{k-1}) para las porciones de flujo de datos secuenciales asociadas a un número predefinido de elementos de memoria; y
 asociar el CRC calculado a un elemento de matriz para las porciones de flujo de datos secuenciales del número predefinido de elementos de memoria.

30 4. El método de cualquier reivindicación anterior, en el que al menos algunas de las señales (S_0 , S_i - S_{p-i}) moduladas están adaptadas para la transmisión a través de partes respectivas de una señal portadora convertida a mayor frecuencia adaptada para transmisión a través de un enlace de transmisión por satélite, un enlace de transmisión de microondas o un enlace de transmisión óptica.

35 5. El método de la reivindicación 1, en el que al menos algunas de las señales moduladas (S_0 , S_i - S_{p-i}) están adaptadas para la transmisión a través de canales inalámbricos respectivos dentro de una red de comunicaciones 3G, 4G o Wi-Fi.

40 6. El método de la reivindicación 1, en el que cada uno de dichos canales de transmisión respectivos está asociado a un medio de transporte común (150).

7. El método de acuerdo con cualquier reivindicación anterior, en el que la modulación de cada subflujo es realizada por el aparato (200, 140-0 - 140- (P-1)) teniendo en cuenta las asignaciones de ancho de banda, los niveles de prioridad y otros parámetros para los respectivos fragmentos espectrales o enlaces.

45 8. El método de la reivindicación 1 en combinación con un método de recuperación de datos codificados, comprendiendo el método de recuperación de datos codificados además:

- desmodular (530) cada uno de los subflujos modulados; y
 50 combinar (550) los subflujos desmodulados para recuperar los bloques de FEC; y extraer (570) las porciones de flujo de datos secuenciales de los bloques de FEC.

9. Un medio legible por ordenador no transitorio que incluye instrucciones de software que, cuando son ejecutadas por uno o más procesadores, realizan un método que comprende:

- 55 asociar (320) porciones ($S_{0,0}$ - $S_{k-1,m-1}$) de flujo de datos secuenciales de un flujo de datos, "D", a elementos de memoria respectivos dentro de una matriz (400) de elementos de memoria;
 definir una pluralidad de grupos de elementos de memoria, comprendiendo cada grupo una pluralidad de elementos de memoria que incluyen porciones de flujo de datos no secuenciales del flujo de datos; corrección de errores en sentido directo, "FEC", que codifican (330) cada uno de los grupos de elementos de memoria para formar respectivos bloques de FEC ($P_{k,0}$ - $P_{k,m-1}$);
 60 dividir (350) los bloques de FEC codificados en una pluralidad de subflujos (D_0 - D_{P-1});
 asociar cada subflujo (D_0 - D_{P-1}) a un canal de transmisión respectivo; y modular cada subflujo con parámetros de modulación para generar una señal modulada respectiva adaptada para la transmisión a través del canal de transmisión respectivo.
 65

10. Un producto de programa informático, en donde al menos un ordenador (200) está operativo para procesar instrucciones de software (234) que adaptan el funcionamiento del al menos un ordenador para realizar un método que comprende:

- 5 asociar (320) porciones de flujo de datos secuenciales de un flujo de datos a elementos de memoria respectivos dentro de una matriz de elementos de memoria; definir una pluralidad de grupos de elementos de memoria, comprendiendo cada grupo una pluralidad de elementos de memoria que incluyen porciones de flujo de datos no secuenciales del flujo de datos;
- 10 corrección de errores en sentido directo, "FEC", codificando cada uno de los grupos de elementos de memoria para formar bloques de FEC respectivos;
- 10 dividir la secuencia de bloques de FEC en una pluralidad de subflujos;
- 10 asociar cada subflujo a un canal de transmisión respectivo; y
- 15 modular (360) cada subflujo con parámetros de modulación para generar una señal modulada respectiva (S_0, S_i, S_{P-1}) adaptada para la transmisión a través del canal de transmisión respectivo.

11. Un aparato (200), que comprende:

un codificador (120) configurado:

- 20 para recibir un flujo de datos, "D",
- 20 para asociar porciones ($S_{0,0}-S_{k-1,m-1}$) de flujo de datos secuenciales del flujo de datos a elementos de memoria respectivos dentro de una matriz de elementos de memoria,
- 20 para definir una pluralidad de grupos de elementos de memoria, comprendiendo cada grupo una pluralidad de elementos que incluyen porciones de flujo de datos no secuenciales ($S_{0,0}, S_{1,0}, \dots, S_{k-1,0}$) y
- 25 para la corrección de errores en sentido directo, "FEC", codificar (330) cada uno de los grupos para formar respectivos bloques de FEC ($P_{k,0}-P_{k,m-1}$); y

un seccionador (130) configurado:

- 30 para dividir la secuencia de bloques de FEC en una pluralidad de subflujos (D_0-D_{P-1}) y
- 30 para asociar cada subflujo (D_0-D_{P-1}) a un canal de transmisión respectivo,

en donde el aparato (200) está configurado además para modular (360. $Tx_0 -Tx (P-1)$) cada subflujo con parámetros de modulación para generar una señal modulada respectiva (S_0, S_i-S_{P-1}) adaptada para transmisión a través del canal de transmisión respectivo.

12. El aparato de acuerdo con la reivindicación 11, en donde el aparato (200, 140-0 - 140- (P-1)) está dispuesto para modular cada subflujo teniendo en cuenta las asignaciones de ancho de banda, los niveles de prioridad y otros parámetros para los respectivos fragmentos espectrales o enlaces.

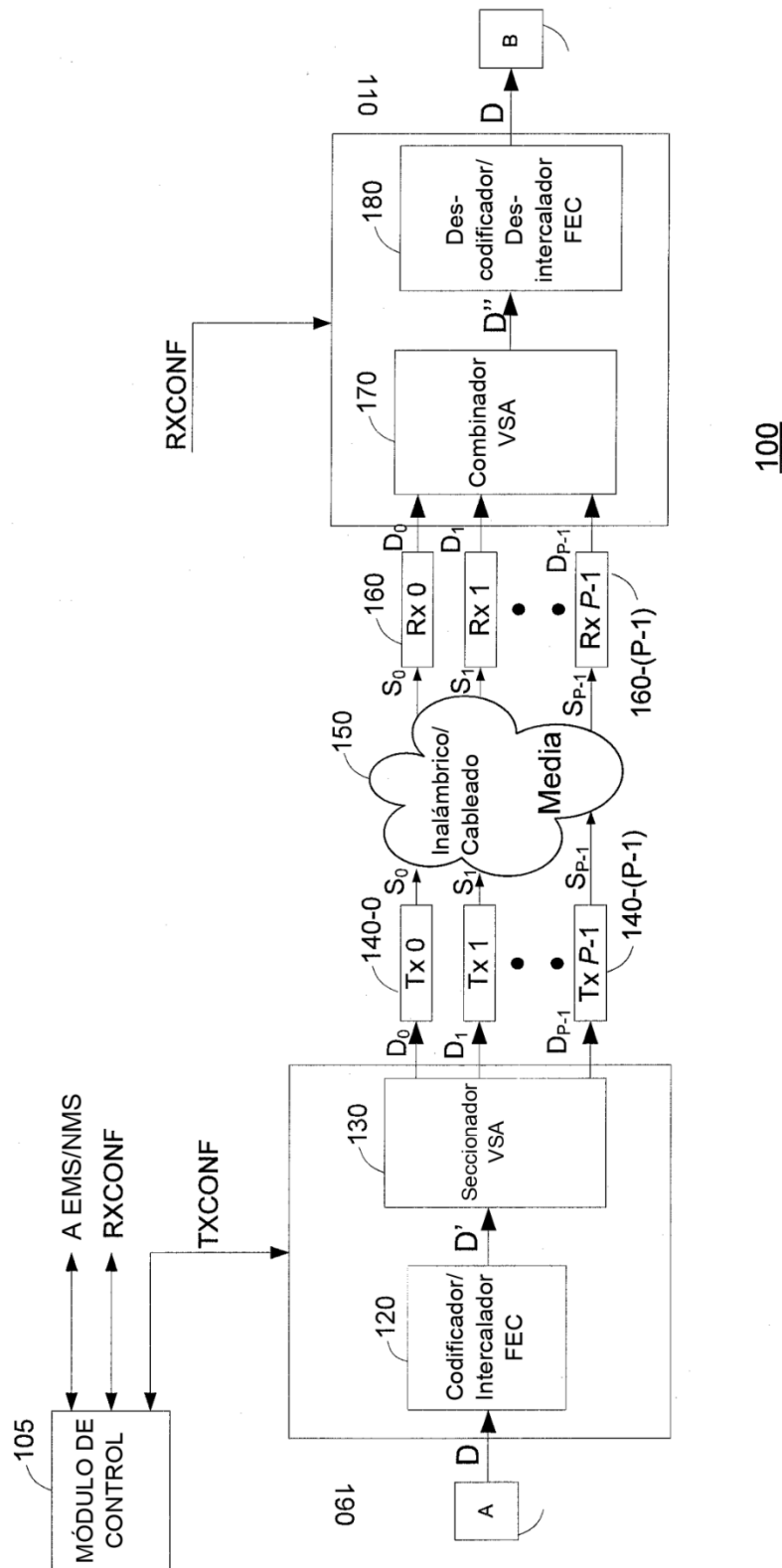


FIG. 1

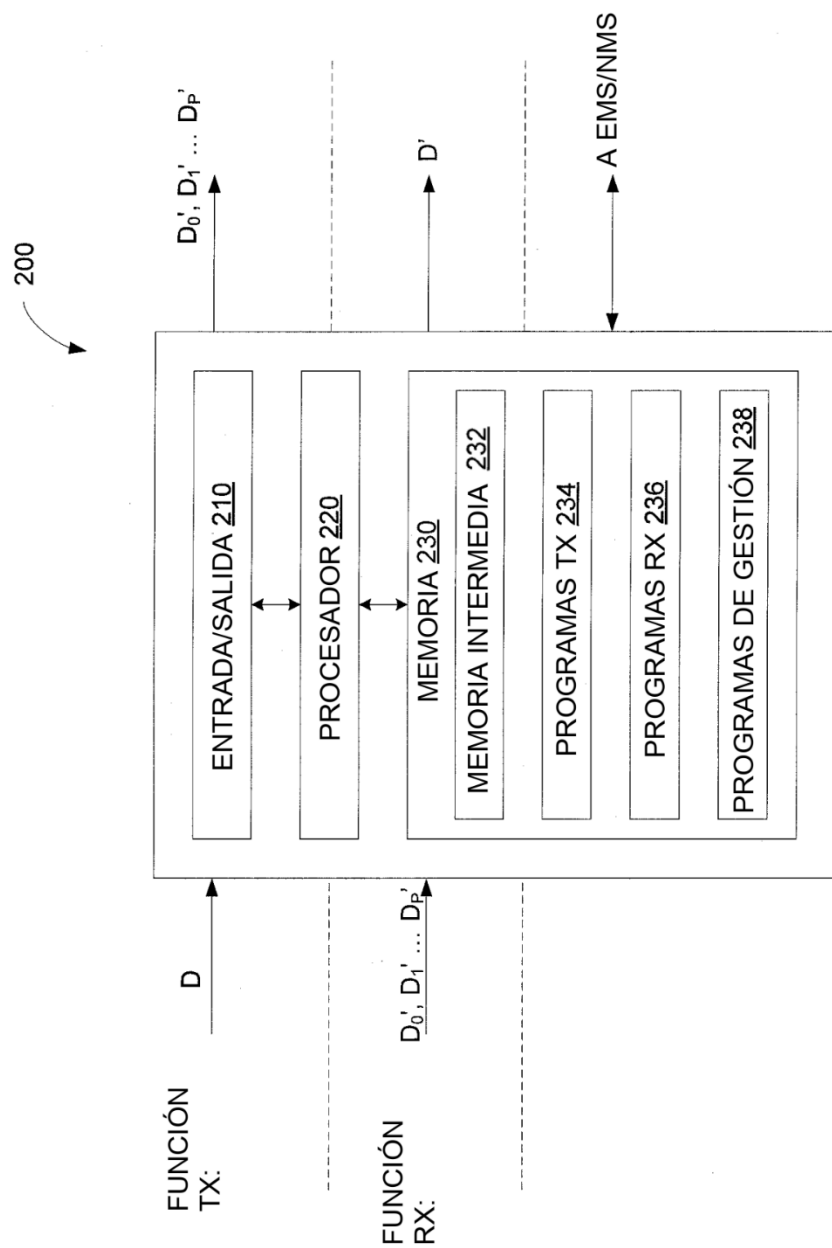
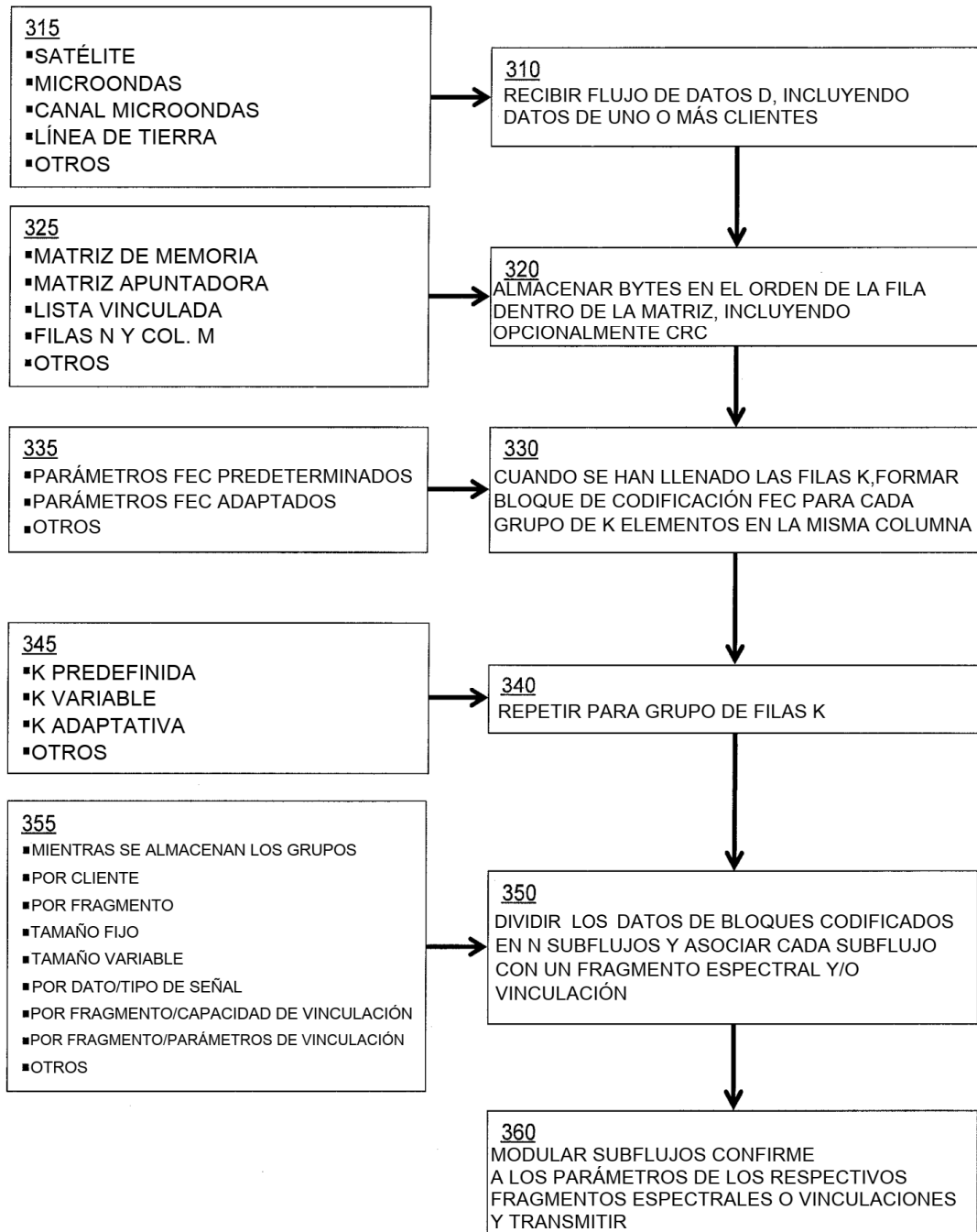


FIG. 2



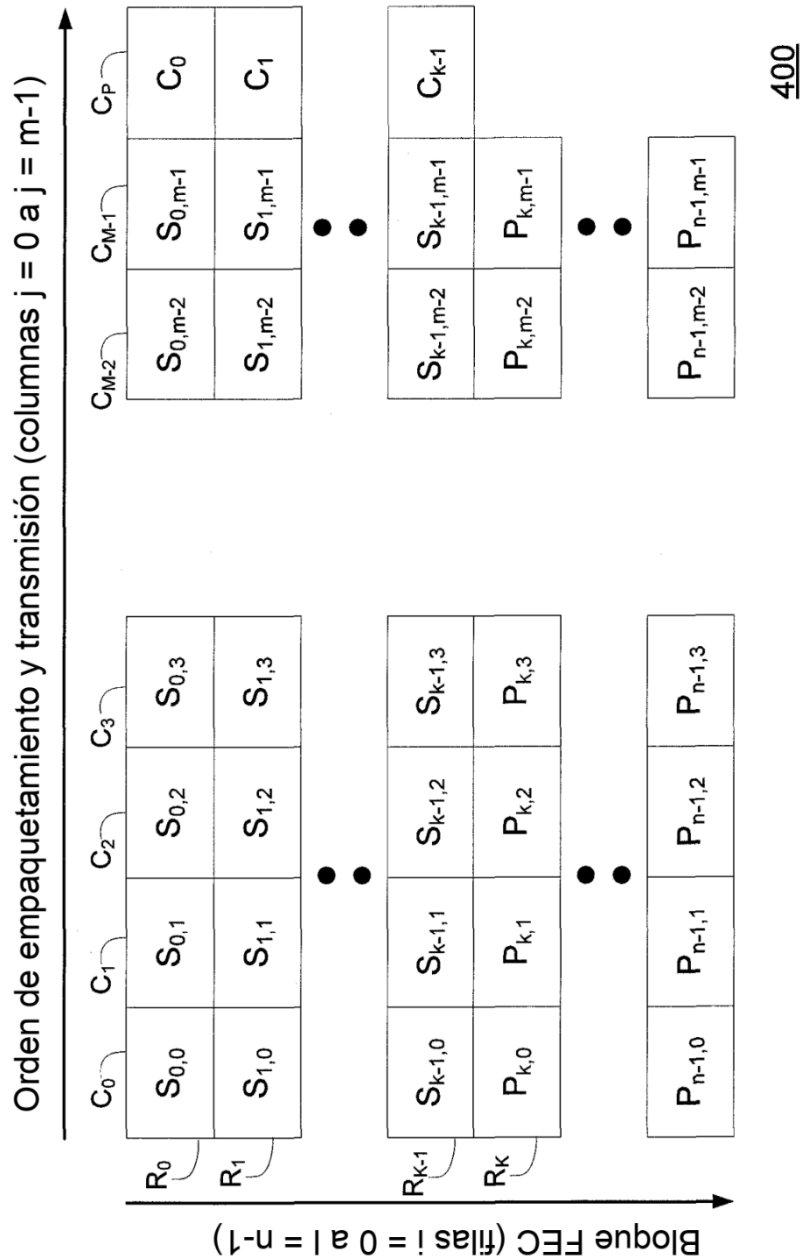
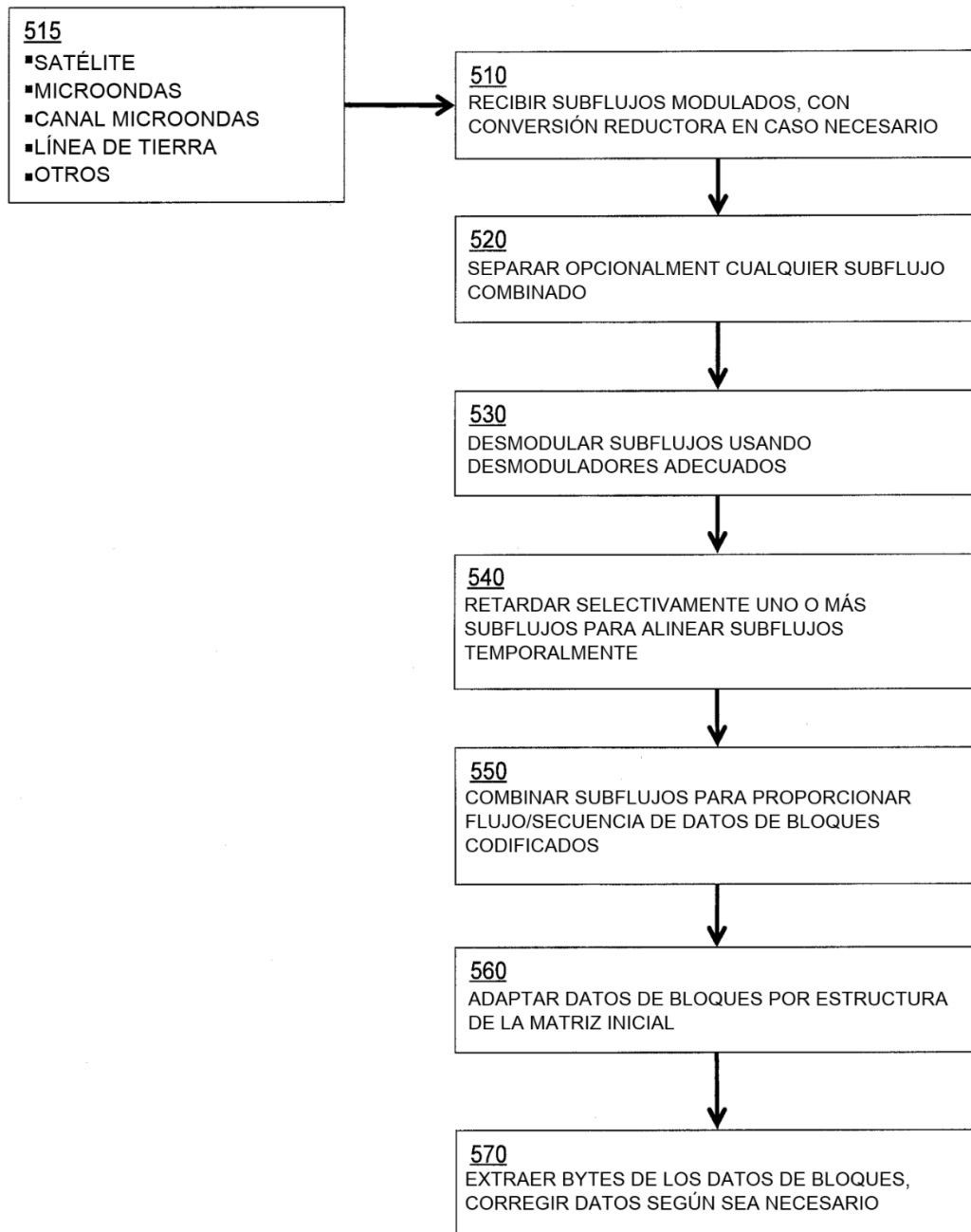


FIG. 4

400



500

FIG. 5

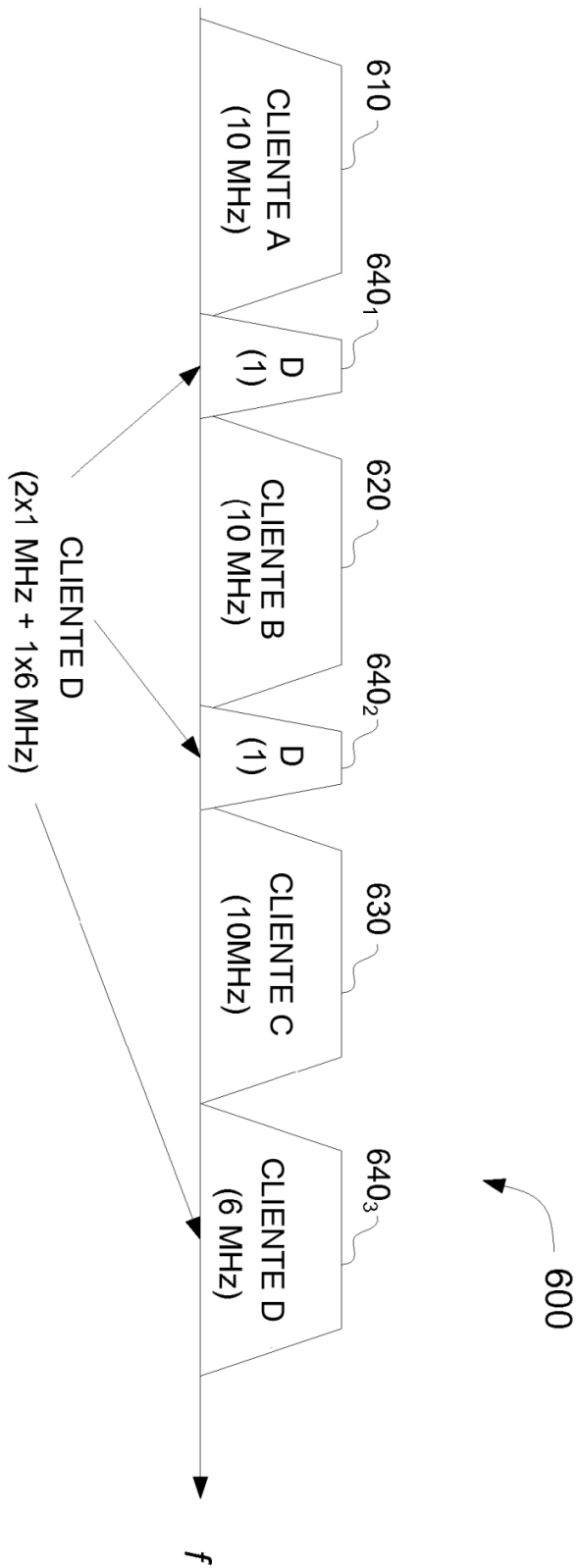


FIG. 6