

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4266350号
(P4266350)

(45) 発行日 平成21年5月20日(2009.5.20)

(24) 登録日 平成21年2月27日(2009.2.27)

(51) Int.Cl.

G O 1 R 31/28 (2006.01)

F 1

G O 1 R 31/28

M

請求項の数 9 (全 16 頁)

(21) 出願番号 特願2004-34549 (P2004-34549)
 (22) 出願日 平成16年2月12日 (2004.2.12)
 (65) 公開番号 特開2005-227057 (P2005-227057A)
 (43) 公開日 平成17年8月25日 (2005.8.25)
 審査請求日 平成18年8月15日 (2006.8.15)

(73) 特許権者 503121103
 株式会社ルネサステクノロジ
 東京都千代田区大手町二丁目6番2号
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100083703
 弁理士 仲村 義平
 (74) 代理人 100096781
 弁理士 堀井 豊
 (74) 代理人 100098316
 弁理士 野田 久登
 (74) 代理人 100109162
 弁理士 酒井 將行

最終頁に続く

(54) 【発明の名称】 テスト回路

(57) 【特許請求の範囲】

【請求項 1】

デバイスのアナログ信号の特性を評価するテスト回路であつて、
 前記デバイスのアナログ信号の電位が予め定められた範囲内にある場合は第1の信号を
 出力し、前記デバイスのアナログ信号の電位が予め定められた範囲内にはない場合は第2
 の信号を出力するコンパレータ、

パルス信号列であるタイミング信号を生成するタイミング発生器、
 前記タイミング信号に同期して動作し、前記コンパレータの出力信号と予め定められた
 期待値データとが一致するかどうかを判定する判定回路、

クロック信号を生成するクロック発生回路、

前記コンパレータの出力信号を受け、前記第1の信号に応答して前記クロック発生回路
 からのクロック信号を通過させて出力し、前記第2の信号に応答して前記クロック発生回路
 からのクロック信号を遮断する論理回路、

前記論理回路の出力信号に同期して動作し、前記デバイスのアナログ信号をデジタルデ
 タに変換して出力するアナログデジタル変換器、および

前記アナログデジタル変換器からのデジタルデータを解析する解析部を備え、
 前記判定回路は、前記アナログ信号の波形の傾斜部分のタイミングが予め定められた範
 囲内にあるかどうかを判定するファンクションテストを行ない、

前記解析部は、前記アナログ信号の波形の傾斜状態を評価する傾斜波形テストを行なう
 、テスト回路。

10

20

【請求項 2】

前記解析部は、

前記アナログデジタル変換器から前記解析部に出力されるデジタルデータに対応した期待値パターンデータを生成するパターン発生部、および

前記デジタルデータが前記期待値パターンデータによって定められる範囲内にあるかどうかを判定する副解析部を含む、請求項 1 に記載のテスト回路。

【請求項 3】

前記クロック発生回路は、所定周期のパルス信号列である前記クロック信号を生成する発振回路を含む、請求項 1 または請求項 2 に記載のテスト回路。

【請求項 4】

前記クロック発生回路は、

前記タイミング発生器からのタイミング信号のパルス数をカウントして出力するカウンタ、および

前記カウンタによってカウントされたパルス数に応じて遅延時間を定め、定められた遅延時間だけ前記タイミング信号を遅延させた信号を前記クロック信号として出力する遅延回路を含む、請求項 1 または請求項 2 に記載のテスト回路。

【請求項 5】

前記パターン発生部は、前記デジタルデータおよび前記期待値パターンデータを記憶する記憶回路を含み、

前記副解析部は、前記記憶回路のデータの書き込みおよび読み出しを行なう演算処理部を含む、請求項 2 から請求項 4 までのいずれかに記載のテスト回路。

【請求項 6】

さらに、前記論理回路からのクロック信号をそれぞれ位相の異なる複数のクロック信号に分割して出力する分割回路を備え、

前記アナログデジタル変換器は、それぞれ前記複数のクロック信号に対応して設けられ、それぞれ対応する前記複数のクロック信号に同期して動作し、前記デバイスのアナログ信号をデジタルデータに変換して出力する複数のアナログデジタル変換回路を含む、請求項 1 から請求項 5 までのいずれかに記載のテスト回路。

【請求項 7】

前記アナログデジタル変換器は、

30

それぞれ異なったオフセット電源電圧を有する複数のオフセット電源、および

それぞれ前記複数のオフセット電源に対応して設けられ、それぞれ対応する前記複数のオフセット電源のオフセット電源電圧によって定められる電圧レンジにおいて、前記デバイスのアナログ信号をデジタルデータに変換して出力する複数のアナログデジタル変換回路を含む、請求項 1 から請求項 5 までのいずれかに記載のテスト回路。

【請求項 8】

前記テスト回路は、前記デバイスのチップに内蔵される、請求項 1 から請求項 7 までのいずれかに記載のテスト回路。

【請求項 9】

前記テスト回路は、前記デバイスの外部のテスタに設けられる、請求項 1 から請求項 7 までのいずれかに記載のテスト回路。

40

【発明の詳細な説明】**【技術分野】****【0001】**

この発明は、テスト回路に関し、特に、デバイスのアナログ信号の特性の解析および評価を行なうテスト回路に関する。

【背景技術】**【0002】**

アナログ回路を混載した半導体デバイスのテストを行なうために、半導体デバイスの出力アナログ信号の特性を高速かつ高精度に評価できるテスト回路が必要とされている。シ

50

システムLSIのテスト方法としては、たとえば、システムLSIのチップ内部にテスト回路を内蔵するBIST(Built-In Self-Test)や、LSIテストのロード・ボード上にアナログ信号のテスト回路を設けるBOT(Built-Out Self-Test)などがある。

【0003】

しかし、デバイスのアナログ信号の特性を高速かつ高精度に評価するためには、高価なAD変換器を必要としていた。また、任意の信号波形を得るために常時データを取り込む必要があるため、大容量の記憶回路が必要としていた。

【0004】

下記の特許文献1には、アナログ入力信号(繰返し信号)に対して電圧レンジを分割してデジタル化し、そのデータを表示装置上に重ね書きすることにより、使用するAD変換器の分解能以上の測定分解能を実現する波形測定装置が開示されている。
10

【0005】

また、下記の特許文献2には、周期性信号に含まれるジッタをリアルタイムに測定するジッタ測定装置が開示されている。

【特許文献1】特開平5-119064号公報

【特許文献2】特開2000-292469号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

以上のように、従来のテスト回路では、デバイスのアナログ信号の特性を高速かつ高精度に評価するためには、高価なAD変換器が必要であった。また、データを常時取り込むために大容量の記憶回路が必要であった。
20

【0007】

それゆえに、この発明の主たる目的は、簡易な構成で高性能かつ安価なテスト回路を提供することである。

【課題を解決するための手段】

【0008】

この発明に係るテスト回路は、デバイスのアナログ信号の特性を評価するテスト回路であって、デバイスのアナログ信号の電位が予め定められた範囲内にある場合は第1の信号を出力し、デバイスのアナログ信号の電位が予め定められた範囲内にはない場合は第2の信号を出力するコンパレータと、パルス信号列であるタイミング信号を生成するタイミング発生器と、タイミング信号に同期して動作し、コンパレータの出力信号と予め定められた期待値データとが一致するかどうかを判定する判定回路と、クロック信号を生成するクロック発生回路と、コンパレータの出力信号を受け、第1の信号に応答してクロック発生回路からのクロック信号を通過させて出力し、第2の信号に応答してクロック発生回路からのクロック信号を遮断する論理回路と、論理回路の出力信号に同期して動作し、デバイスのアナログ信号をデジタルデータに変換して出力するアナログデジタル変換器と、アナログデジタル変換器からのデジタルデータを解析する解析部とを備えたものである。ここで、判定回路は、アナログ信号の波形の傾斜部分のタイミングが予め定められた範囲内にあるかどうかを判定するファンクションテストを行ない、解析部は、アナログ信号の波形の傾斜状態を評価する傾斜波形テストを行なう。
30
40

【発明の効果】

【0009】

この発明に係るテスト回路では、デバイスのアナログ信号の電位が予め定められた範囲内にある場合は第1の信号を出力し、デバイスのアナログ信号の電位が予め定められた範囲内にはない場合は第2の信号を出力するコンパレータと、パルス信号列であるタイミング信号を生成するタイミング発生器と、タイミング信号に同期して動作し、コンパレータの出力信号と予め定められた期待値データとが一致するかどうかを判定する判定回路と、クロック信号を生成するクロック発生回路と、コンパレータの出力信号を受け、第1の信号に応答してクロック発生回路からのクロック信号を通過させて出力し、第2の信号に応
50

答してクロック発生回路からのクロック信号を遮断する論理回路と、論理回路の出力信号に同期して動作し、デバイスのアナログ信号をデジタルデータに変換して出力するアナログデジタル変換器と、アナログデジタル変換器からのデジタルデータを解析する解析部とが設けられる。判定回路は、アナログ信号の波形の傾斜部分のタイミングが予め定められた範囲内にあるかどうかを判定するファンクションテストを行ない、解析部は、アナログ信号の波形の傾斜状態を評価する傾斜波形テストを行なう。したがって、大容量の記憶回路を必要とせずに、デバイスのアナログ信号の波形の傾斜部分を任意の振幅電圧の範囲内において任意の数に分割された電圧レンジでA D変換することができる。また、ファンクションテストと傾斜波形テストとを並列して行なうことができる。このため、簡易な構成で高性能かつ安価なテスト回路が実現できる。

10

【発明を実施するための最良の形態】

【0010】

実施の形態1.

図1は、この発明の実施の形態1によるテスト回路の概略構成を示すブロック図である。図1において、このテスト回路は、ウィンドウコンパレータ1、タイミング発生器2、比較判定部3、解析部6、A D変換器(以下、ADCと称する)4、パターン発生部5および制御部7を備える。

【0011】

ウィンドウコンパレータ1は、コンパレータ11, 12を含む。比較判定部3は、判定回路13、発振回路14および論理回路15を含む。パターン発生部5は、アドレス発生部16およびパターンメモリ17を含む。

20

【0012】

コンパレータ11は、被測定デバイスのアナログ信号ANSの電位と基準電位VOHとを比較し、アナログ信号ANSの電位が基準電位VOHよりも低い場合は出力信号WCS1を「H」レベルにし、アナログ信号ANSの電位が基準電位VOHよりも高い場合は出力信号WCS1を「L」レベルにする。コンパレータ12は、被測定デバイスのアナログ信号ANSの電位と基準電位VOL(<VOH)とを比較し、アナログ信号ANSの電位が基準電位VOLよりも低い場合は出力信号WCS2を「L」レベルにし、アナログ信号ANSの電位が基準電位VOLよりも高い場合は出力信号WCS2を「H」レベルにする。このようにして、ウィンドウコンパレータ1によって、被測定デバイスのアナログ信号ANSの電位が基準電位VOLから基準電位VOHまでの範囲内にあるかどうかが判定される。なお、基準電位VOH, VOLは、アナログ信号ANSの電圧レベルに応じて、予め任意の値に設定される。

30

【0013】

タイミング発生器2は、パルス信号列であるタイミング信号TISを生成する。判定回路13は、タイミング発生器2からのタイミング信号TISに同期して動作し、予め記憶された期待値データとコンパレータ11, 12の出力信号WCS1, WCS2とを比較する。この判定回路13は、比較結果が同じ場合は出力エラー信号ERR1を非活性化レベルにし、比較結果が異なる場合は出力エラー信号ERR1を活性化レベルにする。このように、判定回路13は、アナログ信号ANSの波形の傾斜部分のタイミングが規格範囲内にあるかどうかを判定するファンクションテストを行なう。

40

【0014】

発振回路14は、所定周期のパルス信号列であるクロック信号CLKを生成する。論理回路15は、コンパレータ11, 12の出力信号WCS1, WCS2がともに「H」レベルである場合は、発振回路14からのクロック信号CLKをA D変換スタート信号ADSとしてADC4に伝達する。しかし、コンパレータ11, 12の出力信号WCS1, WCS2のうち少なくとも一方が「L」レベルである場合は、発振回路14からのクロック信号CLKをADC4に伝達せず、出力A D変換スタート信号ADSを非活性化レベルの「L」レベルにする。論理回路15は、さらに、被測定デバイスから入力されたアナログ信号ANSの波形が立上がり部分であるか立下がり部分であるかを識別するための識別

50

信号 D C S を生成する。この識別信号 D C S は、コンパレータ 1 1 , 1 2 の出力信号 W C S 1 , W C S 2 がともに「 H 」レベルにされたことに応じて、その論理レベルが切換えられる。すなわち、アナログ信号 A N S の波形の立上がり部分において「 H 」レベルにされ、アナログ信号 A N S の波形の立下がり部分において「 L 」レベルにされる。

【 0 0 1 5 】

A D C 4 は、論理回路 1 5 からの A D 変換スタート信号 A D S S および識別信号 D C S に基づいて、アナログ信号 A N S を A D 変換して複数のデジタルデータ D I G D - 1 ~ D I G D - n (ただし、 n は任意の自然数) を生成する。この A D C 4 は、 A D 変換スタート信号 A D S S のパルスに応答して A D 変換を行なう。また、 A D C 4 は、論理回路 1 5 からの A D 変換スタート信号 A D S S および識別信号 D C S をアドレス発生部 1 6 に伝達する。10

【 0 0 1 6 】

アドレス発生部 1 6 は、 A D C 4 からの A D 変換スタート信号 A D S S および識別信号 D C S に基づいてアドレス信号 A D D を生成する。このアドレス信号 A D D は、 A D 変換スタート信号 A D S S のパルスに応答して、そのアドレスが切換えられる。

【 0 0 1 7 】

パターンメモリ 1 7 は、アドレス発生部 1 6 からのアドレス信号 A D D に応答して、それぞれアドレス信号 A D D によって示されるアドレスに対応した複数の期待値パターンデータ P T D - 1 ~ P T D - n を出力する。これらの期待値パターンデータ P T D - 1 ~ P T D - n は、パターンメモリ 1 7 に予め記憶される。20

【 0 0 1 8 】

解析部 6 は、 A D C 4 からのデジタルデータ D I G D - 1 ~ D I G D - n の解析を行なう。この解析部 6 は、 A D C 4 からのデジタルデータ D I G D - 1 ~ D I G D - n と、パターンメモリ 1 7 からの期待値パターンデータ P T D - 1 ~ P T D - n とを比較し、各デジタルデータ D I G D - 1 ~ D I G D - n がそれぞれ対応する期待値パターンデータ P T D - 1 ~ P T D - n によって定められる範囲内にある場合は、出力エラー信号 E R R 2 を非活性化レベルにする。一方、各デジタルデータ D I G D - 1 ~ D I G D - n がそれぞれ対応する期待値パターンデータ P T D - 1 ~ P T D - n によって定められる範囲内にない場合は出力エラー信号 E R R 2 を活性化レベルにする。このように、解析部 6 は、アナログ信号 A N S の波形の傾斜状態を評価する傾斜波形テストを行なう。30

【 0 0 1 9 】

制御部 7 は、比較判定部 3 および解析部 6 からのエラー信号 E R R 1 , E R R 2 に基いて、テスト回路の動作を制御する。たとえば、エラー信号 E R R 1 が非活性化レベルである場合は比較判定部 3 を動作させ、エラー信号 E R R 1 が活性化レベルである場合は比較判定部 3 の動作を停止させる。また、エラー信号 E R R 2 が非活性化レベルである場合は解析部 6 およびパターン発生部 5 を動作させ、エラー信号 E R R 2 が活性化レベルである場合は解析部 6 およびパターン発生部 5 の動作を停止させる。

【 0 0 2 0 】

次に、図 1 に示したテスト回路の動作について説明する。図 2 は、図 1 に示したテスト回路の動作を説明するためのタイムチャートである。図 2 を参照して、被測定デバイスのアナログ信号 A N S は、矩形波に近い高速のアナログ信号である。40

【 0 0 2 1 】

時刻 t 1 よりも前の時刻において、コンパレータ 1 1 は、アナログ信号 A N S の電位が基準電位 V O H よりも低いことに応じて、出力信号 W C S 1 を「 H 」レベルにする。コンパレータ 1 2 は、アナログ信号 A N S の電位が基準電位 V O L よりも低いことに応じて、出力信号 W C S 2 を「 L 」レベルにする。論理回路 1 5 は、コンパレータ 1 1 , 1 2 からの信号 W C S 1 , W C S 2 のうちの一方が「 L 」レベルであることに応じて、出力 A D 変換スタート信号 A D S S を非活性化レベルの「 L 」レベルにするとともに、出力識別信号 D C S を「 L 」レベルにする。

【 0 0 2 2 】

時刻 t_1 において、アナログ信号 A_N_S の電位が基準電位 V_O_L よりも高くなつたことに応じて、コンパレータ 1, 2 は出力信号 W_C_S_2 を「H」レベルに立上げる。論理回路 1, 5 は、コンパレータ 1, 1, 1, 2 の出力信号 W_C_S_1, W_C_S_2 がともに「H」レベルになつたことに応じて、発振回路 1, 4 からのクロック信号 C_L_K を A/D 变換スタート信号 A_D_S_S として A/D_C_4 に伝達するとともに、出力識別信号 D_C_S を「H」レベルに立上げる。

【0023】

時刻 t_2 において、アナログ信号 A_N_S の電位が基準電位 V_O_H よりも高くなつたことに応じて、コンパレータ 1, 1 は出力信号 W_C_S_1 を「L」レベルに立下げる。これに応じて、論理回路 1, 5 は、出力 A/D 变換スタート信号 A_D_S_S を非活性化レベルの「L」レベルに固定する。10

【0024】

図 3 は、図 2 に示した時刻 t_1 から時刻 t_2 までの期間におけるテスト回路の動作を説明するためのタイムチャートである。図 3 を参照して、A/D_C_4 は、A/D 变換スタート信号 A_D_S_S に同期して、7 つのデジタルデータ D_I_G_D - 1 ~ D_I_G_D - 7 を生成する。アドレス発生部 1, 6 は、A/D 变換スタート信号 A_D_S_S のパルスに応答して、アドレス信号 A_D_D のアドレスを切換える。パターン発生部 1, 7 は、アドレス信号 A_D_D に応答し、それぞれ 7 つのデジタルデータ D_I_G_D - 1 ~ D_I_G_D - 7 に対応する 7 つの期待値パターンデータ P_T_D - 1 ~ P_T_D - 7 を生成する。20

【0025】

時刻 t_1 において、A/D 变換スタート信号 A_D_S_S が「H」レベルに立上げられる。これに応じて、A/D_C_4 はデジタルデータ D_I_G_D - 1 ("00001" = 基準電位 V_O_L) を生成し、アドレス発生部 1, 6 はアドレス信号 A_D_D のアドレスを切換える。パターンメモリ 1, 7 は、アドレス信号 A_D_D によって示されるアドレスに対応した期待値パターンデータ P_T_D - 1 ("00000", "00010") を生成する。解析部 6 は、デジタルデータ D_I_G_D - 1 ("00001") が期待値パターンデータ P_T_D - 1 ("00000", "00010") の範囲内にあることに応じて、出力エラー信号 E_R_R_2 を非活性化レベルにする。

【0026】

時刻 $t_1, 1$ において、A/D 变換スタート信号 A_D_S_S が再び「H」レベルに立上げられる。これに応じて、A/D_C_4 はデジタルデータ D_I_G_D - 2 ("00010") を生成し、アドレス発生部 1, 6 はアドレス信号 A_D_D のアドレスを切換える。パターンメモリ 1, 7 は、アドレス信号 A_D_D によって示されるアドレスに対応した期待値パターンデータ P_T_D - 2 ("00001", "00011") を生成する。解析部 6 は、デジタルデータ D_I_G_D - 2 ("00010") が期待値パターンデータ P_T_D - 2 ("00001", "00011") によって定められる範囲内にあることに応じて、出力エラー信号 E_R_R_2 を非活性化レベルにする。30

【0027】

時刻 $t_1, 2$ から時刻 $t_1, 6$ までの期間においても、同様に、A/D 变換スタート信号 A_D_S_S に同期してデジタルデータ D_I_G_D - 3 ("00011") ~ D_I_G_D - 7 ("01111" = 基準電位 V_O_H) および期待値パターンデータ P_T_D - 3 ("00010", "00100") ~ P_T_D - 7 ("00101", "10001") が生成される。また、解析部 6 は、各デジタルデータ D_I_G_D - 3 ("00011") ~ D_I_G_D - 7 ("01111") がそれぞれ対応する期待値パターンデータ P_T_D - 3 ("00010", "00100") ~ P_T_D - 7 ("00101", "10001") によって定められる範囲内にあるかどうかを判定し、判定結果に応じたエラー信号 E_R_R_2 を出力する。40

【0028】

なお、ここでは、時刻 t_1 から時刻 t_2 までの期間において、基準電位 V_O_L ~ V_O_H の範囲内で電圧レンジが 7 つ ("00001" ~ "01111") に分割される場合について説明したが、任意の基準電位 V_O_L ~ V_O_H の範囲内で任意の数に分割された電圧レ50

ンジで A/D 変換を行なうことができる。

【0029】

図 2 に戻って、時刻 t_3 において、アナログ信号 A_N_S の電位が基準電位 V_O_H よりも低くなったことに応じて、コンパレータ 11 は出力信号 W_C_S_1 を「H」レベルに立上げる。論理回路 15 は、コンパレータ 11, 12 の出力信号 W_C_S_1, W_C_S_2 がともに「H」レベルになったことに応じて、発振回路 14 からのクロック信号 C_L_K を A/D 変換スタート信号 A_D_S_S として A_D_C_4 に伝達するとともに、識別信号 D_C_S を「L」レベルに立下げる。

【0030】

時刻 t_4 において、アナログ信号 A_N_S の電位が基準電位 V_O_L よりも低くなつたことに応じて、コンパレータ 12 は出力信号 W_C_S_2 を「L」レベルに立下げる。これに応じて、論理回路 15 は、出力 A/D 変換スタート信号 A_D_S_S を非活性化レベルの「L」レベルにする。

10

【0031】

時刻 t_3 から時刻 t_4 までの期間において、時刻 t_1 から時刻 t_2 までの期間と同様に、A/D 変換スタート信号 A_D_S_S に同期してデジタルデータ D_I_G_D - 1 ~ D_I_G_D - n および期待値パターンデータ P_T_D - 1 ~ P_T_D - n が生成される。また、解析部 6 は、各デジタルデータ D_I_G_D - 1 ~ D_I_G_D - n がそれぞれ対応する期待値パターンデータ P_T_D - 1 ~ P_T_D - n の範囲内にあるかどうかを比較判定し、判定結果に応じたエラー信号 E_R_R_2 を出力する。

20

【0032】

以上のように、この実施の形態 1 では、被測定デバイスのアナログ信号 A_N_S を、任意の基準電位 V_O_L, V_O_H によって定められる振幅電圧において、任意の数に分割された電圧レンジで A/D 変換を行なうことができる。これにより、傾斜したアナログ信号波形の過渡状態を含めた高精度な評価および解析が可能となる。また、アナログ信号の波形の傾斜した立上がり部分および立下がり部分に限定して A/D 変換を行なうため、大容量のメモリを必要としない。さらに、比較判定部 3 の内部に発振回路 14 を設けたことによって、判定回路 13 によるファンクションテストと、解析部 6 による傾斜波形テストとを並列して行なうことができる。したがって、簡易な構成で高性能かつ安価なテスト回路が実現できる。

30

【0033】

なお、このテスト回路は、たとえば、システム L_S_I のチップに内蔵 (B_I_S_T) されても、L_S_I テスターのロード・ボード上に設置 (B_O_S_T) されてもよい。

【0034】

実施の形態 2 .

図 4 は、この発明の実施の形態 2 によるテスト回路の概略構成を示すブロック図であつて、図 1 と対比される図である。図 4 のテスト回路を参照して、図 1 のテスト回路と異なる点は、比較判定部 3 が比較判定部 2_1 で置換されている点である。比較判定部 3 の発振回路 14 は、比較判定部 2_1 においてカウンタ 2_2、記憶回路 2_3 および遅延回路 2_4 で置換されている。なお、図 4 において、図 1 と対応する部分においては同一符号を付し、その詳細説明を省略する。

40

【0035】

カウンタ 2_2 は、タイミング発生器 2 からのタイミング信号 T_I_S のパルスの立上がりエッジをカウントし、そのカウント数をカウントデータ N_U_M (1) ~ N_U_M (n - 1) として出力する（ただし、n は任意の自然数）。記憶回路 2_3 は、それぞれカウンタ 2_2 からのカウントデータ N_U_M (1) ~ N_U_M (n - 1) に応じて、遅延データ D_L_T (1) ~ D_L_T (n - 1) を出力する。この記憶回路 2_3 には、それぞれカウントデータ N_U_M (1) ~ N_U_M (n - 1) に対応した遅延時間を示す遅延データ D_L_T (1) ~ D_L_T (n - 1) が予め記憶される。

【0036】

50

遅延回路 2 4 は、タイミング発生器 2 からのタイミング信号 T I S を受け、記憶回路 2 3 からの遅延データ D L T (1) ~ D L T (n - 1) によって指示された遅延時間だけタイミング信号 T I S を遅延させた遅延信号 D L S を出力する。

【 0 0 3 7 】

次に、図 4 に示したテスト回路の動作について説明する。図 5 は、図 4 に示したテスト回路の動作を説明するためのタイムチャートである。図 5 を参照して、被測定デバイスのアナログ信号 A N S の波形の立上がり部分に注目する。

【 0 0 3 8 】

アナログ信号 A N S の電位は、「 L 」レベルから上昇して時刻 t 2 1 において基準電位 V O L よりも高くなり、時刻 t 2 3 において基準電位 V O H よりも高くなる。この時刻 t 2 1 から時刻 t 2 3 までの期間において、論理回路 1 5 は、遅延回路 2 4 からの遅延信号 D L S を A D 変換スタート信号 A D S S として出力する。10

【 0 0 3 9 】

タイミング発生器 2 は、所定周期のパルス信号列であるタイミング信号 T I S を生成する。このタイミング信号 T I S は、時刻 t 2 2 において「 H 」レベルに立上げられる。時刻 t 2 1 と時刻 t 2 2 との間隔は T 0 である。遅延回路 2 4 は、アナログ信号 A N S の波形の 1 周期目の立上がり部分に対応して、タイミング信号 T I S をそのまま遅延信号 D L S として出力する。すなわち、遅延信号 D L S は、時刻 t 2 2 において「 H 」レベルに立上げられるパルスを有する。

【 0 0 4 0 】

カウンタ 2 2 は、時刻 t 2 2 におけるタイミング信号 T I S の立上がりエッジをカウントし、カウントデータ N U M (1) を出力する。記憶回路 2 3 は、カウントデータ N U M (1) に対応した遅延時間 T 1 を示す遅延データ D L T (1) を出力する。20

【 0 0 4 1 】

アナログ信号 A N S の波形の 2 周期目の立上がり部分に注目すると、アナログ信号 A N S の電位は、「 L 」レベルから上昇して時刻 t 2 4 において基準電位 V O L よりも高くなり、時刻 t 2 7 において基準電位 V O H よりも高くなる。この時刻 t 2 4 から時刻 t 2 7 までの期間において、論理回路 1 5 は、遅延回路 2 4 からの遅延信号 D L S を A D 変換スタート信号 A D S S として出力する。

【 0 0 4 2 】

タイミング信号 T I S は、時刻 t 2 5 において「 H 」レベルに立上げられる。時刻 t 2 4 と時刻 t 2 5 との間隔は T 0 である。遅延回路 2 4 は、アナログ信号 A N S の波形の 2 周期目の立上がり部分に対応して、タイミング信号 T I S を遅延時間 T 1 だけ遅延させた信号を遅延信号 D L S として出力する。すなわち、遅延信号 D L S は、時刻 t 2 5 よりも時間 T 1 だけ遅い時刻 t 2 6 において「 H 」レベルに立上げられるパルスを有する。30

【 0 0 4 3 】

カウンタ 2 2 は、時刻 t 2 5 におけるタイミング信号 T I S の立上がりエッジをカウントし、カウントデータ N U M (2) を出力する。記憶回路 2 3 は、カウントデータ N U M (2) に対応した遅延時間 T 2 を示す遅延データ D L T (2) を出力する。図示しないが、アナログ信号 A N S の波形の 3 周期目の立上がり部分に対応して、タイミング信号 T I S を遅延時間 T 2 だけ遅延させた信号が遅延信号 D L S として出力される。40

【 0 0 4 4 】

このように、アナログ信号 A N S の波形の 1 周期目 ~ (n - 1) 周期目の立上がり部分に対応して、カウンタ 2 2 はカウントデータ N U M (1) ~ N U M (n - 1) を出力する。記憶回路 2 3 は、それぞれカウントデータ N U M (1) ~ N U M (n - 1) に対応した遅延時間 T 1 ~ T (n - 1) を示す遅延データ D L T (1) ~ D L T (n - 1) を出力する。遅延回路 2 4 は、アナログ信号 A N S の波形の 2 周期目 ~ n 周期目の立上がり部分に対応して、タイミング信号 T I S を遅延時間 T 1 ~ T (n - 1) だけ遅延させた信号を遅延信号 D L S として出力する。

【 0 0 4 5 】

図6は、図5に示したアナログ信号ANSの波形の立上がり部分におけるテスト回路の動作を説明するためのタイムチャートであって、図3と対比される図である。図6のタイムチャートを参照して、図3のタイムチャートと異なる点は時間軸の目盛りである。

【0046】

図5および図6に示した時刻t22において、アナログ信号ANSの波形の1周期目の立上がり部分に対応するAD変換スタート信号ADSSのパルスに応じて、ADC4はデジタルデータDIGD-1（“00001”=基準電位VOL）を生成する。また、パターン発生部5は、期待値パターンデータPTD-1（“00000”，“00010”）を生成する。解析部6は、デジタルデータDIGD-1（“00001”）が期待値パターンデータPTD-1（“00000”，“00010”）によって定められる範囲内にあることに応じて、出力エラー信号ERR2を非活性化レベルにする。10

【0047】

図5および図6に示した時刻t26において、アナログ信号ANSの波形の2周期目の立上がり部分に対応するAD変換スタート信号ADSSのパルスに応じて、ADC4はデジタルデータDIGD-2（“00010”）を生成する。また、パターン発生部5は、期待値パターンデータPTD-2（“00001”，“00011”）を生成する。解析部6は、デジタルデータDIGD-2（“00010”）が期待値パターンデータPTD-2（“00001”，“00011”）によって定められる範囲内にあることに応じて、出力エラー信号ERR2を非活性化レベルにする。20

【0048】

このように、AD変換スタート信号ADSSに同期してデジタルデータDIGD-1～DIGD-7および期待値パターンデータPTD-1～PTD-7が生成される。また、解析部6は、各デジタルデータDIGD-1～DIGD-7がそれぞれ対応する期待値パターンデータPTD-1～PTD-7によって定められる範囲内にあるかどうかを判定し、判定結果に応じたエラー信号ERR2を出力する。この解析部6は、ADC4からのデジタルデータDIGD-1～DIGD-7をマージすることによって、実施の形態1と同様に、アナログ信号ANSの波形の立上がり部分の評価および解析を行なうことができる。20

【0049】

なお、ここでは、基準電位VOL～VOHの範囲内で電圧レンジが7つ（“00001”～“01111”）に分割される場合について説明したが、任意の基準電位VOL～VOHの範囲内で任意の数に分割された電圧レンジでAD変換を行なうことができる。30

【0050】

また、図示しないが、アナログ信号ANSの波形の立下がり部分においても立上がり部分と同様に動作し、同様の効果が得られる。

【0051】

さらに、この実施の形態2では、タイミング発生器2からのタイミング信号TISに基づいてAD変換スタート信号ADSSが生成されるため、ADC4によるAD変換タイミングに再現性がある。これにより、アナログ信号ANSのジッタを測定することができる。図7は、アナログ信号ANSのジッタ測定の概念を説明するためのタイムチャートである。図7を参照して、同一条件でAD変換を再現したときに、アナログ信号ANSの波形の立上がり部分が実線波形から点線波形のようにずれた場合、解析部6によってそのジッタが解析される。40

【0052】

以上のように、この実施の形態2では、実施の形態1と同様に、簡易な構成で高性能かつ安価なテスト回路が実現できる。さらに、アナログ信号ANSのジッタを測定することができる。

【0053】

実施の形態3。

図8は、この発明の実施の形態3によるテスト回路の概略構成を示すブロック図であつ50

て、図1と対比される図である。図8のテスト回路を参照して、図1のテスト回路と異なる点は、分割回路31が追加され、ADC4がADC32で置換され、解析部6がDSP(Digital Signal Processor)33で置換され、パターン発生部5が記憶回路34で置換されている点である。なお、図8において、図1と対応する部分においては同一符号を付し、その詳細説明を省略する。

【0054】

図9は、図8に示した分割回路31の動作を説明するためのタイムチャートである。図9を参照して、この分割回路31は、比較判定部3からのAD変換スタート信号ADSSをそれぞれ位相の異なる複数のAD変換スタート信号ADSS-1～ADSS-n(ただし、nは任意の自然数)に分割して出力する。

10

【0055】

AD変換スタート信号ADSS-1は、アナログ信号ANSの波形の立上がり部分に対応するAD変換スタート信号ADSSの1個目のパルス、およびアナログ信号ANSの波形の立下がり部分に対応するAD変換スタート信号ADSSの1個目のパルスを有する。AD変換スタート信号ADSS-2は、アナログ信号ANSの波形の立上がり部分に対応するAD変換スタート信号ADSSの2個目のパルス、およびアナログ信号ANSの波形の立下がり部分に対応するAD変換スタート信号ADSSの2個目のパルスを有する。このように、AD変換スタート信号ADSS-nは、アナログ信号ANSの波形の立上がり部分に対応するAD変換スタート信号ADSSのn個目のパルス、およびアナログ信号ANSの波形の立下がり部分に対応するAD変換スタート信号ADSSのn個目のパルスを有する。

20

【0056】

図8に戻って、ADC32は、n個のAD変換回路ADC-1～ADC-nを含む。AD変換回路ADC-1～ADC-nは、それぞれ分割回路31からのAD変換スタート信号ADSS-1～ADSS-n、および比較判定部3からの識別信号DCSに基づいて、アナログ信号ANSをAD変換して複数のデジタルデータDIGD-1～DIGD-nを生成する。また、AD変換回路ADC-1～ADC-nは、分割回路31からのAD変換スタート信号ADSS-1～ADSS-n、および比較判定部3からの識別信号DCSをDSP33に伝達する。なお、これらのAD変換回路ADC-1～ADC-nには、図4のADC4に比べて安価で低速のAD変換回路を用いてもよい。

30

【0057】

記憶回路34には、それぞれ複数のデジタルデータDIGD-1～DIGD-nに対応する複数の期待値パターンデータPTD-1～PTD-nが予め記憶される。さらに、DSP33からのデジタルデータDIGD-1～DIGD-nを保持する機能を有し、DSP33に応答して記憶したデータを出力する。

【0058】

DSP33は、ADC32からのAD変換スタート信号ADSS-1～ADSS-nおよび識別信号DCSに基づいて、比較判定動作を行なう。このDSP33は、ADC32からのデジタルデータDIGD-1～DIGD-nを時系列に取込み、記憶回路34に適宜書込む。ソフトウェア的な高速演算処理が可能なDSP33は、記憶回路34に記憶された期待値パターンデータPTD-1～PTD-nおよびデジタルデータDIGD-1～DIGD-nを適宜読み出し、それを比較する高速演算処理を行なう。このように、DSP33がデジタルデータDIGD-1～DIGD-nに対して時系列にデータ解析を行なうことによって、アナログ信号ANSの波形の傾斜部分の線形性の判定を行うことができる。また、各周期の同一のタイミングポイントにおけるデータを蓄積して、任意のタイミングポイントにおけるジッタ量を算出することができる。このように、アナログ信号ANSに対して、パルスを繰返す周期性のみならず、パルス幅、前後のパルスに注目したときの立上がり(立下がり)間のタイミング、いくつか離れたパルスとの関係など、任意のタイミングにおけるデータを解析することができ、利便性が向上する。

40

【0059】

50

以上のように、実施の形態3では、実施の形態1と同様に、簡易な構成で高性能かつ安価なテスト回路が実現できる。さらに、安価なAD変換回路ADC-1～ADC-nを用いることによって更なる低コスト化が図れる。

【0060】

なお、図示しないが、比較判定部3に代わって、図4に示した比較判定部21を用いてもよい。この場合も、同様の効果が得られる。

【0061】

また、DSP33および記憶回路34に代わって、図1に示した解析部6およびパターン発生部5を用いてもよい。この場合、安価なAD変換回路ADC-1～ADC-nを用いることによって低コスト化が図れる。10

【0062】

実施の形態3の変更例。

図10は、この発明の実施の形態3の変更例によるテスト回路の概略構成を示すプロック図であって、図8と対比される図である。図10のテスト回路を参照して、図8のテスト回路と異なる点は、分割回路31が削除され、ADC32がADC41で置換されている点である。なお、図10において、図8と対応する部分においては同一符号を付し、その詳細説明を省略する。

【0063】

ADC41は、n個のAD変換回路ADC-1～ADC-nおよびオフセット電源OFP-1～OFP-nを含む。オフセット電源OFP-1～OFP-nは、それぞれ対応するAD変換回路ADC-1～ADC-nに異なったオフセット電源電圧を与える。AD変換回路ADC-1～ADC-nは、それぞれ対応するオフセット電源OFP-1～OFP-nのオフセット電源電圧によって定められる電圧レンジでAD変換を行う。AD変換回路ADC-1～ADC-nは、それぞれ比較判定部3からのAD変換スタート信号ADSSおよび識別信号DCSに基づいて、アナログ信号ANSをAD変換して複数のデジタルデータDIGD-1～DIGD-nを生成する。また、AD変換回路ADC-1～ADC-nは、比較判定部3からのAD変換スタート信号ADSSおよび立下があり識別信号DCSをDSP33に伝達する。20

【0064】

図11は、図10に示したAD変換回路ADC-1～ADC-nおよびオフセット電源OFP-1～OFP-nの動作を説明するためのタイムチャートである。図10および図11を参照して、AD変換回路ADC-1は、オフセット電源OFP-1からのオフセット電源電圧によって定められる電圧レンジ(VOL～VOP1)において、アナログ信号ANSをAD変換してデジタルデータDIGD-1を生成する。AD変換回路ADC-2は、オフセット電源OFP-2からのオフセット電源電圧によって定められる電圧レンジ(VOP1～VOP2)において、アナログ信号ANSをAD変換してデジタルデータDIGD-2を生成する。同様に、AD変換回路ADC-nは、オフセット電源OFP-nからのオフセット電源電圧によって定められる電圧レンジ(VOP(n-1)～VOH)において、アナログ信号ANSをAD変換してデジタルデータDIGD-nを生成する。このように、任意の基準電位VOL～VOHの範囲内において、電圧レンジが(n-1)個に分割される。3040

【0065】

したがって、この実施の形態3の変更例では、被測定デバイスの出力アナログ信号ANSの電圧振幅が大きい場合でも、オフセット電源を用いて電圧レンジを任意の数に分割することによって高精度な評価および解析を行なうことができる。

【0066】

なお、図示しないが、比較判定部3に代わって、図4に示した比較判定部21を用いてもよい。この場合も、同様の効果が得られる。

【0067】

また、DSP33および記憶回路34に代わって、図1に示した解析部6およびパター50

ン発生部 5 を用いてもよい。この場合も、同様の効果が得られる。

【 0 0 6 8 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 図面の簡単な説明 】

【 0 0 6 9 】

【 図 1 】この発明の実施の形態 1 によるテスト回路の概略構成を示すブロック図である。

【 図 2 】図 1 に示したテスト回路の動作を説明するためのタイムチャートである。 10

【 図 3 】図 2 に示した時刻 t_1 から時刻 t_2 までの期間におけるテスト回路の動作を説明するためのタイムチャートである。

【 図 4 】この発明の実施の形態 2 によるテスト回路の概略構成を示すブロック図である。

【 図 5 】図 4 に示したテスト回路の動作を説明するためのタイムチャートである。

【 図 6 】図 5 に示したアナログ信号 A N S の波形の立上がり部分におけるテスト回路の動作を説明するためのタイムチャートである。

【 図 7 】アナログ信号 A N S のジッタ測定の概念を説明するためのタイムチャートである。

【 図 8 】この発明の実施の形態 3 によるテスト回路の概略構成を示すブロック図である。

【 図 9 】図 8 に示した分割回路の動作を説明するためのタイムチャートである。 20

【 図 1 0 】この発明の実施の形態 3 の変更例によるテスト回路の概略構成を示すブロック図である。

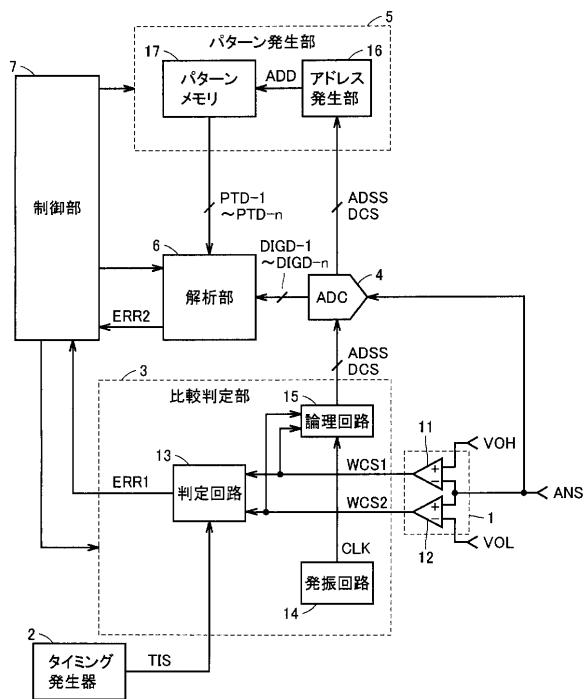
【 図 1 1 】図 1 0 に示した A D 変換回路 A D C - 1 ~ A D C - n およびオフセット電源 O F F P - 1 ~ O F F P - n の動作を説明するためのタイムチャートである。

【 符号の説明 】

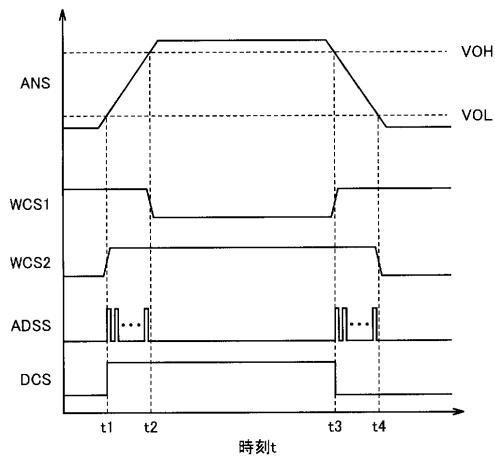
【 0 0 7 0 】

1 ウィンドウコンパレータ、2 タイミング発生器、3 , 2 1 比較判定部、4 , 3
2 , 4 1 A D C 、5 パターン発生部、6 解析部、7 制御部、1 1 , 1 2 コンパ
レータ、1 3 判定回路、1 4 発振回路、1 5 論理回路、1 6 アドレス発生部、1
7 パターンメモリ、2 2 カウンタ、2 3 記憶回路、2 4 遅延回路、3 1 分割回
路、3 3 D S P 、3 4 記憶回路、A D C - 1 ~ A D C - n A D 変換回路、O F F P
- 1 ~ O F F P - n オフセット電源。 30

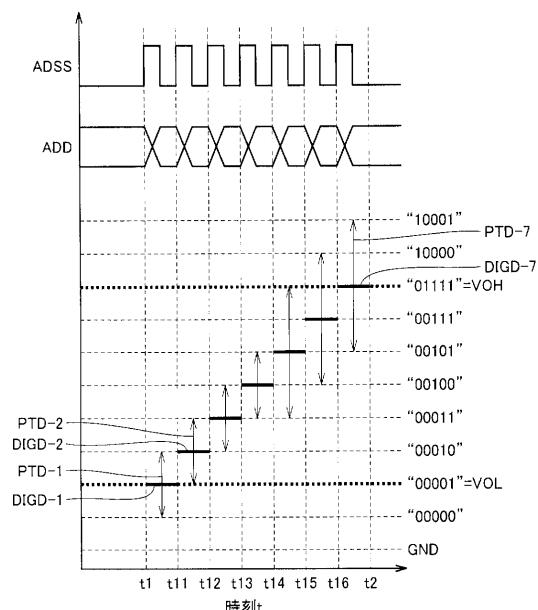
【図1】



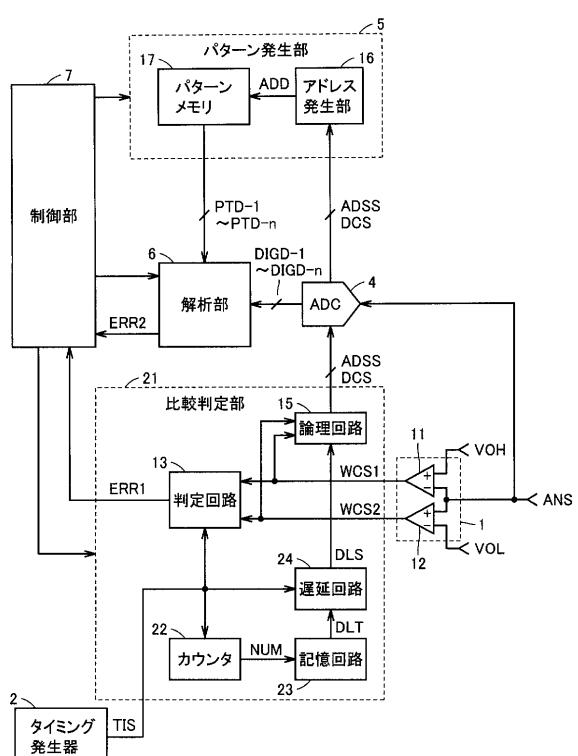
【図2】



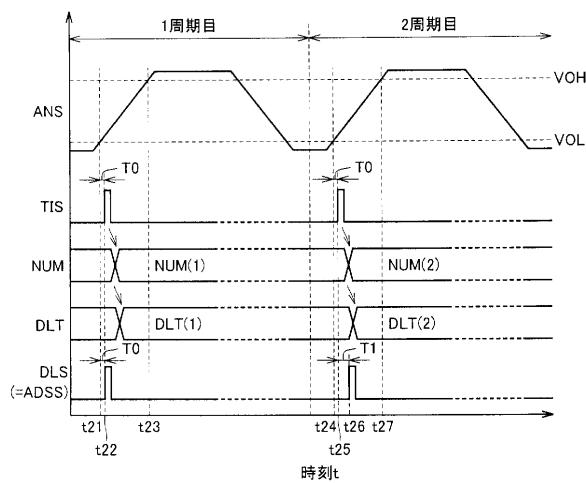
【図3】



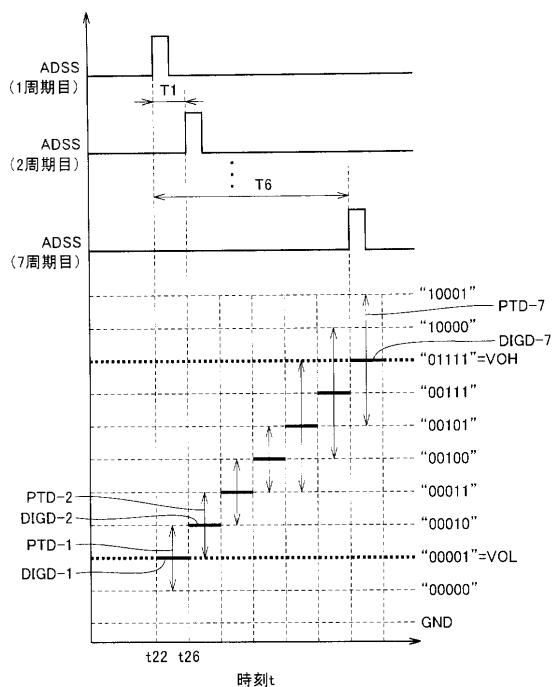
【図4】



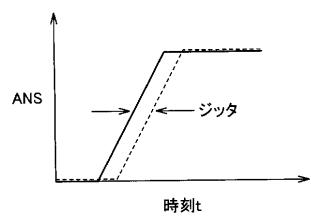
【図5】



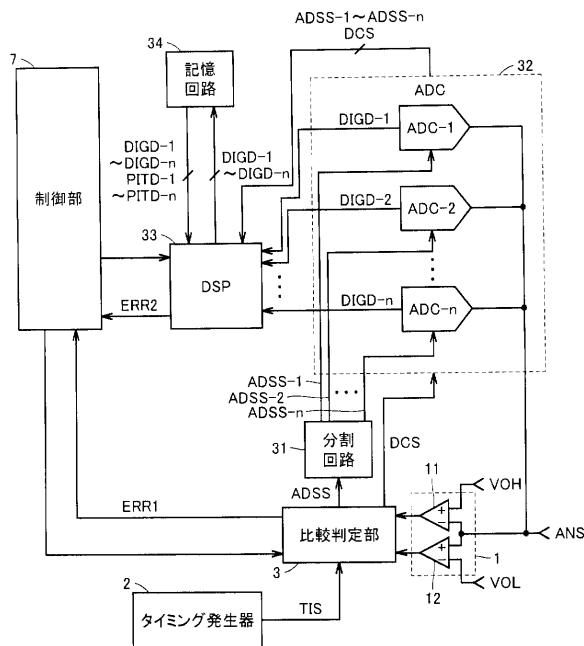
【図6】



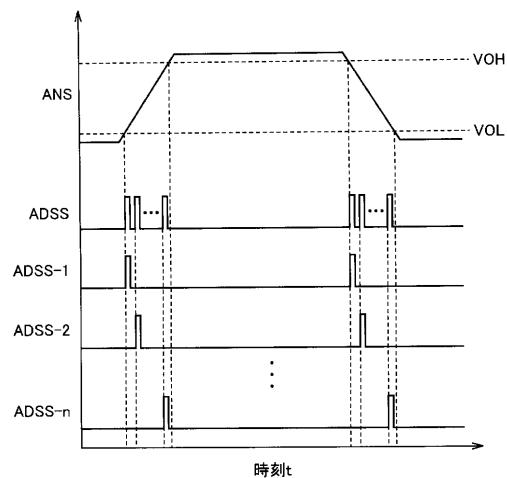
【図7】



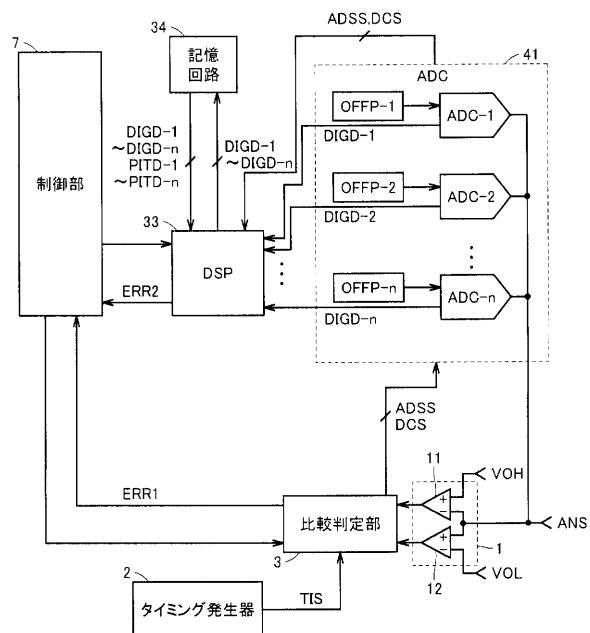
【図8】



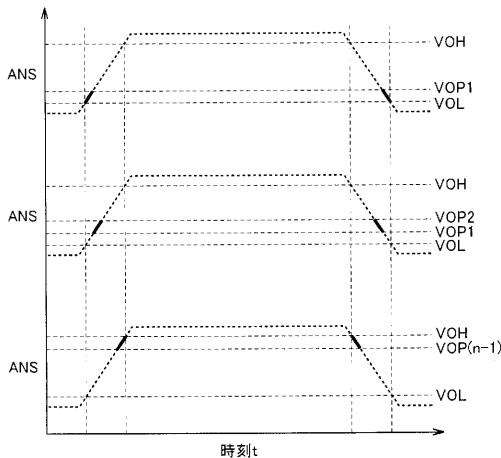
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 樽井 俊朗

兵庫県伊丹市瑞原4丁目1番地 株式会社ルネサスセミコンダクタエンジニアリング内

(72)発明者 杉本 勝

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

(72)発明者 森 長也

兵庫県伊丹市瑞原4丁目1番地 株式会社ルネサスセミコンダクタエンジニアリング内

(72)発明者 船倉 輝彦

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 関根 洋之

(56)参考文献 特開2002-196051(JP,A)

特開平04-254774(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 01 R 31 / 28