

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4266350号  
(P4266350)

(45) 発行日 平成21年5月20日(2009.5.20)

(24) 登録日 平成21年2月27日(2009.2.27)

(51) Int.Cl.

F I

G O 1 R 31/28 (2006.01)

G O 1 R 31/28

M

請求項の数 9 (全 16 頁)

(21) 出願番号	特願2004-34549 (P2004-34549)	(73) 特許権者	503121103
(22) 出願日	平成16年2月12日(2004.2.12)		株式会社ルネサステクノロジ
(65) 公開番号	特開2005-227057 (P2005-227057A)		東京都千代田区大手町二丁目6番2号
(43) 公開日	平成17年8月25日(2005.8.25)	(74) 代理人	100064746
審査請求日	平成18年8月15日(2006.8.15)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 テスト回路

(57) 【特許請求の範囲】

【請求項 1】

デバイスのアナログ信号の特性を評価するテスト回路であって、

前記デバイスのアナログ信号の電位が予め定められた範囲内にある場合は第1の信号を出力し、前記デバイスのアナログ信号の電位が予め定められた範囲内にはない場合は第2の信号を出力するコンパレータ、

パルス信号列であるタイミング信号を生成するタイミング発生器、

前記タイミング信号に同期して動作し、前記コンパレータの出力信号と予め定められた期待値データとが一致するかどうかを判定する判定回路、

クロック信号を生成するクロック発生回路、

前記コンパレータの出力信号を受け、前記第1の信号に応答して前記クロック発生回路からのクロック信号を通過させて出力し、前記第2の信号に応答して前記クロック発生回路からのクロック信号を遮断する論理回路、

前記論理回路の出力信号に同期して動作し、前記デバイスのアナログ信号をデジタルデータに変換して出力するアナログデジタル変換器、および

前記アナログデジタル変換器からのデジタルデータを解析する解析部を備え、

前記判定回路は、前記アナログ信号の波形の傾斜部分のタイミングが予め定められた範囲内にあるかどうかを判定するファンクションテストを行ない、

前記解析部は、前記アナログ信号の波形の傾斜状態を評価する傾斜波形テストを行なう、テスト回路。

**【請求項 2】**

前記解析部は、

前記アナログデジタル変換器から前記解析部に出力されるデジタルデータに対応した期待値パターンデータを生成するパターン発生部、および

前記デジタルデータが前記期待値パターンデータによって定められる範囲内にあるかどうかを判定する副解析部を含む、請求項 1 に記載のテスト回路。

**【請求項 3】**

前記クロック発生回路は、所定周期のパルス信号列である前記クロック信号を生成する発振回路を含む、請求項 1 または請求項 2 に記載のテスト回路。

**【請求項 4】**

前記クロック発生回路は、

前記タイミング発生器からのタイミング信号のパルス数をカウントして出力するカウンタ、および

前記カウンタによってカウントされたパルス数に応じて遅延時間を定め、定められた遅延時間だけ前記タイミング信号を遅延させた信号を前記クロック信号として出力する遅延回路を含む、請求項 1 または請求項 2 に記載のテスト回路。

**【請求項 5】**

前記パターン発生部は、前記デジタルデータおよび前記期待値パターンデータを記憶する記憶回路を含み、

前記副解析部は、前記記憶回路のデータの書込みおよび読出しを行なう演算処理部を含む、請求項 2 から請求項 4 までのいずれかに記載のテスト回路。

**【請求項 6】**

さらに、前記論理回路からのクロック信号をそれぞれ位相の異なる複数のクロック信号に分割して出力する分割回路を備え、

前記アナログデジタル変換器は、それぞれ前記複数のクロック信号に対応して設けられ、それぞれ対応する前記複数のクロック信号に同期して動作し、前記デバイスのアナログ信号をデジタルデータに変換して出力する複数のアナログデジタル変換回路を含む、請求項 1 から請求項 5 までのいずれかに記載のテスト回路。

**【請求項 7】**

前記アナログデジタル変換器は、

それぞれ異なったオフセット電源電圧を有する複数のオフセット電源、および

それぞれ前記複数のオフセット電源に対応して設けられ、それぞれ対応する前記複数のオフセット電源のオフセット電源電圧によって定められる電圧レンジにおいて、前記デバイスのアナログ信号をデジタルデータに変換して出力する複数のアナログデジタル変換回路を含む、請求項 1 から請求項 5 までのいずれかに記載のテスト回路。

**【請求項 8】**

前記テスト回路は、前記デバイスのチップに内蔵される、請求項 1 から請求項 7 までのいずれかに記載のテスト回路。

**【請求項 9】**

前記テスト回路は、前記デバイスの外部のテストに設けられる、請求項 1 から請求項 7 までのいずれかに記載のテスト回路。

**【発明の詳細な説明】****【技術分野】****【0001】**

この発明は、テスト回路に関し、特に、デバイスのアナログ信号の特性の解析および評価を行なうテスト回路に関する。

**【背景技術】****【0002】**

アナログ回路を混載した半導体デバイスのテストを行なうために、半導体デバイスの出力アナログ信号の特性を高速かつ高精度に評価できるテスト回路が必要とされている。シ

10

20

30

40

50

システム L S I のテスト方法としては、たとえば、システム L S I のチップ内部にテスト回路を内蔵する B I S T ( Built-In Self-Test ) や、L S I テスタのロード・ボード上にアナログ信号のテスト回路を設ける B O S T ( Built-Out Self-Test ) などがある。

【 0 0 0 3 】

しかし、デバイスのアナログ信号の特性を高速かつ高精度に評価するためには、高価な A D 変換器を必要としていた。また、任意の信号波形を得るために常時データを取込む必要があるため、大容量の記憶回路を必要としていた。

【 0 0 0 4 】

下記の特許文献 1 には、アナログ入力信号 ( 繰返し信号 ) に対して電圧レンジを分割してデジタル化し、そのデータを表示装置上に重ね書きすることにより、使用する A D 変換器の分解能以上の測定分解能を実現する波形測定装置が開示されている。

10

【 0 0 0 5 】

また、下記の特許文献 2 には、周期性信号に含まれるジッタをリアルタイムに測定するジッタ測定装置が開示されている。

【特許文献 1】特開平 5 - 1 1 9 0 6 4 号公報

【特許文献 2】特開 2 0 0 0 - 2 9 2 4 6 9 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

以上のように、従来のテスト回路では、デバイスのアナログ信号の特性を高速かつ高精度に評価するためには、高価な A D 変換器が必要であった。また、データを常時取込むために大容量の記憶回路が必要であった。

20

【 0 0 0 7 】

それゆえに、この発明の主たる目的は、簡易な構成で高性能かつ安価なテスト回路を提供することである。

【課題を解決するための手段】

【 0 0 0 8 】

この発明に係るテスト回路は、デバイスのアナログ信号の特性を評価するテスト回路であって、デバイスのアナログ信号の電位が予め定められた範囲内にある場合は第 1 の信号を出力し、デバイスのアナログ信号の電位が予め定められた範囲内にはない場合は第 2 の信号を出力するコンパレータと、パルス信号列であるタイミング信号を生成するタイミング発生器と、タイミング信号に同期して動作し、コンパレータの出力信号と予め定められた期待値データとが一致するかどうかを判定する判定回路と、クロック信号を生成するクロック発生回路と、コンパレータの出力信号を受け、第 1 の信号にตอบสนองしてクロック発生回路からのクロック信号を通過させて出力し、第 2 の信号にตอบสนองしてクロック発生回路からのクロック信号を遮断する論理回路と、論理回路の出力信号に同期して動作し、デバイスのアナログ信号をデジタルデータに変換して出力するアナログデジタル変換器と、アナログデジタル変換器からのデジタルデータを解析する解析部とを備えたものである。ここで、判定回路は、アナログ信号の波形の傾斜部分のタイミングが予め定められた範囲内にあるかどうかを判定するファンクションテストを行ない、解析部は、アナログ信号の波形の傾斜状態を評価する傾斜波形テストを行なう。

30

40

【発明の効果】

【 0 0 0 9 】

この発明に係るテスト回路では、デバイスのアナログ信号の電位が予め定められた範囲内にある場合は第 1 の信号を出力し、デバイスのアナログ信号の電位が予め定められた範囲内にはない場合は第 2 の信号を出力するコンパレータと、パルス信号列であるタイミング信号を生成するタイミング発生器と、タイミング信号に同期して動作し、コンパレータの出力信号と予め定められた期待値データとが一致するかどうかを判定する判定回路と、クロック信号を生成するクロック発生回路と、コンパレータの出力信号を受け、第 1 の信号にตอบสนองしてクロック発生回路からのクロック信号を通過させて出力し、第 2 の信号に

50

答してクロック発生回路からのクロック信号を遮断する論理回路と、論理回路の出力信号に同期して動作し、デバイスのアナログ信号をデジタルデータに変換して出力するアナログデジタル変換器と、アナログデジタル変換器からのデジタルデータを解析する解析部とが設けられる。判定回路は、アナログ信号の波形の傾斜部分のタイミングが予め定められた範囲内にあるかどうかを判定するファンクションテストを行ない、解析部は、アナログ信号の波形の傾斜状態を評価する傾斜波形テストを行なう。したがって、大容量の記憶回路を必要とせずに、デバイスのアナログ信号の波形の傾斜部分を任意の振幅電圧の範囲内において任意の数に分割された電圧レンジでAD変換することができる。また、ファンクションテストと傾斜波形テストとを並列して行なうことができる。このため、簡易な構成で高性能かつ安価なテスト回路が実現できる。

10

【発明を実施するための最良の形態】

【0010】

実施の形態1.

図1は、この発明の実施の形態1によるテスト回路の概略構成を示すブロック図である。図1において、このテスト回路は、ウィンドウコンパレータ1、タイミング発生器2、比較判定部3、解析部6、AD変換器(以下、ADCと称する)4、パターン発生部5および制御部7を備える。

【0011】

ウィンドウコンパレータ1は、コンパレータ11, 12を含む。比較判定部3は、判定回路13、発振回路14および論理回路15を含む。パターン発生部5は、アドレス発生部16およびパターンメモリ17を含む。

20

【0012】

コンパレータ11は、被測定デバイスのアナログ信号ANSの電位と基準電位VOHとを比較し、アナログ信号ANSの電位が基準電位VOHよりも低い場合は出力信号WCS1を「H」レベルにし、アナログ信号ANSの電位が基準電位VOHよりも高い場合は出力信号WCS1を「L」レベルにする。コンパレータ12は、被測定デバイスのアナログ信号ANSの電位と基準電位VOL(<VOH)とを比較し、アナログ信号ANSの電位が基準電位VOLよりも低い場合は出力信号WCS2を「L」レベルにし、アナログ信号ANSの電位が基準電位VOLよりも高い場合は出力信号WCS2を「H」レベルにする。このようにして、ウィンドウコンパレータ1によって、被測定デバイスのアナログ信号ANSの電位が基準電位VOLから基準電位VOHまでの範囲内にあるかどうか判定される。なお、基準電位VOH, VOLは、アナログ信号ANSの電圧レベルに応じて、予め任意の値に設定される。

30

【0013】

タイミング発生器2は、パルス信号列であるタイミング信号TISを生成する。判定回路13は、タイミング発生器2からのタイミング信号TISに同期して動作し、予め記憶された期待値データとコンパレータ11, 12の出力信号WCS1, WCS2とを比較する。この判定回路13は、比較結果が同じ場合は出力エラー信号ERR1を非活性化レベルにし、比較結果が異なる場合は出力エラー信号ERR1を活性化レベルにする。このように、判定回路13は、アナログ信号ANSの波形の傾斜部分のタイミングが規格範囲内にあるかどうかを判定するファンクションテストを行なう。

40

【0014】

発振回路14は、所定周期のパルス信号列であるクロック信号CLKを生成する。論理回路15は、コンパレータ11, 12の出力信号WCS1, WCS2がともに「H」レベルである場合は、発振回路14からのクロック信号CLKをAD変換スタート信号ADSとしてADC4に伝達する。しかし、コンパレータ11, 12の出力信号WCS1, WCS2のうち少なくとも一方が「L」レベルである場合は、発振回路14からのクロック信号CLKをADC4に伝達せず、出力AD変換スタート信号ADSを非活性化レベルの「L」レベルにする。論理回路15は、さらに、被測定デバイスから入力されたアナログ信号ANSの波形が立上がり部分であるか立下がり部分であるかを識別するための識別

50

信号 D C S を生成する。この識別信号 D C S は、コンパレータ 1 1 , 1 2 の出力信号 W C S 1 , W C S 2 がともに「 H 」レベルにされたことに応じて、その論理レベルが切換えられる。すなわち、アナログ信号 A N S の波形の立上がり部分において「 H 」レベルにされ、アナログ信号 A N S の波形の立下がり部分において「 L 」レベルにされる。

#### 【 0 0 1 5 】

A D C 4 は、論理回路 1 5 からの A D 変換スタート信号 A D S S および識別信号 D C S に基づいて、アナログ信号 A N S を A D 変換して複数のデジタルデータ D I G D - 1 ~ D I G D - n (ただし、n は任意の自然数) を生成する。この A D C 4 は、A D 変換スタート信号 A D S S のパルスに应答して A D 変換を行なう。また、A D C 4 は、論理回路 1 5 からの A D 変換スタート信号 A D S S および識別信号 D C S をアドレス発生部 1 6 に伝達する。

10

#### 【 0 0 1 6 】

アドレス発生部 1 6 は、A D C 4 からの A D 変換スタート信号 A D S S および識別信号 D C S に基づいてアドレス信号 A D D を生成する。このアドレス信号 A D D は、A D 変換スタート信号 A D S S のパルスに应答して、そのアドレスが切換えられる。

#### 【 0 0 1 7 】

パターンメモリ 1 7 は、アドレス発生部 1 6 からのアドレス信号 A D D に应答して、それぞれアドレス信号 A D D によって示されるアドレスに対応した複数の期待値パターンデータ P T D - 1 ~ P T D - n を出力する。これらの期待値パターンデータ P T D - 1 ~ P T D - n は、パターンメモリ 1 7 に予め記憶される。

20

#### 【 0 0 1 8 】

解析部 6 は、A D C 4 からのデジタルデータ D I G D - 1 ~ D I G D - n の解析を行なう。この解析部 6 は、A D C 4 からのデジタルデータ D I G D - 1 ~ D I G D - n と、パターンメモリ 1 7 からの期待値パターンデータ P T D - 1 ~ P T D - n とを比較し、各デジタルデータ D I G D - 1 ~ D I G D - n がそれぞれ対応する期待値パターンデータ P T D - 1 ~ P T D - n によって定められる範囲内にある場合は、出力エラー信号 E R R 2 を非活性化レベルにする。一方、各デジタルデータ D I G D - 1 ~ D I G D - n がそれぞれ対応する期待値パターンデータ P T D - 1 ~ P T D - n によって定められる範囲内でない場合は出力エラー信号 E R R 2 を活性化レベルにする。このように、解析部 6 は、アナログ信号 A N S の波形の傾斜状態を評価する傾斜波形テストを行なう。

30

#### 【 0 0 1 9 】

制御部 7 は、比較判定部 3 および解析部 6 からのエラー信号 E R R 1 , E R R 2 に基づいて、テスト回路の動作を制御する。たとえば、エラー信号 E R R 1 が非活性化レベルである場合は比較判定部 3 を動作させ、エラー信号 E R R 1 が活性化レベルである場合は比較判定部 3 の動作を停止させる。また、エラー信号 E R R 2 が非活性化レベルである場合は解析部 6 およびパターン発生部 5 を動作させ、エラー信号 E R R 2 が活性化レベルである場合は解析部 6 およびパターン発生部 5 の動作を停止させる。

#### 【 0 0 2 0 】

次に、図 1 に示したテスト回路の動作について説明する。図 2 は、図 1 に示したテスト回路の動作を説明するためのタイムチャートである。図 2 を参照して、被測定デバイスのアナログ信号 A N S は、矩形波に近い高速のアナログ信号である。

40

#### 【 0 0 2 1 】

時刻 t 1 よりも前の時刻において、コンパレータ 1 1 は、アナログ信号 A N S の電位が基準電位 V O H よりも低いことに応じて、出力信号 W C S 1 を「 H 」レベルにする。コンパレータ 1 2 は、アナログ信号 A N S の電位が基準電位 V O L よりも低いことに応じて、出力信号 W C S 2 を「 L 」レベルにする。論理回路 1 5 は、コンパレータ 1 1 , 1 2 からの信号 W C S 1 , W C S 2 のうちの一方が「 L 」レベルであることに応じて、出力 A D 変換スタート信号 A D S S を非活性化レベルの「 L 」レベルにするとともに、出力識別信号 D C S を「 L 」レベルにする。

#### 【 0 0 2 2 】

50

時刻  $t_1$  において、アナログ信号  $ANS$  の電位が基準電位  $VOL$  よりも高くなったことに  
 応じて、コンパレータ 12 は出力信号  $WCS_2$  を「H」レベルに立上げる。論理回路 1  
 5 は、コンパレータ 11, 12 の出力信号  $WCS_1$ ,  $WCS_2$  がともに「H」レベルにな  
 ったことに応じて、発振回路 14 からのクロック信号  $CLK$  を  $AD$  変換スタート信号  $AD$   
 $SS$  として  $ADC_4$  に伝達するとともに、出力識別信号  $DCS$  を「H」レベルに立上げる  
 。

#### 【0023】

時刻  $t_2$  において、アナログ信号  $ANS$  の電位が基準電位  $VOH$  よりも高くなったこと  
 に応じて、コンパレータ 11 は出力信号  $WCS_1$  を「L」レベルに立下げる。これに応じ  
 て、論理回路 15 は、出力  $AD$  変換スタート信号  $ADSS$  を非活性化レベルの「L」レベ  
 ルに固定する。

10

#### 【0024】

図 3 は、図 2 に示した時刻  $t_1$  から時刻  $t_2$  までの期間におけるテスト回路の動作を説  
 明するためのタイムチャートである。図 3 を参照して、 $ADC_4$  は、 $AD$  変換スタート信  
 号  $ADSS$  に同期して、7 つのデジタルデータ  $DIGD_1 \sim DIGD_7$  を生成する。  
 アドレス発生部 16 は、 $AD$  変換スタート信号  $ADSS$  のパルスにตอบสนองして、アドレス信  
 号  $ADD$  のアドレスを切替える。パターン発生部 17 は、アドレス信号  $ADD$  にตอบสนองし、  
 それぞれ 7 つのデジタルデータ  $DIGD_1 \sim DIGD_7$  に対応する 7 つの期待値パタ  
 ーンデータ  $PTD_1 \sim PTD_7$  を生成する。

#### 【0025】

20

時刻  $t_1$  において、 $AD$  変換スタート信号  $ADSS$  が「H」レベルに立上げられる。こ  
 れに応じて、 $ADC_4$  はデジタルデータ  $DIGD_1$  (“00001” = 基準電位  $VOL$   
 ) を生成し、アドレス発生部 16 はアドレス信号  $ADD$  のアドレスを切替える。パターン  
 メモリ 17 は、アドレス信号  $ADD$  によって示されるアドレスに対応した期待値パターン  
 データ  $PTD_1$  (“00000”, “00010”) を生成する。解析部 6 は、デジタ  
 ルデータ  $DIGD_1$  (“00001”) が期待値パターンデータ  $PTD_1$  (“000  
 00”, “00010”) の範囲内にあることに応じて、出力エラー信号  $ERR_2$  を非活  
 性化レベルにする。

#### 【0026】

時刻  $t_{11}$  において、 $AD$  変換スタート信号  $ADSS$  が再び「H」レベルに立上げられ  
 る。これに応じて、 $ADC_4$  はデジタルデータ  $DIGD_2$  (“00010”) を生成し  
 、アドレス発生部 16 はアドレス信号  $ADD$  のアドレスを切替える。パターンメモリ 17  
 は、アドレス信号  $ADD$  によって示されるアドレスに対応した期待値パターンデータ  $PT$   
 $TD_2$  (“00001”, “00011”) を生成する。解析部 6 は、デジタルデータ  $D$   
 $DIGD_2$  (“00010”) が期待値パターンデータ  $PTD_2$  (“00001”, “  
 00011”) によって定められる範囲内にあることに応じて、出力エラー信号  $ERR_2$   
 を非活性化レベルにする。

30

#### 【0027】

時刻  $t_{12}$  から時刻  $t_{16}$  までの期間においても、同様に、 $AD$  変換スタート信号  $AD$   
 $SS$  に同期してデジタルデータ  $DIGD_3$  (“00011”)  $\sim DIGD_7$  (“01  
 111” = 基準電位  $VOH$ ) および期待値パターンデータ  $PTD_3$  (“00010”,  
 “00100”)  $\sim PTD_7$  (“00101”, “10001”) が生成される。また  
 、解析部 6 は、各デジタルデータ  $DIGD_3$  (“00011”)  $\sim DIGD_7$  (“0  
 1111”) がそれぞれ対応する期待値パターンデータ  $PTD_3$  (“00010”, “  
 00100”)  $\sim PTD_7$  (“00101”, “10001”) によって定められる範  
 囲内にあるかどうかを判定し、判定結果に応じたエラー信号  $ERR_2$  を出力する。

40

#### 【0028】

なお、ここでは、時刻  $t_1$  から時刻  $t_2$  までの期間において、基準電位  $VOL \sim VOH$   
 の範囲内で電圧レンジが 7 つ (“00001”  $\sim$  “01111”) に分割される場合につ  
 いて説明したが、任意の基準電位  $VOL \sim VOH$  の範囲内で任意の数に分割された電圧レ

50

ンジでAD変換を行なうことができる。

【0029】

図2に戻って、時刻 $t_3$ において、アナログ信号ANSの電位が基準電位VOHよりも低くなったことに応じて、コンパレータ11は出力信号WCS1を「H」レベルに上げる。論理回路15は、コンパレータ11、12の出力信号WCS1、WCS2がともに「H」レベルになったことに応じて、発振回路14からのクロック信号CLKをAD変換スタート信号ADSSとしてADC4に伝達するとともに、識別信号DCSを「L」レベルに立下げる。

【0030】

時刻 $t_4$ において、アナログ信号ANSの電位が基準電位VOLよりも低くなったことに応じて、コンパレータ12は出力信号WCS2を「L」レベルに立下げる。これに応じて、論理回路15は、出力AD変換スタート信号ADSSを非活性化レベルの「L」レベルにする。

【0031】

時刻 $t_3$ から時刻 $t_4$ までの期間において、時刻 $t_1$ から時刻 $t_2$ までの期間と同様に、AD変換スタート信号ADSSに同期してデジタルデータDIGD-1～DIGD-nおよび期待値パターンデータPTD-1～PTD-nが生成される。また、解析部6は、各デジタルデータDIGD-1～DIGD-nがそれぞれ対応する期待値パターンデータPTD-1～PTD-nの範囲内にあるかどうかを比較判定し、判定結果に応じたエラー信号ERR2を出力する。

【0032】

以上のように、この実施の形態1では、被測定デバイスのアナログ信号ANSを、任意の基準電位VOL、VOHによって定められる振幅電圧において、任意の数に分割された電圧レンジでAD変換を行なうことができる。これにより、傾斜したアナログ信号波形の過渡状態を含めた高精度な評価および解析が可能となる。また、アナログ信号の波形の傾斜した立上がり部分および立下がり部分に限定してAD変換を行なうため、大容量のメモリを必要としない。さらに、比較判定部3の内部に発振回路14を設けたことによって、判定回路13によるファンクションテストと、解析部6による傾斜波形テストとを並列して行なうことができる。したがって、簡易な構成で高性能かつ安価なテスト回路が実現できる。

【0033】

なお、このテスト回路は、たとえば、システムLSIのチップに内蔵(BIST)されても、LSIテストのロード・ボード上に設置(BOST)されてもよい。

【0034】

実施の形態2.

図4は、この発明の実施の形態2によるテスト回路の概略構成を示すブロック図であって、図1と対比される図である。図4のテスト回路を参照して、図1のテスト回路と異なる点は、比較判定部3が比較判定部21で置換されている点である。比較判定部3の発振回路14は、比較判定部21においてカウンタ22、記憶回路23および遅延回路24で置換されている。なお、図4において、図1と対応する部分においては同一符号を付し、その詳細説明を省略する。

【0035】

カウンタ22は、タイミング発生器2からのタイミング信号TISのパルスの立上がりエッジをカウントし、そのカウント数をカウンタデータNUM(1)～NUM(n-1)として出力する(ただし、nは任意の自然数)。記憶回路23は、それぞれカウンタ22からのカウンタデータNUM(1)～NUM(n-1)に応じて、遅延データDLT(1)～DLT(n-1)を出力する。この記憶回路23には、それぞれカウンタデータNUM(1)～NUM(n-1)に対応した遅延時間を示す遅延データDLT(1)～DLT(n-1)が予め記憶される。

【0036】

10

20

30

40

50

遅延回路 24 は、タイミング発生器 2 からのタイミング信号 T I S を受け、記憶回路 23 からの遅延データ D L T ( 1 ) ~ D L T ( n - 1 ) によって指示された遅延時間だけタイミング信号 T I S を遅延させた遅延信号 D L S を出力する。

【 0 0 3 7 】

次に、図 4 に示したテスト回路の動作について説明する。図 5 は、図 4 に示したテスト回路の動作を説明するためのタイムチャートである。図 5 を参照して、被測定デバイスのアナログ信号 A N S の波形の立上がり部分に注目する。

【 0 0 3 8 】

アナログ信号 A N S の電位は、「 L 」レベルから上昇して時刻 t 2 1 において基準電位 V O L よりも高くなり、時刻 t 2 3 において基準電位 V O H よりも高くなる。この時刻 t 2 1 から時刻 t 2 3 までの期間において、論理回路 15 は、遅延回路 24 からの遅延信号 D L S を A D 変換スタート信号 A D S S として出力する。

【 0 0 3 9 】

タイミング発生器 2 は、所定周期のパルス信号列であるタイミング信号 T I S を生成する。このタイミング信号 T I S は、時刻 t 2 2 において「 H 」レベルに立上げられる。時刻 t 2 1 と時刻 t 2 2 との間隔は T 0 である。遅延回路 24 は、アナログ信号 A N S の波形の 1 周期目の立上がり部分に対応して、タイミング信号 T I S をそのまま遅延信号 D L S として出力する。すなわち、遅延信号 D L S は、時刻 t 2 2 において「 H 」レベルに立上げられるパルスを有する。

【 0 0 4 0 】

カウンタ 22 は、時刻 t 2 2 におけるタイミング信号 T I S の立上がりエッジをカウントし、カウントデータ N U M ( 1 ) を出力する。記憶回路 23 は、カウントデータ N U M ( 1 ) に対応した遅延時間 T 1 を示す遅延データ D L T ( 1 ) を出力する。

【 0 0 4 1 】

アナログ信号 A N S の波形の 2 周期目の立上がり部分に注目すると、アナログ信号 A N S の電位は、「 L 」レベルから上昇して時刻 t 2 4 において基準電位 V O L よりも高くなり、時刻 t 2 7 において基準電位 V O H よりも高くなる。この時刻 t 2 4 から時刻 t 2 7 までの期間において、論理回路 15 は、遅延回路 24 からの遅延信号 D L S を A D 変換スタート信号 A D S S として出力する。

【 0 0 4 2 】

タイミング信号 T I S は、時刻 t 2 5 において「 H 」レベルに立上げられる。時刻 t 2 4 と時刻 t 2 5 との間隔は T 0 である。遅延回路 24 は、アナログ信号 A N S の波形の 2 周期目の立上がり部分に対応して、タイミング信号 T I S を遅延時間 T 1 だけ遅延させた信号を遅延信号 D L S として出力する。すなわち、遅延信号 D L S は、時刻 t 2 5 よりも時間 T 1 だけ遅い時刻 t 2 6 において「 H 」レベルに立上げられるパルスを有する。

【 0 0 4 3 】

カウンタ 22 は、時刻 t 2 5 におけるタイミング信号 T I S の立上がりエッジをカウントし、カウントデータ N U M ( 2 ) を出力する。記憶回路 23 は、カウントデータ N U M ( 2 ) に対応した遅延時間 T 2 を示す遅延データ D L T ( 2 ) を出力する。図示しないが、アナログ信号 A N S の波形の 3 周期目の立上がり部分に対応して、タイミング信号 T I S を遅延時間 T 2 だけ遅延させた信号が遅延信号 D L S として出力される。

【 0 0 4 4 】

このように、アナログ信号 A N S の波形の 1 周期目 ~ ( n - 1 ) 周期目の立上がり部分に対応して、カウンタ 22 はカウントデータ N U M ( 1 ) ~ N U M ( n - 1 ) を出力する。記憶回路 23 は、それぞれカウントデータ N U M ( 1 ) ~ N U M ( n - 1 ) に対応した遅延時間 T 1 ~ T ( n - 1 ) を示す遅延データ D L T ( 1 ) ~ D L T ( n - 1 ) を出力する。遅延回路 24 は、アナログ信号 A N S の波形の 2 周期目 ~ n 周期目の立上がり部分に対応して、タイミング信号 T I S を遅延時間 T 1 ~ T ( n - 1 ) だけ遅延させた信号を遅延信号 D L S として出力する。

【 0 0 4 5 】

10

20

30

40

50



図 6 は、図 5 に示したアナログ信号 A N S の波形の立上がり部分におけるテスト回路の動作を説明するためのタイムチャートであって、図 3 と対比される図である。図 6 のタイムチャートを参照して、図 3 のタイムチャートと異なる点は時間軸の目盛りである。

#### 【 0 0 4 6 】

図 5 および図 6 に示した時刻  $t_{22}$  において、アナログ信号 A N S の波形の 1 周期目の立上がり部分に対応する A D 変換スタート信号 A D S S のパルスに応じて、A D C 4 はデジタルデータ D I G D - 1 ( “ 0 0 0 0 1 ” = 基準電位 V O L ) を生成する。また、パターン発生部 5 は、期待値パターンデータ P T D - 1 ( “ 0 0 0 0 0 ” , “ 0 0 0 1 0 ” ) を生成する。解析部 6 は、デジタルデータ D I G D - 1 ( “ 0 0 0 0 1 ” ) が期待値パターンデータ P T D - 1 ( “ 0 0 0 0 0 ” , “ 0 0 0 1 0 ” ) によって定められる範囲内に  
10

#### 【 0 0 4 7 】

図 5 および図 6 に示した時刻  $t_{26}$  において、アナログ信号 A N S の波形の 2 周期目の立上がり部分に対応する A D 変換スタート信号 A D S S のパルスに応じて、A D C 4 はデジタルデータ D I G D - 2 ( “ 0 0 0 1 0 ” ) を生成する。また、パターン発生部 5 は、期待値パターンデータ P T D - 2 ( “ 0 0 0 0 1 ” , “ 0 0 0 1 1 ” ) を生成する。解析部 6 は、デジタルデータ D I G D - 2 ( “ 0 0 0 1 0 ” ) が期待値パターンデータ P T D - 2 ( “ 0 0 0 0 1 ” , “ 0 0 0 1 1 ” ) によって定められる範囲内にあることに  
20

#### 【 0 0 4 8 】

このように、A D 変換スタート信号 A D S S に同期してデジタルデータ D I G D - 1 ~ D I G D - 7 および期待値パターンデータ P T D - 1 ~ P T D - 7 が生成される。また、解析部 6 は、各デジタルデータ D I G D - 1 ~ D I G D - 7 がそれぞれ対応する期待値パターンデータ P T D - 1 ~ P T D - 7 によって定められる範囲内にあるかどうかを判定し、判定結果に応じたエラー信号 E R R 2 を出力する。この解析部 6 は、A D C 4 からのデジタルデータ D I G D - 1 ~ D I G D - 7 をマージすることによって、実施の形態 1 と同様に、アナログ信号 A N S の波形の立上がり部分の評価および解析を行なうことができる。

#### 【 0 0 4 9 】

なお、ここでは、基準電位 V O L ~ V O H の範囲内で電圧レンジが 7 つ ( “ 0 0 0 0 1 ” ~ “ 0 1 1 1 1 ” ) に分割される場合について説明したが、任意の基準電位 V O L ~ V O H の範囲内で任意の数に分割された電圧レンジで A D 変換を行なうことができる。

#### 【 0 0 5 0 】

また、図示しないが、アナログ信号 A N S の波形の立下がり部分においても立上がり部分と同様に動作し、同様の効果が得られる。

#### 【 0 0 5 1 】

さらに、この実施の形態 2 では、タイミング発生器 2 からのタイミング信号 T I S に基づいて A D 変換スタート信号 A D S S が生成されるため、A D C 4 による A D 変換タイミングに再現性がある。これにより、アナログ信号 A N S のジッタを測定することができる。図 7 は、アナログ信号 A N S のジッタ測定の概念を説明するためのタイムチャートである。図 7 を参照して、同一条件で A D 変換を再現したときに、アナログ信号 A N S の波形の立上がり部分が実線波形から点線波形のようにずれた場合、解析部 6 によってそのジッタが解析される。  
40

#### 【 0 0 5 2 】

以上のように、この実施の形態 2 では、実施の形態 1 と同様に、簡易な構成で高性能かつ安価なテスト回路が実現できる。さらに、アナログ信号 A N S のジッタを測定することができる。

#### 【 0 0 5 3 】

実施の形態 3 .

図 8 は、この発明の実施の形態 3 によるテスト回路の概略構成を示すブロック図であっ  
50

て、図 1 と対比される図である。図 8 のテスト回路を参照して、図 1 のテスト回路と異なる点は、分割回路 3 1 が追加され、A D C 4 が A D C 3 2 で置換され、解析部 6 が D S P (Digital Signal Processor) 3 3 で置換され、パターン発生部 5 が記憶回路 3 4 で置換されている点である。なお、図 8 において、図 1 と対応する部分においては同一符号を付し、その詳細説明を省略する。

【 0 0 5 4 】

図 9 は、図 8 に示した分割回路 3 1 の動作を説明するためのタイムチャートである。図 9 を参照して、この分割回路 3 1 は、比較判定部 3 からの A D 変換スタート信号 A D S S をそれぞれ位相の異なる複数の A D 変換スタート信号 A D S S - 1 ~ A D S S - n (ただし、n は任意の自然数) に分割して出力する。

10

【 0 0 5 5 】

A D 変換スタート信号 A D S S - 1 は、アナログ信号 A N S の波形の立上がり部分に対応する A D 変換スタート信号 A D S S の 1 個目のパルス、およびアナログ信号 A N S の波形の立下がり部分に対応する A D 変換スタート信号 A D S S の 1 個目のパルスを有する。A D 変換スタート信号 A D S S - 2 は、アナログ信号 A N S の波形の立上がり部分に対応する A D 変換スタート信号 A D S S の 2 個目のパルス、およびアナログ信号 A N S の波形の立下がり部分に対応する A D 変換スタート信号 A D S S の 2 個目のパルスを有する。このように、A D 変換スタート信号 A D S S - n は、アナログ信号 A N S の波形の立上がり部分に対応する A D 変換スタート信号 A D S S の n 個目のパルス、およびアナログ信号 A N S の波形の立下がり部分に対応する A D 変換スタート信号 A D S S の n 個目のパルスを有する。

20

【 0 0 5 6 】

図 8 に戻って、A D C 3 2 は、n 個の A D 変換回路 A D C - 1 ~ A D C - n を含む。A D 変換回路 A D C - 1 ~ A D C - n は、それぞれ分割回路 3 1 からの A D 変換スタート信号 A D S S - 1 ~ A D S S - n、および比較判定部 3 からの識別信号 D C S に基づいて、アナログ信号 A N S を A D 変換して複数のデジタルデータ D I G D - 1 ~ D I G D - n を生成する。また、A D 変換回路 A D C - 1 ~ A D C - n は、分割回路 3 1 からの A D 変換スタート信号 A D S S - 1 ~ A D S S - n、および比較判定部 3 からの識別信号 D C S を D S P 3 3 に伝達する。なお、これらの A D 変換回路 A D C - 1 ~ A D C - n には、図 4 の A D C 4 に比べて安価で低速の A D 変換回路を用いてもよい。

30

【 0 0 5 7 】

記憶回路 3 4 には、それぞれ複数のデジタルデータ D I G D - 1 ~ D I G D - n に対応する複数の期待値パターンデータ P T D - 1 ~ P T D - n が予め記憶される。さらに、D S P 3 3 からのデジタルデータ D I G D - 1 ~ D I G D - n を保持する機能を有し、D S P 3 3 に応答して記憶したデータを出力する。

【 0 0 5 8 】

D S P 3 3 は、A D C 3 2 からの A D 変換スタート信号 A D S S - 1 ~ A D S S - n および識別信号 D C S に基づいて、比較判定動作を行なう。この D S P 3 3 は、A D C 3 2 からのデジタルデータ D I G D - 1 ~ D I G D - n を時系列に取込み、記憶回路 3 4 に適宜書込む。ソフトウェア的な高速演算処理が可能な D S P 3 3 は、記憶回路 3 4 に記憶された期待値パターンデータ P T D - 1 ~ P T D - n およびデジタルデータ D I G D - 1 ~ D I G D - n を適宜読出し、それぞれを比較する高速演算処理を行なう。このように、D S P 3 3 がデジタルデータ D I G D - 1 ~ D I G D - n に対して時系列にデータ解析を行なうことによって、アナログ信号 A N S の波形の傾斜部分の線形性の判定を行なうことができる。また、各周期の同一のタイミングポイントにおけるデータを蓄積して、任意のタイミングポイントにおけるジッタ量を算出することができる。このように、アナログ信号 A N S に対して、パルスを繰返す周期性のみならず、パルス幅、前後のパルスに注目したときの立上がり (立下がり) 間のタイミング、いくつか離れたパルスとの関係など、任意のタイミングにおけるデータを解析することができ、利便性が向上する。

40

【 0 0 5 9 】

50

以上のように、実施の形態 3 では、実施の形態 1 と同様に、簡易な構成で高性能かつ安価なテスト回路が実現できる。さらに、安価な A/D 変換回路 A/D C - 1 ~ A/D C - n を用いることによって更なる低コスト化が図れる。

#### 【0060】

なお、図示しないが、比較判定部 3 に代わって、図 4 に示した比較判定部 2 1 を用いてもよい。この場合も、同様の効果が得られる。

#### 【0061】

また、DSP 3 3 および記憶回路 3 4 に代わって、図 1 に示した解析部 6 およびパターン発生部 5 を用いてもよい。この場合、安価な A/D 変換回路 A/D C - 1 ~ A/D C - n を用いることによって低コスト化が図れる。

10

#### 【0062】

実施の形態 3 の変更例。

図 10 は、この発明の実施の形態 3 の変更例によるテスト回路の概略構成を示すブロック図であって、図 8 と対比される図である。図 10 のテスト回路を参照して、図 8 のテスト回路と異なる点は、分割回路 3 1 が削除され、A/D C 3 2 が A/D C 4 1 で置換されている点である。なお、図 10 において、図 8 と対応する部分においては同一符号を付し、その詳細説明を省略する。

#### 【0063】

A/D C 4 1 は、n 個の A/D 変換回路 A/D C - 1 ~ A/D C - n およびオフセット電源 OFF P - 1 ~ OFF P - n を含む。オフセット電源 OFF P - 1 ~ OFF P - n は、それぞれ対応する A/D 変換回路 A/D C - 1 ~ A/D C - n に異なったオフセット電源電圧を与える。A/D 変換回路 A/D C - 1 ~ A/D C - n は、それぞれ対応するオフセット電源 OFF P - 1 ~ OFF P - n のオフセット電源電圧によって定められる電圧レンジで A/D 変換を行なう。A/D 変換回路 A/D C - 1 ~ A/D C - n は、それぞれ比較判定部 3 からの A/D 変換スタート信号 ADSS および識別信号 DCS に基づいて、アナログ信号 ANS を A/D 変換して複数のデジタルデータ DIGD - 1 ~ DIGD - n を生成する。また、A/D 変換回路 A/D C - 1 ~ A/D C - n は、比較判定部 3 からの A/D 変換スタート信号 ADSS および立下がり識別信号 DCS を DSP 3 3 に伝達する。

20

#### 【0064】

図 11 は、図 10 に示した A/D 変換回路 A/D C - 1 ~ A/D C - n およびオフセット電源 OFF P - 1 ~ OFF P - n の動作を説明するためのタイムチャートである。図 10 および図 11 を参照して、A/D 変換回路 A/D C - 1 は、オフセット電源 OFF P - 1 からのオフセット電源電圧によって定められる電圧レンジ (VOL ~ VOP1) において、アナログ信号 ANS を A/D 変換してデジタルデータ DIGD - 1 を生成する。A/D 変換回路 A/D C - 2 は、オフセット電源 OFF P - 2 からのオフセット電源電圧によって定められる電圧レンジ (VOP1 ~ VOP2) において、アナログ信号 ANS を A/D 変換してデジタルデータ DIGD - 2 を生成する。同様に、A/D 変換回路 A/D C - n は、オフセット電源 OFF P - n からのオフセット電源電圧によって定められる電圧レンジ (VOP(n-1) ~ VOH) において、アナログ信号 ANS を A/D 変換してデジタルデータ DIGD - n を生成する。このように、任意の基準電位 VOL ~ VOH の範囲内において、電圧レンジが (n-1) 個に分割される。

30

40

#### 【0065】

したがって、この実施の形態 3 の変更例では、被測定デバイスの出力アナログ信号 ANS の電圧振幅が大きい場合でも、オフセット電源を用いて電圧レンジを任意の数に分割することによって高精度な評価および解析を行なうことができる。

#### 【0066】

なお、図示しないが、比較判定部 3 に代わって、図 4 に示した比較判定部 2 1 を用いてもよい。この場合も、同様の効果が得られる。

#### 【0067】

また、DSP 3 3 および記憶回路 3 4 に代わって、図 1 に示した解析部 6 およびパター

50

ン発生部 5 を用いてもよい。この場合も、同様の効果が得られる。

【 0 0 6 8 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【 0 0 6 9 】

【図 1】この発明の実施の形態 1 によるテスト回路の概略構成を示すブロック図である。

【図 2】図 1 に示したテスト回路の動作を説明するためのタイムチャートである。

10

【図 3】図 2 に示した時刻  $t_1$  から時刻  $t_2$  までの期間におけるテスト回路の動作を説明するためのタイムチャートである。

【図 4】この発明の実施の形態 2 によるテスト回路の概略構成を示すブロック図である。

【図 5】図 4 に示したテスト回路の動作を説明するためのタイムチャートである。

【図 6】図 5 に示したアナログ信号  $ANS$  の波形の立上がり部分におけるテスト回路の動作を説明するためのタイムチャートである。

【図 7】アナログ信号  $ANS$  のジッタ測定の概念を説明するためのタイムチャートである。

。

【図 8】この発明の実施の形態 3 によるテスト回路の概略構成を示すブロック図である。

【図 9】図 8 に示した分割回路の動作を説明するためのタイムチャートである。

20

【図 10】この発明の実施の形態 3 の変更例によるテスト回路の概略構成を示すブロック図である。

【図 11】図 10 に示した  $AD$  変換回路  $ADC - 1 \sim ADC - n$  およびオフセット電源  $OFFP - 1 \sim OFFP - n$  の動作を説明するためのタイムチャートである。

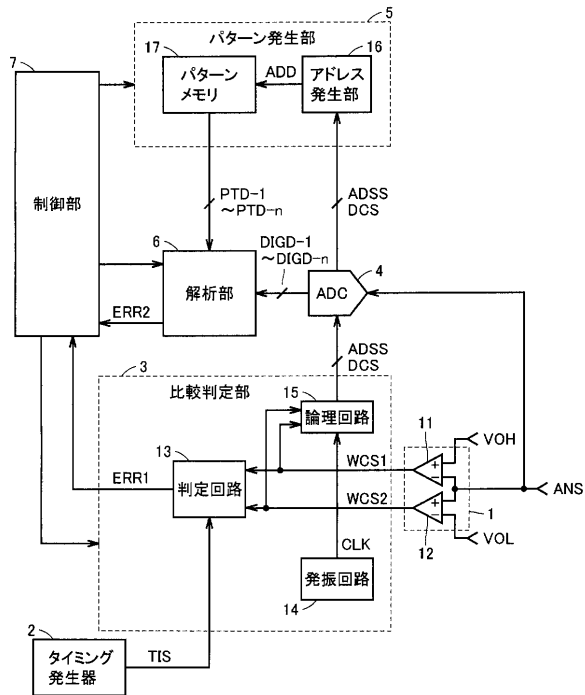
【符号の説明】

【 0 0 7 0 】

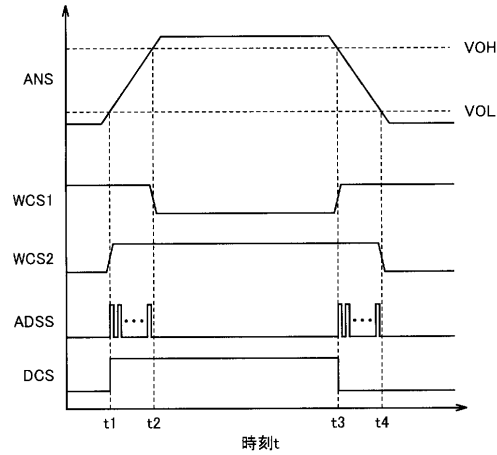
1 ウィンドウコンパレータ、2 タイミング発生器、3, 21 比較判定部、4, 32, 41  $ADC$ 、5 パターン発生部、6 解析部、7 制御部、11, 12 コンパレータ、13 判定回路、14 発振回路、15 論理回路、16 アドレス発生部、17 パターンメモリ、22 カウンタ、23 記憶回路、24 遅延回路、31 分割回路、33  $DSP$ 、34 記憶回路、 $ADC - 1 \sim ADC - n$   $AD$  変換回路、 $OFFP - 1 \sim OFFP - n$  オフセット電源。

30

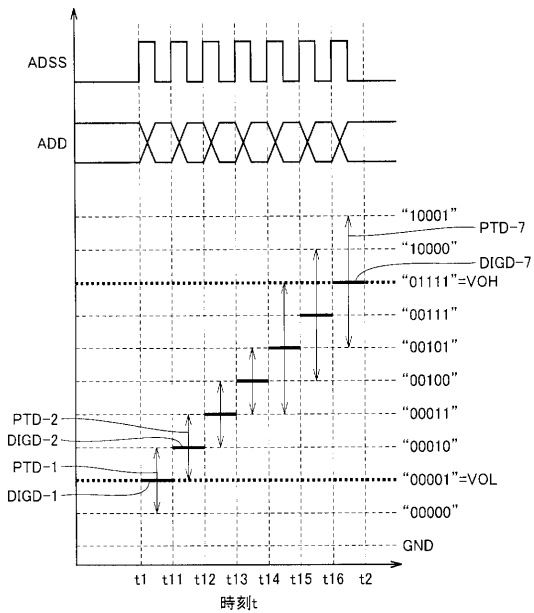
【図 1】



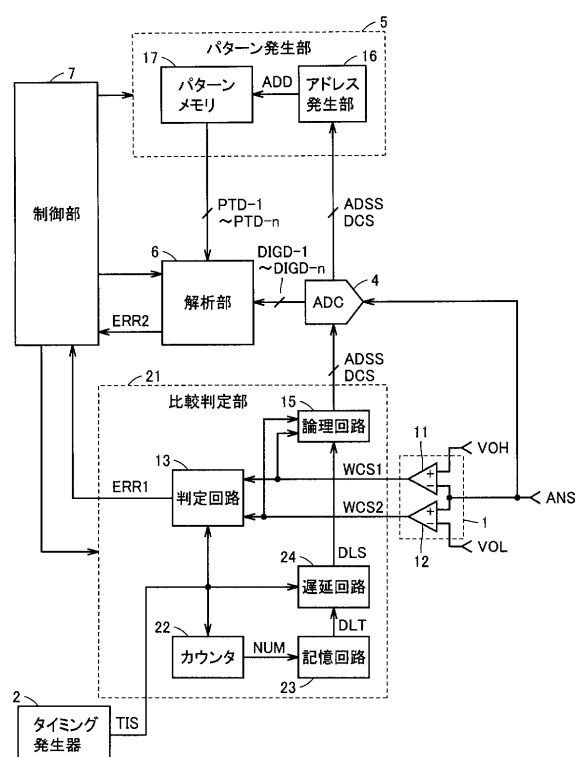
【図 2】



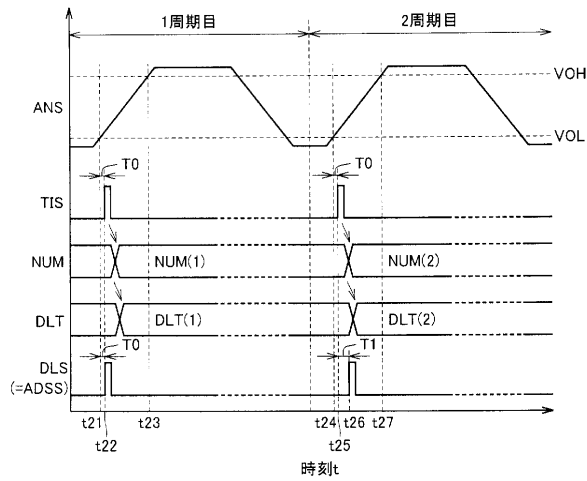
【図 3】



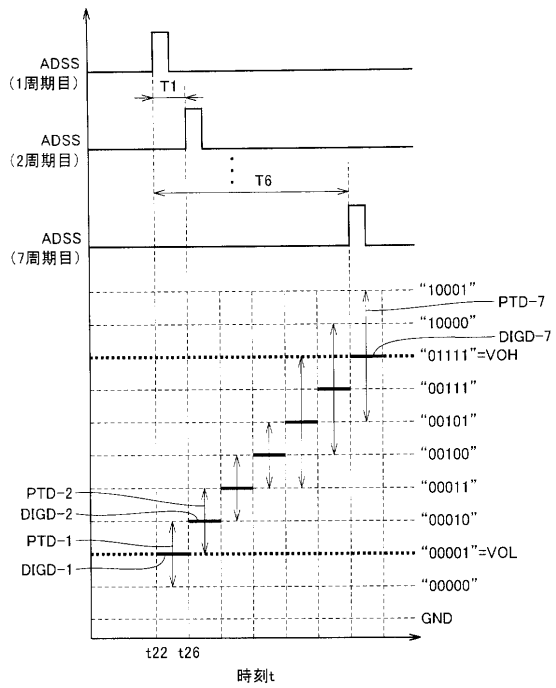
【図 4】



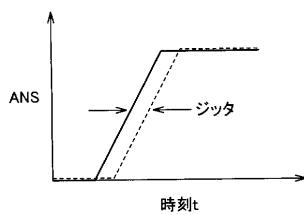
【図 5】



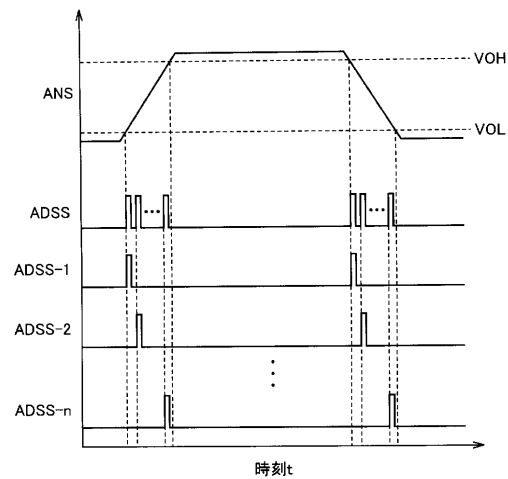
【図 6】



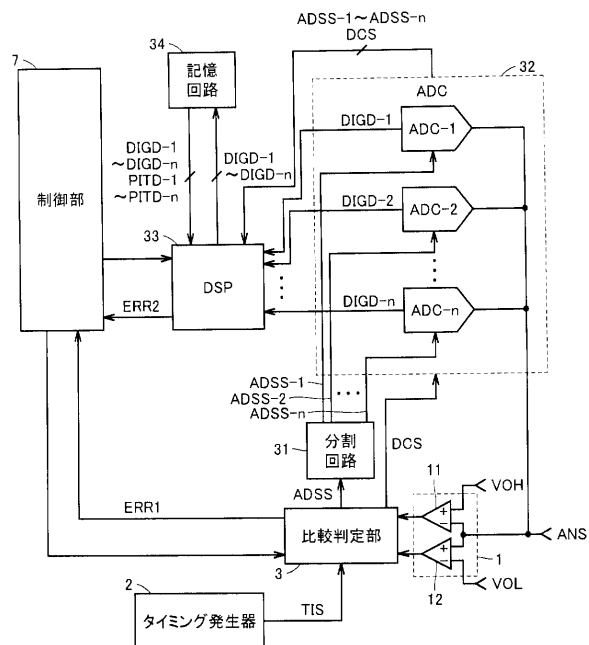
【図 7】



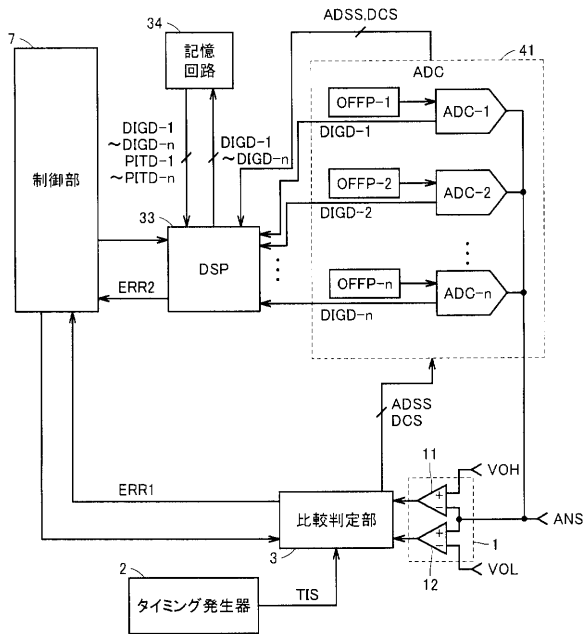
【図 9】



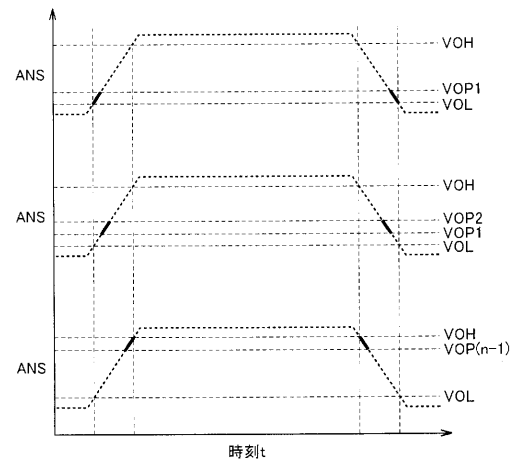
【図 8】



【図 10】



【図 11】



---

フロントページの続き

- (72)発明者 樽井 俊朗  
兵庫県伊丹市瑞原4丁目1番地 株式会社ルネサスセミコンダクタエンジニアリング内
- (72)発明者 杉本 勝  
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内
- (72)発明者 森 長也  
兵庫県伊丹市瑞原4丁目1番地 株式会社ルネサスセミコンダクタエンジニアリング内
- (72)発明者 船倉 輝彦  
東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 関根 洋之

- (56)参考文献 特開2002-196051(JP, A)  
特開平04-254774(JP, A)

- (58)調査した分野(Int.Cl., DB名)  
G01R 31/28