

(43) 国際公開日
2008 年 12 月 24 日 (24.12.2008)

PCT

(10) 国際公開番号
WO 2008/156100 A1

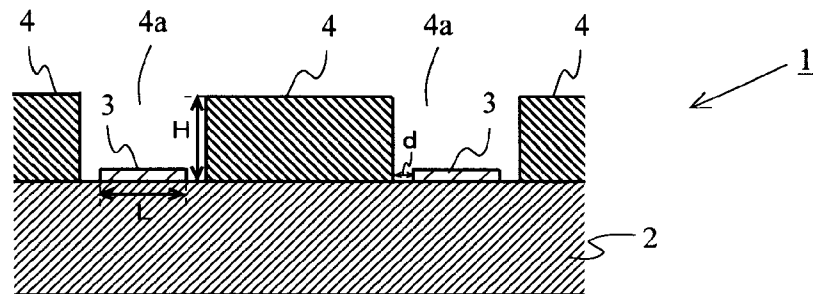
- (51) 国際特許分類:
H01L 21/60 (2006.01)
- (21) 国際出願番号: PCT/JP2008/061099
- (22) 国際出願日: 2008 年 6 月 18 日 (18.06.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2007-159631 2007 年 6 月 18 日 (18.06.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 森藤 忠洋 (MORI-FUJI, Tadahiro) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 ローム株式会社内 Kyoto (JP). 上田 茂幸 (UEDA, Shigeyuki) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 佐野 静夫, 外 (SANO, Shizuo et al.); 〒5400032 大阪府大阪市中央区天満橋京町 2-6 天満橋八千代ビル別館 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,

[続葉有]

(54) Title: CIRCUIT BOARD AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 回路基板及び半導体装置

[図1]



(57) Abstract: A circuit board (1) whereupon a semiconductor chip is to be flip-chip mounted is provided with an electrode pad (3) formed on the surface of a board main body (2), and a solder resist layer (4) which covers the surface of the board main body (2) and has an opening section (4a) for exposing the electrode pad (3). The solder resist layer (4) is formed not to be in contact with the electrode pad (3) and to have a value H/L satisfy the inequalities of $1.0 \leq H/L \leq 1.5$, where, L is the maximum width of the electrode pad and H is the thickness of the solder resist layer.

(57) 要約: 半導体チップがフリップチップ実装される回路基板 1 は、基板本体 2 の表面に形成される電極パッド 3 と、基板本体 2 の表面を覆い、電極パッド 3 を露出させる開口部 4a を有するソルダレジスト層 4 と、を備える。ソルダレジスト層 4 は、電極パッド 3 と接しないように形成され、且つ、前記電極パッドの最大幅を L 、前記ソルダレジスト層の厚みを H とした場合に、 H/L が $1.0 \leq H/L \leq 1.5$ を満たすように形成される。



IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,
SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

明 細 書

回路基板及び半導体装置

技術分野

[0001] 本発明は、半導体チップをフリップチップ実装する回路基板、及び半導体チップを回路基板にフリップチップ実装した半導体装置に関する。

背景技術

[0002] 従来においては、半導体チップを回路基板に実装する場合、半導体チップの電極パッドと回路基板上の電極パッドとを金属細線で導電接続するワイヤボンディング方式が採用されていた。しかし、近年においては、電気製品の小型化、高密度化に伴い、半導体チップの高密度実装の要請がますます高くなっており、半田バンプを用いたフリップチップ方式による実装方法が重視される傾向にある。

[0003] このフリップチップ方式の実装方法においては、例えば半導体チップに形成した半田バンプと回路基板に形成した半田バンプとの接合によって半導体チップが回路基板上に固定される。

[0004] ところで、回路基板に半田バンプを形成する方法としては、一般的に次のような方法が行われる。半田バンプが形成される位置(回路基板上の電極パッドが設けられる位置が該当する)において、回路基板上に設けられるソルダレジスト層に開口部を形成する。そして、開口部にソルダペーストを印刷により供給し、リフロー処理を経て半田バンプが形成される。

[0005] このように半田バンプを形成する場合、回路基板に形成される半田バンプの高さは、ソルダレジスト層に形成される開口の容積によって制約を受ける。そして、LSIが小型化される近年の状況下においては、半導体チップが実装される回路基板に設けられる電極パッドのピッチが狭くなってソルダレジスト層に形成される開口部分の面積が減少し、その容積も小さくなっている。このために、従来のソルダペーストの印刷方法では、半田バンプの高さを十分な高さとできない場合が生じている。

[0006] そして、半田バンプの高さを十分な高さとできない場合、半導体チップの接合時の信頼性が低下したり、半田バンプに発生する応力の分散を十分に行うことができない

ために熱処理(半導体チップとの接合時等)を行った後に、半田にクラックが発生したりするといった問題があった。

- [0007] この点、例えば特許文献1に、複数のパッドが形成された表面と、該表面上に設けられたソルダレジストとを有し、パッドがソルダレジストから露出する回路基板に対して、高さのあるソルダバンプ(半田バンプ)を形成する方法が開示されている。この特許文献1の方法では、回路基板に対して第1の型板印刷及び第1のリフロー処理を行うことにより、複数の第1のソルダバンプをパッド上に形成する。そして、回路基板に第2の型板印刷を及び第2のリフロー処理を行うことにより、第1のソルダバンプ上にソルダペーストを形成する。その後、このソルダペースト及び第1のソルダバンプを一体化させて、パッド上に高さのあるソルダバンプを形成する。

特許文献1:特開2006-222323号公報

発明の開示

発明が解決しようとする課題

- [0008] しかしながら、特許文献1に示される半田バンプの形成方法の場合、厚み等の構成が異なる2つのマスクを用意する必要があるために、コスト面で不利である。また、マスクに形成される開口に充填されるソルダペーストのみを利用して半田バンプを形成する構成であるために、特許文献1で紹介されている半田バンプの高さ(20nm又は20nm以上)よりもずっと高さが高い半田バンプ(例えば、数十 μm ~100 μm 程度)を形成しようとする場合に、必ずしも十分な技術とは言えない。

- [0009] この点について、マスクの厚みを厚くして、マスクに形成される開口に充填されるソルダペーストの充填量を増やすことも考えられるが、マスクの厚みを厚くしすぎるとマスク除去時にマスクの開口に残るソルダペーストが増加する。このために、マスクの厚みを厚くして、ソルダペーストの充填量を増加させるのは容易ではない。

- [0010] そこで、本発明の目的は、半導体チップをフリップチップ実装する回路基板において、半田バンプの高さを十分に高くできる構造を有する回路基板を提供することである。また、本発明の他の目的は、そのような回路基板を用いて半導体チップを実装することにより、信頼性の高い半導体装置を提供することである。

課題を解決するための手段

- [0011] 上記目的を達成するために本発明の回路基板は、半田バンプを用いて半導体チップがフリップチップ実装される回路基板であって、基板本体の表面に形成され、前記半田バンプが形成される電極パッドと、前記基板本体の表面を覆い、前記電極パッドを露出させる開口部を有するソルダレジスト層と、を備える。そして、前記ソルダレジスト層は、前記電極パッドと接しないように形成され、且つ、前記電極パッドの最大幅をL、前記ソルダレジスト層の厚みをHとした場合に、 H/L が $1.0 \leq H/L \leq 1.5$ を満たすように形成されることを特徴としている。
- [0012] 本構成によれば、開口部に印刷によってソルダペーストを充填し、その後リフロー処理によって電極パッド上に半田バンプを形成することができる。そして、本構成では、電極パッド上に形成される半田バンプの高さが、半導体チップを実装した際に半田バンプに対して発生する応力を緩和できる十分な高さとなるように（充填されるソルダレジストの量が目的を達成するための十分な量となるように）、ソルダレジスト層の厚みが決定されている。従って、本発明の回路基板を用いれば、回路基板上に形成される半田バンプの高さを十分に高くでき、半導体チップのフリップチップ実装後に、半田バンプにクラック等の損傷が発生する可能性を低くできる。
- [0013] また、本発明は、上記構成の回路基板において、前記電極パッドは、平面視略円形状に設けられ、前記最大幅は前記電極パッドの直径であることとしても構わない。
- [0014] また、本発明は、上記構成の回路基板において、前記開口部は、その開口幅が前記基板本体から離れる方向に向けて広がるように形成されることとしても良い。この構成によれば、電極パッドとソルダレジスト層の下部側との間隔を大きくせずに、ソルダペーストの充填体積を稼ぐことができる。従って本構成の回路基板を用いれば、リフロー処理の際に電極パッドに寄り切らず、半田バンプを形成することなく残る半田の量を低減できる。そして、充填できるソルダペーストの量は増えるために、回路基板の電極パッド上に形成される半田バンプの高さを高くできる。
- [0015] また、上記目的を達成するために本発明の回路基板は、半田バンプを用いて半導体チップがフリップチップ実装される回路基板であって、基板本体の表面に形成され、前記半田バンプが形成される電極パッドと、前記基板本体の表面を覆い、前記電極パッドを露出させる第1の開口部を有するソルダレジスト層と、前記ソルダレジスト

層の上に形成され、前記第1の開口部と連通する第2の開口部を有するフィルム層と、を備えることを特徴としている。

[0016] この構成によれば、溶ダペーストを充填する開口部の空間を大きくすることができるために、印刷によって充填できる溶ダペーストの量を増やすことができる。このために、回路基板の電極パッド上に形成される半田バンプの高さを高くすることが可能となる。

[0017] また、本発明は、上記構成の回路基板において、前記第1の開口部と前記第2の開口部とのうち、少なくとも一方は、その開口幅が厚み方向に変化するのが好ましく、前記第1の開口部の開口幅は、前記基板本体から離れる方向に向けて広がるように形成され、前記第2の開口部の開口幅は、前記基板本体に近づく方向に向けて広がるように形成されるのが更に好ましい。本構成によれば、溶ダペーストが充填される体積を大きくし易い。更に、リフロー処理の際に、電極パッドに寄り切らず、半田バンプを形成しない半田が発生する可能性を低減できる。

[0018] また、本発明は、上記構成の回路基板において、前記溶ダレジスト層及び前記フィルム層は、前記電極パッドと接しないように形成され、前記電極パッドの最大幅をL、前記溶ダレジスト層と前記フィルム層との厚みの合計をHとした場合に、 H/L が $1.0 \leq H/L \leq 1.5$ を満たすように形成されることとしても良い。このように構成すれば、電極パッドに形成される半田バンプの高さを、半導体チップのフリップチップ実装後に、半田バンプにクラック等の損傷が発生する可能性が低い高さとできる。

[0019] また、本発明は、上記構成の回路基板と、前記回路基板にフリップチップ実装される半導体チップと、を備える半導体装置であることを特徴としている。

[0020] この構成によれば、半導体装置を構成する回路基板に形成する半田バンプについて、十分な高さを有する半田バンプとできる。このために、この回路基板に半導体チップをフリップチップ実装する場合、半田バンプに発生する応力を緩和することが可能となり、半田バンプにクラック等の損傷が発生し難い。従って、本発明の半導体装置は、損傷が発生し難く、装置信頼性を高いものとできる。

発明の効果

[0021] 本発明の半導体チップをフリップチップ実装する回路基板は、半田バンプの高さを

高くできる構造を有する。このために、本発明の回路基板を用いれば半田バンプの高さを高く形成できる。従って、本発明の回路基板を用いて半導体チップをフリップチップ実装した半導体装置においては、半田バンプに加わる応力を緩和して半田バンプにクラック等の損傷が発生する可能性を低減でき、装置の信頼性を向上できる。

図面の簡単な説明

[0022] [図1]第1実施形態の回路基板の構成を示す概略断面図である。

[図2]第1実施形態の回路基板に形成される電極パッド周辺の構成を示す概略平面図である。

[図3]第1実施形態の回路基板に形成される電極パッド周辺の構成を示す概略平面図で、図2とは別形態を示す図である。

[図4A]第1実施形態の回路基板に半田バンプを形成する手順を説明するための説明図で、第1段階の手順を示す図である。

[図4B]第1実施形態の回路基板に半田バンプを形成する手順を説明するための説明図で、第2段階の手順を示す図である。

[図4C]第1実施形態の回路基板に半田バンプを形成する手順を説明するための説明図で、第3段階の手順を示す図である。

[図4D]第1実施形態の回路基板に半田バンプを形成する手順を説明するための説明図で、第4段階の手順を示す図である。

[図5A]第1実施形態の半導体装置の構成を説明するための説明図で、回路基板に半導体チップがフリップチップ実装される前の状態を示す図である。

[図5B]第1実施形態の半導体装置の構成を説明するための説明図で、回路基板に半導体チップがフリップチップ実装された後の状態を示す図である。

[図6]第2実施形態の回路基板の構成を示す概略断面図である。

[図7]第2実施形態の半導体装置の構成を示す概略断面図である。

符号の説明

- [0023]
- 1、11 回路基板
 - 2 基板本体
 - 3 電極パッド

4 ソルダレジスト層

4a 開口部(第1の開口部)

9 半田バンプ

14 フィルム層

14a 第2の開口部

20、30 半導体装置

21 半導体チップ

L 電極パッドの直径(電極パッドの最大幅)

H ソルダレジスト層(又はソルダレジスト層及びフィルム層)の厚み

W1 ソルダレジスト層の開口部の開口幅(第1の開口部の開口幅)

W2 フィルム層の開口部の開口幅(第2の開口部の開口幅)

発明を実施するための最良の形態

[0024] 以下、本発明の実施形態について図面を参照しながら説明する。なお、ここで示す実施形態は例示であって、本発明はここに示す実施形態に限定される趣旨ではない。

[0025] (第1実施形態)

まず、第1実施形態の半導体チップがフリップチップ実装される回路基板の構成について、主に、図1、図2、及び図3を参照しながら説明する。なお、図1は、第1実施形態の回路基板の構成を示す概略断面図である。図2及び図3は、回路基板に形成される電極パッド周辺の構成を示す概略平面図である。

[0026] 図1に示すように、回路基板1は、基板本体2と、基板本体2の表面に形成される電極パッド3と、基板本体2の表面を覆うソルダレジスト層4と、を備える。基板本体2は、例えばガラス・エポキシ等の絶縁基板からなっており、基板本体2には、図示しない複数の配線パターンや電極パッド3が形成されている。

[0027] 電極パッド3は、例えばCuパッドからなっており、本実施形態ではその形状は平面視略円形(例えば直径100 μ m程度、厚さは20 μ m程度)となっている。ただし、電極パッド3を構成する素材、その形状及び大きさは特に限定されるものではなく、その必要に応じて適宜変更可能である。この電極パッド3は、図2に示す場合のように、ピ

アホール(図示せず)と電氣的に接続される場合と、図3に示すように、基板本体2の表面に形成される配線5と電氣的に接続される場合と、の2通りの場合があり、これらはその仕様に応じて適宜選択される。

[0028] 本実施形態では、基板本体2の表面に形成されるソルダレジスト層4は、電極パッド3の厚み(例えば $20\mu\text{m}$ 程度)よりも厚く形成されている。また、ソルダレジスト層4には開口部4aが形成されており、これにより電極パッド3が露出される。また、ソルダレジスト層4と電極パッド3とは接しない構成となっている。なお、ソルダレジスト層4に設けられる開口部4aは、例えばソルダレジスト層4を感光性のソルダレジスト層とし、周知の技術であるフォトリソグラフィ法によって形成することができる。

[0029] 本実施形態においては、ソルダレジスト層4の厚みH(図1参照)は、電極パッド3の直径L(図1参照)との関係で、 $1.0 \leq H/L \leq 1.5$ を満たすように構成されている。本実施形態においては、電極パッド3の直径を $100\mu\text{m}$ 程度としているために、ソルダレジスト層4の厚みは、 $100 \sim 150\mu\text{m}$ 程度とされている。

[0030] ソルダレジスト層4の厚みHを上述のように構成する理由について説明する。この理由を説明するに先立って、本実施形態の回路基板1に、半導体チップをフリップチップ実装する際に用いられる半田バンプを形成する方法について、図4A、図4B、図4C、及び図4Dを参照しながら説明しておく。なお、図4A～図4Dは、本実施形態の回路基板1に半田バンプを形成する手順を説明するための説明図である。

[0031] まず、図4Aに示すように印刷マスク7(例えばメタルマスク)がソルダレジスト層4の上部に密着される。なお、印刷マスク7には、ソルダレジスト層4の開口部4aと対応するように開口穴7aが形成され、この開口穴7aは、ソルダレジスト層4の開口部4aと同一又は略同一の大きさの開口を有している。

[0032] 次に、図4Bに示すように、例えば図示しないスキージを用いてソルダペースト8が、ソルダレジスト層4の開口部4a及び印刷マスク7の開口穴7aによって形成されるスペースに充填される。ソルダペースト8の充填が終了すると、印刷マスク7が取り除かれる。図4Cは、ソルダペースト8が充填された後、印刷マスク7が取り除かれた状態を示す。

[0033] 印刷マスク7が取り除かれると、回路基板1は所定の温度(使用するソルダペースト8

の種類によって、適宜決定される)とされたリフロー炉内に導入されて、リフロー処理が行われる。これにより、溶ダペースト8が溶融し、溶融した溶ダペースト8には表面張力が発生して、略球状の半田バンプ9が形成される。図4Dは、回路基板1に半田バンプ9が形成された状態を示している。

[0034] 回路基板1の電極パッド3上に形成される半田バンプ9は、以上のように形成されるが、前述したように、半導体チップを回路基板1にフリップチップ実装した後に半田バンプ9に加わる応力を緩和するために、形成される半田バンプ9は、その高さを十分高くする必要がある。このためには、図4Bで示される溶ダペースト8の充填量を多くすれば良い。

[0035] この場合、溶ダレジスト層4の厚みHを厚くし、更に溶ダレジスト層4に形成される開口部4aの開口面積を大きくすることが考えられる。しかし、高密度に実装する要請から開口部4aの開口面積は小さくされる傾向である。さらに、開口面積を極端に大きくして、電極パッド3と溶ダレジスト層4までの距離d(図1参照)を極端に大きくすると、リフロー処理時に溶融した半田が電極パッド3に寄り切らず、半田バンプ9を構成しない半田が発生する場合がある。

[0036] このような点から、本発明者らは溶ダレジスト層4の厚みHを厚くすることに注目し、回路基板1に形成される半田バンプ9について、回路基板1に半導体チップをフリップチップ実装した場合にクラック等の損傷が発生しない高さとできるように、溶ダレジスト層4の厚みHについて検討を行った。検討にあたっては、電極パッド3のサイズによって形成される半田バンプ9の大きさも変化するために、この点も考慮して検討を行った。

[0037] なお、従来においては、回路基板1に半導体チップをフリップチップ実装した場合に、実装時に用いられる半田バンプ9についてクラック等の損傷が発生しない高さとできるように、溶ダレジスト層4の厚みHを検討した例は見られない。しかし、信頼性の高い半導体装置を得るためにはこの点重要であり、その検討を行った。

[0038] また、検討にあたっては、溶ダレジスト層4が電極パッド3と接しない(すなわち、図1における $d > 0$)ことを前提とした。これは、開口部4aの開口面積を狭くしすぎて、溶ダペースト8の充填量を必要以上に少なくしないためである。また、溶ダレジスト

層4と電極パッド3との距離dは、ソルダレジスト層4と接しないという前提の下で、調整し得る範囲で最小となるようにした。このような方法でソルダレジスト層4の厚みHの下限値を決定するようにすれば、前述の距離dが検討時の値より大きくなった場合(ただし、極端に大きくなる場合は除く。)にも、印刷されるソルダペーストの量が多くなって半田バンプ9の高さが大きくなる方向であり、これは半田バンプ9に加わる応力を緩和するには良い方向となる。すなわち、このようにソルダレジスト層4の厚みHの下限値を決定するようにすれば、前述の距離dによらず(ただし、dが極端に大きくなる場合は除く。)、回路基板に形成される半田バンプ9に加わる応力を十分に緩和できる高さを有する半田バンプ9が形成できる回路基板1を提供できることとなる。

[0039] また、図4A～図4Dに示す方法で半田バンプ9を形成する場合、印刷マスク7の厚みを十分厚くできれば、これによりソルダペースト8の充填量を増加できるが、上述のように、印刷マスク7の厚みを厚くしすぎるとソルダペースト8が印刷マスク7から抜けなくなる。このような点も考慮して、上記検討にあたっては、印刷マスク7の厚みはできる限り薄くし、その厚みによる充填量への影響は、ほとんど出ないようにした。

[0040] そして、検討の結果、 H/L が1.0以上1.5以下となるようにソルダレジスト層4を形成した場合に、半田バンプにクラックが発生する割合が低くなって望ましいことがわかった。

[0041] なお、以上においては、電極パッド3が、平面視略円形状の場合について説明した。しかし、これについては必ずしも電極パッドが略円形状の場合に限定される趣旨ではなく、例えば、電極パッド3が平面視略正多角形状の場合等にも適用される。この場合、 H/L におけるLは、電極パッド3の最大幅が該当する。

[0042] 以上に示した第1実施形態の回路基板1を用いれば、半導体チップをフリップチップ実装する場合に用いる半田バンプ9の高さについて、半導体チップ実装後において半田バンプ9にクラック等の損傷が発生する可能性の低い高さ(半田バンプ9に加わる応力を十分緩和できる高さ)にできる。なお、更に半田バンプ9の高さを高くしたい場合には、例えば、半田バンプ9が形成された回路基板1について、1回目よりも厚みの厚いマスク(同じ厚さでも良い場合もある)を使用する等の方法によって、再度ソルダペースト8を印刷処理し、その後リフロー処理を再度行うという方法を用いること

もできる。そして、場合によっては、更にこのような処理を複数回行っても良い。

[0043] 次に、このように半田バンプ9が形成された回路基板1に、半導体チップをフリップチップ実装して成る半導体装置の構成について説明する。図5A及び図5Bは、本実施形態の半導体装置20の構成を説明するための説明図で、図5Aは、回路基板1に半導体チップ21がフリップチップ実装される前の状態を示し、図5Bは、回路基板1に半導体チップ21がフリップチップ実装された後の状態を示す。

[0044] 半導体チップ21には、そのアクティブ面(図5A及び図5Bにおいては、下面側が相当する)を被覆する図示しないパッシベーション膜が形成される。そして、パッシベーション膜に設けられた開口に、これまた図示しないチップパッドと電氣的に接続される半田バンプ22が形成されている。なお、本実施形態では、チップパッドと電氣的に接続されるバンプを半田バンプとしているが、これに限らず、例えば金バンプ等であっても、もちろん構わない。

[0045] 回路基板1に設けられる半田バンプ9と、半導体チップ21に設けられる半田バンプ22とが、接合されることによって、半導体チップ21が回路基板1に実装される。回路基板1の表面と半導体チップ21の表面との隙間は、例えばエポキシ樹脂から成るアンダーフィル膜23で埋められる。

[0046] 本実施形態の半導体装置20は、半導体チップ21をフリップチップ実装する回路基板1の半田バンプ9の高さが十分に高く形成されているために、半導体チップ21の実装の際に半田バンプ9が受ける応力を緩和できる。従って、本実施形態の半導体装置20は、半導体チップ21の実装時に半田バンプ9にクラック等の損傷が生じる可能性を低減でき、装置信頼性の高い半導体装置と言える。

[0047] (第2実施形態)

次に、第2実施形態の半導体チップがフリップチップ実装される回路基板について説明する。なお、第1実施形態の回路基板1と重複する部分については同一の符号を付し、特に必要がない場合はその説明を省略する場合がある。

[0048] 図6は、第2実施形態の回路基板の構成を示す概略断面図である。図6に示すように、第2実施形態の回路基板11は、基板本体2と、基板本体2の表面に形成される電極パッド3と、基板本体2の表面を覆うソルダレジスト層4と、ソルダレジスト層4の上

に形成されるフィルム層14と、を備える。

[0049] ここで、基板本体2及び電極パッド3の構成については、第1実施形態の場合と同様であるために、その説明は省略する。

[0050] ソルダレジスト層4には、第1実施形態の場合と同様に開口部4aが形成されており、これにより電極パッド3がソルダレジスト層4に覆われることなく露出されている。ただし、本実施形態においては、ソルダレジスト層4に形成される開口部4aは、その開口幅W1が厚み方向に変化するように形成されており、基板本体2から離れる方向(図6の上方向)に向けて、その開口幅W1が広がるようになっている。

[0051] このような開口部4aの形状は、開口部4aを形成する際に湿式のエッチング処理を用いれば形成可能である。すなわち、湿式のエッチングは等方的に進行するために、開口部4aの形成を湿式のエッチングによれば、開口部4aの形状は図6に示すような断面視略台形状にできる。

[0052] フィルム層14は、例えば、ソルダレジスト層4と同一の素材によって形成される。ただし、これに限定されず、例えばポリイミド等によって構成しても構わない。フィルム層14には、ソルダレジスト層4の開口部4aと連通するように開口部14aが形成されている。本実施形態では、フィルム層14に形成される開口部14aについても、ソルダレジスト層4に形成される開口部4aと同様に開口幅W2が厚み方向に変化するように形成されている。ただし、フィルム層14に形成される開口部14aは、ソルダレジスト層4に形成される開口部4aの構成とは反対に、基板本体2に近づく方向(図6の下方向)に向けて、その開口幅W2が広がるように形成されている。

[0053] なお、本実施形態においては、フィルム層14はソルダレジスト層4に貼り付けられる構成となっている。そして、貼り付けられる前に湿式のエッチング処理によって、ソルダレジスト層4と同形状(断面視略台形状であって、上底に対して下底の方が短い形状)の開口部を形成し、貼り付ける際にひっくり返すことによって、図6に示すよう形状(断面視略台形状であって、上底に対して下底の方が長い形状)の開口部14aとなるようにしている。また、本実施形態では、開口部4aと開口部14aとが連通する境界では、互いの開口幅は同じ($W1=W2$)となっている。

[0054] 本実施形態の回路基板11についても、第1実施形態の場合と同様の方法で半田

バンパ9が形成される(図4参照)。なお、本実施形態の場合には、印刷マスク7(図4参照)を使用しても良いが、印刷マスク7を用いずにフィルム層14を印刷マスク7の代わりとして使用しても良い。

[0055] 本実施形態の場合、回路基板11がソルダレジスト層4とフィルム層14とを有する構成であるために、半田バンパ9形成時において、ソルダペースト8が充填される体積を稼ぎやすい。そして、ソルダレジスト層4に形成される開口部4aとフィルム層14に形成される開口部14aの構成について、ソルダペースト8が充填される体積を稼げるような構成となっている。このため、本実施形態の回路基板11を用いれば、形成される半田バンパ9の高さを高くしやすい。

[0056] なお、本実施形態の場合、ソルダレジスト層4及びフィルム層14に形成される開口部4、14の開口幅4a、14aを厚み方向に変化させてソルダペースト8の充填体積を稼ぐ構成となっているが、電極パッド3とソルダレジスト層4の間隔dは、それほど大きくならない構成とでき、且つ電極パッド3に向けて開口部4aの開口幅W1が狭まるようになっているために、ソルダペースト8が電極パッド3に寄り切らずに残る可能性が低い。

[0057] 以上より、例えば、ソルダレジスト層4とフィルム層14とを合わせた厚みHについて、第1実施形態で示した H/L の条件を満たすようにすれば、半導体チップを回路基板11にフリップチップ実装した後においても、半田バンパ9にクラック等の損傷が発生しないような十分な高さを有する半田バンパ9とできる。なお、本実施形態では、 H/L を同一とした場合に、ソルダペースト4の充填体積を第1実施形態の場合より稼ぐことが可能となるために、第1実施形態に示した H/L の条件の下限值よりも H/L の値が小さい場合にも、半田バンパ9の高さが十分となる場合もある。

[0058] なお、本実施形態においては、ソルダレジスト層4及びフィルム層14の両方について、その開口部の開口幅を厚み方向に変化させる構成としているが、いずれか一方についてのみ開口幅が厚み方向に変化する構成としても構わない。すなわち、例えば、ソルダレジスト層4の開口部4aを本実施形態のように構成し、フィルム層14の開口部14aについては、その開口幅W2を開口部4aの上部の開口幅と同じ値で一定とする構成等しても構わない。

- [0059] また、開口部4a、14aの開口幅が厚み方向に変化する構成として、本実施形態では連続的に開口幅が変化する構成となっているが、これに限定される趣旨ではなく、例えば階段状に開口幅が変化する構成であっても構わない。
- [0060] 次に、本実施形態の回路基板11に、半導体チップをフリップチップ実装して成る半導体装置の構成について説明する。図7は、本実施形態の半導体装置30の構成を示す概略断面図である。
- [0061] 回路基板11と半導体チップ21とが、半田バンプ9、22を用いて接続されて、フリップチップ実装される構成の詳細は、第1実施形態の回路基板1への半導体チップ21のフリップチップ実装の場合と同様であるため、その説明は省略する。
- [0062] 本実施形態では、半導体装置30は、回路基板11に形成されるフィルム層14が残された状態で半導体チップ21と接続されているが、半田バンプ9を形成した段階でフィルム層14を取り除き、その後半導体チップ21をフリップチップ実装する構成としても構わない。ただし、本実施形態のように、フィルム層14を残した場合には、半導体チップ21を回路基板11に実装する場合に、フィルム層14の開口部14aを、半導体チップ21を配置する場所のガイドとして機能させることも可能となるという利点を有する。
- [0063] そして、このガイド機能を発揮させるという立場によれば、本実施形態のように、フィルム層14の開口部14aについて、基板本体2から離れる方向に向かって開口幅W2が狭くなるのが好ましい。

産業上の利用可能性

- [0064] 本発明の半導体チップをフリップチップ実装する回路基板を用いれば、回路基板に形成される半田バンプの高さを、半導体チップのフリップチップ実装後に半田バンプに加わる応力を緩和できる高さとしてできる。このために、本発明の回路基板を用いれば、半導体チップをフリップチップ実装して成る半導体装置について、信頼性の高い装置とできる。従って、本発明は半導体チップをフリップチップ実装して成る半導体装置の分野で非常に有用である。

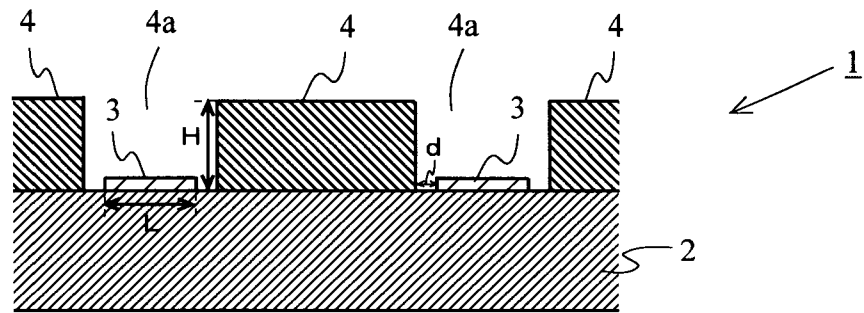
請求の範囲

- [1] 半田バンプを用いて半導体チップがフリップチップ実装される回路基板であって、
基板本体の表面に形成され、前記半田バンプが形成される電極パッドと、
前記基板本体の表面を覆い、前記電極パッドを露出させる開口部を有するソルダレジスト層と、を備え、
前記ソルダレジスト層は、前記電極パッドと接しないように形成され、且つ、前記電極パッドの最大幅をL、前記ソルダレジスト層の厚みをHとした場合に、 H/L が $1.0 \leq H/L \leq 1.5$ を満たすように形成される。
- [2] 請求項1に記載の回路基板であって、
前記電極パッドは、平面視略円形状に設けられ、前記最大幅は前記電極パッドの直径である。
- [3] 請求項1に記載の回路基板であって、
前記開口部は、その開口幅が前記基板本体から離れる方向に向けて広がるように形成される。
- [4] 半田バンプを用いて半導体チップがフリップチップ実装される回路基板であって、
基板本体の表面に形成され、前記半田バンプが形成される電極パッドと、
前記基板本体の表面を覆い、前記電極パッドを露出させる第1の開口部を有するソルダレジスト層と、
前記ソルダレジスト層の上に形成され、前記第1の開口部と連通する第2の開口部を有するフィルム層と、を備える。
- [5] 請求項4に記載の回路基板であって、
前記第1の開口部と前記第2の開口部とのうち、少なくとも一方は、その開口幅が厚み方向に変化する。
- [6] 請求項5に記載の回路基板であって、
前記第1の開口部の開口幅は、前記基板本体から離れる方向に向けて広がるように形成され、前記第2の開口部の開口幅は、前記基板本体に近づく方向に向けて広がるように形成される。
- [7] 請求項4に記載の回路基板であって、

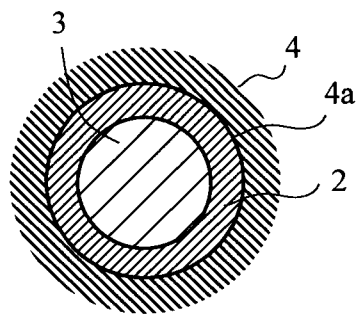
前記ソルダレジスト層及び前記フィルム層は、前記電極パッドと接しないように形成され、前記電極パッドの最大幅をL、前記ソルダレジスト層と前記フィルム層との厚みの合計をHとした場合に、 H/L が $1.0 \leq H/L \leq 1.5$ を満たすように形成される。

- [8] 請求項1から7のいずれかに記載の回路基板と、
該回路基板にフリップチップ実装された半導体チップと、
を備える半導体装置。

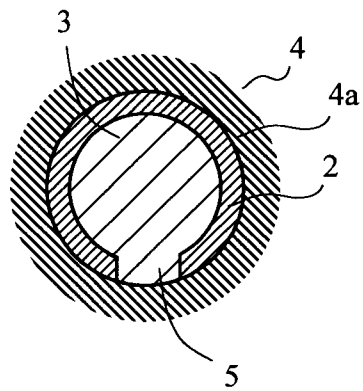
[[図1]]



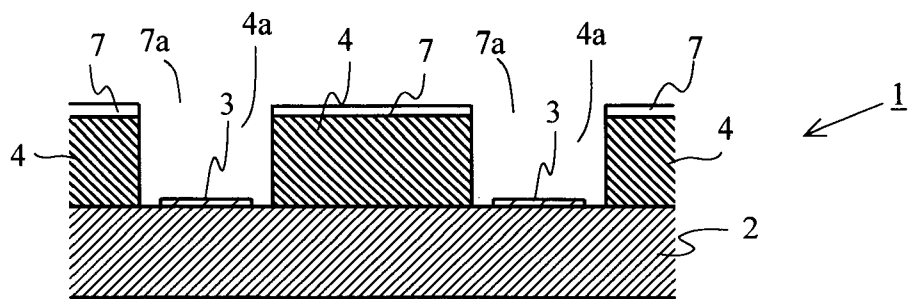
[[図2]]



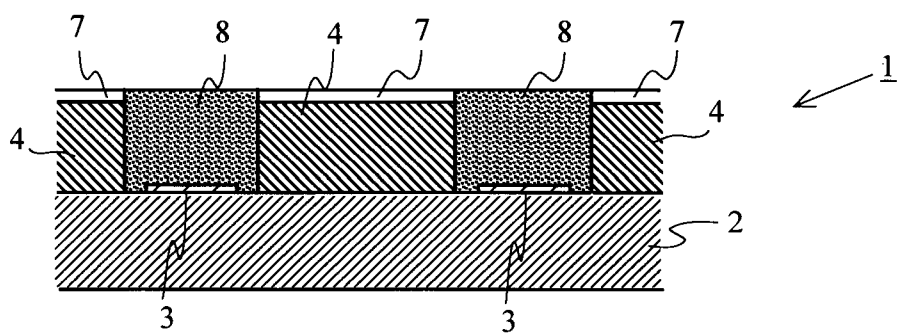
[[図3]]



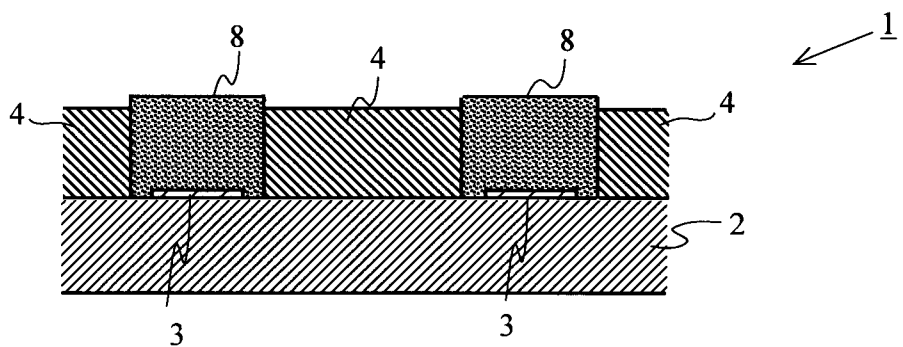
[図4A]



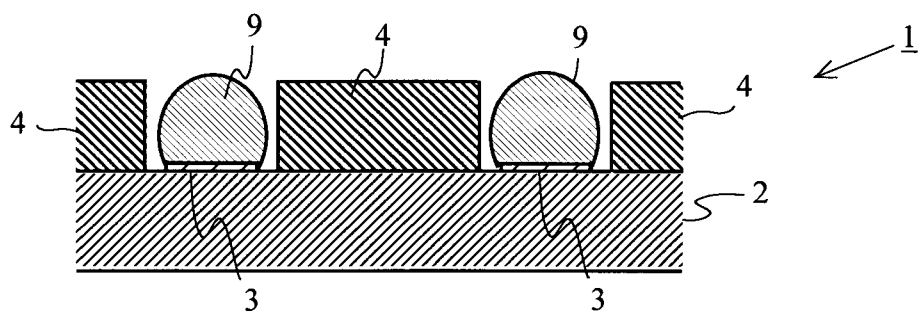
[図4B]



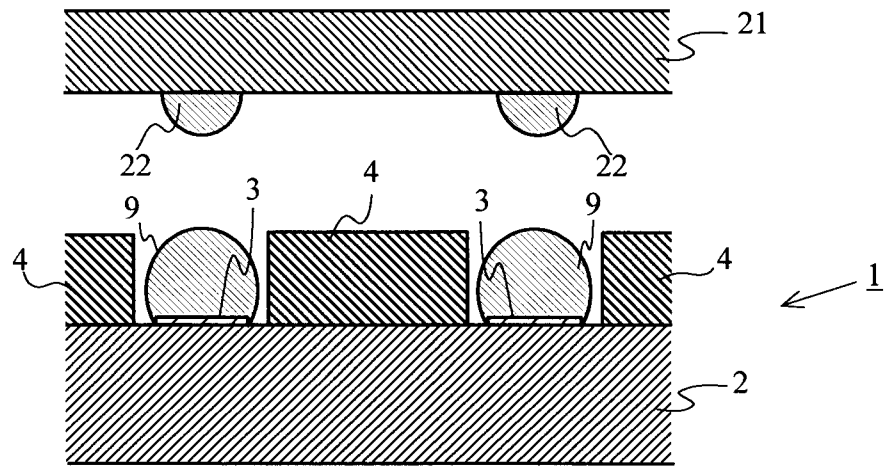
[図4C]



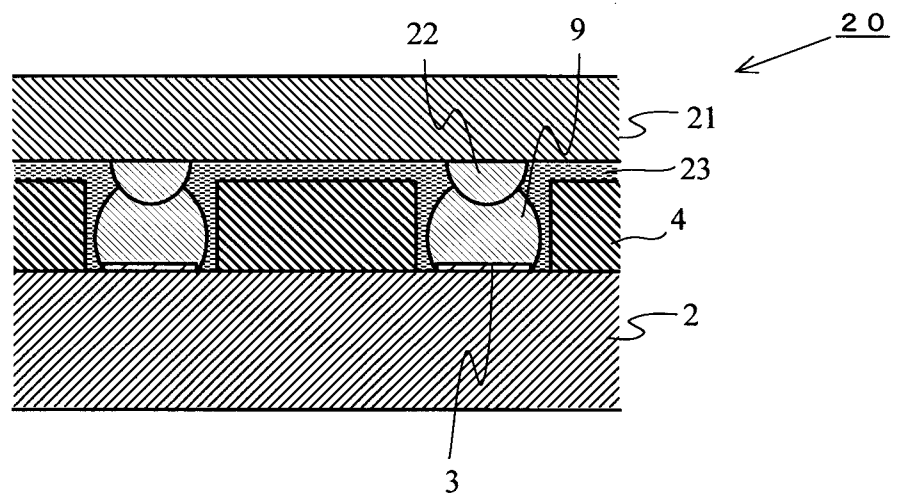
[図4D]



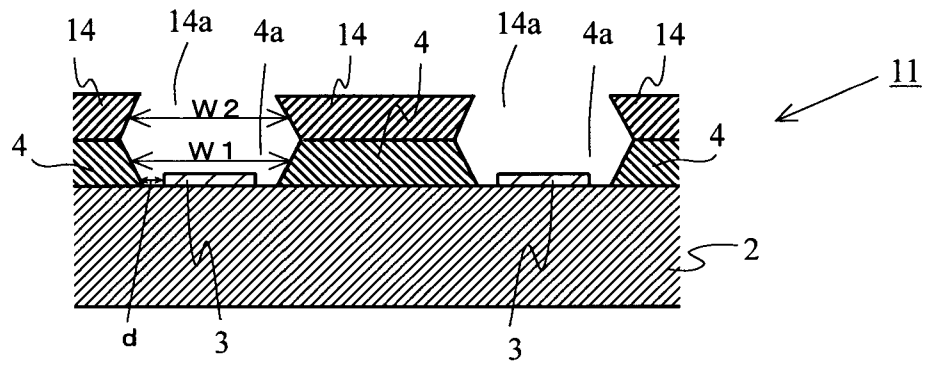
[図5A]



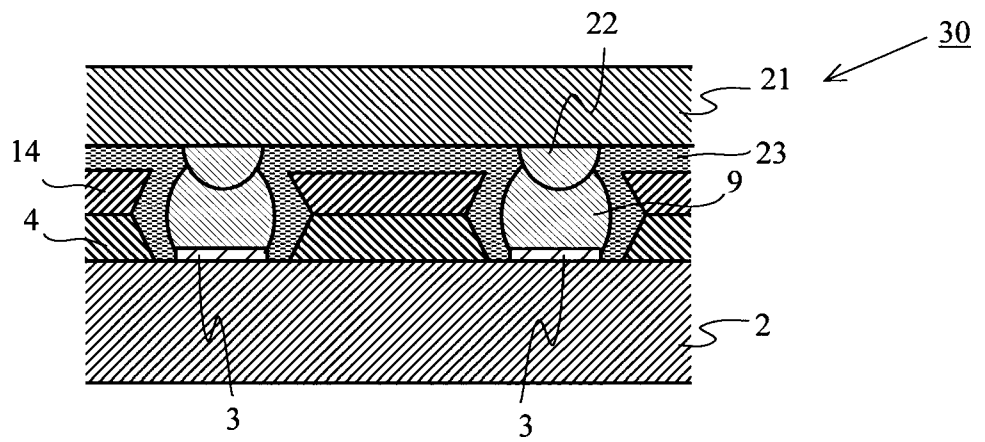
[図5B]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/061099

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/60 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2006-202881 A (Ibiden Co., Ltd.), 03 August, 2006 (03.08.06), Par. Nos. [0020] to [0038]; Figs. 1 to 5 (Family: none)	4, 8 7 6
X Y A	JP 11-191670 A (Victor Company Of Japan, Ltd.), 13 July, 1999 (13.07.99), Full text; all drawings (Family: none)	4-5, 8 1-3, 7 6
Y	JP 6-267964 A (Rohm Co., Ltd.), 22 September, 1994 (22.09.94), Full text; all drawings (Family: none)	1-3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
28 August, 2008 (28.08.08)

Date of mailing of the international search report
09 September, 2008 (09.09.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/061099

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-111840 A (Fujitsu Ltd.), 08 April, 2004 (08.04.04), Full text (Family: none)	1-8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/061099

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The invention in claim 1 and the invention in claims 4-8 are linked merely by the feature of "a circuit board, which is to be mounted with a semiconductor chip by flip-chip mounting by using a solder bump, and is provided with an electrode pad formed on the surface of a board main body with the solder bump formed thereon, and a solder resist layer covering the surface of the board main body with an opening section for exposing the electrode pad". The above-mentioned feature, however, cannot be a special technical feature, since it is disclosed in document JP 6-267964 A (Rohm Co., Ltd.), 22 September, 1994 (22.09.94), in Fig. 2. (Continued to extra sheet.)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/061099

Continuation of Box No.III of continuation of first sheet (2)

Therefore, there is no special technical feature between the invention in claim 1 and the invention in claims 4-8 so as to link them to form a single general inventive concept.

Consequently, it is obvious that the invention in claim 1 and the invention in claims 4-8 do not satisfy the requirement of unity of invention.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/60(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2008年
日本国実用新案登録公報	1996-2008年
日本国登録実用新案公報	1994-2008年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 2006-202881 A（イビデン株式会社）2006.08.03, 段落 0020-0038, 図 1-5（ファミリーなし）	4, 8 7 6
X Y A	JP 11-191670 A（日本ビクター株式会社）1999.07.13, 全文, 全図（ファミリーなし）	4-5, 8 1-3, 7 6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

28.08.2008

国際調査報告の発送日

09.09.2008

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

石野 忠志

電話番号 03-3581-1101 内線 3471

4 R

3547

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 6-267964 A (ローム株式会社) 1994. 09. 22, 全文, 全図 (ファミリーなし)	1-3
A	JP 2004-111840 A (富士通株式会社) 2004. 04. 08, 全文 (ファミリーなし)	1-8

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるときの国際調査機関は認めた。

請求の範囲1に係る発明と請求の範囲4－8に係る発明は、「半田バンプを用いて半導体チップがフリップチップ実装される回路基板であって、基板本体の表面に形成され、前記半田バンプが形成される電極パッドと、前記基板本体の表面を覆い、前記電極パッドを露出させる開口部を有するソルダーレジスト層を備える」という事項でのみ関連していると認める。しかし、上記事項は文献 JP 6-267964 A (ローム株式会社) 1994.09.22, 図2に開示されており、特別な技術的特徴とはなり得ないから、請求の範囲1に係る発明と、請求の範囲4－8に係る発明の間には、単一の一般的発明概念を形成するように連関させるための、特別な技術的特徴は存在しない。

よって、請求の範囲1に係る発明と、請求の範囲4－8に係る発明は発明の単一性の要件を満たしていないことは明らかである。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。