(19)日本国特許庁(JP)

再公表特許(A1)

(11)国際公開番号
WO2017/145331

発行日　平成30年3月1日(2018.3.1)

(43)国際公開日　平成29年8月31日(2017.8.31)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 23/12	(2006.01)	H01L	23/12	301J	4M109
H01L 25/04	(2014.01)	H01L	25/04	Z	5F067
H01L 25/18	(2006.01)	H01L	23/50	R	5F136
H01L 23/50	(2006.01)	H01L	23/34	A	
H01L 23/34	(2006.01)	H01L	23/36	D	

審査請求 有　予備審査請求 未請求　（全 31 頁）　最終頁に続く

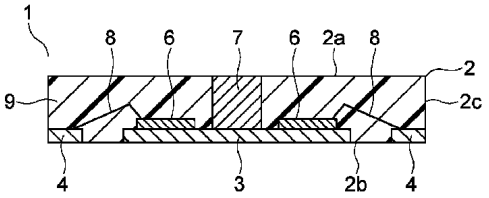
出願番号　特願2016-544882 (P2016-544882)
(21)国際出願番号　PCT/JP2016/055658
(22)国際出願日　平成28年2月25日 (2016.2.25)
(11)特許番号　特許第6180646号 (P6180646)
(45)特許公報発行日　平成29年8月16日 (2017.8.16)

(71)出願人　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目７番３号
(74)代理人　100110423
弁理士　曾我　道治
(74)代理人　100111648
弁理士　梶並　順
(74)代理人　100122437
弁理士　大宅　一宏
(74)代理人　100147566
弁理士　上田　俊一
(74)代理人　100161171
弁理士　吉田　潤一郎
(74)代理人　100161115
弁理士　飯野　智史

最終頁に続く

(54)【発明の名称】半導体パッケージ、及びモジュール

(57)【要約】
半導体パッケージは、パッケージ本体を備えている。パッケージ本体は、第１の端子及びダイパッドを有するリードフレームと、ダイパッドに設けられている２つ以上のＩＣチップと、ダイパッドに設けられている１つ以上の導電性部材と、第１の端子とＩＣチップとを電気的に接続しているワイヤと、リードフレーム、ＩＣチップ、導電性部材及びワイヤを封止しているモールド部材とを有している。パッケージ本体の天面、底面及び側面は、モールド部材によって形成されている。導電性部材はパッケージ本体の天面から露出し、ダイパッドはパッケージ本体の底面から露出している。



【特許請求の範囲】
【請求項１】
パッケージ本体を備え、
前記パッケージ本体は、
第１の端子及びダイパッドを有するリードフレームと、
前記ダイパッドに設けられている２つ以上のＩＣチップと、
前記ダイパッドに設けられている１つ以上の導電性部材と、
前記第１の端子と前記ＩＣチップとを電気的に接続しているワイヤと、
前記リードフレーム、前記ＩＣチップ、前記導電性部材及び前記ワイヤを封止しているモールド部材と
を有し、
前記パッケージ本体の天面、底面及び側面は、前記モールド部材によって形成されており、
前記導電性部材は、前記パッケージ本体の天面から露出し、
前記ダイパッドは、前記パッケージ本体の底面から露出している半導体パッケージ。
【請求項２】
前記パッケージ本体を覆っている導電性薄膜
を備え、
前記リードフレームは、前記第１の端子と異なる第２の端子をさらに有し、
前記第２の端子は、前記パッケージ本体の側面から露出し、
前記導電性薄膜は、前記パッケージ本体の天面及び側面を覆っている状態で、前記導電性部材及び前記第２の端子のそれぞれに電気的に接続されている請求項１に記載の半導体パッケージ。
【請求項３】
前記パッケージ本体の天面に重なっている導電性板
を備え、
前記導電性板は、前記パッケージ本体の天面からの前記導電性部材の露出部分に接触し、
前記導電性板の形状は、前記ダイパッドの形状と同じである請求項１に記載の半導体パッケージ。
【請求項４】
パッケージ本体を備え、
前記パッケージ本体は、
端子パターンが設けられているパッケージ用基板と、
前記パッケージ用基板に設けられているメタルインレイと、
前記メタルインレイに設けられている２つ以上のＩＣチップと、
前記メタルインレイに設けられている１つ以上の導電性部材と、
前記端子パターンと前記ＩＣチップとを電気的に接続しているワイヤと、
前記ＩＣチップ、前記導電性部材及び前記ワイヤを封止しているモールド部材と
を有し、
前記パッケージ本体の天面及び側面は、前記モールド部材によって形成され、
前記パッケージ本体の底面は、前記パッケージ用基板によって形成されており、
前記導電性部材は、前記パッケージ本体の天面から露出し、
前記メタルインレイは、前記パッケージ本体の底面から露出している半導体パッケージ。
【請求項５】
前記パッケージ本体の天面に重なっている導電性板
を備え、
前記導電性板は、前記パッケージ本体の天面からの前記導電性部材の露出部分に接触している請求項１又は請求項４に記載の半導体パッケージ。

【請求項６】
請求項１～請求項５のいずれか一項に記載の半導体パッケージ、
接地導体が設けられ、前記半導体パッケージが実装されているモジュール用基板、及び
前記半導体パッケージを覆っている導電性のカバー
を備えているモジュールであって、
前記接地導体及び前記カバーは、互いに接続された状態で前記半導体パッケージを収容する遮蔽ケースを構成しており、
前記遮蔽ケースの内部に存在している前記導電性部材は、前記接地導体及び前記カバーのそれぞれに電気的に接続されているモジュール。
【請求項７】
前記半導体パッケージと前記カバーとの間には、導電性充填材が介在しており、
前記導電性部材と前記カバーとは、前記導電性充填材を介して電気的に接続されている請求項６に記載のモジュール。
【発明の詳細な説明】
【技術分野】
【０００１】
この発明は、ＩＣチップがモールド部材で封止されている半導体パッケージ、及びモジュールに関するものである。
【背景技術】
【０００２】
従来、高放熱かつ高密度実装を可能にする半導体パッケージとして、ＱＦＮ（Quad Flat No-leaded Package）が広く用いられている。ＱＦＮは、ＩＣチップと、ＩＣチップが搭載されている金属板であるダイボンドエリアと、外部接続用の端子と、ＩＣチップと端子とを接続するワイヤと、これらを封止する樹脂製のモールド部材とを有する表面実装型半導体パッケージである。
【０００３】
従来、１つの半導体パッケージでより大きなシステムを実現するために、複数のＩＣチップを樹脂製のモールド部材でまとめて封止した表面実装型半導体パッケージが知られている。このような半導体パッケージとしては、例えばＭＣＰ（Multi Chip Package）、ＭＣＭ（Multi Chip Module）、ＳｉＰ（System in Package）が挙げられる。複数のＩＣチップをモールド部材でまとめて封止した半導体パッケージでは、個別の機能をそれぞれ有するＩＣチップの電極パッド、ワイヤ及び端子が近接して配置されていることから、各ＩＣチップにおける入出力信号の一部が、それぞれの電極パッド、ワイヤ又は端子を介して電気的に結合しやすくなる。この電気的な結合が、ＩＣチップ間のアイソレーションを劣化させ、ＩＣチップの誤動作を引き起こす原因となる。
【０００４】
従来、ＩＣチップ間のアイソレーションの劣化を抑制するために、ＩＣチップの電極パッド間距離、ワイヤ間距離、端子間距離のそれぞれを一定の距離以上に離した半導体パッケージが提案されている（例えば特許文献１参照）。
【０００５】
また、従来、ＩＣチップに対する外部からの電磁的干渉を抑制するために、基板に実装されているＩＣチップを電磁シールドとしての金属板で覆い、ＩＣチップと金属板との間に樹脂を充填した半導体パッケージも提案されている（例えば特許文献２参照）。
【０００６】
さらに、従来、モジュール用基板にそれぞれ実装された複数の半導体パッケージに対する外部からの電磁的干渉を抑制するために、複数の半導体パッケージを樹脂製のモールド部材でまとめて封止し、モールド部材の外面に導体シールドを設けたモジュールも提案されている。このモジュールでは、モジュール用基板から導体シールドに達する導体柱がモールド部材に設けられている（例えば特許文献３及び４参照）。
【先行技術文献】

【特許文献】
【０００７】
【特許文献１】特開２００５－２５２０９９号公報
【特許文献２】特開２０１５－２１１０９１号公報
【特許文献３】特開２０１２－１９０９１号公報
【特許文献４】ＷＯ２０１５／１１９１５１
【発明の概要】
【発明が解決しようとする課題】
【０００８】
導体シールドで覆われた空間では、その空間のサイズに応じてキャビティ共振が発生する。キャビティ共振の周波数がＩＣチップの動作帯域付近になると、ＩＣチップの電極パッド間距離、ワイヤ間距離、端子間距離の遠近にかかわらず、ＩＣチップにおける入出力信号の一部が、電極パッド、ワイヤ又は端子を介して電気的に結合する。この電気的な結合が、ＩＣチップ間のアイソレーションを劣化させ、ＩＣチップの誤動作を引き起こす原因となる。従って、導体シールドで電磁遮蔽を行っている半導体パッケージでは、導体シールドで覆われた空間、即ちキャビティを小さくすると、キャビティ共振の周波数が高くなってキャビティ共振の周波数がＩＣチップの動作帯域から遠ざかり、ＩＣチップ間のアイソレーションの劣化を抑制することができる。
【０００９】
しかし、特許文献１に示されている従来の半導体パッケージでは、電極パッド間距離、ワイヤ間距離、端子間距離が大きくなっているので、半導体パッケージのサイズが大きくなってしまい、導体シールドで半導体パッケージを覆った場合も、導体シールドで覆われる空間のサイズが大きくなってしまう。これにより、キャビティ共振の周波数がＩＣチップの動作帯域付近又は動作帯域以下になってしまう。
【００１０】
また、特許文献３及び４に示されている従来のモジュールでも、導体シールドで覆われる空間のサイズが半導体パッケージよりも大きくなってしまい、キャビティ共振の周波数を高めることが難しくなってしまう。
【００１１】
一方、半導体パッケージでは、ＩＣチップの発熱による温度上昇に起因した動作不良を防止するために、放熱性を高めることが求められている。しかし、特許文献１に示されている従来の半導体パッケージでは、熱伝導率の低いモールド部材でＩＣチップが封止され、放熱機構が半導体パッケージの底面側にしかないので、ＩＣチップで発生した熱が半導体パッケージの天面から放熱されにくくなり、半導体パッケージの排熱性能が悪くなってしまう。
【００１２】
また、特許文献２に示されている従来の半導体パッケージでは、ＩＣチップが基板に実装されていることから、ＩＣチップから半導体パッケージの底面側へ伝わる熱の量が基板で制限されてしまい、半導体パッケージの底面からの排熱性能が悪くなってしまう。また、金属板とＩＣチップとの間に熱伝導率の低いモールド部材が介在しているので、ＩＣチップで発生した熱が金属板に伝わりにくくなってしまい、半導体パッケージの天面からの排熱性能も悪くなってしまう。
【００１３】
さらに、特許文献３及び４に示されているモジュールでも、熱伝導率の低いモジュール用基板に半導体パッケージが実装されていることから、半導体パッケージ内のＩＣチップで発生した熱がモジュール用基板から放出しにくくなり、モジュールの底面からの排熱性能が悪くなってしまう。また、導体シールドと半導体パッケージとの間に熱伝導率の低いモールド部材が介在しているので、半導体パッケージ内のＩＣチップで発生した熱が導体シールドに伝わりにくくなってしまい、モジュールの天面からの排熱性能も悪くなってしまう。

【００１４】
この発明は、上記のような課題を解決するためになされたものであり、電磁遮蔽の性能の劣化を抑制することができるとともに、排熱性能の向上を図ることができる半導体パッケージ、及びモジュールを得ることを目的とする。
【課題を解決するための手段】
【００１５】
この発明による半導体パッケージ、及びモジュールは、パッケージ本体を備え、パッケージ本体は、第１の端子及びダイパッドを有するリードフレームと、ダイパッドに設けられている２つ以上のＩＣチップと、ダイパッドに設けられている１つ以上の導電性部材と、第１の端子とＩＣチップとを電気的に接続しているワイヤと、リードフレーム、ＩＣチップ、導電性部材及びワイヤを封止しているモールド部材とを有し、パッケージ本体の天面、底面及び側面は、モールド部材によって形成されており、導電性部材は、パッケージ本体の天面から露出し、ダイパッドは、パッケージ本体の底面から露出している。
【００１６】
また、この発明による半導体パッケージ、及びモジュールは、パッケージ本体を備え、パッケージ本体は、端子パターンが設けられているパッケージ用基板と、パッケージ用基板に設けられているメタルインレイと、メタルインレイに設けられている２つ以上のＩＣチップと、メタルインレイに設けられている１つ以上の導電性部材と、端子パターンとＩＣチップとを電気的に接続しているワイヤと、ＩＣチップ、導電性部材及びワイヤを封止しているモールド部材とを有し、パッケージ本体の天面及び側面は、モールド部材によって形成され、パッケージ本体の底面は、パッケージ用基板によって形成されており、導電性部材は、パッケージ本体の天面から露出し、メタルインレイは、パッケージ本体の底面から露出している。
【発明の効果】
【００１７】
この発明による半導体パッケージ、及びモジュールによれば、ＩＣチップで発生する熱を、導電性部材を介してパッケージ本体の天面から放出させるとともに、ダイパッド又はメタルインレイを介してパッケージ本体の底面からも放出させることができ、半導体パッケージ及びモジュールの排熱性能の向上を図ることができる。また、導電性部材を含むグラウンドを、半導体パッケージを貫通させて設けることができる。これにより、キャビティ共振が生じる実効的な空間のサイズを小さくすることができ、半導体パッケージ及びモジュールの電磁遮蔽の性能の劣化を抑制することができる。
【図面の簡単な説明】
【００１８】
【図１】この発明の実施の形態１による半導体パッケージを示す斜視図である。
【図２】図１の半導体パッケージを示す上面図である。
【図３】図２のＩＩＩ－ＩＩＩ線に沿った断面図である。
【図４】図３の半導体パッケージを有するモジュールを示す断面図である。
【図５】比較例１によるモジュールの半導体パッケージを示す斜視図である。
【図６】図５の半導体パッケージを示す上面図である。
【図７】図６のＶＩＩ－ＶＩＩ線に沿った断面図である。
【図８】図７の半導体パッケージを有する比較例１のモジュールを示す断面図である。
【図９】実施の形態１によるモジュールにおけるキャビティ共振の周波数と、比較例１によるモジュールにおけるキャビティ共振の周波数とを比較するグラフである。
【図１０】比較例２によるモジュールを示す断面図である。
【図１１】この発明の実施の形態１による半導体パッケージを有するモジュールの他の例を示す断面図である。
【図１２】この発明の実施の形態２による半導体パッケージを示す上面図である。
【図１３】図１２のＸＩＩＩ－ＸＩＩＩ線に沿った断面図である。
【図１４】この発明の実施の形態３による半導体パッケージを示す斜視図である。

【図１５】図１４の半導体パッケージを示す上面図である。
【図１６】図１５のＸＶＩ－ＸＶＩ線に沿った断面図である。
【図１７】比較例３による半導体パッケージを示す斜視図である。
【図１８】図１７の半導体パッケージを示す上面図である。
【図１９】図１８のＸＩＸ－ＸＩＸ線に沿った断面図である。
【図２０】この発明の実施の形態４による半導体パッケージを示す斜視図である。
【図２１】図２０の半導体パッケージを示す上面図である。
【図２２】図２１のＸＸＩＩ－ＸＸＩＩ線に沿った断面図である。
【図２３】この発明の実施の形態４による半導体パッケージの導電性板の他の例を示す正面図である。
【図２４】この発明の実施の形態４による半導体パッケージの導電性板及び導体柱の他の例を示す正面図である。
【発明を実施するための形態】
【００１９】
以下、この発明の実施の形態について図面を参照して説明する。
実施の形態１．
図１は、この発明の実施の形態１による半導体パッケージを示す斜視図である。また、図２は図１の半導体パッケージを示す上面図、図３は図２のＩＩＩ－ＩＩＩ線に沿った断面図である。本実施の形態では、ＱＦＮ型の半導体パッケージについて説明する。半導体パッケージ１は、パッケージ本体２を有している。この例では、パッケージ本体２がそのまま半導体パッケージ１を構成している。パッケージ本体２は、ダイパッド３及び第１の端子である複数の信号用接続端子４を有するリードフレーム５と、ダイパッド３に設けられている半導体部品である２つ以上（この例では、４個）のＩＣチップ６と、ダイパッド３に設けられている導電性部材である１つの導体柱７と、ＩＣチップ６と複数の信号用接続端子４とを電気的に接続している複数のワイヤ８と、リードフレーム５、ＩＣチップ６、導体柱７及び各ワイヤ８を封止している樹脂製のモールド部材９とを有している。
【００２０】
ダイパッド３及び各信号用接続端子４は、熱伝導性を持つ導電性材料で構成されている。ダイパッド３及び各信号用接続端子４を構成する導電性材料としては、例えば銅又は金等の金属が挙げられる。また、ダイパッド３及び各信号用接続端子４は、金属板に対する打ち抜き加工によって作製されている。ダイパッド３及び各信号用接続端子４は、互いに離れた状態で同一平面上に配置されている。複数の信号用接続端子４は、ダイパッド３の周囲に並べられている。
【００２１】
各ＩＣチップ６は、ダイパッド３の搭載面に設けられている。この例では、ダイパッド３の搭載面における中央領域を囲む周囲領域に各ＩＣチップ６が設けられている。各ＩＣチップ６には、電気接続用の複数の電極パッド６１が設けられている。
【００２２】
導体柱７は、熱伝導性を持つ導電性材料で構成されている。導体柱７を構成する導電性材料としては、例えば銅又は金等の金属が挙げられる。また、導体柱７は、ダイパッド３の各ＩＣチップ６が設けられている搭載面に設けられている。即ち、導体柱７及び各ＩＣチップ６は、ダイパッド３の共通の搭載面に設けられている。この例では、ダイパッド３の搭載面における中央領域に導体柱７が設けられている。また、導体柱７の高さは、各ＩＣチップ６の高さよりも高くなっている。この例では、導体柱７の形状が四角柱とされている。
【００２３】
各ワイヤ８は、熱伝導性を持つ導電性材料で構成されている。各ワイヤ８を構成する導電性材料としては、例えば銅又は金等の金属が挙げられる。また、各ワイヤ８は、信号用接続端子４と電極パッド６１とを連結している。これにより、ＩＣチップ６は、複数のワイヤ８を介して複数の信号用接続端子４に電気的に接続されている。

【００２４】
モールド部材９は、パッケージ本体２の外形を形作っている。これにより、モールド部材９には、パッケージ本体２の天面２ａ、底面２ｂ及び側面２ｃが形成されている。導体柱７は、ダイパッド３の搭載面からパッケージ本体２の天面２ａに達している。これにより、導体柱７の端部は、パッケージ本体２の天面２ａからパッケージ本体２外に露出している。
【００２５】
ダイパッド３は、パッケージ本体２の底面２ｂからパッケージ本体２外に露出している。パッケージ本体２の底面２ｂからは、ダイパッド３の裏面（即ち、ダイパッド３の搭載面と反対側の面）が露出されている。各信号用接続端子４は、パッケージ本体２の底面２ｂ及び側面２ｃのそれぞれからパッケージ本体２外にそれぞれ露出している。
【００２６】
各ＩＣチップ６で発生した熱は、ダイパッド３を介してパッケージ本体２の底面２ｂから放出されるとともに、ダイパッド３及び導体柱７を介してパッケージ本体２の天面２ａから放出される。
【００２７】
図４は、図３の半導体パッケージ１を有するモジュールを示す断面図である。モジュール１１は、複数の半導体パッケージ１と、複数の半導体パッケージ１が実装されているモジュール用基板１２と、複数の半導体パッケージ１をまとめて覆っている導電性のカバー１３とを有している。
【００２８】
モジュール用基板１２の半導体パッケージ１が実装された実装面には、複数の接地端子１４と、複数の信号端子１５とが設けられている。また、モジュール用基板１２には、接地された導電性パターンが接地導体１６として設けられている。複数の接地端子１４は、接地導体１６に接続されている。複数の信号端子１５は、モジュール用基板１２に設けられている図示しない信号線に接続されている。
【００２９】
カバー１３は、熱伝導性を持つ導電性材料で構成されている。カバー１３を構成する材料としては、例えば銅等の金属が挙げられる。また、カバー１３は、モジュール用基板１２の実装面に対向するカバー本体部１３１と、カバー本体部１３１の外周部からモジュール用基板１２に向けて突出しているカバー周壁部１３２と、カバー本体部１３１の中間部からモジュール用基板１２に向けて突出しているカバー仕切り部１３３とを有している。
【００３０】
モジュール用基板１２とカバー１３とで囲まれた空間には、複数の半導体パッケージ１が配置されている。各半導体パッケージ１は、カバー仕切り部１３３で仕切られた空間に個別に配置されている。
【００３１】
カバー周壁部１３２及びカバー仕切り部１３３のそれぞれは、熱伝導性を持つ導電性接続部材１７を介して接地端子１４に接続されている。導電性接続部材１７としては、例えばはんだ等が用いられている。これにより、カバー周壁部１３２及びカバー仕切り部１３３のそれぞれは、各接地端子１４を介して接地導体１６に電気的に接続されている。カバー１３及び接地導体１６は、互いに電気的に接続されることにより、複数の半導体パッケージ１を収容する導電性の遮蔽ケースを構成している。
【００３２】
各半導体パッケージ１は、カバー周壁部１３２及びカバー仕切り部１３３から離して配置されている。これにより、カバー周壁部１３２及びカバー仕切り部１３３のそれぞれと半導体パッケージ１との間には、空間１８が存在している。また、各半導体パッケージ１は、パッケージ本体２の天面２ａをカバー本体部１３１に向け、パッケージ本体２の底面２ｂをモジュール用基板１２に向けた状態で配置されている。さらに、各半導体パッケージ１は、ダイパッド３を接地端子１４に導電性接続部材１７を介して接続し、各信号用接

続端子４を信号端子１５に導電性接続部材１７を介して接続した状態で、モジュール用基板１２に実装されている。これにより、半導体パッケージ１のダイパッド３は、接地導体１６に熱的及び電気的に接続されている。また、各半導体パッケージ１は、パッケージ本体２の天面２ａをカバー本体部１３１に接触させた状態で配置されている。これにより、パッケージ本体２の天面２ａからの導体柱７の露出部分は、カバー本体部１３１に接触している。これにより、半導体パッケージ１の導体柱７は、カバー１３に熱的及び電気的に接続されている。

【００３３】

カバー１３及び接地導体１６で構成された遮蔽ケース内の空間（即ち、キャビティ）には、導体柱７、ダイパッド３、導電性接続部材１７及び接地端子１４で構成された柱状のグラウンドが設けられている。

【００３４】

半導体パッケージ１の各ＩＣチップ６で発生した熱は、ダイパッド３及び導体柱７を介してカバー１３に放出されるとともに、ダイパッド３、導電性接続部材１７及び接地端子１４を介して接地導体１６に放出される。

【００３５】

このような半導体パッケージ１及びモジュール１１では、２つ以上のＩＣチップ６が設けられているダイパッド３に導体柱７が設けられており、ダイパッド３がパッケージ本体２の底面２ｂから露出し、導体柱７がパッケージ本体２の天面２ａから露出しているので、各ＩＣチップ６で発生する熱を、ダイパッド３及び導体柱７を介してパッケージ本体２の天面２ａから放出させるだけでなく、ダイパッド３を介してパッケージ本体２の底面２ｂからも放出させることができる。これにより、半導体パッケージ１の排熱性能の向上を図ることができる。また、モジュール用基板１２に実装された半導体パッケージ１をカバー１３で覆ってモジュール１１を構成した場合、モジュール用基板１２に設けられた接地導体１６とカバー１３とで構成された遮蔽ケース内の空間に、導体柱７及びダイパッド３を含むグラウンドを、半導体パッケージ１を貫通させて設けることができる。これにより、キャビティ共振が生じる実効的な空間（即ち、キャビティ）のサイズを小さくすることができ、キャビティ共振の周波数を高域にシフトさせて半導体パッケージ１のＩＣチップ６の動作帯域からキャビティ共振の周波数を遠ざけることができる。従って、モジュール１１における電磁遮蔽の高周波性能を向上させることができ、半導体パッケージ１及びモジュール１１の電磁遮蔽の性能の劣化を抑制することができる。

【００３６】

ここで、実施の形態１による半導体パッケージ１を有するモジュール１１における電磁遮蔽性能の効果を確認するために、実施の形態１による半導体パッケージ１を有するモジュール１１と、比較例１によるモジュールとのそれぞれについて、キャビティ共振の周波数をシミュレーションにより求めた。

【００３７】

図５は、比較例１によるモジュールの半導体パッケージを示す斜視図である。また、図６は図５の半導体パッケージを示す上面図、図７は図６のＶＩＩ－ＶＩＩ線に沿った断面図である。比較例１による半導体パッケージ１０１のダイパッド３には、２つ以上のＩＣチップ６が設けられているが、導体柱７は設けられていない。また、比較例１におけるダイパッド３に設けられているＩＣチップ６の数、及びダイパッド３の形状は、実施の形態１と異なっている。比較例１による半導体パッケージ１０１の他の構成は、実施の形態１と同様である。

【００３８】

図８は、図７の半導体パッケージ１０１を有する比較例１のモジュールを示す断面図である。比較例１によるモジュールでは、実施の形態１と同様の構成のモジュール用基板１２に比較例１による複数の半導体パッケージ１０１が実装され、実施の形態１と同様の構成のカバー１３で複数の半導体パッケージ１０１が覆われている。各半導体パッケージ１０１の天面は、カバー１３のカバー本体部１３１から離れている。また、比較例１による

モジュールでは、各半導体パッケージ１０１とカバー１３との間に樹脂製のモールド部材１０２が充填されている。比較例１によるモジュールの他の構成は、実施の形態１と同様である。

【００３９】

図９は、実施の形態１によるモジュール１１におけるキャビティ共振の周波数と、比較例１によるモジュールにおけるキャビティ共振の周波数とを比較するグラフである。なお、図９では、互いに異なるＩＣチップ６に接続されている２つの信号用接続端子４の間のキャビティ共振の周波数特性（アイソレーション特性）を、実施の形態１及び比較例１のそれぞれによるモジュールについて示している。また、図９では、比較例１におけるキャビティ共振の周波数を１としたときの比である規格化周波数（Normalized Frequency）を横軸に示している。

【００４０】

図９に示すように、例えば、規格化周波数が１であるときのアイソレーション特性に着目すると、実施の形態１によるモジュール１１におけるキャビティ共振の周波数は、比較例１によるモジュールにおけるキャビティ共振の周波数に対して、１．３倍以上、高域側にシフトしていることが分かる。これにより、実施の形態１による半導体パッケージ１を有するモジュール１１における電磁遮蔽性能の効果が向上していることが確認できる。

【００４１】

また、図８を見ると、比較例１による半導体パッケージ１０１に導体柱が存在していないので、比較例１によるモジュールでは、各ＩＣチップ６からカバー１３への熱の伝導経路が、金属よりも熱伝導率の低いモールド部材９及びモールド部材１０２となり、各ＩＣチップ６で発生した熱がカバー１３に放出しにくくなっていることが分かる。

【００４２】

図１０は、比較例２によるモジュールを示す断面図である。比較例２によるモジュールでは、カバー１３のカバー仕切り部１０３がカバー本体部１３１と別部材になっている。カバー仕切り部１０３は、熱伝導性を持つ導電性材料で構成されている。比較例２では、カバー仕切り部１０３がカバー本体部１３１と異なる金属で構成されている。他の構成は比較例１と同様である。

【００４３】

比較例２によるモジュールでも、カバー仕切り部１０３とカバー本体部１３１とが別部材になっていること以外は比較例１と同じなので、アイソレーション特性及び排熱性能が比較例１と同様の結果となる。

【００４４】

実施の形態１によるモジュール１１では、各ＩＣチップ６で発生した熱が、ダイパッド３及び接地端子１４の順に伝わってモジュール用基板１２の接地導体１６に排出されるだけでなく、ダイパッド３及び導体柱７の順に伝わってカバー１３へも排出される。これにより、実施の形態１によるモジュール１１における排熱性能は、比較例１及び２によるモジュールにおける排熱性能よりも高くなる。

【００４５】

なお、上記の例では、ダイパッド３と接地端子１４とを接続する導電性接続部材１７、及び信号用接続端子４と信号端子１５とを接続する導電性接続部材１７のそれぞれが金属製のはんだとされているが、これに限らず、例えば金属フィラーを樹脂と混合した部材を導電性接続部材１７として用いてもよい。このようにしても、ダイパッド３と接地端子１４との間の熱伝導性及び導電性を確保することができ、半導体パッケージ１及びモジュール１１のアイソレーションの劣化の抑制及び排熱性能の向上を図ることができる。

【００４６】

また、上記の例では、半導体パッケージ１のパッケージ本体２の天面２ａにカバー１３のカバー本体部１３１が接触しているが、パッケージ本体２の天面２ａとカバー本体部１３１との間に導電性充填材１９を介在させてもよい。即ち、図１１は、この発明の実施の形態１による半導体パッケージ１を有するモジュール１１の他の例を示す断面図である。

パッケージ本体２の天面２ａ及び導体柱７のそれぞれとカバー本体部１３１との間には、導電性充填材１９が介在している。導電性充填材１９は、モールド部材９よりも高い熱伝導性を持つシートである。図１１では、導電性充填材１９が、金属フィラーを樹脂と混合した柔軟性の高い導電性シートになっている。また、導電性充填材１９は、パッケージ本体２の天面２ａからの導体柱７の露出部分の形状、及びカバー本体部１３１の形状に合わせて変形して導体柱７及びカバー本体部１３１のそれぞれに密着した状態で、パッケージ本体２の天面２ａとカバー本体部１３１との間に介在している。このように、導体柱７とカバー１３との間に導電性充填材１９を介在させることにより、導体柱７とカバー１３とが導電性充填材１９を介して熱的及び電気的に接続され、導体柱７とカバー１３との間の熱伝導性及び導電性を高めることができる。従って、モジュール１１の排熱性能及びアイソレーション特性の向上をさらに図ることができる。また、半導体パッケージ１及びカバー１３の少なくともいずれかの製造誤差により導体柱７とカバー１３とが接触しにくい状態になっている場合でも、導体柱７とカバー１３との間に導電性充填材１９を介在させることにより、導体柱７とカバー１３との間の熱伝導性及び導電性を高めることができる。これにより、半導体パッケージ１及びモジュール１１を製造しやすくすることができる。なお、導電性充填材１９は、導体柱７とカバー本体部１３１との間で変形可能であれば金属製のシートでもよい。

【００４７】

実施の形態２．

図１２は、この発明の実施の形態２による半導体パッケージを示す上面図である。また、図１３は、図１２のＸＩＩＩ－ＸＩＩＩ線に沿った断面図である。モールド部材９で封止されているリードフレーム５は、ダイパッド３と、第１の端子である複数の信号用接続端子２２と、各信号用接続端子２２と異なる第２の端子である複数の接地用接続端子２３とを有している。ダイパッド３、各信号用接続端子２２及び各接地用接続端子２３は、互いに離れた状態で同一平面上に配置されている。複数の信号用接続端子２２は、ダイパッド３の周囲に並べられている。複数の接地用接続端子２３は、ダイパッド３及び各信号用接続端子２２が配置された領域の周囲に並べられている。

【００４８】

ダイパッド３の裏面及び各信号用接続端子２２のそれぞれは、パッケージ本体２の底面２ｂから露出している。各接地用接続端子２３は、パッケージ本体２の底面２ｂ及び側面２ｃのそれぞれから露出している。

【００４９】

各ワイヤ８は、ＩＣチップ６の電極パッド６１と各信号用接続端子２２とを連結している。これにより、ＩＣチップ６は、複数のワイヤ８を介して複数の信号用接続端子２２に電気的に接続されている。各接地用接続端子２３は、各ＩＣチップ６と電気的に接続されておらず、各ＩＣチップ６から電気的に絶縁されている。

【００５０】

半導体パッケージ１は、パッケージ本体２に加えて、パッケージ本体２を覆っている導電性薄膜２１をさらに有している。導電性薄膜２１は、パッケージ本体２の底面２ｂを除いてパッケージ本体２の天面２ａ及び側面２ｃを覆っている。これにより、導電性薄膜２１は、パッケージ本体２の天面２ａで導体柱７に電気的に接続され、パッケージ本体２の側面２ｃで各接地用接続端子２３に電気的に接続されている。導電性薄膜２１は、熱伝導性を持つ導電性材料で構成されている。導電性薄膜２１を構成する材料としては、例えば銅等の金属が挙げられる。これにより、導体柱７と各接地用接続端子２３とは、導電性薄膜２１を介して互いに熱的及び電気的に接続されている。半導体パッケージ１の他の構成は実施の形態１と同様である。

【００５１】

モジュールに用いられている半導体パッケージ１は、実施の形態１と同様の図４に示すモジュール用基板１２に実装されている。モジュールでは、半導体パッケージ１のダイパッド３及び各接地用接続端子２３がモジュール用基板１２の接地端子１４に導電性接続部

材１７を介して接続されている。これにより、半導体パッケージ１のダイパッド３及び各接地用接続端子２３は、モジュール用基板１２に設けられている接地導体１６に熱的及び電気的に接続されている。また、モジュールでは、半導体パッケージ１の各信号用接続端子２２がモジュール用基板１２の信号端子１５に導電性接続部材１７を介して接続されている。また、モジュールでは、半導体パッケージ１の導電性薄膜２１がカバー１３のカバー本体部１３１に接触している。これにより、導体柱７は、カバー１３に導電性薄膜２１を介して熱的及び電気的に接続されている。モジュールの他の構成は実施の形態１と同様である。

【００５２】

このような半導体パッケージ１及びモジュールでは、パッケージ本体２が導電性薄膜２１で覆われており、導電性薄膜２１が、導体柱７及び各接地用接続端子２３のそれぞれに電気的に接続されているので、導電性薄膜２１によって半導体パッケージ１自体に電磁遮蔽機能を持たせることができる。これにより、半導体パッケージ１及びモジュールの電磁遮蔽の性能の劣化をさらに抑制することができる。また、導体柱７からの熱が導電性薄膜２１を介して各接地用接続端子２３及びカバー１３へ伝わりやすくすることができ、半導体パッケージ１の排熱性能の向上もさらに図ることができる。

【００５３】

なお、上記の例のモジュールにおいて、導電性薄膜２１とカバー本体部１３１との間に導電性充填材１９を介在させてもよい。このようにすれば、導体柱７とカバー１３とを導電性充填材１９を介して電気的に接続させることができ、導体柱７とカバー１３との間の熱伝導性及び導電性をさらに高めることができる。

【００５４】

実施の形態３．

実施の形態１及び２では、半導体パッケージ１にリードフレームが用いられているが、リードフレームの代わりにパッケージ用基板を半導体パッケージに用いてもよい。

【００５５】

即ち、図１４は、この発明の実施の形態３による半導体パッケージ１を示す斜視図である。また、図１５は図１４の半導体パッケージ１を示す上面図、図１６は図１５のＸＶＩ－ＸＶＩ線に沿った断面図である。半導体パッケージ１は、パッケージ本体２を有している。パッケージ本体２は、端子パターン３３が設けられているパッケージ用基板３１と、パッケージ用基板３１に設けられているメタルインレイ３５と、メタルインレイ３５に設けられている２つ以上（この例では、４個）のＩＣチップ６と、メタルインレイ３５に設けられている１つの導体柱７と、ＩＣチップ６と端子パターン３３とを電気的に接続している複数のワイヤ８と、各ＩＣチップ６、導体柱７及び各ワイヤ８を封止している樹脂製のモールド部材９とを有している。

【００５６】

ＩＣチップ６、導体柱７、ワイヤ８及びモールド部材９の構成は、実施の形態１と同様である。パッケージ本体２の天面２ａ及び側面２ｃは、モールド部材９によって形成されている。導体柱７は、パッケージ本体２の天面２ａから露出している。

【００５７】

パッケージ用基板３１には、端子パターン３３が設けられている第１の面と、第１の面と反対側の面であり、パッケージ本体２の底面２ｂを形成する第２の面とが形成されている。パッケージ用基板３１には、第１の面から第２の面に厚さ方向へ貫通する開口部３２が設けられている。メタルインレイ３５は、開口部３２に挿入された状態でパッケージ用基板３１に設けられている。これにより、メタルインレイ３５は、パッケージ本体２の底面２ｂから露出している。

【００５８】

パッケージ用基板３１には、パッケージ用基板３１を厚さ方向に貫通する複数のヴィア３４が設けられている。パッケージ用基板３１の第１の面に設けられている端子パターン３３は、パッケージ用基板３１の第２の面又は内部に設けられている導電性パターン（配

線パターン）にヴィア３４を介して電気的に接続されている。これにより、半導体パッケージ１では、ＩＣチップ６からの信号をパッケージ用基板３１の第１の面側から第２の面側へ取り出すことが可能になっている。

【００５９】

メタルインレイ３５は、熱伝導性を持つ導電性材料で構成されている。メタルインレイ３５を構成する材料としては、例えば銅等の金属が挙げられる。メタルインレイ３５の厚さは、パッケージ用基板３１の厚さよりも厚くなっている。各ＩＣチップ６及び導体柱７は、共通のメタルインレイ３５に設けられている。これにより、各ＩＣチップ６で発生した熱は、メタルインレイ３５を介して導体柱７に伝導される。

【００６０】

モジュールに用いられている半導体パッケージ１は、実施の形態１と同様の図４に示すモジュール用基板１２に実装されている。本実施の形態では、パッケージ用基板３１の第２の面に設けられている導電性パターンが、モジュール用基板１２の信号端子１５（図４）に導電性接続部材１７を介して接続されている。また、本実施の形態では、パッケージ本体２の底面２ｂから露出しているメタルインレイ３５が、モジュール用基板１２の接地端子１４（図４）に導電性接続部材１７を介して接続されている。半導体パッケージ１及びモジュールの他の構成は実施の形態１と同様である。

【００６１】

ここで、実施の形態３と比較するための比較例３について説明する。図１７は、比較例３による半導体パッケージ１０４を示す斜視図である。また、図１８は図１７の半導体パッケージ１０４を示す上面図、図１９は図１８のＸＩＸ－ＸＩＸ線に沿った断面図である。比較例３による半導体パッケージでは、複数の端子パターン３３がパッケージ用基板３１の第１の面に互いに離して設けられている。各端子パターン３３のそれぞれは、パッケージ用基板３１を厚さ方向へ貫通するヴィア３４を介して、第１の面と反対側の第２の面の導電性パターンに電気的に接続されている。

【００６２】

パッケージ用基板３１の第１の面に設けられている複数の端子パターン３３のうち、パッケージ用基板３１の中央に位置する端子パターン３３には板状の導体柱７が設けられ、中央の端子パターン３３の周囲に位置する複数の端子パターン３３には複数のＩＣチップ６がそれぞれ設けられている。各ＩＣチップ６及び導体柱７は、パッケージ用基板３１の第２の面に設けられた互いに異なる導電性パターンに、互いに異なるヴィア３４を介してそれぞれ電気的に接続されている。比較例３による半導体パッケージ１０４の他の構成は実施の形態３と同様である。

【００６３】

比較例３による半導体パッケージ１０４がモジュールに用いられている状態では、信号端子１５と接地端子１４とが設けられた図４に示すモジュール用基板に半導体パッケージ１０４が実装されている。比較例３では、各ＩＣチップ６にヴィア３４を介して接続されている半導体パッケージ１０４の導電性パターンが信号端子１５に導電性接続部材を介して接続され、導体柱７にヴィア３４を介して接続されている半導体パッケージ１０４の導電性パターンが接地端子１４に導電性接続部材を介して接続されている。比較例３によるモジュールの他の構成は実施の形態３と同様である。

【００６４】

比較例３による半導体パッケージ１０４では、互いに独立した複数のヴィア３４に各ＩＣチップ６及び導体柱７が個別に接続されていることから、各ＩＣチップ６で発生した熱が、導体柱７へ伝わりにくく、熱伝導可能な熱量が小さいヴィア３４を伝わることとなり、排熱性能が低くなることが分かる。

【００６５】

これに対して、実施の形態３による半導体パッケージ１では、メタルインレイ３５がパッケージ用基板３１に設けられ、各ＩＣチップ６及び導体柱７が共通のメタルインレイ３５に設けられているので、各ＩＣチップ６で発生する熱を、メタルインレイ３５及び導体

柱７を介してパッケージ本体２の天面２ａから放出させるだけでなく、メタルインレイ３５を介してパッケージ本体２の底面２ｂからも放出させることができる。これにより、半導体パッケージ１の排熱性能の向上を図ることができる。また、モジュール用基板１２に実装された半導体パッケージ１をカバー１３で覆ってモジュールを構成した場合、モジュール用基板１２に設けられた接地導体１６とカバー１３とで構成された遮蔽ケース内の空間に、導体柱７及びメタルインレイ３５を含むグラウンドを、半導体パッケージ１を貫通させて設けることができる。これにより、キャビティ共振が生じる実効的な空間のサイズを小さくすることができ、半導体パッケージ１及びモジュール１１の電磁遮蔽の性能の劣化を抑制することができる。さらに、パッケージ用基板３１が半導体パッケージ１に用いられているので、半導体パッケージ１の設計自由度を向上させることができる。

【００６６】

なお、上記の例のモジュールにおいて、パッケージ本体２の天面２ａとカバー本体部１３１との間に導電性充填材１９を介在させてもよい。このようにすれば、導体柱７とカバー１３とを導電性充填材１９を介して電気的に接続させることができ、導体柱７とカバー１３との間の熱伝導性及び導電性をさらに高めることができる。

【００６７】

実施の形態４．

図２０は、この発明の実施の形態４による半導体パッケージを示す斜視図である。また、図２１は図２０の半導体パッケージを示す上面図、図２２は図２１のＸＸＩＩ－ＸＸＩＩ線に沿った断面図である。半導体パッケージ１は、実施の形態１と同様のパッケージ本体２と、パッケージ本体２の天面２ａに重なっている導電性板４１とを有している。

【００６８】

導電性板４１は、モールド部材９と一体になっている。また、導電性板４１は、熱伝導性を持つ導電性材料で構成されている。導電性板４１を構成する材料としては、例えば銅等の金属が挙げられる。この例では、導電性板４１の形状が、パッケージ本体２の形状に合わせて矩形状となっている。導電性板４１は、パッケージ本体２の天面２ａからの導体柱７の露出部分に接触している。これにより、導体柱７は、導電性板４１に熱的及び電気的に接続されている。半導体パッケージ１の他の構成は実施の形態１と同様である。

【００６９】

半導体パッケージ１がモジュールに用いられている状態では、半導体パッケージ１の導電性板４１がカバー本体部１３１（図４）に接触している。これにより、導体柱７は、導電性板４１を介してカバー１３に熱的及び電気的に接続されている。導電性板４１の線膨張係数は、モールド部材９の線膨張係数よりもカバー１３の線膨張係数に近い値、又はカバー１３の線膨張係数と同じ値となっている。モジュールの他の構成は実施の形態１と同様である。

【００７０】

このような半導体パッケージ１及びモジュールでは、パッケージ本体２の天面２ａに導電性板４１が重なっているので、導体柱７からの熱を導電性板４１に放出させることができ、半導体パッケージ１の排熱性能の向上をさらに図ることができる。また、モジュールでは、半導体パッケージ１の導電性板４１をカバー１３に接触させることができるので、半導体パッケージ１のカバー１３に接触する部分の線膨張係数をカバー１３の線膨張係数に近づけることができる。これにより、モジュールの製造を容易にすることができ、モジュールの信頼性の向上を図ることができる。

【００７１】

なお、上記の例では、導電性板４１を構成する材料が金属であるが、金属フィラーを樹脂と混合した板を導電性板４１として用いてもよい。

【００７２】

また、上記の例では、実施の形態１のパッケージ本体２の天面２ａに導電性板４１が重なっているが、実施の形態３のパッケージ本体２の天面２ａに導電性板４１を重ねてもよい。

【００７３】
また、上記の例のモジュールにおいて、導電性板４１とカバー本体部１３１との間に導電性充填材１９を介在させてもよい。このようにすれば、導体柱７とカバー１３とを導電性充填材１９を介して電気的に接続させることができ、導体柱７とカバー１３との間の熱伝導性及び導電性をさらに高めることができる。

【００７４】
また、上記の例では、導電性板４１の形状が矩形状になっているが、これに限定されない。例えば、導電性板４１の形状をダイパッド３の形状と同じにしてもよい。この場合、金属板に対する打ち抜き加工を行うことにより、図２３に示すように、複数の導電性板４１が繋がった連結体を形成し、導電性板４１の連結体を図２３の破線の位置で切断することにより導電性板４１を製造する。このようにすれば、同じ形状の部材をダイパッド３及び導電性板４１のそれぞれとして用いることができ、製造設備の共通化を図ることができる。

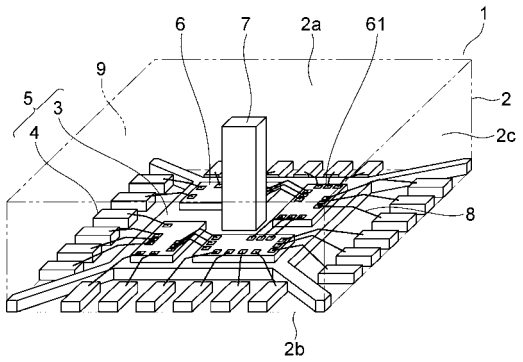
【００７５】
また、上記の例では、導電性板４１と導体柱７とが別部材になっているが、導電性板４１及び導体柱７が共通の金属板によって形成されていてもよい。この場合、図２４に示すように、導電性板４１にU字状の切込み５１を入れ、切込み５１で囲まれた部分を曲げて導電性板４１に対して立たせることにより導体柱７を形成する。このようにすれば、導電性板４１及び導体柱７を共通の金属板で形成することができ、導電性板４１と導体柱７との間の熱伝導性及び導電性の向上を図ることができる。また、半導体パッケージ１の製造工程において導電性板４１及び導体柱７を一体として取り扱うことができ、半導体パッケージ１の製造作業も容易にすることができる。なお、図２４では、ダイパッド３の形状と同じ形状の導電性板４１に切込み５１を入れるようになっているが、導電性板４１の形状はダイパッド３の形状と同じである必要はなく、導電性板４１の形状を、例えばパッケージ本体２の形状と同じ矩形状にしてもよい。

【００７６】
また、各上記実施の形態では、ダイパッド３又はメタルインレイ３５に設けられている導体柱７の数が１つとなっているが、これに限定されず、ダイパッド３又はメタルインレイ３５に設けられている導体柱７の数を２つ以上にしてもよい。

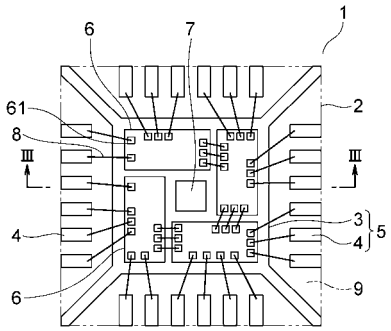
【００７７】
また、各上記実施の形態では、導体柱７を構成する材料が金属とされているが、これに限らず、例えば金属フィラーを樹脂と混合した部材を導体柱７として用いてもよい。

【００７８】
本願発明は、発明の範囲内において、各上記実施の形態の自由な組み合わせ、あるいは各上記実施の形態の任意の構成要素の変形、もしくは各上記実施の形態において任意の構成要素の省略が可能である。

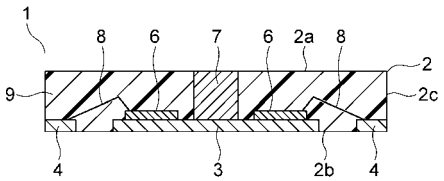
【図１】


6
7
2a
61
1
9
5
3
4
2
2c
8
2b

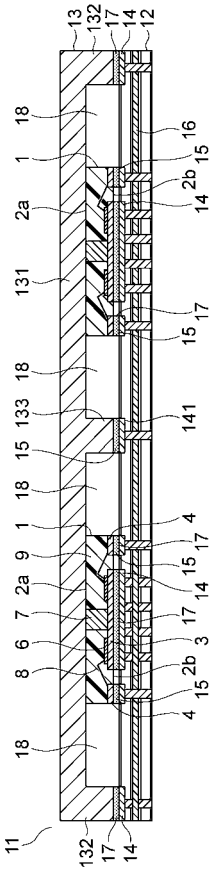
【図２】


6
7
1
61
8
2
Ⅲ
Ⅲ
3
4
5
4
6
9

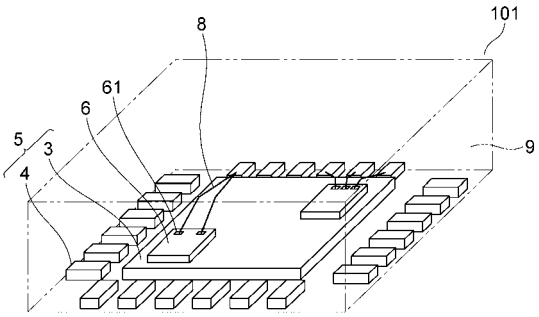
【図３】


1
8
6
7
6
2a
8
2
9
2c
4
3
2b
4

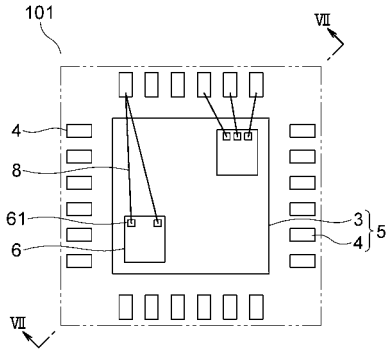
【図４】


13
132
17
14
12
18
1
16
15
2b
2a
14
131
17
15
18
133
141
15
18
1
4
9
17
15
2a
14
7
17
6
3
8
2b
15
4
18
11
132
17
14

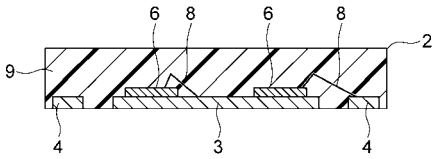
【図５】


101
8
61
6
5
3
4
9

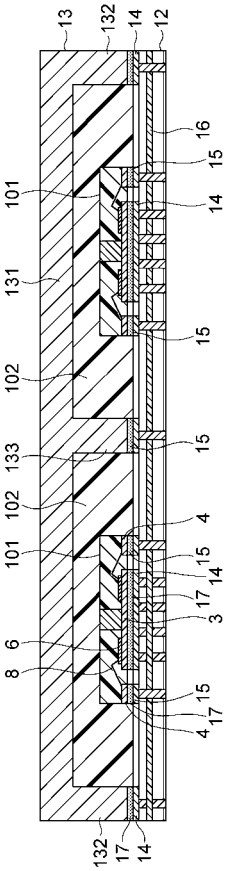
【図６】


101
Ⅶ
4
8
61
6
3
4
5
Ⅶ

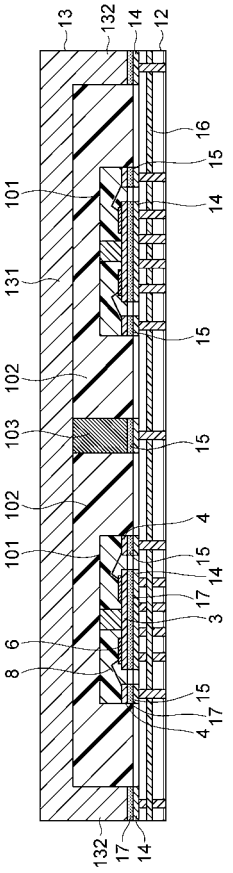
【図７】


6
8
6
8
2
9
4
3
4

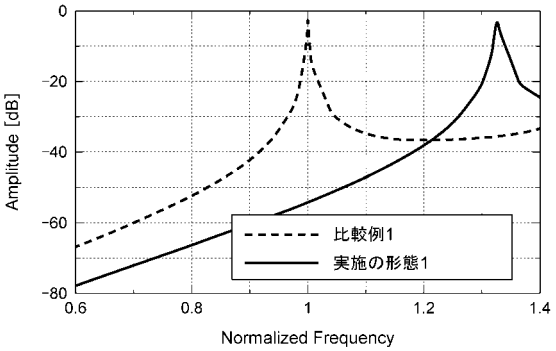
【図８】


13
132
14
12
16
15
14
101
131
15
102
133
15
102
4
101
15
14
17
3
6
8
15
17
4
132
17
14

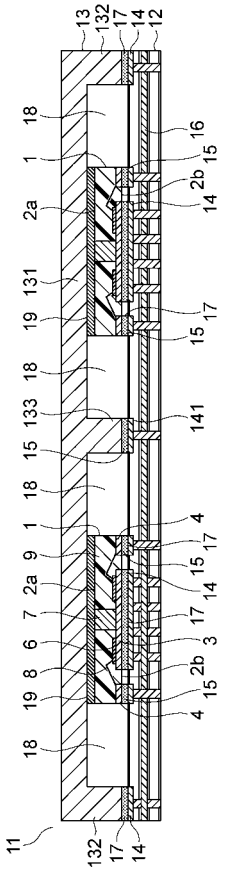
【図９】



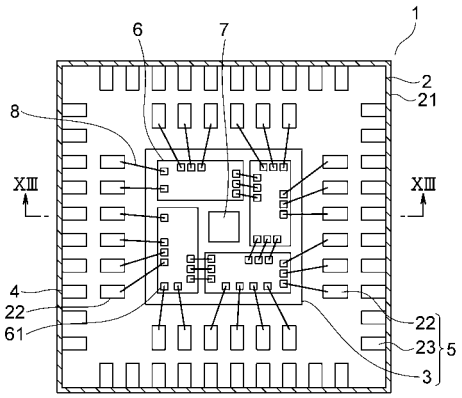
【図１０】



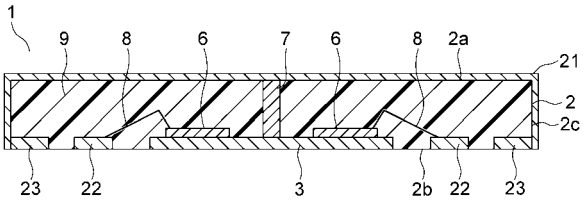
【図１１】



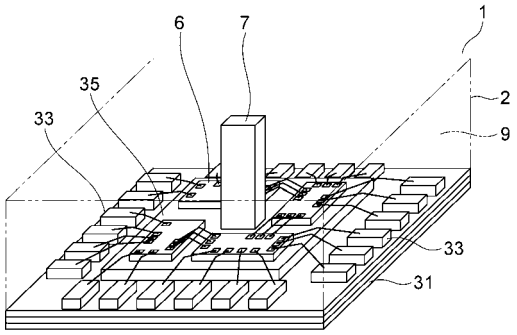
【図１２】



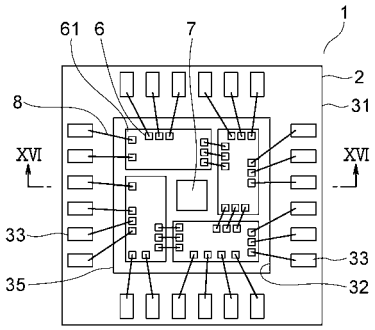
【図１３】



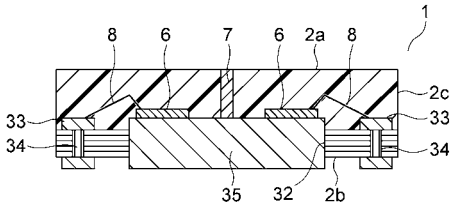
【図１４】



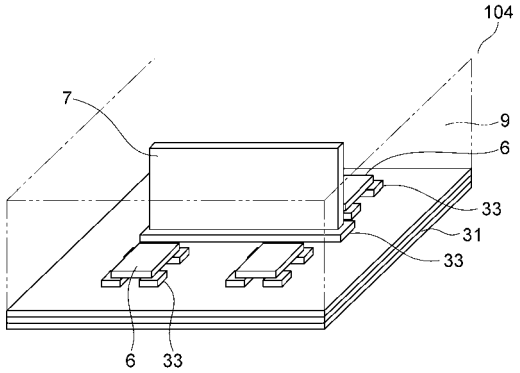
【図１５】



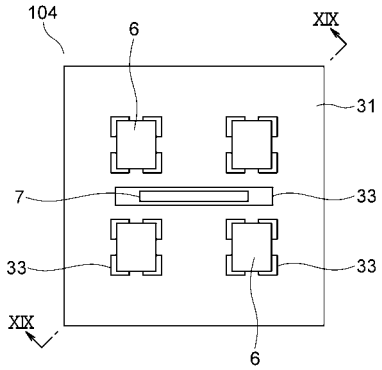
【図１６】



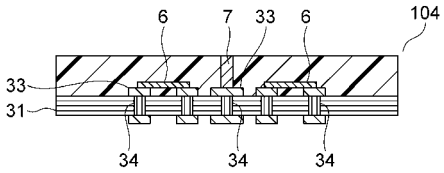
【図１７】



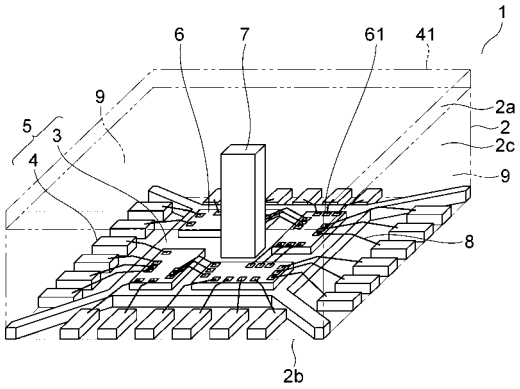
【図１８】



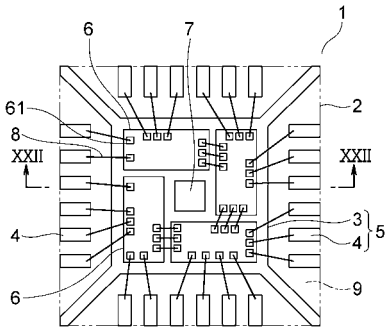
【図１９】



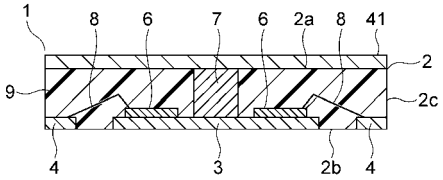
【図２０】



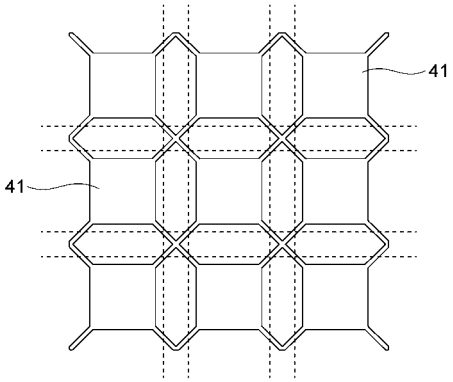
【図２１】



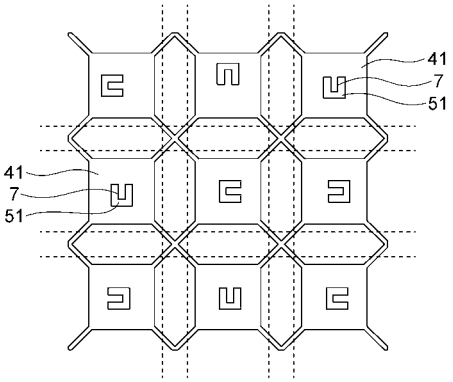
【図２２】



【図２３】



【図２４】



【手続補正書】
【提出日】平成28年7月6日(2016.7.6)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
パッケージ本体を備え、
前記パッケージ本体は、
第１の端子及びダイパッドを有するリードフレームと、
前記ダイパッドに設けられている２つ以上のＩＣチップと、
前記ダイパッドに設けられている１つ以上の導電性部材と、
前記第１の端子と前記ＩＣチップとを電気的に接続しているワイヤと、
前記リードフレーム、前記ＩＣチップ、前記導電性部材及び前記ワイヤを封止しているモールド部材と
を有し、
前記パッケージ本体の天面、底面及び側面は、前記モールド部材によって形成されており、
前記導電性部材は、前記パッケージ本体の天面から露出し、
前記第１の端子及び前記ダイパッドは、前記パッケージ本体の底面から露出している半導体パッケージ。
【請求項２】
パッケージ本体、及び
前記パッケージ本体を覆っている導電性薄膜
を備え、
前記パッケージ本体は、
第１の端子及びダイパッドを有するリードフレームと、
前記ダイパッドに設けられている２つ以上のＩＣチップと、
前記ダイパッドに設けられている１つ以上の導電性部材と、
前記第１の端子と前記ＩＣチップとを電気的に接続しているワイヤと、
前記リードフレーム、前記ＩＣチップ、前記導電性部材及び前記ワイヤを封止しているモールド部材と
を有し、
前記パッケージ本体の天面、底面及び側面は、前記モールド部材によって形成されており、
前記導電性部材は、前記パッケージ本体の天面から露出し、
前記ダイパッドは、前記パッケージ本体の底面から露出しており、
前記リードフレームは、前記第１の端子と異なる第２の端子をさらに有し、
前記第２の端子は、前記パッケージ本体の側面から露出し、
前記導電性薄膜は、前記パッケージ本体の天面及び側面を覆っている状態で、前記導電性部材及び前記第２の端子のそれぞれに電気的に接続されている半導体パッケージ。
【請求項３】
前記パッケージ本体の天面に重なっている導電性板
を備え、
前記導電性板は、前記パッケージ本体の天面からの前記導電性部材の露出部分に接触し、
前記導電性板の形状は、前記ダイパッドの形状と同じである請求項１に記載の半導体パッケージ。

【請求項４】
パッケージ本体を備え、
前記パッケージ本体は、
第１の端子パターン及び第２の端子パターンが設けられているパッケージ用基板と、
前記パッケージ用基板に設けられているメタルインレイと、
前記メタルインレイに設けられている２つ以上のＩＣチップと、
前記メタルインレイに設けられている１つ以上の導電性部材と、
前記第１の端子パターンと前記第２の端子パターンとを電気的に接続しているヴィアと、
前記端子パターンと前記ＩＣチップとを電気的に接続しているワイヤと、
前記ＩＣチップ、前記導電性部材及び前記ワイヤを封止しているモールド部材と
を有し、
前記パッケージ本体の天面及び側面は、前記モールド部材によって形成され、
前記パッケージ本体の底面は、前記パッケージ用基板によって形成されており、
前記導電性部材は、前記パッケージ本体の天面から露出し、
前記第２の端子パターン及び前記メタルインレイは、前記パッケージ本体の底面から露出している半導体パッケージ。
【請求項５】
前記パッケージ本体の天面に重なっている導電性板
を備え、
前記導電性板は、前記パッケージ本体の天面からの前記導電性部材の露出部分に接触している請求項１又は請求項４に記載の半導体パッケージ。
【請求項６】
請求項１～請求項５のいずれか一項に記載の半導体パッケージ、
接地導体が設けられ、前記半導体パッケージが実装されているモジュール用基板、及び
前記半導体パッケージを覆っている導電性のカバー
を備えているモジュールであって、
前記接地導体及び前記カバーは、互いに接続された状態で前記半導体パッケージを収容する遮蔽ケースを構成しており、
前記遮蔽ケースの内部に存在している前記導電性部材は、前記接地導体及び前記カバーのそれぞれに電気的に接続されているモジュール。
【請求項７】
前記半導体パッケージと前記カバーとの間には、導電性充填材が介在しており、
前記導電性部材と前記カバーとは、前記導電性充填材を介して電気的に接続されている請求項６に記載のモジュール。
【手続補正書】
【提出日】平成29年1月5日(2017.1.5)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
パッケージ本体、及び
前記パッケージ本体を覆っている導電性薄膜
を備え、
前記パッケージ本体は、
第１の端子及びダイパッドを有するリードフレームと、
前記ダイパッドに設けられている２つ以上のＩＣチップと、

前記ダイパッドに設けられている１つ以上の導電性部材と、
前記第１の端子と前記ＩＣチップとを電気的に接続しているワイヤと、
前記リードフレーム、前記ＩＣチップ、前記導電性部材及び前記ワイヤを封止しているモールド部材と
を有し、
前記パッケージ本体の天面、底面及び側面は、前記モールド部材によって形成されており、
前記導電性部材は、前記パッケージ本体の天面から露出し、
前記ダイパッドは、前記パッケージ本体の底面から露出しており、
前記リードフレームは、前記第１の端子と異なる第２の端子をさらに有し、
前記第２の端子は、前記パッケージ本体の側面から露出し、
前記導電性薄膜は、前記パッケージ本体の天面及び側面を覆っている状態で、前記導電性部材及び前記第２の端子のそれぞれに電気的に接続されている半導体パッケージ。
【請求項２】
パッケージ本体を有する半導体パッケージ、
接地導体が設けられ、前記半導体パッケージが実装されているモジュール用基板、及び
前記半導体パッケージを覆っている導電性のカバー
を備えているモジュールであって、
前記パッケージ本体は、
第１の端子及びダイパッドを有するリードフレームと、
前記ダイパッドに設けられている２つ以上のＩＣチップと、
前記ダイパッドに設けられている１つ以上の導電性部材と、
前記第１の端子と前記ＩＣチップとを電気的に接続しているワイヤと、
前記リードフレーム、前記ＩＣチップ、前記導電性部材及び前記ワイヤを封止しているモールド部材と
を有し、
前記パッケージ本体の天面、底面及び側面は、前記モールド部材によって形成されており、
前記導電性部材は、前記パッケージ本体の天面から露出し、
前記第１の端子及び前記ダイパッドは、前記パッケージ本体の底面から露出し、
前記接地導体及び前記カバーは、互いに接続された状態で前記半導体パッケージを収容する遮蔽ケースを構成しており、
前記遮蔽ケースの内部に存在している前記導電性部材は、前記接地導体及び前記カバーのそれぞれに電気的に接続されているモジュール。
【請求項３】
前記リードフレームは、前記第１の端子と異なる第２の端子をさらに有し、
前記第２の端子は、前記パッケージ本体の側面から露出し、
前記導電性薄膜は、前記パッケージ本体の天面及び側面を覆っている状態で、前記導電性部材及び前記第２の端子のそれぞれに電気的に接続されている請求項２に記載のモジュール。
【請求項４】
前記パッケージ本体の天面に重なっている導電性板
を備え、
前記導電性板は、前記パッケージ本体の天面からの前記導電性部材の露出部分に接触し、
前記導電性板の形状は、前記ダイパッドの形状と同じである請求項２に記載のモジュール。
【請求項５】
パッケージ本体を有する半導体パッケージ、
接地導体が設けられ、前記半導体パッケージが実装されているモジュール用基板、及び

前記半導体パッケージを覆っている導電性のカバー
を備えているモジュールであって、
前記パッケージ本体は、
第１の端子パターン及び第２の端子パターンが設けられているパッケージ用基板と、
前記パッケージ用基板に設けられているメタルインレイと、
前記メタルインレイに設けられている２つ以上のＩＣチップと、
前記メタルインレイに設けられている１つ以上の導電性部材と、
前記第１の端子パターンと前記第２の端子パターンとを電気的に接続しているヴィアと、
前記端子パターンと前記ＩＣチップとを電気的に接続しているワイヤと、
前記ＩＣチップ、前記導電性部材及び前記ワイヤを封止しているモールド部材と
を有し、
前記パッケージ本体の天面及び側面は、前記モールド部材によって形成され、
前記パッケージ本体の底面は、前記パッケージ用基板によって形成されており、
前記導電性部材は、前記パッケージ本体の天面から露出し、
前記第２の端子パターン及び前記メタルインレイは、前記パッケージ本体の底面から露出し、
前記接地導体及び前記カバーは、互いに接続された状態で前記半導体パッケージを収容する遮蔽ケースを構成しており、
前記遮蔽ケースの内部に存在している前記導電性部材は、前記接地導体及び前記カバーのそれぞれに電気的に接続されているモジュール。
【請求項６】
前記半導体パッケージは、前記パッケージ本体の天面に重なっている導電性板
を有し、
前記導電性板は、前記パッケージ本体の天面からの前記導電性部材の露出部分に接触している請求項２又は請求項５に記載のモジュール。
【請求項７】
前記半導体パッケージと前記カバーとの間には、導電性充填材が介在しており、
前記導電性部材と前記カバーとは、前記導電性充填材を介して電気的に接続されている請求項２～請求項６のいずれか一項に記載のモジュール。
【手続補正書】
【提出日】平成29年4月26日(2017.4.26)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
パッケージ本体、及び
前記パッケージ本体を覆っている導電性薄膜
を備え、
前記パッケージ本体は、
第１の端子及びダイパッドを有するリードフレームと、
前記ダイパッドに設けられている２つ以上のＩＣチップと、
前記ダイパッドに設けられている１つ以上の導電性部材と、
前記第１の端子と前記ＩＣチップとを電気的に接続しているワイヤと、
前記リードフレーム、前記ＩＣチップ、前記導電性部材及び前記ワイヤを封止しているモールド部材と
を有し、

前記パッケージ本体の天面、底面及び側面は、前記モールド部材によって形成されており、
前記導電性部材は、前記パッケージ本体の天面から露出し、
前記ダイパッドは、前記パッケージ本体の底面から露出しており、
前記リードフレームは、前記第１の端子と異なる第２の端子をさらに有し、
前記第２の端子は、前記パッケージ本体の側面から露出し、
前記導電性薄膜は、前記パッケージ本体の天面及び側面を覆っている状態で、前記導電性部材及び前記第２の端子のそれぞれに電気的に接続されている半導体パッケージ。
【請求項２】
パッケージ本体を有する半導体パッケージ、
接地導体が設けられ、前記半導体パッケージが実装されているモジュール用基板、及び
前記半導体パッケージを覆っている導電性のカバー
を備えているモジュールであって、
前記パッケージ本体は、
第１の端子及びダイパッドを有するリードフレームと、
前記ダイパッドに設けられている２つ以上のＩＣチップと、
前記ダイパッドに設けられている１つ以上の導電性部材と、
前記第１の端子と前記ＩＣチップとを電気的に接続しているワイヤと、
前記リードフレーム、前記ＩＣチップ、前記導電性部材及び前記ワイヤを封止しているモールド部材と
を有し、
前記パッケージ本体の天面、底面及び側面は、前記モールド部材によって形成されており、
前記導電性部材は、前記パッケージ本体の天面から露出し、
前記第１の端子及び前記ダイパッドは、前記パッケージ本体の底面から露出し、
前記接地導体及び前記カバーは、互いに接続された状態で前記半導体パッケージを収容する遮蔽ケースを構成しており、
前記遮蔽ケースの内部に存在している前記導電性部材は、前記接地導体及び前記カバーのそれぞれに電気的に接続されているモジュール。
【請求項３】
前記半導体パッケージは、前記パッケージ本体を覆っている導電性薄膜をさらに有し、
前記リードフレームは、前記第１の端子と異なる第２の端子をさらに有し、
前記第２の端子は、前記パッケージ本体の側面から露出し、
前記導電性薄膜は、前記パッケージ本体の天面及び側面を覆っている状態で、前記導電性部材及び前記第２の端子のそれぞれに電気的に接続されている請求項２に記載のモジュール。
【請求項４】
前記パッケージ本体の天面に重なっている導電性板
を備え、
前記導電性板は、前記パッケージ本体の天面からの前記導電性部材の露出部分に接触し、
前記導電性板の形状は、前記ダイパッドの形状と同じである請求項２に記載のモジュール。
【請求項５】
パッケージ本体を有する半導体パッケージ、
接地導体が設けられ、前記半導体パッケージが実装されているモジュール用基板、及び
前記半導体パッケージを覆っている導電性のカバー
を備えているモジュールであって、
前記パッケージ本体は、
第１の端子パターン及び第２の端子パターンが設けられているパッケージ用基板と、

前記パッケージ用基板に設けられているメタルインレイと、
前記メタルインレイに設けられている２つ以上のＩＣチップと、
前記メタルインレイに設けられている１つ以上の導電性部材と、
前記第１の端子パターンと前記第２の端子パターンとを電気的に接続しているヴィアと、
前記第１の端子パターンと前記ＩＣチップとを電気的に接続しているワイヤと、
前記ＩＣチップ、前記導電性部材及び前記ワイヤを封止しているモールド部材と
を有し、
前記パッケージ本体の天面及び側面は、前記モールド部材によって形成され、
前記パッケージ本体の底面は、前記パッケージ用基板によって形成されており、
前記導電性部材は、前記パッケージ本体の天面から露出し、
前記第２の端子パターン及び前記メタルインレイは、前記パッケージ本体の底面から露出し、
前記接地導体及び前記カバーは、互いに接続された状態で前記半導体パッケージを収容する遮蔽ケースを構成しており、
前記遮蔽ケースの内部に存在している前記導電性部材は、前記接地導体及び前記カバーのそれぞれに電気的に接続されているモジュール。

【請求項６】
前記半導体パッケージは、前記パッケージ本体の天面に重なっている導電性板
を有し、
前記導電性板は、前記パッケージ本体の天面からの前記導電性部材の露出部分に接触している請求項２又は請求項５に記載のモジュール。

【請求項７】
前記半導体パッケージと前記カバーとの間には、導電性充填材が介在しており、
前記導電性部材と前記カバーとは、前記導電性充填材を介して電気的に接続されている請求項２～請求項６のいずれか一項に記載のモジュール。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/055658

A. CLASSIFICATION OF SUBJECT MATTER
H01L23/12(2006.01)i, *H01L23/00*(2006.01)i, *H01L23/02*(2006.01)i, *H01L23/28*(2006.01)i, *H01L23/36*(2006.01)i, *H01L23/50*(2006.01)i, *H01L25/04*(2014.01)i, *H01L25/18*(2006.01)i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
Minimum documentation searched (classification system followed by classification symbols)
H01L23/12, H01L23/00, H01L23/02, H01L23/28, H01L23/36, H01L23/50, H01L25/04, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016
Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2009-206204 A (Sharp Corp.), 10 September 2009 (10.09.2009), paragraphs [0017], [0042], [0046] to [0052]; fig. 3 to 4 (Family: none)	1,3-7 2
Y	JP 2009-105389 A (Rohm Co., Ltd.), 14 May 2009 (14.05.2009), paragraphs [0019], [0022], [0032] to [0035]; fig. 4 to 5 & US 2009/0095979 A1 paragraphs [0028], [0031], [0041] to [0044]; fig. 4 to 5	1,3-7

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
25 April 2016 (25.04.16)	17 May 2016 (17.05.16)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2015)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/055658

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 116180/1990(Laid-open No. 72648/1992) (Oki Electric Industry Co., Ltd.), 26 June 1992 (26.06.1992), specification, page 9, lines 4 to 11 (Family: none)	1,3-7
Y	JP 9-172114 A (NEC Engineering, Ltd.), 30 June 1997 (30.06.1997), paragraphs [0008] to [0010]; fig. 1 to 3 (Family: none)	1,3-7
Y	JP 10-125830 A (Hitachi, Ltd.), 15 May 1998 (15.05.1998), paragraphs [0010] to [0011], [0015]; fig. 1 (Family: none)	6-7
Y	JP 2013-26296 A (Daikin Industries, Ltd.), 04 February 2013 (04.02.2013), paragraphs [0002] to [0005], [0019] to [0020]; fig. 1, 5(b) (Family: none)	4-5
A	JP 2012-28484 A (Panasonic Corp.), 09 February 2012 (09.02.2012), paragraphs [0073] to [0080]; fig. 14 to 15 (Family: none)	2
A	JP 2014-204022 A (Mitsubishi Electric Corp.), 27 October 2014 (27.10.2014), paragraph [0025]; fig. 5 (Family: none)	6-7
A	WO 2012/011210 A1 (Panasonic Corp.), 26 January 2012 (26.01.2012), paragraphs [0041] to [0044]; fig. 3 to 4 & US 2012/0038033 A1 paragraphs [0043] to [0049]; fig. 3 & CN 102893396 A	1-7
A	JP 2012-19091 A (Sony Corp.), 26 January 2012 (26.01.2012), paragraphs [0023] to [0025]; fig. 1 to 2 & US 2012/0008288 A1 paragraphs [0029] to [0031]; fig. 1 to 2 & EP 2405731 A2 & CN 102315199 A & KR 10-2012-0005376 A	1-7

国際調査報告	国際出願番号　ＰＣＴ／ＪＰ２０１６／０５５６５８

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L23/12(2006.01)i, H01L23/00(2006.01)i, H01L23/02(2006.01)i, H01L23/28(2006.01)i, H01L23/36(2006.01)i, H01L23/50(2006.01)i, H01L25/04(2014.01)i, H01L25/18(2006.01)i

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L23/12, H01L23/00, H01L23/02, H01L23/28, H01L23/36, H01L23/50, H01L25/04, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１６年
日本国実用新案登録公報	１９９６－２０１６年
日本国登録実用新案公報	１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y A	JP 2009-206204 A (シャープ株式会社) 2009.09.10, 段落[0017],[0042],[0046]-[0052],図 3-4 (ファミリーなし)	1,3-7 2
Y	JP 2009-105389 A (ローム株式会社) 2009.05.14, 段落[0019],[0022],[0032]-[0035],図 4-5 & US 2009/0095979 A1, 段落[0028],[0031],[0041]-[0044],図 4-5	1,3-7

☑ Ｃ欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２５．０４．２０１６	１７．０５．２０１６

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）		
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	多賀　和宏	5D	5588
	電話番号　０３－３５８１－１１０１　内線　３５５１		

国際調査報告 | 国際出願番号 PCT／JP2016／055658

C（続き）. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	日本国実用新案登録出願 2-116180 号(日本国実用新案登録出願公開 4-72648 号)の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム（沖電気工業株式会社) 1992.06.26, 明細書第 9 頁第 4 行-第 11 行（ファミリーなし)	1,3-7
Y	JP 9-172114 A (日本電気エンジニアリング株式会社) 1997.06.30, 段落[0008]-[0010],図 1-3 (ファミリーなし)	1,3-7
Y	JP 10-125830 A (株式会社日立製作所) 1998.05.15, 段落[0010]-[0011],[0015],図 1 (ファミリーなし)	6-7
Y	JP 2013-26296 A (ダイキン工業株式会社) 2013.02.04, 段落[0002]-[0005],[0019]-[0020],図 1,5(b) (ファミリーなし)	4-5
A	JP 2012-28484 A (パナソニック株式会社) 2012.02.09, 段落[0073]-[0080],図 14-15 (ファミリーなし)	2
A	JP 2014-204022 A (三菱電機株式会社) 2014.10.27, 段落[0025],図 5 (ファミリーなし)	6-7
A	WO 2012/011210 A1 (パナソニック株式会社) 2012.01.26, 段落[0041]-[0044],図 3-4 & US 2012/0038033 A1, 段落[0043]-[0049],図 3 & CN 102893396 A	1-7
A	JP 2012-19091 A (ソニー株式会社) 2012.01.26, 段落[0023]-[0025], 図 1-2 & US 2012/0008288 A1, 段落[0029]-[0031],図 1-2 & EP 2405731 A2 & CN 102315199 A & KR 10-2012-0005376 A	1-7

フロントページの続き

(51)Int.Cl.			F I			テーマコード（参考）
H01L	*23/36*	*(2006.01)*	H01L	23/00	C	
H01L	*23/00*	*(2006.01)*	H01L	23/28	B	
H01L	*23/28*	*(2006.01)*				

(81)指定国 AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JP,KE,KG,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US

（出願人による申告）平成２７年度、総務省「第５世代移動通信システム実現に向けた研究開発　高周波数帯・広帯域超多素子アンテナによる高速・低消費電力無線アクセス技術の研究開発」委託契約、産業技術力強化法第１９条の適用を受ける特許出願

(72)発明者　吉岡　秀浩
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内
(72)発明者　廣田　明道
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内
(72)発明者　米田　尚史
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内
(72)発明者　石橋　秀則
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内
(72)発明者　新庄　真太郎
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内
(72)発明者　石田　清
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内
(72)発明者　森重　秀樹
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内

Ｆターム(参考) 4M109 AA01 BA01 CA21 DB02
5F067 AA03 AB04 BE04 CA05 CA07 CB02
5F136 BC03 DA07 DA44

（注）この公表は、国際事務局（ＷＩＰＯ）により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願（日本語実用新案登録出願）の国際公開の効果は、特許法第１８４条の１０第１項(実用新案法第４８条の１３第２項）により生ずるものであり、本掲載とは関係ありません。