

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5326628号
(P5326628)

(45) 発行日 平成25年10月30日(2013.10.30)

(24) 登録日 平成25年8月2日(2013.8.2)

(51) Int.Cl. F I
G05F 1/56 (2006.01) G O 5 F 1/56 3 1 0 G
H02M 3/07 (2006.01) H O 2 M 3/07
H03F 1/30 (2006.01) H O 3 F 1/30

請求項の数 5 (全 20 頁)

(21) 出願番号 特願2009-30286 (P2009-30286)
 (22) 出願日 平成21年2月12日(2009.2.12)
 (65) 公開番号 特開2009-240153 (P2009-240153A)
 (43) 公開日 平成21年10月15日(2009.10.15)
 審査請求日 平成23年10月6日(2011.10.6)
 (31) 優先権主張番号 特願2008-51639 (P2008-51639)
 (32) 優先日 平成20年3月3日(2008.3.3)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005223
 富士通株式会社
 神奈川県川崎市中原区上小田中4丁目1番
 1号
 (74) 代理人 100108187
 弁理士 横山 淳一
 (72) 発明者 川▲崎▼ 健一
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

審査官 大山 広人

最終頁に続く

(54) 【発明の名称】 電子回路装置

(57) 【特許請求の範囲】

【請求項1】

電源供給線と、
 負荷回路と、
 該電源供給線の電圧値と閾値との比較結果を出力する電流供給制御部と、
 該電源供給線から該負荷回路へ電流を供給し、該負荷回路への電流供給中に該電流供給
 制御部の比較結果に応じて電流量を変化させる電流供給回路と、
 を有し、

該電流供給制御部は、該負荷回路の動作を許可する動作許可信号を出力する制御部と、
 該電源供給線の電圧値と該閾値との比較結果に基づき、該比較結果に基づいた論理を有す
 る検知信号を出力する検知部と、電圧値が連続的に変化する駆動信号を出力または該検知
 信号の論理に応じて該駆動信号の出力を停止し、該動作許可信号を受信している場合には
 、該検知信号の論理を無視する駆動部とを有し、

該電流供給回路は、該電源供給線から該負荷回路へ流れる該電流量を該駆動信号の電圧
 値に応じて変化させ、該駆動信号の出力が停止している間該駆動信号の電圧変動を制限す
 る容量成分を有することを特徴とする電子回路装置。

【請求項2】

電源供給線と、
 負荷回路と、
 該電源供給線の電圧値と閾値との比較結果を出力する電流供給制御部と、

10

20

該電源供給線から該負荷回路へ電流を供給し、該負荷回路への電流供給中に該電流供給制御部の比較結果に応じて電流量を変化させる電流供給回路と、

を有し、

該電流供給制御部は、該電源供給線の電圧値と該閾値との比較結果に基づき、該比較結果に基づいた論理を有する検知信号を出力し、該電源供給線の電圧値に応じて発信周期が変化する発信回路と該発信周期と判定基準値との比較により該電圧値と該閾値との比較結果を出し、該比較結果に応じた論理を有する検知信号を出力する検知部と、電圧値が連続的に変化する駆動信号を出力または該検知信号の論理に応じて該駆動信号の出力を停止する駆動部とを有し、

該電流供給回路は、該電源供給線から該負荷回路へ流れる該電流量を該駆動信号の電圧値に応じて変化させ、該駆動信号の出力が停止している間該駆動信号の電圧変動を制限する容量成分を有することを特徴とする電子回路装置。

10

【請求項3】

電源供給線と、

負荷回路と、

該電源供給線の電圧値と閾値との比較結果を出力する電流供給制御部と、

該電源供給線から該負荷回路へ電流を供給し、該負荷回路への電流供給中に該電流供給制御部の比較結果に応じて電流量を変化させる電流供給回路と、

を有し、

該電流供給制御部は、該電源供給線の電圧値と該閾値との比較結果に基づき、該比較結果に基づいた論理を有する検知信号を出力する検知部と、

20

電圧値が連続的に変化する駆動信号を出力または該検知信号の論理に応じて該駆動信号の出力を停止する駆動部とを有し、

該検知部は、該電源供給線の電圧値に応じた周期の発振信号を出力する発振回路と、基準クロックを出力するクロック回路と、該発振信号に同期してカウントアップするカウンタと、該基準クロックの第一エッジに同期して該カウンタの出力値を第一カウント値として記憶する第一レジスタと、該第一エッジより後に現れる該基準クロックの第二エッジに同期して該カウンタの出力値を第二カウント値として記憶する第二レジスタとを有し、

該電源供給線の電圧値と該閾値との比較結果は、該第一カウント値と該第二カウント値との比較により与えられ、

30

該電流供給回路は、該電源供給線から該負荷回路へ流れる該電流量を該駆動信号の電圧値に応じて変化させ、該駆動信号の出力が停止している間該駆動信号の電圧変動を制限する容量成分を有することを特徴とする電子回路装置。

【請求項4】

該検知部は、該第二カウント値に1以上の値を加算し、該第一カウント値と比較することを特徴とする請求項3に記載の電子回路装置。

【請求項5】

電源供給線と、

負荷回路と、

該電源供給線の電圧値と閾値との比較結果を出力する電流供給制御部と、

40

該電源供給線から該負荷回路へ電流を供給し、該負荷回路への電流供給中に該電流供給制御部の比較結果に応じて電流量を変化させる電流供給回路と

を有し、

該電流供給制御部は、該電流供給回路を制御する駆動信号を出力する駆動部と、該電源供給線の電圧値と該閾値との比較結果に基づいた論理を有する検知信号を出力する検知部を有し、

該電流供給回路は、該駆動信号を遅延させた第一信号を出力する遅延回路と、該第一信号に応じて第二信号を出力し、該検知信号の論理に応じて該第二信号の論理を保持するラッチ回路と、該駆動信号によって駆動される第一スイッチと、該第二信号によって駆動される第二スイッチを有することを特徴とする電子回路装置。

50

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体回路内の負荷回路に電力を供給する電子回路装置に関するものである。

【背景技術】**【0002】**

電子機器に用いられている半導体集積回路の消費電力を減らす機能のひとつとして、パワーゲーティング機能がある。パワーゲーティング機能とは、待機状態にある負荷回路の特定ブロックへの電源供給を必要に応じて止めるというものである。これにより、特定ブ
10
ロックの待機状態での不要な電力消費を減らし、電子機器の連続動作時間を長くすることができる。

【0003】

半導体集積回路における負荷回路は通常ロジック回路であり、ロジック回路を構成するトランジスタ等が有する寄生容量や、ロジック回路の電源電圧を安定させるための容量素子などの容量成分を有する。負荷回路と電源との接続を遮断した場合、負荷回路の容量成分に充電されていた電荷は負荷回路等の漏れ電流によって放電する。このため、負荷回路と電源とを再度接続した場合には、負荷回路に付随する容量成分への充電が必要となる。このとき容量成分へ流れ込む電流が急激に変化するため、電源電圧が低下し、負荷回路の
20
動作が不安定になる。

電源電圧の低下を抑えるための構成として、以下のものが開示されている。このような回路構成によれば、回路内部と電源との接続において、電源電圧の急激な低下を抑制することができる。

【先行技術文献】**【非特許文献】****【0004】**

【非特許文献1】 Y.Kanno et al., "Hierarchical Power Distribution with 20 Power Domains in 90-nm Low-Power Multi-CPU Processor", ISSCC Dig. Tech. Papers, pp.540-541, Feb., 2006

【非特許文献2】 P. Royannez et al., "90nm Low Leakage SoC Design Techniques for
30
Wireless Applications", ISSCC Dig. Tech. Papers, pp.138-139, Feb., 2005

【発明の概要】**【発明が解決しようとする課題】****【0005】**

本発明の目的は、半導体集積回路の負荷回路に電流供給を行うときに、電源電圧変動をあらかじめ定められた範囲内に抑えるように制御する電子回路装置を提供することである。

【課題を解決するための手段】**【0006】**

上記の課題を解決するため、電子回路装置は、電源供給線と、負荷回路と、該電源供給
40
線の電圧値と閾値との比較結果を出力する電流供給制御部と、該電源供給線から該負荷回路へ電流を供給し、該負荷回路への電流供給中に該電流供給制御部の比較結果に応じて電流量を変化させる電流供給回路とを有する。

【発明の効果】**【0007】**

本発明によれば、半導体集積回路の負荷回路に電流供給を行うときに、電源電圧変動をあらかじめ定められた範囲内に抑えることができる。

【図面の簡単な説明】**【0008】**

【図1】 電子回路装置の構成図である。
50

【図 2】電子回路装置の具体例およびその動作波形図である。図 2 A は電子回路装置の具体的な回路図である。図 2 B は電子回路装置の動作波形図である。

【図 3】電子回路装置の一の改良例である。

【図 4】電子回路装置の他の改良例である。

【図 5】電子回路装置による負荷回路の制御波形図である。

【図 6】検知部の回路図である。

【図 7】図 6 における検知部の動作波形図である。

【図 8】図 6 における検知部の動作波形図である。

【図 9】図 6 における検知部の動作波形図である。

【図 10】検知部の回路図である。

10

【図 11】図 10 における検知部の動作波形図である。

【図 12】図 10 における検知部の動作波形図である。

【図 13】図 10 における検知部の動作波形図である。

【図 14】電子回路装置の回路図である。

【図 15】電圧変動量が閾値を超えない場合のタイミングチャート図である。

【図 16】電圧変動量が閾値を超えた場合のタイミングチャート図である。

【発明を実施するための形態】

【0009】

以下、本発明の実施の形態について説明する。

【実施例】

20

【0010】

図 1 は半導体集積回路に実装された本実施の形態における電子回路装置 101 a の構成図である。電子回路装置 101 a は、電流供給制御部 11、負荷回路 1031、1032、トランジスタ 1021、1022、電源供給線 104、電源供給線 106 および電源供給線 1191、1192 を有する。電流供給制御部 11 は電源供給線 104 の電圧値を監視し、電源供給線 104 の電圧値とあらかじめ設定した閾値との比較結果を出力する。電流供給制御部 11 は、検知部 108、トランジスタ制御部 114、駆動部 1121~1124 を有する。また、トランジスタ 1021、1022 は電源供給線 104 から負荷回路 1031、1032 へ電流を供給し、負荷回路 1031、1032 への電流供給中に電流供給制御部 11 の比較結果に応じて電流量を変化させる電流供給回路として機能する。なお、電子回路装置 101 a は半導体集積回路に実装される回路に限定されるものではなく、プリント基板上に実装される回路であってもよい。

30

【0011】

電源供給線 104 および 106 は電子回路装置 101 a に電源電圧を供給するためのものである。電源供給線 104 には電源供給線 106 を基準とした電源 10 が接続されている。電源供給線 106 は低電圧電源であり、たとえばグランドである。

【0012】

負荷回路 1031、1032 は電子回路装置 101 a に実装された複数ある負荷回路の一部である。負荷回路 1031、1032 は独立した電源ドメインに属し、パワーゲーティング制御により電源 10 の供給および停止が行われる。電源供給の対象は電子回路装置内に実装された負荷回路に限定されるものではなく、プリント回路基板上に実装された負荷回路であってもよい。容量素子 1181、1182 は、各負荷回路 1031、1032 と同一の電源ドメイン内にあり、負荷回路 1031、1032 に並列接続されている。容量素子 1181、1182 は負荷回路 1031、1032 に印加される電圧を安定させるためのものであるが、本発明に必須のものではなく、負荷回路 1031、1032 の寄生容量であってもよい。

40

【0013】

本実施例においてトランジスタ 1021、1022 は、電源供給線 1191、1192 から負荷回路 1031、1032 へ流れる電流量が駆動信号 1161、1162 の電圧値に応じて変化し、駆動信号 1161、1162 が停止している間駆動信号 1161、11

50

62の電圧変動を制限する容量成分を有する。本実施例においてトランジスタ1021、1022は例えばトランジスタである。トランジスタ1021、1022は、電源供給線104と各電源供給線1191、1192との間に接続される。トランジスタ1021、1022を流れる電流量の許容値は、負荷回路1031、1032の回路規模により異なる。トランジスタ1021、1022をMOSトランジスタとした場合のゲート容量値はMOSトランジスタの電流量の許容値により異なる値となる。なお、トランジスタ1021、1022は各負荷回路1031、1032への電流供給量を後述する駆動信号116に応じて制御する電流制御回路の1つであればよい。よってトランジスタ1021、1022は例えば駆動信号1161、1162に応じて電源供給線104から負荷回路1031、1032に流れる電流量が変化するスイッチであってもよい。

10

【0014】

検知部108は電源供給線104に供給される電源電圧の変動を検知する。検知部108は電源供給線104および106に接続され、電源電圧の変動に応じて検知信号110を出力する。検知部108は、トランジスタ制御部114から出力される活性化信号122を受けて、動作または停止する。

【0015】

負荷回路1031へ電源供給を開始する場合の動作について説明する。負荷回路1032へ電源供給を開始する場合の動作も同様であるため、その説明を省略する。駆動部1121は電源供給線104の電圧値と閾値との比較結果に基づき、電圧値が連続的に変化する駆動信号1161を出力または停止する。駆動部1121はトランジスタ制御部114aから信号1151を受けてトランジスタ1021を駆動する駆動信号1161を出力する。

20

【0016】

トランジスタ制御部114aは電子回路装置101aの動作状況に応じて、負荷回路1031の駆動または停止を制御する信号1151を出力する。また、トランジスタ制御部114aは、検知部108を駆動または停止する活性化信号122を出力する。これにより待機状態での検知部108による電力消費を抑えることができる。ここで待機状態とは、負荷回路と電源との接続状態が変化しない状態をいう。トランジスタ制御部114aは電子回路装置101aの消費電力を管理するための演算部であり、一般的にPMU(Power Management Unit)と呼ばれる。

30

【0017】

トランジスタ制御部114aから信号1151が出力されると、駆動部1121は駆動信号1161を出力する。駆動信号1161に応じてトランジスタ1021がオンし始めると、電源供給線104から容量素子1181を充電するための電流が流れ込む。トランジスタ1021のゲート容量により、駆動信号1161の電圧値は急激に変化せず、連続的に変化する。トランジスタ1021のソース・ドレイン間を流れる電流量はゲート電圧である駆動信号により変化するため、電源供給線104から容量素子1181に流れ込む電流量も連続的に変化する。

【0018】

電源供給線104を流れる電流量が時間的に変化すると、電源供給線104などの電流経路に存在するインダクタンス成分および容量成分による過渡現象のため電源電圧値が変動する。電圧変動により電源供給線104の電圧値が検知部108に設定された閾値以下に下がると、検知部108はそれに応じた検知信号110を出力する。駆動部1121は検知信号110を受けて駆動信号1161の出力を停止する。駆動信号1161の出力が停止されても、再び駆動信号1161が出力されるまでトランジスタ1021はそのゲート容量等の容量成分によりゲート電圧値の変動を制限する。この結果、トランジスタ1021の抵抗値の変動も制限される。

40

【0019】

トランジスタ1021の抵抗値の変動が制限されることにより電源供給線104から負荷回路1031に供給される電流量がほぼ一定になると、過渡現象による電圧変動量は小

50

さくなる。電源供給線 104 の電圧値が検知部 108 の閾値以上に回復すると、検知部 108 はそれに応じた検知信号 110 を出力する。駆動部 1121 は検知信号 110 を受けて駆動信号 1161 を再び出力する。トランジスタ 1021 の抵抗値は駆動信号 1161 に応じて小さくなり、さらに大きな電流値で容量素子 1181 を充電する。

【0020】

以上の動作を繰り返すことにより、負荷回路に電流供給を行うときに、電源電圧変動をあらかじめ定められた範囲内に抑えることができる。

【0021】

図 2 は電子回路装置 101a の具体例および電子回路装置の動作波形図である。図 2A は検知部 108、駆動部 1121 の詳細を説明するための回路図である。図 2A には負荷回路 1031 およびそれに付随する回路のみ図示しているが、他の負荷回路も同様の構成となる。図 2A において、図 1 の構成と同一部材には同一番号を付し、その説明を省略する。

10

【0022】

検知部 108a はコンパレータ 200、P 型 MOS トランジスタ 202 および N 型 MOS トランジスタ 204 を有する。コンパレータ 200 の正帰還入力端子は電源供給線 104 に接続され、負帰還入力端子は閾値電圧を供給する電源 20 に接続される。コンパレータ 200 は検知信号 110 を出力する。検知信号 110 の論理は、電源供給線 104 の電圧値に応じて変化する。正確な電源変動検知のため、電源供給線 206 および負帰還入力端子は電圧の変動がない電源に接続することが望ましい。コンパレータ 200 は、正帰還入力電圧が負帰還入力電圧以下となった場合に検知信号 110 として“0”を出力する。

20

【0023】

検知部 108 を動作させたくない場合、トランジスタ制御部 114a は活性化信号 122 として“0”を出力する。これにより P 型 MOS トランジスタ 202 はオンとなり、常に“1”の信号が検知信号 110 として出力される。一方 N 型 MOS トランジスタ 204 はオフとなり、コンパレータ 200 への電源供給が停止する。これにより、待機状態でコンパレータ 200 の電源経路に流れるリーク電流をカットすることができる。

【0024】

駆動部 1121 は P 型 MOS トランジスタ 2101、N 型 MOS トランジスタ 2121、2141 を有する。容量素子 2201 はトランジスタ 1021 のゲート容量であってもよいし、別途容量素子を接続してもよい。ここでは容量素子 2201 は電源供給線 104 に接続されているが、電源供給線 106 に接続してもよいし、電源供給線 1191 に接続してもよい。容量素子 2201 は、駆動信号 1161 の出力が停止している間、その電圧値の低下を制限できるだけの容量値を有することが必要である。P 型 MOS トランジスタ 2101 および N 型 MOS トランジスタ 2121 のゲート端子は、トランジスタ制御部 114 に接続され、インバータを構成する。N 型 MOS トランジスタ 2141 のゲート端子には検知信号 110 が入力される。以下、図 2B の動作波形図に基づいて電子回路装置の動作について説明する。

30

【0025】

図 2B は図 2A に示す電子回路装置の動作を表す動作波形図である。図 2B において、波形 2501 はトランジスタ制御部 114a が出力する信号 1151 の電圧波形である。波形 2511 は駆動信号 1161 の電圧波形である。波形 2501 に示すように、時刻 T20 から T21 の期間信号 1151 が“1”となると、駆動部 1121 は波形 2511 に示すように駆動信号 1161 の電圧を低下させる。このとき、電源供給線 104 の電圧低下はなく、コンパレータ 200 が出力する検知信号 110 の論理は“1”である。また、信号 1151 の論理は“1”となるため、トランジスタ 1021 である P 型 MOS トランジスタのゲート電圧は下がり始める。駆動信号 1161 の電圧低下に応じて電源供給線 104 からトランジスタ 1021 を介して負荷回路 1031 および容量素子 1181 に流れ込む電流量は徐々に増加する。

40

【0026】

50

波形 2 5 2 は検知信号 1 1 0 の電圧波形である。波形 2 5 3 は活性化信号 1 2 2 の電圧波形である。波形 2 5 4 は電源供給線 1 0 4 に供給される電源の電圧波形である。電源供給線 1 0 4 を流れる電流量が時間的に変化すると、電源供給線 1 0 4 などの電流経路に存在するインダクタンス成分および容量成分による過渡現象により電源電圧値が変動する。検知部 1 0 8 において、正帰還入力電源電圧値が波形 2 5 4 の通り負帰還入力電圧値よりも小さくなると、波形 2 5 2 の通りコンパレータ 2 0 0 は検知信号 1 1 0 として “ 0 ” を出力する。波形 2 5 5 はコンパレータ 2 0 0 の負帰還入力端子に入力される閾値電圧をあらわしている。

【 0 0 2 7 】

駆動部 1 1 2 1 の N 型 MOS トランジスタ 2 1 4 1 は “ 0 ” 論理となった検知信号 1 1 0 がゲートに入力されてオフする。信号 1 1 5 1 の論理は “ 1 ” であるため、P 型 MOS トランジスタ 2 1 0 1 もオフなので、トランジスタ 1 0 2 1 の駆動信号 1 1 6 1 はフローティング状態となる。トランジスタ 1 0 2 1 はゲート容量等の容量成分を有している。フローティング状態ではこの容量成分に充電された電荷の放電経路が無いいため、N 型 MOS トランジスタ 2 1 4 1 がオフする直前の駆動信号 1 1 6 1 の電圧変動は制限される。駆動信号 1 1 6 1 の電圧変動をさらに制限するため、駆動信号 1 1 6 1 を伝送する配線に容量素子 2 2 0 1 が別途接続されていてもよい。

10

【 0 0 2 8 】

トランジスタ 1 0 2 1 のオン抵抗の変動はゲートの容量成分の電圧により制限される。そうすると、容量素子 1 1 8 1 および負荷回路 1 0 3 1 に流れ込む電流量はほぼ一定となる。この結果、過渡現象による電圧変動量は小さくなり、電源供給線 1 0 4 の電圧値は徐々に回復する。電源電圧値が波形 2 5 4 のように閾値電圧よりも大きくなると、波形 2 5 2 の通りコンパレータ 2 0 0 は検知信号 1 1 0 として “ 1 ” を出力する。

20

【 0 0 2 9 】

検知信号 1 1 0 が “ 1 ” となり N 型 MOS トランジスタ 2 1 4 1 がオンすると、駆動部 1 1 2 1 からの駆動信号 1 1 6 1 の電圧は波形 2 5 1 1 の通り再び下がり始める。これにより容量素子 1 1 8 1 へ流れ込む電流量が増加し、電源供給線 1 0 4 の電源電圧が低下すると、再び上記の動作を繰り返す。すなわち、駆動部 1 1 2 1 から出力される駆動信号 1 1 6 1 の電圧の低下のレートを、電源供給線 1 0 4 の電圧低下に応じて自動的に調整することができる。これにより、半導体集積回路の負荷回路に電流供給を行うときに、電源電圧変動をあらかじめ定められた範囲内に抑えることができる。

30

【 0 0 3 0 】

図 3 は図 2 の電子回路装置の 1 つの改良例である電子回路装置 1 0 1 b の回路図である。図 3 において、図 2 の構成と同一部材には同一番号を付し、その説明を省略する。

【 0 0 3 1 】

動作許可信号 3 0 0 1 は負荷回路 1 0 3 1 の動作を許可する信号である。動作許可信号は負荷回路ごとに存在し、トランジスタ制御部 1 1 4 b から各負荷回路に出力されている。

【 0 0 3 2 】

図 3 の駆動部 1 1 2 1 は図 2 の駆動部 1 1 2 1 に対してさらに OR 回路 3 0 2 1 を有する。OR 回路 3 0 2 1 は一方の入力を検知信号 1 1 0 とし、他方を動作許可信号 3 0 0 1 としている。動作許可信号 3 0 0 1 が “ 1 ” であれば、N 型 MOS トランジスタ 2 1 4 1 は検知信号 1 1 0 にかかわらずオンとなり、検知信号 1 1 0 の論理を無視する。

40

【 0 0 3 3 】

これにより、負荷回路 1 0 3 1 が動作状態にある間はトランジスタ 1 0 2 1 に “ 0 ” を供給している駆動部 1 1 2 1 の電源供給が遮断されることを防止することができ、動作許可中の負荷回路 1 0 3 1 の動作を安定させることができる。

【 0 0 3 4 】

図 4 は図 2 の電子回路装置の他の改良例である電子回路装置 1 0 1 c の回路図である。電子回路装置 1 0 1 c は、検知部 1 0 8 a、トランジスタ制御部 1 1 4 a、駆動部 1 1 2

50

1、トランジスタ1021、負荷回路1031および容量素子1181を有する。図4について、図2の構成と同一部材には同一番号を付し、その説明を省略する。

【0035】

図4の駆動部1121は図2の駆動部1121に加えてさらにP型MOSトランジスタ4001およびNOT回路4021を有する。P型MOSトランジスタ4001は電源供給線104とP型MOSトランジスタ2101との間に接続されている。NOT回路4021は検知信号110を入力とし、P型MOSトランジスタ4001のゲートへ反転信号を出力する。

【0036】

電源供給線104の電圧値が閾値以下に低下すると、検知信号110が“1”となり、駆動部1121のトランジスタ4001および2141がオフする。これにより、トランジスタ1021がオフからオンに遷移する場合であっても、オンからオフに遷移する場合であっても、検知信号110が“1”の期間は、トランジスタ1021の駆動信号1161を一定値に保持することができる。

10

【0037】

図5は電子回路装置101cによる負荷回路1031～1034の制御波形図である。なお負荷回路1032、1033、1034は図4に図示していないが、負荷回路1031と同様の構成を有する。本実施の形態において、負荷回路1032の回路規模は負荷回路1031の回路規模よりも大きい。負荷回路1033の回路規模は負荷回路1031の回路規模よりも小さい。負荷回路1034の回路規模は負荷回路1031の回路規模と同程度である。また、負荷回路の回路規模に比例してトランジスタ1021および図示しないトランジスタ1022～1024のゲート容量も大きくなる。

20

【0038】

波形5001～5004はトランジスタ制御部114aから出力される信号1151～1154の電圧波形である。信号1151～1154がそれぞれ“0”から“1”になると、電子回路装置101cは負荷回路1031～1034をオンする動作を開始する。

【0039】

波形5021～5024は駆動信号1161～1164の電圧波形である。波形504は検知信号110の電圧波形である。波形506は検知部108で検知される電源電圧波形である。波形508は検知部108の閾値電圧である。時刻T1においてトランジスタ制御部114aから出力される信号1151、1152は、波形5001、5002のとおり同時に“1”となる。駆動信号1161、1162の電圧値は、波形5021、5022のとおり徐々に下がる。上述の通りトランジスタ1021～1024のゲート容量がそれぞれ異なるため、電圧低下速度もそれぞれ異なる。波形504に示すように、検知部108は電源電圧が閾値508以下となる期間“0”となる検知信号110を出力する。検知信号110はすべての駆動部1121～1124に共通かつ同時に入力される。検知信号110が“0”となっている間、波形5021、5022は検知信号110が“0”となる直前の電圧値を保持する。N型トランジスタ2141～2144およびP型トランジスタ4001～4004がそれぞれオフするため、駆動信号1161～1164を出力する駆動部1121～1124のノードがフローティング状態となり、トランジスタ1021～1024の寄生容量により電圧が保持されるからである。

30

40

【0040】

時刻T2においてトランジスタ制御部114aから出力される信号1153、1154は、波形5003、5004の通り“1”となる。検知部108は、波形504の通り電源電圧の低下を検知する。駆動部1121～1124は、波形5021～5024の通り検知信号110が“0”となる直前の駆動信号1161～1164の電圧値を保持する。これにより、複数の負荷回路が同時にオン動作を開始しても、負荷回路1031～1034の回路規模に応じた最適な駆動信号1161～1164の電圧の低下のレートとなるように自動的に調整する。その結果、電源電圧が閾値電圧から急激に下がるのを防止することができる。

50

【 0 0 4 1 】

また、負荷回路 1 0 3 2 がオンからオフに遷移する際に、電源電圧の低下に応じて 5 0 2 2 のように駆動信号 1 1 6 2 の電圧値を保持する。これにより、負荷回路 1 0 3 2 がオンに遷移する場合と同様に、オフに遷移する際の電源変動を防止することができる。

【 0 0 4 2 】

図 6 は検知部 1 0 8 b およびトランジスタ制御部 1 1 4 c を示す回路図である。トランジスタ制御部 1 1 4 b は、信号 1 1 5 1 ~ 1 1 5 4 の論理和を出力する OR 回路 6 1 1 をさらに有する。検知部 1 0 8 b は、リングオシレータ 6 0 0、カウンタ 6 0 2、レジスタ 6 0 4、記憶部 6 0 6、および比較部 6 0 8 を有する。

【 0 0 4 3 】

リングオシレータ 6 0 0 は奇数個の NOT 回路を直列接続した発振回路である。トランジスタ制御部 1 1 4 c から出力される活性化信号 1 2 2 を受け、一定周期の信号を出力する。リングオシレータ 6 0 0 から発振される信号の周期は、電源供給線 1 0 4 の電源電圧の変動に応じて変化する。

【 0 0 4 4 】

カウンタ 6 0 2 はクロック回路 6 2 0 から出力される基準クロック 6 1 0 のクロック周期ごとに、リングオシレータ 6 0 0 から出力されるクロックのクロック数をカウントする。これによりリングオシレータ 6 0 0 の発振周期をカウント値で表現することができる。レジスタ 6 0 4 はカウンタ 6 0 2 でカウントされたカウント値を保持し、基準クロック 6 1 0 に同期してカウント値を比較部 6 0 8 に出力する。記憶部 6 0 6 は不揮発性の記憶領域であり、電源電圧低下を検知するための判定基準値となるカウント値を記憶している。比較部 6 0 8 はレジスタ 6 0 4 のカウント値と記憶部 6 0 6 に記憶されたカウント値とを比較し、比較結果を検知信号 1 1 0 として出力する。その結果、電源供給線 1 0 4 の電圧が低下し、クロックのクロック数のカウント値が判定基準値未満となった場合に、検知部 1 0 8 b は論理 “ 0 ” を有する検知信号 1 1 0 を出力する。

【 0 0 4 5 】

検知部 1 0 8 a は電源供給線 1 0 4 の電圧変動を正確に検知するため、電源供給線 1 0 4 から独立した電源変動の小さい電源供給線 2 0 6 を別途設ける必要がある。半導体装置は基板面積が非常に小さいため電源変動の小さい電源供給線を設けることは非常に困難である。これに対し検知部 1 0 8 b は検知部 1 0 8 a のように別途電源供給線を設ける必要が無い。このため半導体装置への実装が容易であり、かつ正確な電源変動の検知が可能となる。

【 0 0 4 6 】

図 7 は図 6 における検知部 1 0 8 b の動作波形図である。波形 7 0 0 は電源供給線 1 0 4 の電源電圧である。波形 7 0 4 は活性化信号 1 2 2 の信号電圧の変化を示す。波形 7 0 6 は、リングオシレータ 6 0 0 から出力されるクロック波形である。波形 7 0 8 はカウンタ 6 0 2 およびレジスタ 6 0 4 に供給される基準クロック 6 1 0 のクロック波形である。基準クロック 6 1 0 の周期は、リングオシレータ 6 0 0 の発振周期よりも大きい。波形 7 1 0 は記憶部 6 0 6 に保持されるカウント数を表している。波形 7 1 2 は比較部 6 0 8 から出力される検知信号 1 1 0 である。本実施例において、記憶部 6 0 6 にはカウント値 “ 1 2 ” が記憶されている。

【 0 0 4 7 】

波形 7 0 0 に示すように電源供給線 1 0 4 の電源電圧が変動しない場合、検知部 1 0 8 b は以下の通り動作する。信号 1 1 5 1 ~ 1 1 5 4 のいずれかが “ 1 ” となるとトランジスタ制御部 1 1 4 c は論理 “ 1 ” を有する活性化信号 1 2 2 を出力する。リングオシレータ 6 0 0 は活性化信号 1 2 2 をうけて波形 7 0 6 の通り発振動作を開始する。波形 7 0 6 のクロック数は、波形 7 0 8 の立上りのタイミングごとにカウントされ、波形 7 1 0 の通りレジスタ 6 0 4 に記録される。時刻 T 5 において、レジスタ 6 0 4 に記憶されたカウント値が、波形 7 1 0 の通り記憶部 6 0 6 に記憶されたカウント値 “ 1 2 ” 以上になると、比較部 6 0 8 は波形 7 1 2 の通り検知信号 1 1 0 として “ 1 ” を出力する。

10

20

30

40

50

【 0 0 4 8 】

図 8 は図 6 における検知部 1 0 8 b の動作波形図である。図 8 は電源供給線 1 0 4 の電源電圧値が閾値以下に下がった場合の動作を説明するためのものである。図 8 は図 7 の動作説明の続きであり、同一信号の波形には同一の符号を付し、その説明を省略する。

【 0 0 4 9 】

電源供給線 1 0 4 の電源電圧が波形 7 0 0 の通り下がると、リングオシレータ 6 0 0 の発振周期は、波形 7 0 6 の通り大きくなる。発振周期が大きくなると、基準クロック周期でカウントされレジスタ 6 0 4 に記憶されるカウント値は小さくなる。時刻 T 6 において、レジスタ 6 0 4 に記憶されたカウント値が記憶部 6 0 6 に記憶されたカウント値 “ 1 2 ” よりも小さくなると、比較部 6 0 8 は波形 7 1 2 の通り “ 0 ” を出力する。その結果、図 6 に示す検知部 1 0 8 b を適用した場合であっても、電子回路装置 1 0 1 a、1 0 1 b、および 1 0 1 c は、これまで説明した動作と同様に動作する。

10

【 0 0 5 0 】

図 9 は図 6 における検知部 1 0 8 b の動作波形図であり、電源供給線 1 0 4 の電源電圧値が閾値以下に下がった状態から閾値以上の電圧に回復した場合の動作を説明するためのものである。図 9 は図 8 の動作説明の続きであり、同一信号の波形には同一の符号を付し、その説明を省略する。

【 0 0 5 1 】

電源供給線 1 0 4 の電源電圧が波形 7 0 0 の通り回復すると、リングオシレータ 6 0 0 の発振周期は、波形 7 0 6 の通り小さくなる。発振周期が小さくなると、基準クロック周期でカウントされレジスタ 6 0 4 に記憶されるカウント値は大きくなる。時刻 T 7 において、レジスタ 6 0 4 に記憶されたカウント値が記憶部 6 0 6 に記憶されたカウント値 “ 1 2 ” よりも大きくなると、比較部 6 0 8 は波形 7 1 2 の通り “ 1 ” を出力する。以上の動作により、電源電圧の低下に応じて検知信号 1 1 0 を出力する検知部 1 0 8 としての機能を実現することができる。これにより、電源電圧が低下した場合のみ負荷回路へより多くの電流が流れ込むことを防止し、電源電圧が急激に下がるのを防止することができる。

20

【 0 0 5 2 】

図 1 0 は検知部 1 0 8 c を表す回路図である。図 6 の構成と同一部材には同一符号を付し、その説明を省略する。レジスタ 1 0 0 0 は、カウンタ 6 0 2 から出力されたカウント値を保持する。レジスタ 1 0 0 0 は、クロック回路 6 2 0 から出力される基準クロック 6 1 0 の立上りに応じて、保持したカウント値をレジスタ 1 0 0 2 および比較部 1 0 0 4 に出力する。レジスタ 1 0 0 2 は、レジスタ 1 0 0 0 から出力されたカウント値を保持し、次の基準クロック 6 1 0 の立上りに応じて、保持したカウント値を比較部 1 0 0 4 に出力する。比較部 1 0 0 4 は、レジスタ 1 0 0 0 から出力されたカウント値に “ 1 ” を足した値と、レジスタ 1 0 0 2 から出力されたカウント値とを比較する。すなわち比較部 1 0 0 4 は、1 周期前の基準クロックに対応するカウント値を判定基準値として保持する。比較部 1 0 0 4 は、レジスタ 1 0 0 2 に保持したカウント値が、レジスタ 1 0 0 0 に保持したカウント値に “ 1 ” を加算した値よりも大きい場合に “ 0 ” を出力し、それ以外の場合は “ 1 ” を出力する。カウント値に加算する値は “ 1 ” 以上であってもよい。また、1 周期前の基準クロックに対応するカウント値を判定基準値としているが、2 周期以上前の基準クロックに対応するカウント値を判定基準値としてもよい。

30

40

【 0 0 5 3 】

検知部 1 0 8 b と同様に、検知部 1 0 8 c は検知部 1 0 8 a のように別途電源供給線を設ける必要が無い。このため半導体装置への実装が容易であり、かつ正確な電源変動の検知が可能となる。さらに検知部 1 0 8 b の記憶部 6 0 6 をレジスタ 1 0 0 2 に変更することにより検知部 1 0 8 c の回路規模を小さくすることができる。また、検知部 1 0 8 b ように記憶部 6 0 6 に記憶する閾値をリングオシレータ 6 0 0 の発振周期に応じて設定する必要がないので、設計負荷を軽くすることができる。

【 0 0 5 4 】

図 1 1 は図 1 0 における検知部 1 0 8 c の動作波形図である。図 1 1 において、電源供

50

給線 104 の電源電圧値は変動しない。波形 700 は、電源供給線 104 の電源電圧である。波形 704 は活性化信号 122 である。波形 706 は、リングオシレータ 600 から出力されるクロック波形である。波形 708 はカウンタ 602 およびレジスタ 604 に供給される基準クロック 610 のクロック波形である。基準クロック 610 の周期は、リングオシレータ 600 の発振周期よりも大きい。波形 1100 はレジスタ 1000 に保持されるカウント数を表している。波形 1102 はレジスタ 1002 に保持されるカウント数を表している。波形 1104 は比較部 1004 から出力される検知信号 110 である。

【0055】

トランジスタ制御部 114c から“1”が出力されると同時に活性化信号 122 として“1”が出力されると、リングオシレータ 600 は波形 706 の通り発振動作を開始する。波形 706 のクロック数は、波形 708 の立上りのタイミングごとにカウントされ、波形 1100 の通りレジスタ 1000 に保持される。レジスタ 1000 に保持されたカウント値は、次の波形 708 の立上りのタイミングでレジスタ 1002 に出力され保持される。

10

【0056】

電源電圧が波形 700 の通り一定だと、レジスタ 1000、1002 に保持されるカウント値は“13”または“14”となる。カウント値が完全に一定とならないのは、基準クロック 610 やリングオシレータ 600 の周期において、現実には誤差が発生するためである。レジスタ 1000 が保持する値に“1”を加算してレジスタ 1002 に保持された値と比較することにより、比較部 1004 から出力される検知信号 110 が不要に変動するのを防ぐことができる。

20

【0057】

図 12 は図 10 における検知部 108 の動作波形図である。図 12 は電源供給線 104 の電源電圧が低下した場合の動作波形図であり、図 11 と同一信号の波形には同一の符号を付し、その説明を省略する。

【0058】

電源供給線 104 の電源電圧が波形 700 の通り下がると、リングオシレータ 600 の発振周期は、波形 706 の通り大きくなる。発振周期が大きくなると、基準クロック周期でカウントされレジスタ 1000 に記憶されるカウント値が小さくなる。時刻 T10 において、レジスタ 1000 に保持されたカウント値に“1”を加算した値がレジスタ 1002 に保持されたカウント値よりも小さくなると、比較部 608 は波形 1104 の通り“0”を出力する。

30

【0059】

図 13 は図 10 における検知部 108 の動作波形図であり、電源供給線 104 の電源電圧値が閾値以下に下がった状態から閾値以上の電圧に回復した場合の動作を説明するためのものである。図 13 は図 12 の動作の続きであり、同一信号の波形には同一の符号を付し、その説明を省略する。

【0060】

電源供給線 104 の電源電圧が波形 700 の通り回復すると、リングオシレータ 600 の発振周期は、波形 706 の通り小さくなる。発振周期が小さくなると、基準クロック周期でカウントされレジスタ 1000 に保持されるカウント値が大きくなる。時刻 T11 において、レジスタ 1000 に保持されたカウント値に“1”を加算した値がレジスタ 1002 に保持されたカウント値よりも大きくなると、比較部 1004 は波形 1104 の通り“1”を出力する。以上の動作により、負荷回路に電流供給を行うときに、電源電圧変動をあらかじめ定められた範囲内に抑えることができる。

40

【0061】

図 14 は電子回路装置の他の実施例である電子回路装置 101d の回路図である。図 14 には負荷回路 1031 およびそれに付随する回路のみ図示しているが、電子回路装置 101d は他の負荷回路を複数有していてもよい。この場合、負荷回路 1031 に付随する回路と同様の回路が他の負荷回路にも付随する。図 14 において、図 2 の構成と同一部材

50

には同一番号を付し、その説明を省略する。

【 0 0 6 2 】

電子回路装置 1 0 1 d は電源供給線 1 0 4、1 0 6、1 1 9 1、負荷回路 1 0 3 1、容量素子 1 1 8 1、電流供給制御部 1 1 a、電流供給回路 1 0 2 1 a を有する。電流供給制御部 1 1 a は電源供給線 1 0 4 の電圧値を監視し、電源供給線 1 0 4 の電圧値とあらかじめ設定した閾値との比較結果を出力する。電流供給回路 1 0 2 1 a は電源供給線 1 0 4 から負荷回路 1 0 3 1 へ電流を供給し、負荷回路 1 0 3 1 への電流供給中に電流供給制御部 1 1 a の比較結果に応じて電流量を変化させる。

【 0 0 6 3 】

電流供給制御部 1 1 a は、電流供給回路 1 0 2 1 a の電流供給動作を制御する信号 1 1 5 1 を出力するトランジスタ制御部 1 1 4 a と、電源供給線 1 0 4 の電圧値と閾値との比較結果に基づいた論理を有する検知信号 1 1 0 を出力する検知部 1 0 8 a を有する。本実施例においてトランジスタ制御部 1 1 4 a は駆動部として機能する。また本実施例において、信号 1 1 5 1 は電流供給回路 1 0 2 1 a を駆動する駆動信号として機能する。

10

【 0 0 6 4 】

電流供給回路 1 0 2 1 a は複数のスイッチ 3 0 1、3 3 1、3 6 1、3 9 1 と、スイッチ 3 0 1、3 3 1、3 6 1、3 9 1 の間に挿入され、信号 1 1 5 1 を遅延させる遅延回路 3 1 1、3 4 1、3 7 1 と、遅延回路 3 1 1、3 4 1、3 7 1 とスイッチ 3 0 1、3 3 1、3 6 1、3 9 1 との間に挿入され検知信号 1 1 0 の論理に応じて出力信号の論理を保持するラッチ回路 3 2 1、3 5 1、3 8 1 を有する。本実施例においてスイッチ 3 0 1、3 3 1、3 6 1、3 9 1 は P 型 MOS トランジスタであるがこれに限定するものではない。

20

【 0 0 6 5 】

信号 1 1 5 1 はスイッチ 3 0 1 を駆動し、遅延回路 3 1 1 によって遅延し、信号 1 2 0 1 として出力される。信号 1 2 0 1 はラッチ回路 3 2 1 に入力され、ラッチ回路 3 2 1 の端子 C に入力される検知信号 1 1 0 の論理に応じて信号 1 2 1 1 として出力される。信号 1 2 1 1 はスイッチ 3 3 1 を駆動し、遅延回路 3 4 1 によって遅延し、信号 1 2 2 1 として出力される。信号 1 2 2 1 はラッチ回路 3 5 1 に入力され、ラッチ回路 3 5 1 の端子 C に入力される検知信号 1 1 0 の論理に応じて信号 1 2 3 1 として出力される。信号 1 2 3 1 はスイッチ 3 6 1 を駆動し、遅延回路 3 7 1 によって遅延し、信号 1 2 4 1 として出力される。信号 1 2 4 1 はラッチ回路 3 8 1 に入力され、ラッチ回路 3 8 1 の端子 C に入力される検知信号 1 1 0 の論理に応じて信号 1 2 5 1 として出力される。信号 1 2 5 1 はスイッチ 3 9 1 を駆動する。以上の通り、スイッチ 3 0 1、3 3 1、3 6 1、3 9 1 は信号 1 1 5 1 と、信号 1 1 5 1 に対してそれぞれ位相の異なる信号 1 2 1 1、1 2 3 1、1 2 5 1 によって順次駆動される。これにより電源供給開始時に負荷回路 1 0 3 1 へ流れ込む電流量を制限し、電源供給線 1 0 4 の電圧値が大きく変動するのを防ぐことができる。

30

【 0 0 6 6 】

論理“ 0 ”の信号 1 1 5 1 がスイッチ 3 0 1 のゲート端子に入力されると、スイッチ 3 0 1 はオン状態となり電源供給線 1 0 4 から負荷回路 1 0 3 1 へ電流を供給開始する。信号 1 1 5 1 は遅延回路 3 1 1 で一定時間遅延されラッチ回路 3 2 1 に入力される。遅延回路 3 1 1 による遅延時間は、スイッチ 3 0 1 がオンしてから検知部 1 0 8 a が電源供給線 1 0 4 の電圧レベルを検出し検知信号 1 1 0 をラッチ回路 3 2 1 に入力する時間よりも長くする。これにより検知部 1 0 8 a が電源供給線 1 0 4 の電圧レベルを検出するよりも早く次のスイッチ 3 3 1 がオンするのを防ぐことができる。

40

【 0 0 6 7 】

スイッチ 3 0 1 がオンした場合の電源供給線 1 0 4 の電圧変動量が閾値以下の場合、ラッチ回路 3 2 1 の端子 C に入力される検知信号 1 1 0 の論理は“ 1 ”である。検知信号 1 1 0 の論理が“ 1 ”の場合、ラッチ回路 3 2 1 は端子 D に入力された信号 1 2 0 1 の論理と同一の論理を有する信号 1 2 1 1 を端子 Q から出力する。端子 Q から出力された信号 1 2 1 1 はスイッチ 3 3 1 のゲート端子に入力され、スイッチ 3 3 1 はオン状態となる。一方、スイッチ 3 0 1 がオンした場合の電源供給線 1 0 4 の電圧変動量が閾値を超えた場合

50

、ラッチ回路321の端子Cに入力される検知信号110の論理は“0”になる。検知信号110の論理が“0”の間、ラッチ回路321は端子Dに入力された信号1201の論理に関係なく、信号1211の論理を保持し、端子Qから出力し続ける。端子Qから出力された信号1211はスイッチ331のゲート端子に入力され、スイッチ331はオフ状態を保持し続ける。信号1151に接続されたスイッチ331以降のスイッチ361、391、遅延回路341、371およびラッチ回路351、381も上記のスイッチ301、遅延回路311、ラッチ回路321と同様に動作する。

【0068】

一方、負荷回路1031への電源供給を止めたい場合には、論理“1”の信号1151を電流供給回路1021aに入力する。入力された信号1151は遅延回路311、341、371により遅延しながらスイッチ301、331、361、391を順にオフ状態にする。各スイッチ301、331、361、391をオフしたときに電源供給線104で閾値を越える電圧変動が発生した場合には、ラッチ回路321、351、381によりスイッチのオフ動作が制限される。

10

【0069】

以上の動作により、負荷回路1031への電源供給開始時において、電源供給線104から負荷回路1031へ供給される電流量を電源供給線104の電圧変動量に応じて徐々に変化させ、電圧変動量をあらかじめ定められた範囲内に抑えることができる。

【0070】

図15は電源供給線104の電圧変動量が閾値を超えない場合の電流供給回路1021aの動作を表すタイミングチャート図である。図15において符号を付したそれぞれの波形は、図14において同一符号を有する信号の波形を表す。波形1300は図14において検知部108aに設定された閾値の電圧波形である。波形1301は電源供給線104に発生した電圧ノイズである。波形1302は電源供給線1191の電圧波形である。

20

【0071】

信号1151が時刻t21に論理“0”になると、電源供給線104において電圧ノイズ1301が発生する。電圧ノイズ1301の変動量が閾値1300以下であれば検知信号110は論理“1”のままなので、ラッチ回路321に入力された信号1201はそのまま信号1211として時刻t22に出力される。時刻t22、t23、t24でも電圧ノイズ1301の変動量が閾値1300以下の場合、スイッチ301、331、361、391は遅延回路311、341、371に設定された遅延時間ずつ遅れて順番にオン状態となる。スイッチ301、331、361、391がオンするタイミングを一定時間ずらすことにより、電源供給線104から負荷回路1031へ供給される電流量を電源供給線104の電圧変動量に応じて徐々に変化させ、電圧変動量をあらかじめ定められた範囲内に抑えることができる。

30

【0072】

図16は電源供給線104の電圧変動量が閾値を超えた場合の電流供給回路1021aの動作を表すタイミングチャート図である。図15において符号を付したそれぞれの波形は、図14において同一符号を有する信号の波形を表す。波形1300は図14において検知部108aに設定された閾値の電圧波形である。波形1301は電源供給線104に発生した電圧ノイズである。波形1302は電源供給線1191の電圧波形である。

40

【0073】

信号1151が時刻t25に論理“0”になると、電源供給線104において電圧ノイズ1301が発生する。時刻t26において発生した電圧ノイズ1301の変動量が閾値1300を超えると、検知部108aがこれを検知して論理“0”の検知信号110をt25から一定時間経過後に出力する。時刻t27において遅延回路311により遅延した論理“0”の信号1201がラッチ回路321の端子Dに入力された場合に、ラッチ回路321の端子Cに入力されている検知信号110の論理は“0”である。検知信号110の論理が“0”の間、ラッチ回路321は信号1201の論理にかかわらず論理“1”の信号1211を出力し続ける。

50

【 0 0 7 4 】

電圧ノイズ 1 3 0 1 の変動量が閾値 1 3 0 0 以下になると、一定時間経過後の時刻 t 2 8 において論理 “ 1 ” の検知信号 1 1 0 がラッチ回路 3 2 1 に入力される。これによりラッチ回路 3 2 1 は時刻 t 2 8 において論理 “ 0 ” の信号 1 2 1 1 を出力する。信号 1 2 1 1 によりスイッチ 3 3 1 はオン状態となる。スイッチ 3 3 1 がオンすることにより、電圧ノイズ 1 3 0 1 の変動量は再び大きくなる。スイッチ 3 3 1 以降のスイッチ 3 6 1、3 9 1、遅延回路 3 4 1、3 7 1 およびラッチ回路 3 5 1、3 8 1 もスイッチ 3 0 1、遅延回路 3 1 1、ラッチ回路 3 2 1 と同様の動作を行う。以上の動作により、負荷回路 1 0 3 1 への電源供給開始時において、電源供給線 1 0 4 から負荷回路 1 0 3 1 へ供給される電流量を電源供給線 1 0 4 の電圧変動量に応じて徐々に変化させ、電圧変動量をあらかじめ定められた範囲内に抑えることができる。

10

【 0 0 7 5 】

以上の実施例を含む実施形態に関し、さらに以下の付記を開示する。

(付 記 1)

電源供給線と、

負荷回路と、

該電源供給線の電圧値と閾値との比較結果を出力する電流供給制御部と、

該電源供給線から該負荷回路へ電流を供給し、該負荷回路への電流供給中に該電流供給制御部の比較結果に応じて電流量を変化させる電流供給回路と

を有する電子回路装置。

20

(付 記 2)

該電流供給制御部は、該電源供給線の電圧値と該閾値との比較結果に基づき、電圧値が連続的に変化する駆動信号を出力または停止し、

該電流供給回路は該電源供給線から該負荷回路へ流れる該電流量を該駆動信号の電圧値に応じて変化させ、該駆動信号の出力が停止している間該駆動信号の電圧変動を制限する容量成分を有することを特徴とする、付記 1 に記載の電子回路装置。

(付 記 3)

該電流供給制御部は、該電源供給線の電圧値と該閾値との比較結果に基づいた論理を有する検知信号を出力する検知部と、該検知信号の論理に応じて該駆動信号の出力を停止する駆動部とを有することを特徴とする、付記 2 に記載の電子回路装置。

30

(付 記 4)

該電流供給制御部は、該検知部へ活性化信号を出力する制御部をさらに有し、

該検知部は、該活性化信号の論理に応じて動作または停止することを特徴とする、付記 3 に記載の電子回路装置。

(付 記 5)

該検知部は該活性化信号の論理に応じて停止している間該検知信号の論理を固定することを特徴とする、付記 4 に記載の電子回路装置。

(付 記 6)

該電流制御部は、該負荷回路の動作を許可する動作許可信号を出力する制御部をさらに有し、

40

該駆動部は、該動作許可信号を受信している場合には、該検知信号の論理を無視することを特徴とする、付記 3 に記載の電子回路装置。

(付 記 7)

該検知部は、該電源供給線の電圧値に応じて発振周期が変化する発振回路と該発振周期と判定基準値との比較により該電圧値と該閾値との比較結果を出し、該比較結果に応じた論理を有する検知信号を出力することを特徴とする、付記 3 に記載の電子回路装置。

(付 記 8)

該検知部は記憶部をさらに有し、

該判定基準値は該記憶部に記憶されていることを特徴とする、付記 7 に記載の電子回路装置。

50

(付記 9)

該検知部は、該電源供給線の電圧値に応じた周期の発振信号を出力する発振回路と、基準クロックを出力するクロック回路と、該発振信号に同期してカウントアップするカウンタと、該基準クロックの第一エッジに同期して該カウンタの出力値を第一カウント値として記憶する第一レジスタと、該第一エッジより後に現れる該基準クロックの第二エッジに同期して該カウンタの出力値を第二カウント値として記憶する第二レジスタと、該第一カウント値と該第二カウント値との比較により該電圧値と該閾値との比較結果を出し、該比較結果に応じた論理を有する検知信号を出力することを特徴とする、付記 3 に記載の電子回路装置。

(付記 10)

該検知部は、該第二カウント値に1以上の値を加算し、該第一カウント値と比較することを特徴とする、付記 9 に記載の電子回路装置。

10

(付記 11)

該電流供給制御部は、該電流供給回路を制御する駆動信号を出力する駆動部と、該電源供給線の電圧値と該閾値との比較結果に基づいた論理を有する検知信号を出力する検知部を有し、

該電流供給回路は、該駆動信号を遅延させた第一信号を出力する遅延回路と、該第一信号に応じて第二信号を出力し、該検知信号の論理に応じて該第二信号の論理を保持するラッチ回路と、該駆動信号によって駆動される第一スイッチと、該第二信号によって駆動される第二スイッチを有することを特徴とする、付記 1 に記載の電子回路装置。

20

【符号の説明】

【 0 0 7 6 】

1 0 電源

1 1、1 1 a 電流供給制御部

1 0 3 1、1 0 3 2 負荷回路

1 0 1 a 電子回路装置

1 0 2 1 a 電流供給回路

1 0 2 1、1 0 2 2 トランジスタ

1 0 4、1 0 6 電源供給線

1 1 9 1、1 1 9 2 電源供給線

30

1 0 8 検知部

1 1 0 検知信号

1 1 2 1 ~ 1 1 2 4 駆動部

1 1 4 a トランジスタ制御部

1 1 6 1 駆動信号

1 2 2 活性化信号

6 0 0 リングオシレータ

6 0 2 カウンタ

6 0 4 レジスタ

6 0 6 記憶部

40

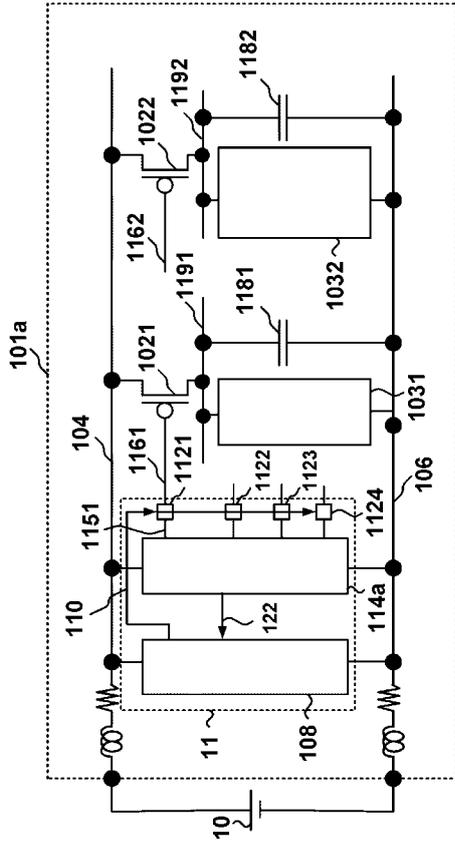
6 0 8 比較部

6 1 0 基準クロック

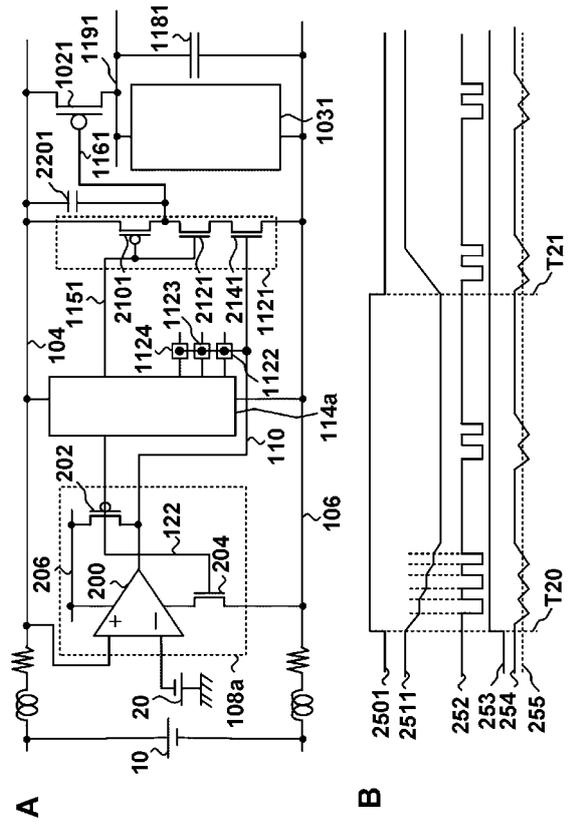
1 0 0 0、1 0 0 2 レジスタ

1 0 0 4 比較部

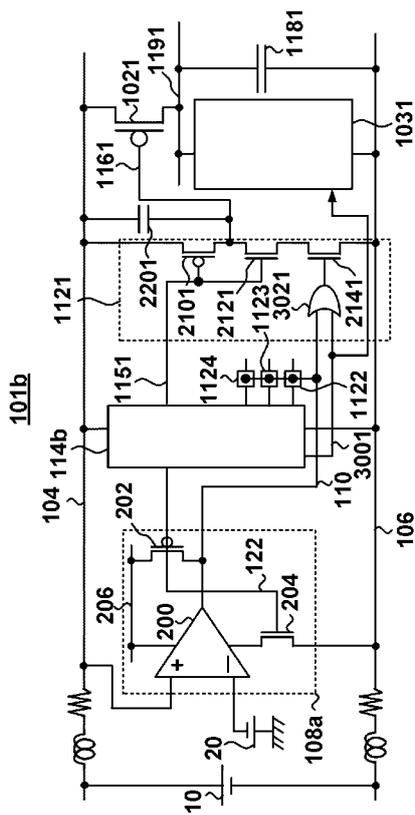
【図 1】



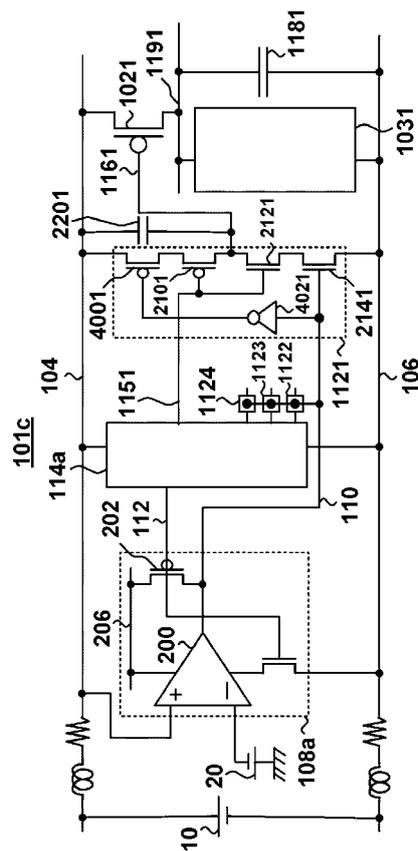
【図 2】



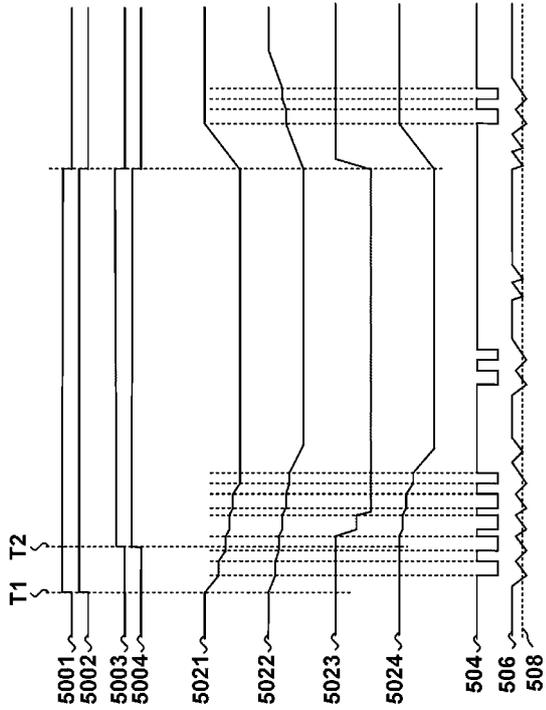
【図 3】



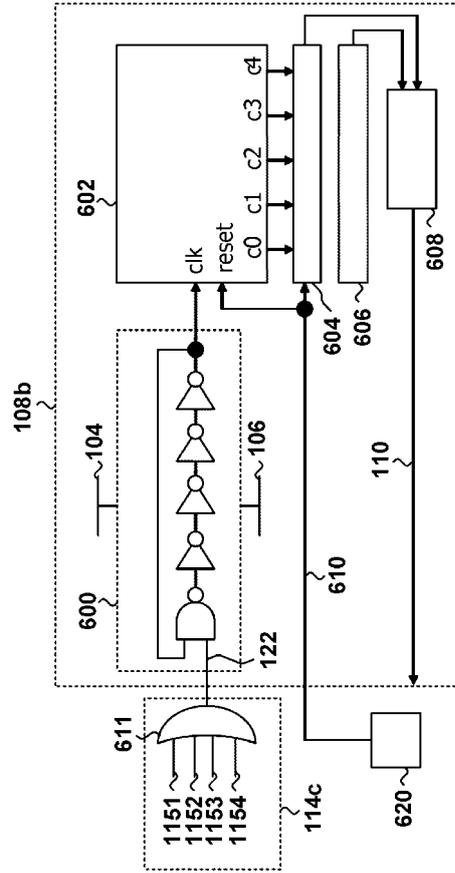
【図 4】



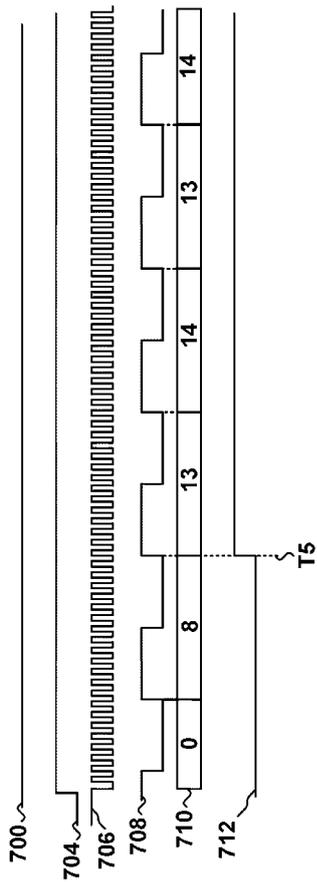
【 図 5 】



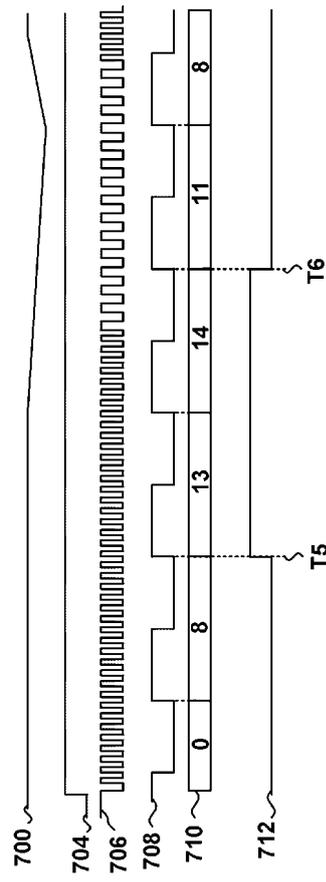
【 図 6 】



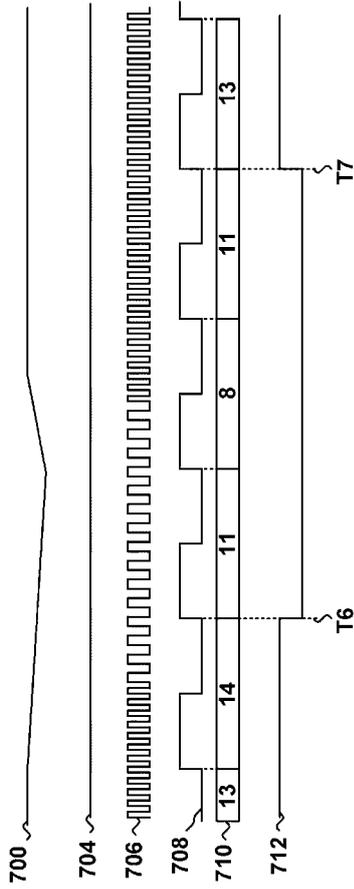
【 図 7 】



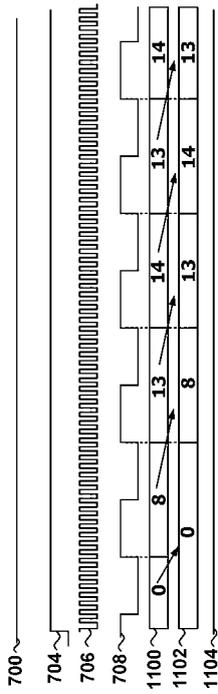
【 図 8 】



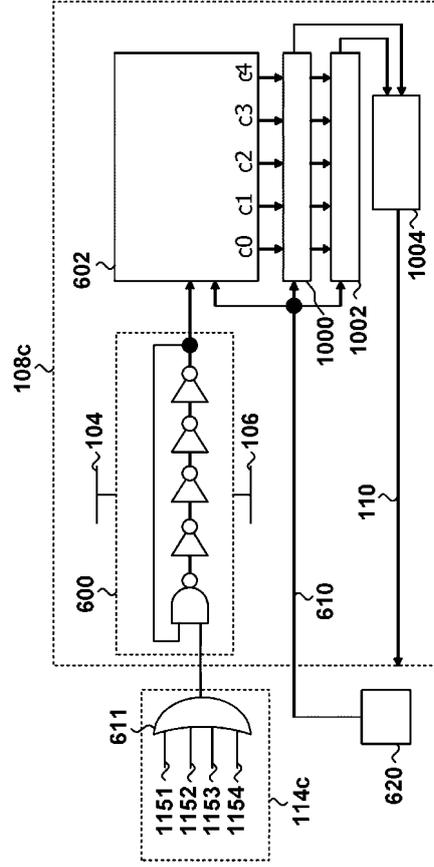
【 図 9 】



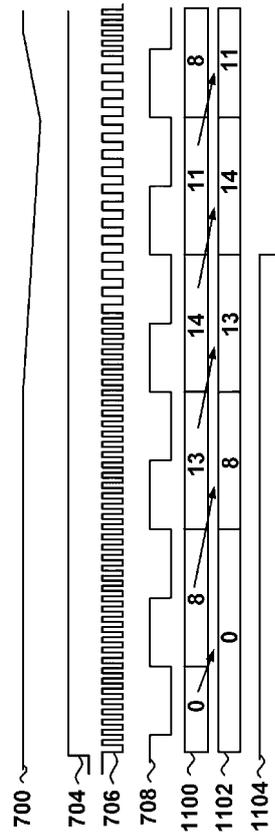
【 図 1 1 】



【 図 1 0 】



【 図 1 2 】



フロントページの続き

(56)参考文献 特開平07-239721(JP,A)
特開平09-232881(JP,A)
特開平05-081899(JP,A)

(58)調査した分野(Int.Cl., DB名)

G05F	1/56
H02M	3/07
H03F	1/30