



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0098197
(43) 공개일자 2008년11월07일

(51) Int. Cl.

H03L 7/081 (2006.01)

(21) 출원번호 10-2007-0043567

(22) 출원일자 2007년05월04일

심사청구일자 2007년05월04일

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

포항공과대학교 산학협력단

경상북도 포항시 남구 효자동 산31 포항공과대학교내

(72) 발명자

여환석

서울 영등포구 대림1동 975-11

서진호

서울 관악구 봉천2동 동아아파트 109동 1005호

(뒷면에 계속)

(74) 대리인

박영우

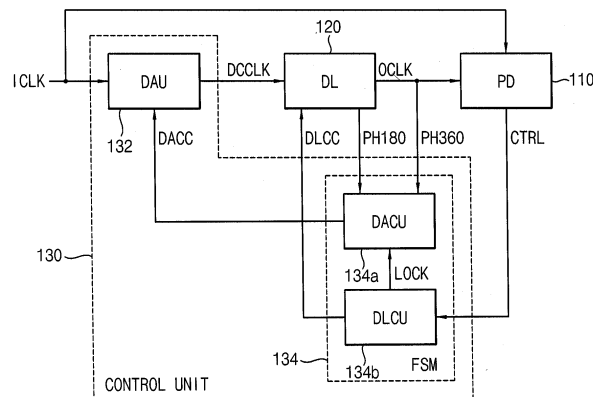
전체 청구항 수 : 총 63 항

(54) 지연 고정 루프, 이를 포함하는 집적 회로 및 이를구동하는 방법

(57) 요약

지연 고정 루프는 위상 검출기, 지연 라인 및 제어부를 포함한다. 위상 검출기는 제1 및 제2 클록 신호들 간의 위상차를 검출한다. 지연 라인은 상기 제1 클록 신호와 위상이 동일한 제3 클록 신호를 순차적으로 지연시켜 상기 제2 클록 신호와 위상이 동일한 제4 클록 신호를 포함하는 복수개의 지연 클록 신호들을 생성한다. 제어부는 상기 위상차를 기초로 상기 지연 클록 신호들 간의 지연 시간 간격을 제어하고 상기 지연 클록 신호들을 기초로 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 제어한다. 따라서 지연 고정 루프는 입력 클록 신호와 동기된 클록 신호를 제공할 수 있을 뿐만 아니라 입력 클록 신호를 지연시켜 생성된 지연 클록 신호들을 이용하여 입력 클록 신호의 듀티비를 제공할 수 있다.

대표도 - 도1



(72) 발명자

박홍준

서울 관악구 봉천2동 동아아파트 109동 1005호

배준현

서울 관악구 봉천2동 동아아파트 109동 1005호

특허청구의 범위

청구항 1

제1 및 제2 클록 신호들 간의 위상차를 검출하는 위상 검출기;

상기 제1 클록 신호와 위상이 동일한 제3 클록 신호를 순차적으로 지연시켜 상기 제2 클록 신호와 위상이 동일한 제4 클록 신호를 포함하는 복수개의 지연 클록 신호들을 생성하는 지연 라인; 및

상기 위상차를 기초로 상기 지연 클록 신호들 간의 지연 시간 간격을 제어하고 상기 지연 클록 신호들을 기초로 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 제어하는 제어부를 포함하는 지연 고정 루프(DLL, Delay-Locked Loop).

청구항 2

제1항에 있어서, 상기 제어부는

상기 지연 클록 신호들 중 목표 듀티비를 적절하게 검출할 수 있는 제1 및 제2 지연 클록 신호들을 기초로 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 조절하는 것을 특징으로 하는 지연 고정 루프.

청구항 3

제2항에 있어서, 상기 제어부는

상기 제1 지연 클록 신호의 천이 시점에서 상기 제2 지연 클록 신호의 레벨, 상기 제2 지연 클록 신호의 천이 시점에서 상기 제1 지연 클록 신호의 레벨 또는 양자 모두를 검출하여, 상기 검출된 레벨을 기초로 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 조절하는 것을 특징으로 하는 지연 고정 루프.

청구항 4

제3항에 있어서, 상기 제어부는

상기 검출된 레벨이 제1 레벨에 상응하는 경우에는 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 증가시키고 상기 검출된 레벨이 제2 레벨에 상응하는 경우에는 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 감소시키는 것을 특징으로 하는 지연 고정 루프.

청구항 5

제2항에 있어서, 상기 제어부는

상기 제2 클록 신호가 상기 제4 클록 신호와 동일한 경우에는 상기 제1 클록 신호의 듀티비를 조절하는 것을 특징으로 하는 지연 고정 루프.

청구항 6

제5항에 있어서, 상기 제어부는

상기 제1 및 제2 지연 클록 신호들을 기초로 듀티 조절 제어 코드를 생성하는 듀티 조절 제어부; 및

상기 생성된 듀티 조절 제어 코드를 기초로 상기 제1 클록 신호의 듀티비를 조절하는 듀티 조절부를 포함하는 것을 특징으로 하는 지연 고정 루프.

청구항 7

제6항에 있어서, 상기 듀티 조절 제어부는

상기 제1 지연 클록 신호의 천이 시점에서 상기 제2 지연 클록 신호의 레벨을 검출하거나 상기 제2 지연 클록 신호의 천이 시점에서 상기 제1 지연 클록 신호의 레벨을 검출하거나 이들을 조합하여 상기 검출된 레벨을 기초로 상기 듀티 조절 제어 코드를 생성하는 것을 특징으로 하는 지연 고정 루프.

청구항 8

제7항에 있어서, 상기 듀티 조절 제어부는

상기 검출된 레벨이 제1 레벨에 상응하는 경우에는 상기 듀티 조절 제어 코드를 증가시키고 상기 검출된 레벨이 제2 레벨에 상응하는 경우에는 상기 듀티 조절 제어 코드를 감소시키는 것을 특징으로 하는 지연 고정 루프.

청구항 9

제7항에 있어서, 상기 듀티 조절부는

상기 듀티 조절 제어 코드를 기초로 상기 제1 클록 신호를 지연시키고 상기 지연된 제1 클록 신호와 상기 제1 클록 신호를 기초로 상기 제1 클록 신호의 듀티비를 조절하는 것을 특징으로 하는 지연 고정 루프.

청구항 10

제9항에 있어서, 상기 듀티 조절부는

상기 제1 클록 신호의 천이 시점으로부터 상기 지연된 제1 클록 신호의 천이 시점까지 제1 논리 레벨을 가지고 상기 지연된 제1 클록 신호의 천이 시점으로부터 상기 제1 클록 신호의 다음 천이 시점까지 제2 논리 레벨을 가지도록, 상기 제1 클록 신호의 듀티비를 조절하는 것을 특징으로 하는 지연 고정 루프.

청구항 11

제10항에 있어서, 상기 듀티 조절부는

상기 듀티 조절 제어 코드를 기초로 상기 제1 클록 신호를 지연시키는 지연부;

상기 제1 클록 신호의 천이 시점에 상기 제1 클록 신호를 상기 제1 논리 레벨로 폴업하는 폴업부;

상기 지연된 제1 클록 신호의 천이 시점에 상기 폴업된 클록 신호를 상기 제2 논리 레벨로 폴다운하는 폴다운부; 및

상기 폴업 또는 폴다운된 입력 클록 신호의 논리 레벨을 유지하는 래치부를 포함하는 것을 특징으로 하는 지연 고정 루프.

청구항 12

제6항에 있어서, 상기 목표 듀티비가 50%에 상응하는 경우에는 상기 제1 지연 클록 신호는 상기 제3 클록 신호와 위상차가 180도인 클록 신호에 상응하고 상기 제2 지연 클록 신호는 상기 제3 클록 신호와 위상차가 360도인 클록 신호에 상응하는 것을 특징으로 하는 지연 고정 루프.

청구항 13

제12항에 있어서, 상기 제어부는

상기 위상차를 기초로 딜레이 제어 코드를 생성하는 지연 제어부를 더 포함하고,

상기 지연 라인은 상기 생성된 딜레이 제어 코드를 기초로 상기 지연 클록 신호들 간의 지연 시간 간격을 조절하는 것을 특징으로 하는 지연 고정 루프.

청구항 14

제13항에 있어서, 상기 듀티 조절 제어부는

상기 지연 제어부가 상기 제2 클록 신호를 상기 제1 클록 신호에 최초로 고정하기 전에는, 상기 제3 클록 신호를 상기 제1 클록 신호로 출력하는 것을 특징으로 하는 지연 고정 루프.

청구항 15

제2항에 있어서, 상기 제어부는

상기 제1 클록 신호가 상기 제3 클록 신호와 동일한 경우에는 상기 제4 클록 신호의 듀티비를 조절하는 것을 특징으로 하는 지연 고정 루프.

청구항 16

제15항에 있어서, 상기 제어부는

상기 제1 및 제2 지연 클록 신호들을 기초로 듀티 조절 제어 코드를 생성하는 듀티 조절 제어부; 및

상기 생성된 듀티 조절 제어 코드를 기초로 상기 제4 클록 신호의 듀티비를 조절하는 듀티 조절부를 포함하는 것을 특징으로 하는 지연 고정 루프.

청구항 17

제16항에 있어서, 상기 듀티 조절 제어부는

상기 제1 지연 클록 신호의 천이 시점에서 상기 제2 지연 클록 신호의 레벨을 검출하거나 상기 제2 지연 클록 신호의 천이 시점에서 상기 제1 지연 클록 신호의 레벨을 검출하거나 이들을 조합하여 상기 검출된 레벨을 기초로 상기 듀티 조절 제어 코드를 생성하는 것을 특징으로 하는 지연 고정 루프.

청구항 18

제17항에 있어서, 상기 듀티 조절 제어부는

상기 검출된 레벨이 제1 레벨에 상응하는 경우에는 상기 듀티 조절 제어 코드를 증가시키고 상기 검출된 레벨이 제2 레벨에 상응하는 경우에는 상기 듀티 조절 제어 코드를 감소시키는 것을 특징으로 하는 지연 고정 루프.

청구항 19

제17항에 있어서, 상기 듀티 조절부는

상기 듀티 조절 제어 코드를 기초로 상기 제4 클록 신호를 지연시키고 상기 지연된 제4 클록 신호와 상기 제4 클록 신호를 기초로 상기 제4 클록 신호의 듀티비를 조절하는 것을 특징으로 하는 지연 고정 루프.

청구항 20

제19항에 있어서, 상기 듀티 조절부는

상기 제4 클록 신호의 천이 시점으로부터 상기 지연된 제4 클록 신호의 천이 시점까지 제1 논리 레벨을 가지고 상기 지연된 제4 클록 신호의 천이 시점으로부터 상기 제4 클록 신호의 다음 천이 시점까지 제2 논리 레벨을 가지도록, 상기 제4 클록 신호의 듀티비를 조절하는 것을 특징으로 하는 지연 고정 루프.

청구항 21

제20항에 있어서, 상기 듀티 조절부는

상기 듀티 조절 제어 코드를 기초로 상기 제1 클록 신호를 지연시키는 지연부;

상기 제4 클록 신호의 천이 시점에 상기 제4 클록 신호를 상기 제1 논리 레벨로 폴업하는 폴업부;

상기 지연된 제4 클록 신호의 천이 시점에 상기 폴업된 클록 신호를 상기 제2 논리 레벨로 폴다운하는 폴다운부; 및

상기 폴업 또는 폴다운된 입력 클록 신호의 논리 레벨을 유지하는 래치부를 포함하는 것을 특징으로 하는 지연 고정 루프.

청구항 22

제16항에 있어서, 상기 목표 듀티비가 50%에 상응하는 경우에는 상기 제1 지연 클록 신호는 상기 제1 클록 신호와 위상차가 180도인 클록 신호에 상응하고 상기 제2 지연 클록 신호는 상기 제1 클록 신호와 위상차가 360도인 클록 신호에 상응하는 것을 특징으로 하는 지연 고정 루프.

청구항 23

제22항에 있어서, 상기 제어부는

상기 위상차를 기초로 딜레이 제어 코드를 생성하는 지연 제어부를 더 포함하고,

상기 지연 라인은 상기 생성된 딜레이 제어 코드를 기초로 상기 지연 클록 신호들 간의 지연 시간 간격을 조절하는 것을 특징으로 하는 지연 고정 루프.

청구항 24

제23항에 있어서, 상기 듀티 조절 제어부는

상기 지연 제어부가 상기 제4 클록 신호를 상기 제1 클록 신호에 최초로 고정하기 전에는, 상기 제1 클록 신호를 상기 제4 클록 신호로 출력하는 것을 특징으로 하는 지연 고정 루프.

청구항 25

제1 클록 신호와 위상이 동일한 제3 클록 신호를 순차적으로 지연시켜 제2 클록 신호와 위상이 동일한 제4 클록 신호를 포함하는 복수개의 지연 클록 신호들을 생성하고 제1 및 제2 클록 신호들 간의 위상차를 검출하며 상기 위상차를 기초로 상기 지연 클록 신호들 간의 지연 시간 간격을 제어하고 상기 지연 클록 신호들을 기초로 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 제어하는 지연 고정 루프(DLL, Delay-Locked Loop)를 포함하는 집적 회로.

청구항 26

제25항에 있어서, 상기 집적 회로는

동기식 디램(Synchronous DRAM, Dynamic Random Access Memory) 장치, 직렬-역직렬(Serialization/Deserialization) 회로, 디지털 TV에서 사용되는 타이밍 신호 생성기 및 타임-인터리빙 아날로그-디지털 변환기(Time-interleaving ADC, Analog-to-digital Converter)를 포함하는 것을 특징으로 하는 집적 회로.

청구항 27

제25항에 있어서, 상기 지연 고정 루프는

상기 제1 및 제2 클록 신호들 간의 위상차를 검출하는 위상 검출기;

상기 제3 클록 신호를 순차적으로 지연시켜 상기 제4 클록 신호를 포함하는 상기 지연 클록 신호들을 생성하는 지연 라인; 및

상기 위상차를 기초로 상기 지연 클록 신호들 간의 지연 시간 간격을 제어하고 상기 지연 클록 신호들을 기초로 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 제어하는 제어부를 포함하는 집적 회로.

청구항 28

제27항에 있어서, 상기 제어부는

상기 지연 클록 신호들 중 목표 듀티비를 적절하게 검출할 수 있는 제1 및 제2 지연 클록 신호들을 기초로 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 조절하는 것을 특징으로 하는 집적 회로.

청구항 29

제28항에 있어서, 상기 제어부는

상기 제1 지연 클록 신호의 전이 시점에서 상기 제2 지연 클록 신호의 레벨, 상기 제2 지연 클록 신호의 전이 시점에서 상기 제1 지연 클록 신호의 레벨 또는 양자 모두를 검출하여, 상기 검출된 레벨을 기초로 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 조절하는 것을 특징으로 하는 집적 회로.

청구항 30

제29항에 있어서, 상기 제어부는

상기 검출된 레벨이 제1 레벨에 상응하는 경우에는 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 증가시키고 상기 검출된 레벨이 제2 레벨에 상응하는 경우에는 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 감소시

키는 것을 특징으로 하는 집적 회로.

청구항 31

제28항에 있어서, 상기 제어부는

상기 제2 클록 신호가 상기 제4 클록 신호와 동일한 경우에는 상기 제1 클록 신호의 듀티비를 조절하는 것을 특징으로 하는 집적 회로.

청구항 32

제31항에 있어서, 상기 제어부는

상기 제1 및 제2 지연 클록 신호들을 기초로 듀티 조절 제어 코드를 생성하는 듀티 조절 제어부; 및

상기 생성된 듀티 조절 제어 코드를 기초로 상기 제1 클록 신호의 듀티비를 조절하는 듀티 조절부를 포함하는 것을 특징으로 하는 집적 회로.

청구항 33

제32항에 있어서, 상기 목표 듀티비가 50%에 상응하는 경우에는 상기 제1 지연 클록 신호는 상기 제3 클록 신호와 위상차가 180도인 클록 신호에 상응하고 상기 제2 지연 클록 신호는 상기 제3 클록 신호와 위상차가 360도인 클록 신호에 상응하는 것을 특징으로 하는 집적 회로.

청구항 34

제33항에 있어서, 상기 제어부는

상기 위상차를 기초로 딜레이 제어 코드를 생성하는 지연 제어부를 더 포함하고,

상기 지연 라인은 상기 생성된 딜레이 제어 코드를 기초로 상기 지연 클록 신호들 간의 지연 시간 간격을 조절하는 것을 특징으로 하는 집적 회로.

청구항 35

제34항에 있어서, 상기 듀티 조절 제어부는

상기 지연 제어부가 상기 제4 클록 신호를 상기 제3 클록 신호에 최초로 고정하기 전에는, 상기 제3 클록 신호를 상기 제1 클록 신호로 출력하는 것을 특징으로 하는 집적 회로.

청구항 36

제28항에 있어서, 상기 제어부는

상기 제1 클록 신호가 상기 제3 클록 신호와 동일한 경우에는 상기 제4 클록 신호의 듀티비를 조절하는 것을 특징으로 하는 집적 회로.

청구항 37

제36항에 있어서, 상기 제어부는

상기 제1 및 제2 지연 클록 신호들을 기초로 듀티 조절 제어 코드를 생성하는 듀티 조절 제어부; 및

상기 생성된 듀티 조절 제어 코드를 기초로 상기 제4 클록 신호의 듀티비를 조절하는 듀티 조절부를 포함하는 것을 특징으로 하는 집적 회로.

청구항 38

제37항에 있어서, 상기 목표 듀티비가 50%에 상응하는 경우에는 상기 제1 지연 클록 신호는 상기 제1 클록 신호와 위상차가 180도인 클록 신호에 상응하고 상기 제2 지연 클록 신호는 상기 제1 클록 신호와 위상차가 360도인 클록 신호에 상응하는 것을 특징으로 하는 집적 회로.

청구항 39

제38항에 있어서, 상기 제어부는

상기 위상차를 기초로 딜레이 제어 코드를 생성하는 지연 제어부를 더 포함하고,

상기 지연 라인은 상기 생성된 딜레이 제어 코드를 기초로 상기 지연 클록 신호들 간의 지연 시간 간격을 조절하는 것을 특징으로 하는 집적 회로.

청구항 40

제39항에 있어서, 상기 듀티 조절 제어부는

상기 지연 제어부가 상기 제4 클록 신호를 상기 제1 클록 신호에 최초로 고정하기 전에는, 상기 제1 클록 신호를 상기 제4 클록 신호로 출력하는 것을 특징으로 하는 집적 회로.

청구항 41

제1 클록 신호와 위상이 동일한 제3 클록 신호를 순차적으로 지연시켜 제2 클록 신호와 위상이 동일한 제4 클록 신호를 포함하는 복수개의 지연 클록 신호들을 생성하는 단계;

상기 제1 및 제2 클록 신호들 간의 위상차를 검출하는 단계;

상기 위상차를 기초로 상기 지연 클록 신호들 간의 지연 시간 간격을 제어하는 단계; 및

상기 지연 클록 신호들을 기초로 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 제어하는 단계를 포함하는 지연 고정 루프(DLL, Delay-Locked Loop)를 구동하는 방법.

청구항 42

제41항에 있어서, 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 제어하는 단계는

상기 지연 클록 신호들 중 목표 듀티비를 적절하게 검출할 수 있는 제1 및 제2 지연 클록 신호들을 기초로 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 조절하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 43

제42항에 있어서, 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 제어하는 단계는

상기 제1 지연 클록 신호의 천이 시점에서 상기 제2 지연 클록 신호의 레벨, 상기 제2 지연 클록 신호의 천이 시점에서 상기 제1 지연 클록 신호의 레벨 또는 양자 모두를 검출하여, 상기 검출된 레벨을 기초로 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 조절하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 44

제43항에 있어서, 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 제어하는 단계는

상기 검출된 레벨이 제1 레벨에 상응하는 경우에는 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 증가시키는 단계; 및

상기 검출된 레벨이 제2 레벨에 상응하는 경우에는 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 감소시키는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 45

제42항에 있어서, 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 제어하는 단계는

상기 제2 클록 신호가 상기 제4 클록 신호와 동일한 경우에는 상기 제1 클록 신호의 듀티비를 조절하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 46

제45항에 있어서, 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 제어하는 단계는

상기 제1 및 제2 지연 클록 신호들을 기초로 듀티 조절 제어 코드를 생성하는 단계; 및

상기 생성된 듀티 조절 제어 코드를 기초로 상기 제1 클록 신호의 듀티비를 조절하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 47

제46항에 있어서, 상기 듀티 조절 제어 코드를 생성하는 단계는

상기 제1 지연 클록 신호의 천이 시점에서 상기 제2 지연 클록 신호의 레벨을 검출하거나 상기 제2 지연 클록 신호의 천이 시점에서 상기 제1 지연 클록 신호의 레벨을 검출하거나 이들을 조합하여 상기 검출된 레벨을 기초로 상기 듀티 조절 제어 코드를 생성하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 48

제47항에 있어서, 상기 듀티 조절 제어 코드를 생성하는 단계는

상기 검출된 레벨이 제1 레벨에 상응하는 경우에는 상기 듀티 조절 제어 코드를 증가시키는 단계; 및

상기 검출된 레벨이 제2 레벨에 상응하는 경우에는 상기 듀티 조절 제어 코드를 감소시키는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 49

제47항에 있어서, 상기 제1 클록 신호의 듀티비를 조절하는 단계는

상기 듀티 조절 제어 코드를 기초로 상기 제1 클록 신호를 지연시키는 단계; 및

상기 지연된 제1 클록 신호와 상기 제1 클록 신호를 기초로 상기 제1 클록 신호의 듀티비를 조절하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 50

제49항에 있어서, 상기 제1 클록 신호의 듀티비를 조절하는 단계는

상기 제1 클록 신호의 천이 시점으로부터 상기 지연된 제1 클록 신호의 천이 시점까지 제1 논리 레벨을 가지고 상기 지연된 제1 클록 신호의 천이 시점으로부터 상기 제1 클록 신호의 다음 천이 시점까지 제2 논리 레벨을 가지도록, 상기 제1 클록 신호의 듀티비를 조절하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 51

제42항에 있어서, 상기 목표 듀티비가 50%에 상응하는 경우에는 상기 제1 지연 클록 신호는 상기 제3 클록 신호와 위상차가 180도인 클록 신호에 상응하고 상기 제2 지연 클록 신호는 상기 제3 클록 신호와 위상차가 360도인 클록 신호에 상응하는 것을 특징으로 하는 방법.

청구항 52

제51항에 있어서, 기 지연 클록 신호들 간의 지연 시간 간격을 제어하는 단계는

상기 위상차를 기초로 딜레이 제어 코드를 생성하는 단계; 및

상기 생성된 딜레이 제어 코드를 기초로 상기 지연 클록 신호들 간의 지연 시간 간격을 조절하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 53

제52항에 있어서, 상기 제1 클록 신호의 듀티비를 조절하는 단계는

상기 제4 클록 신호가 상기 제3 클록 신호에 최초로 고정되기 전에는 상기 제3 클록 신호를 상기 제1 클록 신호로 출력하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 54

제42항에 있어서, 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 제어하는 단계는

상기 제1 클록 신호가 상기 제3 클록 신호와 동일한 경우에는 상기 제4 클록 신호의 듀티비를 조절하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 55

제54항에 있어서, 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 제어하는 단계는

상기 제1 및 제2 지연 클록 신호들을 기초로 듀티 조절 제어 코드를 생성하는 단계; 및

상기 생성된 듀티 조절 제어 코드를 기초로 상기 제4 클록 신호의 듀티비를 조절하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 56

제55항에 있어서, 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 제어하는 단계는

상기 제1 지연 클록 신호의 천이 시점에서 상기 제2 지연 클록 신호의 레벨을 검출하거나 상기 제2 지연 클록 신호의 천이 시점에서 상기 제1 지연 클록 신호의 레벨을 검출하거나 이들을 조합하여 상기 검출된 레벨을 기초로 상기 듀티 조절 제어 코드를 생성하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 57

제56항에 있어서, 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 제어하는 단계는

상기 검출된 레벨이 제1 레벨에 상응하는 경우에는 상기 듀티 조절 제어 코드를 증가시키는 단계; 및

상기 검출된 레벨이 제2 레벨에 상응하는 경우에는 상기 듀티 조절 제어 코드를 감소시키는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 58

제57항에 있어서, 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 제어하는 단계는

상기 듀티 조절 제어 코드를 기초로 상기 제4 클록 신호를 지연시키는 단계; 및

상기 지연된 제4 클록 신호와 상기 제4 클록 신호를 기초로 상기 제4 클록 신호의 듀티비를 조절하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 59

제58항에 있어서, 상기 제4 클록 신호의 듀티비를 조절하는 단계는

상기 제4 클록 신호의 천이 시점으로부터 상기 지연된 제4 클록 신호의 천이 시점까지 제1 논리 레벨을 가지고 상기 지연된 제4 클록 신호의 천이 시점으로부터 상기 제4 클록 신호의 다음 천이 시점까지 제2 논리 레벨을 가지도록, 상기 제4 클록 신호의 듀티비를 조절하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 60

제42항에 있어서, 상기 목표 듀티비가 50%에 상응하는 경우에는 상기 제1 지연 클록 신호는 상기 제1 클록 신호와 위상차가 180도인 클록 신호에 상응하고 상기 제2 지연 클록 신호는 상기 제1 클록 신호와 위상차가 360도인 클록 신호에 상응하는 것을 특징으로 하는 방법.

청구항 61

제60항에 있어서, 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 제어하는 단계는

상기 위상차를 기초로 딜레이 제어 코드를 생성하는 단계; 및

상기 생성된 딜레이 제어 코드를 기초로 상기 지연 클록 신호들 간의 지연 시간 간격을 조절하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 62

제61항에 있어서, 상기 제4 클록 신호의 듀티비를 조절하는 단계는

상기 제4 클록 신호가 상기 제1 클록 신호에 최초로 고정되기 전에는, 상기 제1 클록 신호를 상기 제4 클록 신호로 출력하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 63

입력 클록 신호를 제공하는 클록 소스; 및

저장부, 상기 입력 클록 신호를 기초로 출력 클록 신호의 위상을 고정하는 지연 고정 루프, 상기 출력 클록 신호를 기초로 제1 외부 장치로부터 입력받은 제1 데이터를 상기 저장부에 저장하고 상기 출력 클록 신호를 기초로 상기 저장부에 저장된 제2 데이터를 제2 외부 장치에 출력하는 입출력 버퍼를 포함하는 메모리를 포함하고,

상기 지연 고정 루프는 제1 클록 신호와 위상이 동일한 제3 클록 신호를 순차적으로 지연시켜 제2 클록 신호와 위상이 동일한 제4 클록 신호를 포함하는 복수개의 지연 클록 신호들을 생성하고 제1 및 제2 클록 신호들 간의 위상차를 검출하며 상기 위상차를 기초로 상기 지연 클록 신호들 간의 지연 시간 간격을 제어하고 상기 지연 클록 신호들을 기초로 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 제어하는 컴퓨팅 시스템.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <13> 본 발명은 지연 고정 루프에 관한 것으로 특히, 입력 클록 신호의 듀티비를 제어하기 위한 지연 고정 루프, 이를 포함하는 집적 회로 및 이를 구동하는 방법에 관한 것이다.
- <14> 전자 공학에 있어서, 지연 고정 루프(DLL, Delay-Locked Loop)는 위상 고정 루프(PLL, Phase Locked Loop)와 유사한 디지털 회로로, 지연 고정 루프는 반도체 메모리 장치와 같은 집적 회로의 타이밍 특성을 개선하기 위하여 클록 신호의 위상을 변경하는데 사용된다. 또한 지연 고정 루프는 클록 데이터 복구(clock data recover)를 위하여 사용될 수도 있다.
- <15> 예를 들어, DDR (Double Data Rate) 메모리 장치와 같은 반도체 장치에서는 클록 신호를 기준 클록 신호에 동기(lock)할 수 있는 지연 고정 루프뿐만 아니라 클록 신호의 듀티비가 약 50%로 유지시킬 수 있는 듀티비 보정 장치 역시 필요하다. 그러나 반도체 장치에서 별개의 듀티비 보정 장치가 구현되는 경우 반도체 장치의 크기와 가격이 증가된다.
- <16> 따라서 클록 신호를 기준 클록 신호에 동기(lock)할 수 있고 클록 신호의 듀티비를 제어할 수 있는 지연 고정 루프가 요구된다.

발명이 이루고자 하는 기술적 과제

- <17> 본 발명의 목적은 상기 종래 기술의 문제점을 해결하기 위하여 입력 클록 신호의 듀티비를 제어할 수 있는 지연 고정 루프를 제공하는데 있다.
- <18> 본 발명의 다른 목적은 상기 지연 고정 루프를 포함하는 집적 회로를 제공하는 데 있다.
- <19> 본 발명의 또 다른 목적은 상기 지연 고정 루프를 포함하는 컴퓨팅 시스템을 제공하는 데 있다.
- <20> 본 발명의 또 다른 목적은 입력 클록 신호의 듀티비를 제어할 수 있는 지연 고정 루프를 구동하는 방법을 제공하는 데 있다.

발명의 구성 및 작용

- <21> 상기 목적을 달성하기 위하여 본 발명의 지연 고정 루프는 위상 검출기, 지연 라인 및 제어부를 포함한다.
- <22> 위상 검출기는 제1 및 제2 클록 신호들 간의 위상차를 검출한다. 지연 라인은 상기 제1 클록 신호와 위상이 동일한 제3 클록 신호를 순차적으로 지연시켜 상기 제2 클록 신호와 위상이 동일한 제4 클록 신호를 포함하는 복

수개의 지연 클록 신호들을 생성한다. 제어부는 상기 위상차를 기초로 상기 지연 클록 신호들 간의 지연 시간 간격을 제어하고 상기 지연 클록 신호들을 기초로 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 제어한다.

- <23> 상기 제어부는 상기 지연 클록 신호들 중 목표 듀티비를 적절하게 검출할 수 있는 제1 및 제2 지연 클록 신호들을 기초로 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 조절할 수 있다. 예를 들어, 목표 듀티비가 50%에 상응하는 경우에는 상기 제1 및 제2 지연 클록 신호들은 각각 제1 클록 신호를 180도와 360도만큼 지연시킨 신호들에 상응할 수 있다.
- <24> 실시예에 따라, 상기 제어부는 상기 제1 지연 클록 신호의 천이 시점에서 상기 제2 지연 클록 신호의 레벨 및/또는 상기 제2 지연 클록 신호의 천이 시점에서 상기 제1 지연 클록 신호의 레벨을 검출하여, 상기 검출된 레벨을 기초로 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 조절할 수 있다. 예를 들어, 상기 제어부는 상기 검출된 레벨이 제1 레벨에 상응하는 경우에는 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 증가시킬 수 있고 상기 검출된 레벨이 제2 레벨에 상응하는 경우에는 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 감소시킬 수 있다.
- <25> 본 발명의 일 실시예에 따라, 상기 제어부는 상기 제2 클록 신호가 상기 제4 클록 신호와 동일한 경우에는 상기 제1 클록 신호의 듀티비를 조절할 수 있다.
- <26> 상기 제어부는 상기 제1 및 제2 지연 클록 신호들을 기초로 듀티 조절 제어 코드를 생성하는 듀티 조절 제어부 및 상기 생성된 듀티 조절 제어 코드를 기초로 상기 제1 클록 신호의 듀티비를 조절하는 듀티 조절부를 포함할 수 있다.
- <27> 상기 듀티 조절 제어부는 상기 제1 지연 클록 신호의 천이 시점에서 상기 제2 지연 클록 신호의 레벨을 검출하거나 상기 제2 지연 클록 신호의 천이 시점에서 상기 제1 지연 클록 신호의 레벨을 검출하거나 이들을 조합하여 상기 검출된 레벨을 기초로 상기 듀티 조절 제어 코드를 생성할 수 있다. 예를 들어, 상기 듀티 조절 제어부는 상기 검출된 레벨이 제1 레벨에 상응하는 경우에는 상기 듀티 조절 제어 코드를 증가시키고 상기 검출된 레벨이 제2 레벨에 상응하는 경우에는 상기 듀티 조절 제어 코드를 감소시킬 수 있다.
- <28> 상기 듀티 조절부는 상기 듀티 조절 제어 코드를 기초로 상기 제1 클록 신호를 지연시키고 상기 지연된 제1 클록 신호와 상기 제1 클록 신호를 기초로 상기 제1 클록 신호의 듀티비를 조절할 수 있다.
- <29> 상기 듀티 조절부는 상기 제1 클록 신호의 천이 시점으로부터 상기 지연된 제1 클록 신호의 천이 시점까지 제1 논리 레벨을 가지고 상기 지연된 제1 클록 신호의 천이 시점으로부터 상기 제1 클록 신호의 다음 천이 시점까지 제2 논리 레벨을 가지도록, 상기 제1 클록 신호의 듀티비를 조절할 수 있다.
- <30> 상기 듀티 조절부는 상기 듀티 조절 제어 코드를 기초로 상기 제1 클록 신호를 지연시키는 지연부, 상기 제1 클록 신호의 천이 시점에 상기 제1 클록 신호를 상기 제1 논리 레벨로 폴업하는 폴업부, 상기 지연된 제1 클록 신호의 천이 시점에 상기 폴업된 클록 신호를 상기 제2 논리 레벨로 폴다운하는 폴다운부 및 상기 폴업 또는 폴다운된 입력 클록 신호의 논리 레벨을 유지하는 래치부를 포함할 수 있다.
- <31> 예를 들어, 상기 목표 듀티비가 50%에 상응하는 경우에는 상기 제1 지연 클록 신호는 상기 제3 클록 신호와 위상차가 180도인 클록 신호에 상응할 수 있고 상기 제2 지연 클록 신호는 상기 제3 클록 신호와 위상차가 360도인 클록 신호에 상응할 수 있다.
- <32> 상기 제어부는 상기 위상차를 기초로 딜레이 제어 코드를 생성하는 지연 제어부를 더 포함할 수 있고, 상기 지연 라인은 상기 생성된 딜레이 제어 코드를 기초로 상기 지연 클록 신호들 간의 지연 시간 간격을 조절한다.
- <33> 필요에 따라, 상기 듀티 조절 제어부는 상기 지연 제어부가 상기 제2 클록 신호를 상기 제1 클록 신호에 최초로 고정하기 전에는, 상기 제3 클록 신호를 상기 제1 클록 신호로 출력할 수 있다.
- <34> 본 발명의 다른 일 실시예에 따라 상기 제어부는 상기 제1 클록 신호가 상기 제3 클록 신호와 동일한 경우에는 상기 제4 클록 신호의 듀티비를 조절할 수 있다.
- <35> 상기 제어부는 상기 제1 및 제2 지연 클록 신호들을 기초로 듀티 조절 제어 코드를 생성하는 듀티 조절 제어부 및 상기 생성된 듀티 조절 제어 코드를 기초로 상기 제4 클록 신호의 듀티비를 조절하는 듀티 조절부를 포함할 수 있다.
- <36> 상기 듀티 조절 제어부는 상기 제1 지연 클록 신호의 천이 시점에서 상기 제2 지연 클록 신호의 레벨 및 또는 상기 제2 지연 클록 신호의 천이 시점에서 상기 제1 지연 클록 신호의 레벨을 검출하여 상기 듀티 조절 제어 코

드를 생성할 수 있다. 예를 들어, 상기 듀티 조절 제어부는 상기 검출된 레벨이 제1 레벨에 상응하는 경우에는 상기 듀티 조절 제어 코드를 증가시킬 수 있고 상기 검출된 레벨이 제2 레벨에 상응하는 경우에는 상기 듀티 조절 제어 코드를 감소시킬 수 있다.

- <37> 상기 듀티 조절부는 상기 듀티 조절 제어 코드를 기초로 상기 제4 클록 신호를 지연시키고 상기 지연된 제4 클록 신호와 상기 제4 클록 신호를 기초로 상기 제4 클록 신호의 듀티비를 조절할 수 있다.
- <38> 상기 듀티 조절부는 상기 제4 클록 신호의 천이 시점으로부터 상기 지연된 제4 클록 신호의 천이 시점까지 제1 논리 레벨을 가지고 상기 지연된 제4 클록 신호의 천이 시점으로부터 상기 제4 클록 신호의 다음 천이 시점까지 제2 논리 레벨을 가지도록, 상기 제4 클록 신호의 듀티비를 조절할 수 있다.
- <39> 상기 듀티 조절부는 상기 듀티 조절 제어 코드를 기초로 상기 제1 클록 신호를 지연시키는 지연부, 상기 제4 클록 신호의 천이 시점에 상기 제4 클록 신호를 상기 제1 논리 레벨로 폴업하는 폴업부, 상기 지연된 제4 클록 신호의 천이 시점에 상기 폴업된 클록 신호를 상기 제2 논리 레벨로 폴다운하는 폴다운부 및 상기 폴업 또는 폴다운된 입력 클록 신호의 논리 레벨을 유지하는 래치부를 포함할 수 있다.
- <40> 예를 들어, 상기 목표 듀티비가 50%에 상응하는 경우에는 상기 제1 지연 클록 신호는 상기 제1 클록 신호와 위상차가 180도인 클록 신호에 상응할 수 있고, 상기 제2 지연 클록 신호는 상기 제1 클록 신호와 위상차가 360도인 클록 신호에 상응할 수 있다.
- <41> 상기 제어부는 상기 위상차를 기초로 딜레이 제어 코드를 생성하는 지연 제어부를 더 포함할 수 있고, 상기 지연 라인은 상기 생성된 딜레이 제어 코드를 기초로 상기 지연 클록 신호들 간의 지연 시간 간격을 조절할 수 있다.
- <42> 상기 듀티 조절 제어부는 상기 지연 제어부가 상기 제4 클록 신호를 상기 제1 클록 신호에 최초로 고정하기 전에는, 상기 제1 클록 신호를 상기 제4 클록 신호로 출력할 수 있다.
- <43> 상기 다른 목적을 달성하기 위하여 본 발명의 집적 회로는 제1 클록 신호와 위상이 동일한 제3 클록 신호를 순차적으로 지연시켜 제2 클록 신호와 위상이 동일한 제4 클록 신호를 포함하는 복수개의 지연 클록 신호들을 생성하고 제1 및 제2 클록 신호들 간의 위상차를 검출하며 상기 위상차를 기초로 상기 지연 클록 신호들 간의 지연 시간 간격을 제어하고 상기 지연 클록 신호들을 기초로 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 제어하는 지연 고정 루프(DLL, Delay-Locked Loop)를 포함한다.
- <44> 예를 들어, 상기 집적 회로는 동기식 디램(Synchronous DRAM, Dynamic Random Access Memory) 장치, 직렬-역직렬(Serialization/Deserialization) 회로, 디지털 TV에서 사용되는 타이밍 신호 생성기 및 타임-인터리빙 아날로그-디지털 변환기(Time-interleaving ADC, Analog-to-digital Converter)를 포함할 수 있다.
- <45> 상기 또 다른 목적을 달성하기 위하여 본 발명의 지연 고정 루프(DLL, Delay-Locked Loop)를 구동하는 방법은 제1 클록 신호와 위상이 동일한 제3 클록 신호를 순차적으로 지연시켜 제2 클록 신호와 위상이 동일한 제4 클록 신호를 포함하는 복수개의 지연 클록 신호들을 생성하는 단계, 상기 제1 및 제2 클록 신호들 간의 위상차를 검출하는 단계, 상기 위상차를 기초로 상기 지연 클록 신호들 간의 지연 시간 간격을 제어하는 단계 및 상기 지연 클록 신호들을 기초로 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 제어하는 단계를 포함한다.
- <46> 상기 또 다른 목적을 달성하기 위하여 본 발명의 컴퓨팅 시스템은 입력 클록 신호를 제공하는 클록 소스 및 저장부, 상기 입력 클록 신호를 기초로 출력 클록 신호의 위상을 고정하는 지연 고정 루프, 상기 출력 클록 신호를 기초로 제1 외부 장치로부터 입력받은 제1 데이터를 상기 저장부에 저장하고 상기 출력 클록 신호를 기초로 상기 저장부에 저장된 제2 데이터를 제2 외부 장치에 출력하는 입출력 버퍼를 포함하는 메모리를 포함하고, 상기 지연 고정 루프는 제1 클록 신호와 위상이 동일한 제3 클록 신호를 순차적으로 지연시켜 제2 클록 신호와 위상이 동일한 제4 클록 신호를 포함하는 복수개의 지연 클록 신호들을 생성하고 제1 및 제2 클록 신호들 간의 위상차를 검출하며 상기 위상차를 기초로 상기 지연 클록 신호들 간의 지연 시간 간격을 제어하고 상기 지연 클록 신호들을 기초로 상기 제1 및 제4 클록 신호들 중 하나의 듀티비를 제어한다.
- <47> 따라서 본 발명은 입력 클록 신호와 동기된 클록 신호를 제공할 수 있을 뿐만 아니라 입력 클록 신호를 지연시켜 생성된 지연 클록 신호들을 이용하여 입력 클록 신호의 듀티비를 제공할 수 있다.
- <48> 또한, 본 발명은 클록 신호의 듀티비에 에러가 있는 경우에는 입력 클록 신호가 목표 듀티비를 가지도록 입력 클록 신호의 듀티비를 제어할 수 있다.

- <49> 본문에 개시되어 있는 본 발명의 실시예들에 대해서, 특정한 구조적 내지 기능적 설명들은 단지 본 발명의 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 실시예들은 다양한 형태로 실시될 수 있으며 본문에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 된다.
- <50> 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.
- <51> 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위로부터 이탈되지 않은 채 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.
- <52> 어떤 구성요소가 다른 구성요소에 "연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "직접 연결되어" 있다거나 "직접 접속되어" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "~사이에"와 "바로 ~사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.
- <53> 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 실시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- <54> 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- <55> 한편, 어떤 실시예가 달리 구현 가능한 경우에 특정 블록 내에 명기된 기능 또는 동작이 순서도에 명기된 순서와 다르게 일어날 수도 있다. 예를 들어, 연속하는 두 블록이 실제로는 실질적으로 동시에 수행될 수도 있고, 관련된 기능 또는 동작에 따라서는 상기 블록들이 거꾸로 수행될 수도 있다.
- <56> 이하 본 발명의 실시예들을 도면과 함께 설명하고자 한다.
- <57> 도 1은 본 발명의 일 실시예에 따른 지연 고정 루프의 구성을 나타내는 블록도이다.
- <58> 도 1을 참조하면, 지연 고정 루프(100)는 위상 검출기(110), 지연 라인(120) 및 제어부(110)를 포함한다.
- <59> 위상 검출기(110)는 제1 및 제2 클럭 신호들 간의 위상차를 검출한다. 예를 들어, 제1 클럭 신호는 외부로부터 입력되는 입력 클럭 신호(ICLK)(예를 들어, 기준 클럭 신호)에 상응할 수 있고, 제2 클럭 신호는 지연 라인(120)으로부터 출력되는 출력 클럭 신호(OLCK)에 상응할 수 있다.
- <60> 지연 라인(120)은 제1 클럭 신호(ICLK)와 위상이 실질적으로 동일한 제3 클럭 신호(DCCLK)(즉, 듀티 제어 클럭 신호)를 순차적으로 지연시켜 제2 클럭 신호(OLCK)와 위상이 실질적으로 동일한 제4 클럭 신호(OLCK)를 포함하는 복수개의 지연 클럭 신호들을 생성한다.
- <61> 예를 들어, 지연 고정 루프(100)가 제1 클럭 신호(ICLK)의 듀티비를 50%로 조절하고자 하는 경우에는 복수개의 지연 클럭 신호들은 입력 클럭 신호의 위상을 180도 및 360도만큼 각각 지연시킨 신호들(PH180, PH360)을 포함할 수 있고, 제4 클럭 신호(OLCK)는 입력 클럭 신호의 위상을 360도만큼 지연시킨 신호(PH360)와 실질적으로 동일할 수 있다.
- <62> 제어부(130)는 듀티 조절부(132) 및 듀티 조절 제어부(134a)와 지연 제어부(134b)를 포함하는 유한 상태 머신(FSM, Finite State Machine)(134)을 포함하며, 위상 검출기(110)에 의하여 검출된 위상차를 기초로 지연 라인(120)의 지연 클럭 신호들 간의 지연 시간 간격을 제어하고 지연 클럭 신호들을 기초로 제1 클럭 신호(ICLK)의

듀티비를 제어한다.

- <63> 보다 구체적으로, 듀티 조절 제어부(134a)는 제1 및 제2 지연 클록 신호들(PH180, PH360)을 기초로 듀티 조절 제어 코드(DACC)를 생성하고, 듀티 조절부(132)는 듀티 조절 제어 코드(DACC)를 기초로 제1 클록 신호(ICLK)의 듀티비를 조절하며, 지연 제어부(134b)는 위상 검출기(110)의 위상차를 기초로 딜레이 제어 코드(DLCC)를 생성하여 지연 라인(120)이 딜레이 제어 코드(DLCC)를 기초로 지연 클록 신호들 간의 지연 시간 간격을 조절하도록 한다.
- <64> 이하, 도 2 내지 도 6을 참조하여 지연 고정 루프(100)가 제1 클록 신호(ICLK)의 듀티비를 조절하는 과정을 설명하기로 한다.
- <65> 도 2는 도 1의 듀티 조절부를 나타내는 회로도이고, 도 3은 도 2의 듀티 조절부의 동작을 설명하기 위한 타이밍도다.
- <66> 도 2를 참조하면, 듀티 조절부(132)는 지연부(210), 폴업부(220), 폴다운부(230) 및 래치부(240)를 포함한다.
- <67> 듀티 조절부(132)는 듀티 조절 제어 코드(DACC)를 기초로 제1 클록 신호(ICLK)를 지연시키고 지연된 제1 클록 신호(in_d)와 제1 클록 신호(ICLK)를 기초로 제1 클록 신호(ICLK)의 듀티비를 조절한다.
- <68> 지연부(210)는 듀티 조절 제어부(134a)로부터 출력된 듀티 조절 제어 코드(DACC)를 기초로 제1 클록 신호(ICLK)를 지연시킨다. 즉, 지연부(210)는 듀티 조절 제어 코드(DACC)를 기초로 제1 클록 신호(ICLK)를 가변적으로 지연시킬 수 있다.
- <69> 폴업부(220)는 제1 클록 신호(ICLK)의 천이 시점에 제1 클록 신호(ICLK)를 제1 논리 레벨(예를 들어, 논리 하이)로 폴업시킨다. 즉, 폴업부(220)는 제1 클록 신호(ICLK)의 천이 시점에 제3 클록 신호(DCCLK)를 제1 논리 레벨(예를 들어, 논리 하이)로 폴업시킨다.
- <70> 폴다운부(230)는 지연부(210)에 의하여 지연된 제1 클록 신호(in_d)의 천이 시점에 폴업부(220)에 의하여 폴업된 클록 신호(DCCLK)를 제2 논리 레벨(예를 들어, 논리 로우)로 폴다운시킨다.
- <71> 즉, 듀티 조절부(132)는 제1 클록 신호(ICLK)의 천이 시점으로부터 지연된 제1 클록 신호(in_d)의 천이 시점까지 제1 논리 레벨(예를 들어, 논리 하이)을 가지고 지연된 제1 클록 신호(in_d)의 천이 시점으로부터 제1 클록 신호(ICLK)의 다음 천이 시점까지 제2 논리 레벨(예를 들어, 논리 로우)을 가지도록, 제1 클록 신호(ICLK)의 듀티비를 조절할 수 있다.
- <72> 따라서 듀티 조절부(132)는 듀티 조절 제어 코드(DACC)를 기초로 제1 클록 신호(ICLK)의 듀티비를 조절할 수 있다.
- <73> 도 4는 도 1의 듀티 조절 제어부를 나타내는 블록도이고, 도 5 및 도 6은 듀티 조절 제어부의 동작을 설명하기 위한 타이밍도들이다.
- <74> 도 4를 참조하면, 듀티 조절 제어부(134a)는 제1 래치 회로(410), 제2 래치 회로(420) 및 듀티 조절 제어 코드 생성부(430)를 포함한다.
- <75> 제1 래치 회로(410)는 제2 지연 클록 신호(PH360)의 천이 시점에서 제1 지연 클록 신호(PH180)의 레벨을 검출하고, 제2 래치 회로(420)는 제1 지연 클록 신호(PH180)의 천이 시점에서 제2 지연 클록 신호(PH360)의 레벨을 검출한다.
- <76> 듀티 조절 제어 코드 생성부(430)는 제1 래치 회로(410)로부터 검출된 레벨 및/또는 제2 래치 회로(420)로부터 검출된 레벨을 기초로 듀티 조절 제어 코드(DACC)를 생성한다.
- <77> 듀티 조절 제어 코드 생성부(430)는 도 5에 도시된 바와 같이 제1 래치 회로(410) 및/또는 제2 래치 회로(420)로부터 검출된 레벨이 제1 레벨(예를 들어, 논리 로우)에 상응하는 경우에는 듀티 조절 제어 코드(DACC)를 증가시키고 도 6에 도시된 바와 같이 제1 래치 회로(410) 및/또는 제2 래치 회로(420)로부터 검출된 레벨이 제2 레벨(예를 들어, 논리 하이)에 상응하는 경우에는 듀티 조절 제어 코드(DACC)를 감소시킨다.
- <78> 결론적으로, 제어부(130)가 제1 클록 신호(ICLK)의 듀티비를 목표 듀티비(예를 들어, 50%)로 조절하는 과정은 다음과 같이 설명된다.
- <79> 제어부(130)는 제1 지연 클록 신호(PH180)의 천이 시점에서 제2 지연 클록 신호(PH360)의 레벨, 제2 지연 클록 신호(PH360)의 천이 시점에서 제1 지연 클록 신호(PH180)의 레벨 또는 양자 모두(즉, 제1 지연 클록 신호(PH180)의 천이

시점에서 제2 지연 클록 신호(PH360)의 레벨과 제2 지연 클록(PH360)의 천이 시점에서 제1 지연 클록(PH180)의 레벨)를 검출하여, 검출된 레벨을 기초로 제1 클록 신호(ICLK)의 듀티비를 조절한다.

- <80> 예를 들어, 제어부(130)는 검출된 레벨이 제1 레벨(예를 들어, DOWN)에 상응하는 경우에는 제1 클록 신호의 듀티비를 증가시키고 검출된 레벨이 제2 레벨(예를 들어, UP)에 상응하는 경우에는 제1 클록 신호(ICLK)의 듀티비를 감소시킬 수 있다.
- <81> 실시예에 따라, 듀티 조절 제어부(134a)는 지연 제어부(134b)가 제4 클록 신호(OCLK)를 제1 클록 신호(ICLK)에 최초로 고정하기 전에는, 제3 클록 신호(DCCLK)를 제1 클록 신호(ICLK)로 출력할 수 있다. 즉, 지연 제어부(134b)가 제1 및 제2 클록 신호들(ICLK, OCLK)의 위상을 고정시키기 전까지는 듀티 조절 제어부(134a)는 듀티 조절부(132)로 하여금 제1 클록 신호(ICLK)의 듀티비를 조절하지 않도록 제어할 수 있다.
- <82> 도 7은 도 1의 지연 고정 루프가 듀티비가 30%인 입력 클록 신호를 입력받고 듀티비를 50%로 조정하는 시뮬레이션 결과를 나타내는 그래프이고, 도 8은 입력 클록 신호의 듀티비 변화에 따른 출력 클록 신호의 듀티비를 나타내는 그래프이다.
- <83> 도 7 및 도 8은 입력 클록 신호가 800Mhz의 주파수를 가진다고 가정하였다.
- <84> 도 7은 도 1의 지연 고정 루프(100)로부터 출력된 두 개의 지연 클록 신호들(PH180, PH360)은 각각 약 50.24%의 듀티비를 가지고 있음을 보여주고, 도 8은 도 1의 지연 고정 루프(100)가 약 23% ~ 약 80% 듀티비를 가지는 입력 클록 신호를 입력받고 약 49.76% ~ 약 50.24%를 가지는 출력 클록 신호를 출력함을 나타낸다.
- <85> 도 9는 본 발명의 다른 일 실시예에 따른 지연 고정 루프의 구성을 나타내는 블록도이다.
- <86> 도 9를 참조하면, 지연 고정 루프(900)는 위상 검출기(910), 지연 라인(920) 및 제어부(930)를 포함한다. 위상 검출기(910), 지연 라인(920) 및 제어부(930)는 각각 도 1에 도시된 위상 검출기(110), 지연 라인(120) 및 제어부(130)와 실질적으로 동일한 기능을 가지나 다른 입력 신호를 입력받는다.
- <87> 위상 검출기(910)는 제1 및 제2 클록 신호들 간의 위상차를 검출한다. 예를 들어, 제1 클록 신호는 외부로부터 입력되는 입력 클록 신호(ICLK)(예를 들어, 기준 클록 신호)에 상응할 수 있고, 제2 클록 신호는 제어부(130)로부터 출력되는 듀티 제어 클록 신호(DCCLK)에 상응할 수 있다.
- <88> 지연 라인(920)은 제1 클록 신호(ICLK)와 위상이 실질적으로 동일한 제3 클록 신호(ICLK)를 순차적으로 지연시켜 제2 클록 신호(DCCLK)와 위상이 실질적으로 동일한 제4 클록 신호(OCLK)를 포함하는 복수개의 지연 클록 신호들을 생성한다. 예를 들어, 제4 클록 신호(OCLK)는 입력 클록 신호의 위상을 360도만큼 지연시킨 신호(PH360)에 상응할 수 있다.
- <89> 예를 들어, 지연 고정 루프(900)가 제1 클록 신호(ICLK)의 듀티비를 50%로 조절하고자 하는 경우에는 복수개의 지연 클록 신호들은 입력 클록 신호의 위상을 180도 및 360도만큼 각각 지연시킨 신호들(PH180, PH360)을 포함할 수 있다.
- <90> 제어부(930)는 듀티 조절부(932) 및 유한 상태 머신(FSM, Finite State Machine)(934)을 포함하며, 위상 검출기(910)에 의하여 검출된 위상차를 기초로 지연 라인(920)의 지연 클록 신호들 간의 지연 시간 간격을 제어하고 지연 클록 신호들을 기초로 제4 클록 신호(OCLK)의 듀티비를 제어한다.
- <91> 보다 구체적으로, 듀티 조절 제어부(934a)는 제1 및 제2 지연 클록 신호들(PH180, PH360)을 기초로 듀티 조절 제어 코드(DACC)를 생성하고, 듀티 조절부(932)는 듀티 조절 제어 코드(DACC)를 기초로 제1 클록 신호(ICLK)의 듀티비를 조절하며, 지연 제어부(934b)는 위상 검출기(110)의 위상차를 기초로 딜레이 제어 코드(DLCC)를 생성하여 지연 라인(920)이 딜레이 제어 코드(DLCC)를 기초로 지연 클록 신호들 간의 지연 시간 간격을 조절하도록 한다.
- <92> 도 1 및 도 9를 다시 참조하면, 지연 고정 루프는 위상 검출기, 지연 라인 및 제어부를 포함한다.
- <93> 위상 검출기는 제1 및 제2 클록 신호들 간의 위상차를 검출한다. 도 1의 경우 제1 및 제2 클록 신호들은 각각 입력 클록 신호(ICLK)와 지연 라인(120)으로부터 출력된 출력 클록 신호(OCLK)에 상응하고, 도 9의 경우 제1 및 제2 클록 신호들은 각각 입력 클록 신호(ICLK)와 제어부(930)로부터 출력된 듀티 제어 클록 신호(DCCLK)에 상응한다.
- <94> 지연 라인은 제1 클록 신호와 위상이 실질적으로 동일한 제3 클록 신호를 순차적으로 지연시켜 제2 클록 신호와

위상이 실질적으로 동일한 제4 클록 신호를 포함하는 복수개의 지연 클록 신호들을 생성한다.

- <95> 도 1의 경우 지연 라인(120)은 입력 클록 신호(ICLK)와 위상이 실질적으로 동일한 듀티 제어 클록 신호(DCCLK)를 지연시켜 출력 클록 신호(OLCK)와 위상이 실질적으로 동일한 제4 클록 신호(OLCK)를 포함하는 복수개의 지연 클록 신호들을 생성하며, 도 9의 경우 지연 라인(920)은 입력 클록 신호(ICLK)와 위상이 실질적으로 동일한 입력 클록 신호(ICLK)를 지연시켜 출력 클록 신호(OLCK)와 위상이 실질적으로 동일한 제4 클록 신호(즉, 입력 클록 신호의 위상을 360도만큼 지연 시킨 신호)를 포함하는 복수개의 지연 클록 신호들을 생성한다.
- <96> 예를 들어, 지연 고정 루프가 제1 클록 신호(ICLK)의 듀티비를 50%로 조절하고자 하는 경우에는 복수개의 지연 클록 신호들은 입력 클록 신호의 위상을 180도 및 360도만큼 각각 지연시킨 신호들(PH180, PH360)을 포함할 수 있다.
- <97> 제어부는 위상 검출기로부터 검출된 위상차를 기초로 지연 클록 신호들 간의 지연 시간 간격을 제어하고 지연 클록 신호들을 기초로 제1 및 제4 클록 신호들 중 하나의 듀티비를 제어한다. 예를 들어, 도 1의 경우 제어부(130)는 제1 클록 신호(ICLK)의 듀티비를 제어할 수 있고 도 9의 경우 제어부(930)는 제4 클록 신호(OLCK)의 듀티비를 제어할 수 있다.
- <98> 목표 듀티비가 50%에 상응한다면 제어부는 지연 클록 신호들 중 목표 듀티비를 적절하게 검출할 수 있는 제1 및 제2 지연 클록 신호들(PH180, PH360)을 기초로 제1 및 제4 클록 신호들(ICLK, OLCK) 중 하나의 듀티비를 조절한다.
- <99> 결론적으로, 지연 고정 루프는 도 1에서와 같이 제2 클록 신호와 제4 클록 신호가 실질적으로 동일한 경우에는 제1 클록 신호의 듀티비를 조절하고, 도 9에서와 같이 제1 클록 신호가 제3 클록 신호와 실질적으로 동일한 경우에는 제4 클록 신호의 듀티비를 조절한다.
- <100> 지연 고정 루프 내에 포함된 위상 검출기, 지연 라인 및 제어부의 구체적인 동작은 도 2 내지 도 6에서 설명되었으므로 여기에서는 생략한다.
- <101> 도 10은 도 1 또는 도 9에 나타난 지연 고정 루프를 채택한 집적 회로를 나타내는 블록도이다.
- <102> 도 10을 참조하면, 집적 회로(1000)는 지연 고정 루프(1010) 및 내부 회로(1020)를 포함하고, 예를 들어 집적 회로(1100)는 동기식 디램(Synchronous DRAM, Dynamic Random Access Memory) 장치, 직렬-역직렬(Serialization/Deserialization) 회로, 디지털 TV에서 사용되는 타이밍 신호 생성기 및 타임-인터리빙 아날로그-디지털 변환기(Time-interleaving ADC, Analog-to-digital Converter)를 포함할 수 있다.
- <103> 지연 고정 루프(1010)는 도 1 또는 도 9에 나타난 지연 고정 루프와 실질적으로 동일하므로 구체적인 동작은 생략한다.
- <104> 내부 회로(1020)는 지연 고정 루프(1010)로부터 출력된 출력 클록 신호(OLCK)를 기초로 동작한다.
- <105> 도 11은 도 1 또는 도 9에 나타난 지연 고정 루프를 채택한 컴퓨팅 시스템을 나타내는 블록도이다.
- <106> 도 11을 참조하면, 컴퓨팅 시스템(1100)은 클록 소스(1110) 및 메모리(1120)를 포함한다.
- <107> 클록 소스(1110)는 입력 클록 신호(ICLK)를 제공한다. 예를 들어, 입력 클록 신호(ICLK)는 별개의 클록을 생성하는 클록 생성기로부터 출력되는 클록 신호일 수 있고, 메인 프로세서(미도시됨)로부터 제공되는 외부 클록 신호에 상응할 수 있다.
- <108> 메모리(1120)는 지연 고정 루프(1122), 입출력 버퍼(1124) 및 저장부(1126)를 포함할 수 있다.
- <109> 지연 고정 루프(1122)는 도 1 또는 도 9에 나타난 지연 고정 루프와 실질적으로 동일하다. 즉, 지연 고정 루프(1122)는 클록 소스(1110)로부터 제공받은 입력 클록 신호(ICLK)를 기초로 출력 클록 신호(OLCK)의 위상을 고정하고 입력 클록 신호(ICLK)의 듀티비를 목표 듀티비로 조절하여 출력 클록 신호(OLCK)를 입출력 버퍼(1124)에 제공한다.
- <110> 입출력 버퍼(1124)는 출력 클록 신호(OLCK)를 기초로 제1 외부 장치로부터 입력받은 제1 데이터를 저장부(1126)에 저장하고 출력 클록 신호(OLCK)를 기초로 저장부(1126)에 저장된 제2 데이터를 제2 외부 장치에 출력한다. 예를 들어, 제1 및 제2 외부 장치들은 각각 메인 프로세서 또는 집적 메모리 접근 장치(DMA, Direct Memory Access)를 포함할 수 있다.
- <111> 도 11은 일반적인 반도체 메모리 장치를 예로 들어 설명하였으나, 특히 듀티비가 중요한 DDR(Double Data Rate)

DRAM(Dynamic Random Access Memory)에도 동일하게 적용될 수 있다.

발명의 효과

- | | | |
|-------|----------------------------------------------------------------------------------------------------------------------------------------------------|--|
| <112> | 상술한 바와 같이 본 발명에서는 다음과 같은 장점들을 포함할 수 있다. | |
| <113> | 본 발명은 입력 클록 신호와 동기된 클록 신호를 제공할 수 있을 뿐만 아니라 입력 클록 신호를 지연시켜 생성된 지연 클록 신호들을 이용하여 입력 클록 신호의 듀티비를 제공할 수 있다. | |
| <114> | 또한, 본 발명은 클록 신호의 듀티비에 에러가 있는 경우에는 입력 클록 신호가 목표 듀티비를 가지도록 입력 클록 신호의 듀티비를 제어할 수 있다. | |
| <115> | 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다. | |

도면의 간단한 설명

- <1> 도 1은 본 발명의 일 실시예에 따른 지연 고정 루프의 구성을 나타내는 블록도이다.

<2> 도 2는 도 1의 듀티 조절부를 나타내는 회로도이고, 도 3은 도 2의 듀티 조절부의 동작을 설명하기 위한 타이밍도다.

<3> 도 4는 도 1의 듀티 조절 제어부를 나타내는 블록도이고, 도 5 및 도 6은 듀티 조절 제어부의 동작을 설명하기 위한 타이밍도들이다.

<4> 도 7은 도 1의 지연 고정 루프가 듀티비가 30%인 입력 클록 신호를 입력받고 듀티비를 50%로 조정하는 시뮬레이션 결과를 나타내는 그래프이고, 도 8은 입력 클록 신호의 듀티비 변화에 따른 출력 클록 신호의 듀티비를 나타내는 그래프이다.

<5> 도 9는 본 발명의 다른 일 실시예에 따른 지연 고정 루프의 구성을 나타내는 블록도이다.

<6> 도 10은 도 1 또는 도 9에 나타난 지연 고정 루프를 채택한 집적 회로를 나타내는 블록도이다.

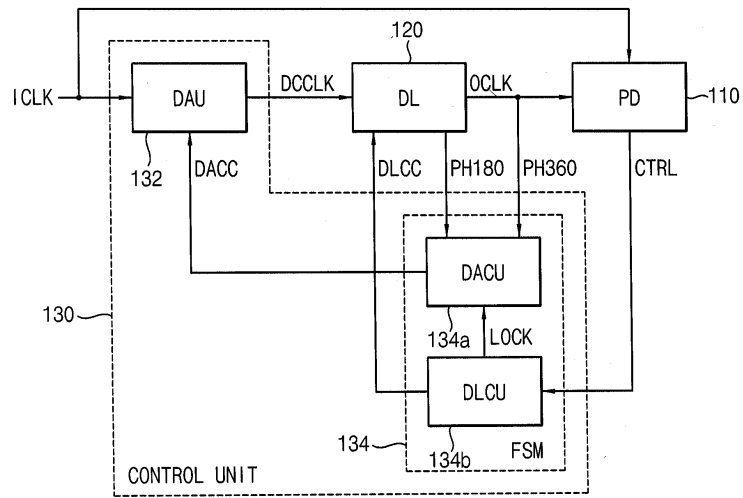
<7> 도 11은 도 1 또는 도 9에 나타난 지연 고정 루프를 채택한 컴퓨팅 시스템을 나타내는 블록도이다.

<도면의 주요 부분에 대한 부호의 설명>

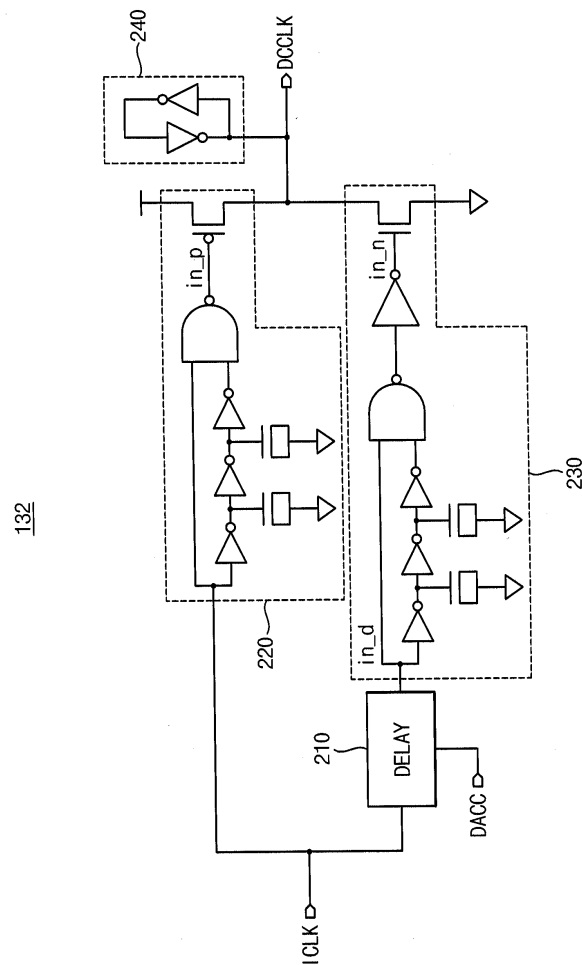
<9>	100 : 지연 고정 루프	110 : 위상 검출기
<10>	120 : 지연 라인	130 : 제어부
<11>	900 : 지연 고정 루프	910 : 위상 검출기
<12>	920 : 지연 라인	930 : 제어부

도면

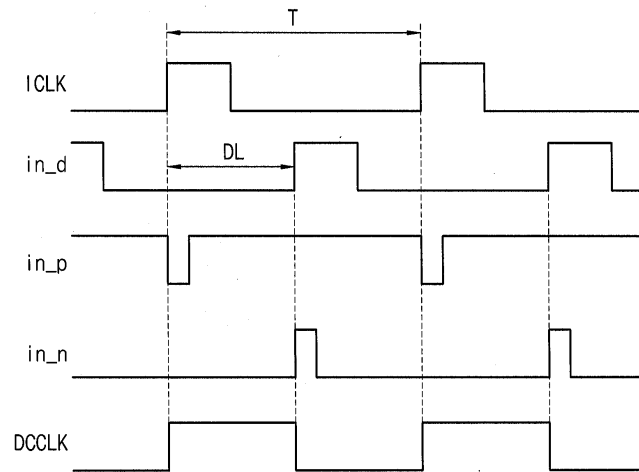
도면1



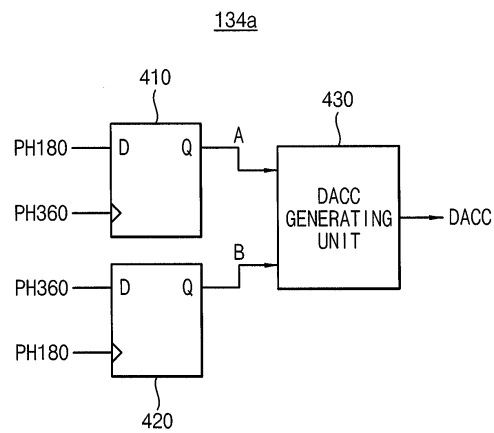
도면2



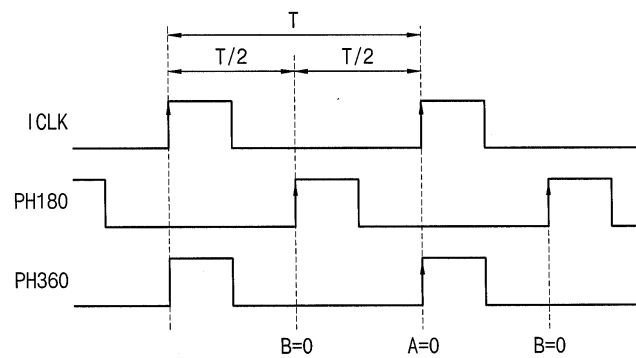
도면3



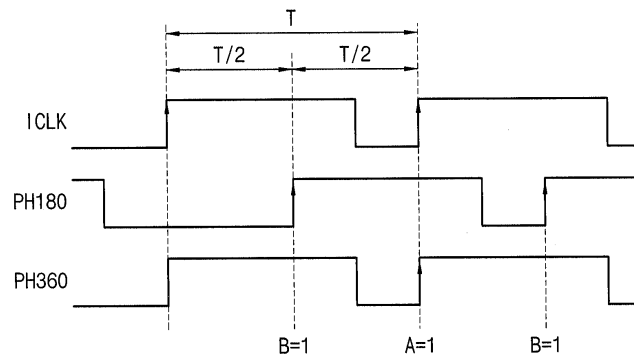
도면4



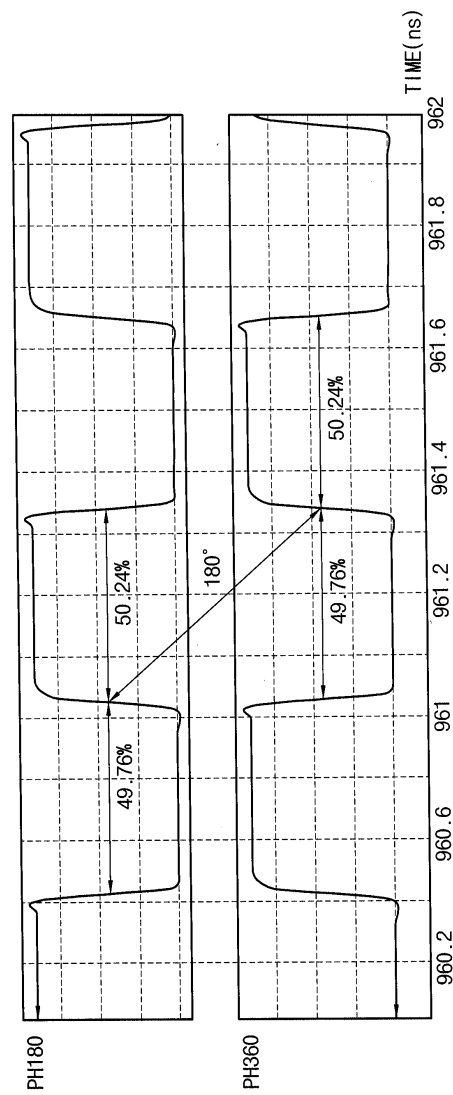
도면5



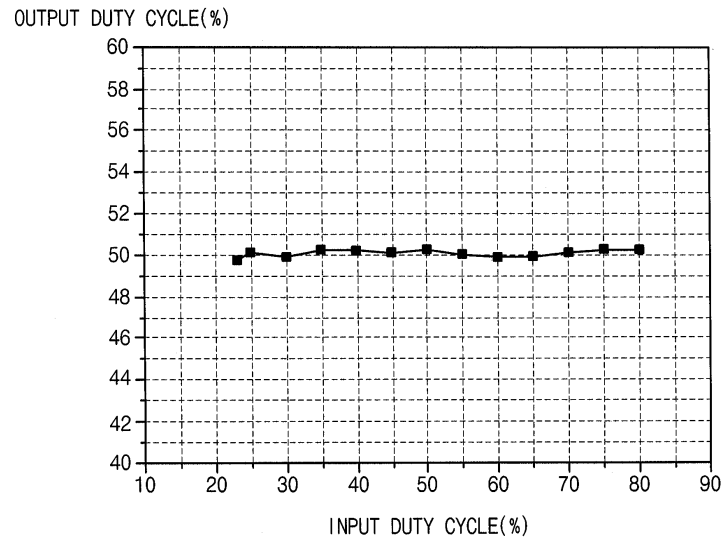
도면6



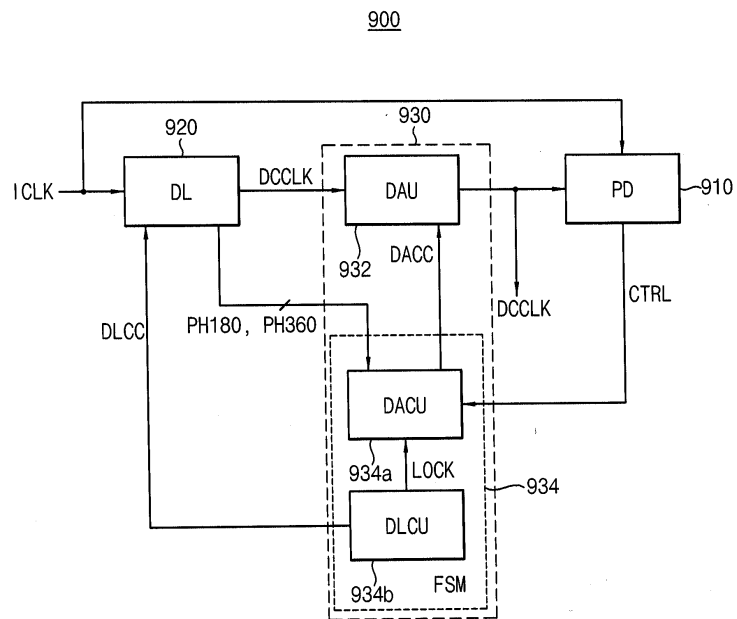
도면7



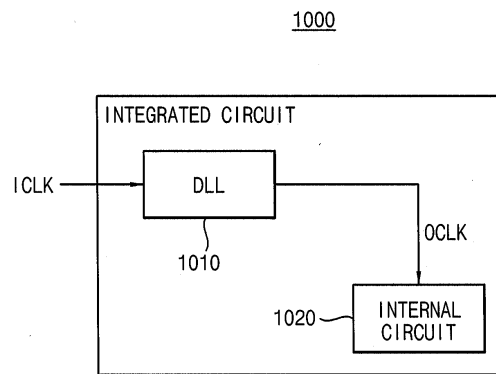
도면8



도면9



도면10



도면11

