

公告本

申請日期	91 5 31
案 號	91111707
類 別	H01L 21/10

A4
C4

(以上各欄由本局填註)

573353

發明專利說明書

一、發明 新型 名稱	中 文	半導體積體電路裝置之製造方法
	英 文	"SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND METHOD OF MANUFACTURING THE SAME"
二、發明 創作 人	姓 名	鈴樹 正恭
	國 籍	日本 JAPAN
	住、居所	日本國東京都千代田區丸內一丁目5番1號新丸大樓日立製作所股份有限公司知的財產權本部
三、申請人	姓 名 (名稱)	日商日立製作所股份有限公司 HITACHI, LTD.
	國 籍	日本 JAPAN
	住、居所 (事務所)	日本國東京都千代田區神田駿河台四丁目6番地
	代 表 人 姓 名	庄山 悦彦 ETSUHIKO SHOYAMA

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權日本 2001年08月09日 特願2001-241792 ☒有☐無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

五、發明說明(1)

【發明的技術領域】

本發明係關於半導體積體電路裝置及其製造方法，特別係關於可有效適用於利用化學氣相沉積(CVD: Chemical Vapor Deposition)法形成金屬膜及金屬氧化物之成膜方法之技術。

【先前技藝】

構成半導體積體電路裝置之半導體元件及配線係在對各薄膜，反覆施行導電性膜或絕緣膜之形成、微影照相及圖案化工序處理之方式所形成。此等薄膜之形成方法之一，有利用化學反應之CVD法。

另一方面，例如DRAM (Dynamic Random Access Memory；動態隨機存取記憶體)係具有記憶單元選擇用MISFET (金屬絕緣體半導體場效電晶體)與串聯連接於此MISFET之資訊儲存電容元件。有人檢討將構成下部電極之導電性層、電容絕緣膜及構成上部電極之導電性層依次沉積形成於此資訊儲存電容元件，且在此下部電極使用Ru膜等金屬膜。

此種金屬膜及電容絕緣膜也可用CVD法形成。例如，在特開平9-246214號公報中就曾揭示過利用以Ru(DMHPD)₃：2,6-二甲基-3,5-庚二酮鈦(2,6-dimethyl 3,5-heptadione Ruthenium)為原料之化學氣相沉積法形成Ru膜之方法。

又，特開平7-86270號公報中記載過利用以有機金屬之CVD法形成構成電容器絕緣膜之鈦酸鋇SrTiO₃之技術。

五、發明說明(2)

【發明所欲解決之問題】

本發明人一向致力於DRAM之研究開發，並不斷地對前述資訊儲存電容元件之構成及形成方法，進行種種檢討。

隨著半導體積體電路裝置之微細化，資訊儲存電容元件之形成面積也有傾向於縮小化之趨勢，欲確保所希望之電容容量愈趨困難，因此，為了以小面積獲致大容量，有必要對電極材料及電容絕緣材料進行檢討。

因此，本發明人採用Ru膜作為資訊儲存電容元件之下部電極，針對其形成方法進行種種檢討。其原因在於認為像Ru之類之鉑族金屬即使在形成後之熱處理時，也不會產生像氧化膜或氮化膜般之低介電常數膜，且因屬於金屬膜，可形成較薄之厚度，對電容容量之增加極為適合。

為形成Ru膜，例如有人考慮使用以乙氧基環戊二稀鈦($\text{Ru}(\text{C}_2\text{H}_5\text{OC}_5\text{H}_4)_2$)之四氫呋喃溶液與 O_2 (氧)為原料之CVD法之形成方法。

但利用此種有機化合物(乙基環戊二稀鈦)與氧之反應之成膜方法中，Ru膜中會殘留有機化合物及其與氧之化合物，以致於會降低Ru膜之膜質。

又，為除去此Ru膜中之有機化合物，在Ru膜形成後，施行高溫退火時，卻有形成於Ru膜下層之金屬層被氧化之問題。例如，Ru等鉑族金屬通常對氧化矽等絕緣膜缺乏黏接性，故需在此等薄膜間形成發揮黏接層作用之金屬層，以防止剝離。但此金屬層卻會在前述退火時，與Ru膜中之氧等起反應而被氧化。其結果，可能引起資訊儲存

五、發明說明(3)

電容元件(下部電極)與記憶單元選擇用MISFET間之導通不良之問題。

本發明之目的在於提供可提高CVD法所形成之金屬膜，例如構成資訊儲存電容元件之下部電極之Ru膜等之膜質之技術。

本發明之另一目的在於藉形成良好之金屬膜，以謀求提高具有此金屬膜之半導體積體電路裝置之特性。

本發明之前述及其他目的與新穎之特徵可由本專利說明書之說明及附圖獲得更明確之瞭解。

【解決問題之手段】

本案所揭示之發明中，較具有代表性之發明之概要可說明如下：

1. 本發明之半導體積體電路裝置之製造方法具有將半導體基板上之金屬膜，例如構成電容器之下部電極之Ru膜等，利用使用此金屬之化合物、 H_2O 及 H_2 等還原劑之化學氣相沉積法形成之工序。
2. 本發明之半導體積體電路裝置之製造方法具有將半導體基板上之金屬膜，例如構成電容器之下部電極之Ru膜及構成配線之Cu(銅)膜等，利用特定溫度，以使用構成金屬膜之金屬之化合物、 H_2O 及 H_2 等還原劑之化學氣相沉積法形成之工序。又，使用 H_2 時，具有在下列條件下形成之工序：對前述 H_2 之前述 H_2O 之分壓比($[H_2O]/[H_2]$)小於在前述溫度中系統1(構成前述金屬膜之金屬氧化物+ H_2)與系統2(構成前述金屬膜之金屬+ H_2O)平衡狀態之

五、發明說明(4)

際之對 H_2 之 H_2O 之分壓比 ($[H_2O]_{eq}/[H_2]_{eq}$)。

3. 本發明之半導體積體電路裝置之製造方法具有將半導體基板上之金屬膜氧化膜，例如構成電容器之電容絕緣膜(電容器絕緣膜)之氧化鉬膜等，利用特定溫度，以使用構成金屬氧化膜之金屬之化合物、 H_2O 及 H_2 等還原劑之化學氣相沉積法形成之工序。又，使用 H_2 時，具有在下列條件下形成之工序：對前述 H_2 之前述 H_2O 之分壓比 ($[H_2O]/[H_2]$) 大於在前述溫度中系統 1 (構成前述金屬氧化膜之金屬氧化物 + H_2) 與系統 2 (構成前述金屬氧化膜之金屬 + H_2O) 平衡狀態之際之對 H_2 之 H_2O 之分壓比 ($[H_2O]_{eq}/[H_2]_{eq}$)。

4. 本發明之半導體積體電路裝置之製造方法係在半導體基板上之第一金屬膜或第一金屬氮化膜，例如在具有作為黏接層或阻擋層作用之 W 膜或 WN 膜等上具有第二金屬膜 (Ru 膜或 Cu 膜等) 之半導體積體電路裝置之製造方法，且具有將前述第二金屬膜，利用特定之溫度，以使用構成前述第二金屬之化合物、 H_2O 及 H_2 等還原劑之化學氣相沉積法形成之工序。又，使用 H_2 時，具有在下列條件下形成之工序：對前述 H_2 之前述 H_2O 之分壓比 ($[H_2O]/[H_2]$) 小於在前述溫度中系統 1 (前述第一金屬氧化物 + H_2) 與系統 2 (前述第一金屬 + H_2O) 平衡狀態之際之對 H_2 之 H_2O 之分壓比 ($[H_2O]_{eq}/[H_2]_{eq}$)。

5. 本發明之半導體積體電路裝置之製造方法係在半導體基板上之第一金屬膜或第一金屬氮化膜，例如在具有作

五、發明說明(5)

為阻擋層作用之W膜或WN膜或構成電容器之下部電極之Ru膜等上具有第二金屬氧化膜(構成電容器之電容絕緣膜之氧化鉬膜等)之半導體積體電路裝置之製造方法，且具有將前述第二金屬氧化膜，利用特定之溫度，以使用前述第二金屬之化合物、 H_2O 及 H_2 等還原劑之化學氣相沉積法形成之工序。又，使用 H_2 時，具有在下列條件下形成之工序：對前述 H_2 之前述 H_2O 之分壓比($[H_2O]/[H_2]$)大於在前述溫度中系統1(前述第二金屬氧化物+ H_2)與系統2(前述第二金屬+ H_2O)平衡狀態之際之對 H_2 之 H_2O 之分壓比($[H_2O]_{eq1}/[H_2]_{eq1}$)，且小於在前述溫度中系統3(前述第一金屬氧化物+ H_2)與系統4(前述第一金屬+ H_2O)平衡狀態之際之對 H_2 之 H_2O 之分壓比($[H_2O]_{eq2}/[H_2]_{eq2}$)。

【發明之實施形態】

以下，依據圖式詳細說明本發明之實施形態。又，在說明實施形態之所有圖中，對於具有同一機能之構件，附以同一號碼予以顯示，而省略其重複之說明。

(實施形態1)

茲利用圖1~圖17，依照工序說明本實施形態之DRAM之製造方法。

首先，如圖1所示，例如在p型單晶矽形成之半導體基板1之主面之元件分離區域形成元件分離溝2。藉著形成此元件分離溝2，同時形成如圖2所示周圍被元件分離溝2包圍之細長島狀之活性區域L。此等活性區域L各分別形成2個共用源極、汲極之一方之記憶單元選擇用MISFETQs。

五、發明說明(6)

為形成上述元件分離溝2，將半導體基板1之表面蝕刻而形成深300~400 nm程度之溝，在此溝內部形成薄的氧化矽膜。接著，在包含此溝內部之半導體基板1上，利用CVD法沉積氧化矽膜4(膜厚600 nm程度)後，利用化學機械研磨(CMP: Chemical Mechanical Polishing)法回磨處理加以形成。

其次，將B(硼)離子植入半導體基板1，以形成p型井3，接著利用HF(氫氟酸)系洗淨液洗淨p型井3之表面後，將半導體基板1熱氧化而在p型井3(活性區域L)之表面形成膜厚6 nm程度之閘極絕緣膜5。

其次，如圖3所示，在閘極絕緣膜5之上部形成閘極6。閘極6係利用下列方式形成：例如在閘極絕緣膜5之上部依次沉積摻雜P(磷)等離子之n型多晶矽膜(膜厚70 nm程度)、WN(氮化鎢)或TiN(氮化鈦)所形成之阻擋金屬膜(膜厚5 nm~10 nm程度)、W膜(鎢膜，膜厚100 nm程度)及氮化矽膜7(膜厚150 nm程度)後，以光阻膜(未予圖示)為掩罩，利用乾式蝕刻法蝕刻此等薄膜所形成。多晶矽膜及氮化矽膜7利用CVD法沉積，阻擋金屬膜及W膜利用濺射法沉積。此閘極6具有作為字元線(WL)之機能。其次，施行濕式氫氧化處理，在構成閘極6之n型多晶矽膜之側壁形成薄的氧化矽膜，利用此濕式氫氧化處理，可選擇地僅在矽上形成氧化膜。

其次，如圖4所示，將As(砷)或P(磷)離子植入p型井3，而在閘極6兩側之p型井3形成n型半導體區域8(源

五、發明說明(7)

極、汲極)。利用至此為止之工序，記憶單元選擇用 MISFETQs 之製造已大致完成。

其次，在半導體基板 1 上利用 CVD 法沉積氮化矽膜 9 (膜厚 50 nm) 及氧化矽膜 10 (膜厚 600 nm 程度)，接著利用化學機械研磨法使氧化矽膜 10 表面平坦化後，以光阻膜 (未予圖示) 為掩罩，利用乾式蝕刻法蝕刻氧化矽膜 10 及氮化矽膜 9，藉以在記憶單元選擇用 MISFETQs 之 n 型半導體區域 8 (源極、汲極) 之上部形成接觸孔 11、12。氧化矽膜 10 之蝕刻係在對氮化矽膜之選擇比大之條件下進行，氮化矽膜 9 之蝕刻係在對矽或氧化矽膜之蝕刻選擇比大之條件下進行，因此，接觸孔 11、12 可對閘極 6 (字元線) 以自行整合 (自我對準) 方式形成。

其次，如圖 5 所示，在接觸孔 11、12 之內部形成插塞 13。為形成插塞 13，在利用 CVD 法沉積在氧化矽膜 10 之上部摻雜 P 離子之 n 型多晶矽膜，藉以將此 n 型多晶矽膜埋入接觸孔 11、12 之內部後，利用化學機械研磨法 (或蝕刻法) 除去接觸孔 11、12 之外部之 n 型多晶矽膜。

其次，利用 CVD 法將氧化矽膜 14 (膜厚 150 nm 程度) 沉積在氧化矽膜 10 之上部後，以光阻膜 (未予圖示) 為掩罩，利用乾式蝕刻法蝕刻接觸孔 11 之上部之氧化矽膜 14 而形成貫通孔 15。

其次，在貫通孔 15 之內部形成插塞 16。為形成插塞 16，在氧化矽膜 14 之上部，例如利用濺射法沉積 Ti 膜與 TiN 膜之疊層膜所構成之阻擋金屬膜，接著在阻擋金屬膜

五、發明說明(8)

之上部以CVD法沉積W膜，將此等薄膜埋入貫通孔15內部後，利用化學機械研磨法除去貫通孔15外部之此等薄膜。經由插塞16及13使記憶單元選擇用MISFETQs之n型半導體區域8(源極、汲極)與後述之位元線BL連接。

其次，在氧化矽膜14及插塞16上形成位元線BL。為形成位元線BL，例如在氧化矽膜14之上部，利用濺射法沉積TiN膜(膜厚10 nm程度，未予圖示)，接著在TiN膜上部以CVD法沉積W膜(膜厚50 nm程度)後，以光阻膜(未予圖示)為掩罩，利用乾式蝕刻法蝕刻此等薄膜。

其次，如圖6所示，在位元線BL上部以CVD法沉積氧化矽膜17(膜厚300 nm程度)，接著以化學機械研磨法使其表面平坦化。其次，在氧化矽膜17上部以CVD法沉積氮化矽膜18(膜厚50 nm程度)。

其次，利用乾式蝕刻法蝕刻氮化矽膜18及氧化矽膜17等，藉以在埋入插塞13之接觸孔12之上部形成貫通孔19。

貫通孔19係形成其直徑小於其下部之接觸孔12直徑，此時其直徑約0.1 μm 。具體而言，在氮化矽膜18上部以CVD法沉積多晶矽膜20，接著利用乾式蝕刻法蝕刻形成貫通孔19之區域之多晶矽膜20而形成孔(直徑約0.18 μm)後，再將多晶矽膜(未予圖示)沉積於多晶矽膜20上部。其次，利用異方性蝕刻法蝕刻多晶矽膜20上部之多晶矽膜，而在孔之側壁形成側壁分隔膜21，接著使用多晶矽膜20與側壁分隔膜21作為金屬遮光罩，利用乾式蝕刻法

五、發明說明(9)

蝕刻孔之底面之氮化矽膜18及氧化矽膜17、14。

其次，利用乾式蝕刻法蝕刻除去多晶矽膜20與側壁分隔膜21後，如圖7所示，在貫通孔19內部形成插塞22。為形成插塞22，首先，利用CVD法沉積在氮化矽膜18之上部摻雜P離子之n型多晶矽膜，藉以將此n型多晶矽膜埋入貫通孔19之內部後，利用化學機械研磨法(或蝕刻法)除去貫通孔19之外部之n型多晶矽膜。此時，利用過分研磨(或過分蝕刻)，使插塞22之表面高度由貫通孔19之上端部向下方後退。

其次，如圖8所示，在插塞22上部形成阻擋層23。為形成阻擋層23，在氮化矽膜18之上部，利用濺射法沉積WN膜後，接著利用化學機械研磨法(或蝕刻法)除去貫通孔19之外部之WN膜。阻擋層23形成之目的係為防止在後述之製造工序途中所施行之熱處理引起構成下部電極30A之Ru(鈦)與構成插塞22之多晶矽發生不希望之矽化物反應。又，此阻擋層23也可利用W膜或Ta₂N₅(氮化鉭)膜形成。

此後，在插塞22上形成包含Ru膜30構成之下部電極30A、氧化鉭膜32構成之電容器絕緣膜及W膜/Ru膜構成之上部電極33之資訊儲存電容元件(電容器)C。

其次，一面參照圖9至圖17，一面詳細說明此資訊儲存電容元件C之形成工序。此等圖係以模式方式表示插塞22上之資訊儲存電容元件C之形成預定區域之圖。

如圖9所示，在阻擋層23及氮化矽膜18上沉積氧化矽

五、發明說明(10)

膜24。資訊儲存電容元件C之下部電極形成於形成在此氧化矽膜24之孔(凹部)之內部。為增大下部電極之表面積，以增加蓄積電荷量，有必要沉積較厚(0.8 μm 程度)之氧化矽膜24。氧化矽膜24例如係以利用氧與四乙稀基矽烷(TEOS)作為氣體源之等離子體CVD法所沉積，然後必要時，再利用化學機械研磨法使其表面平坦化。

其次，利用濺射法將膜厚200 nm程度之W膜沉積於氧化矽膜24上部，接著在W膜上部塗敷反射防止膜，以形成金屬遮光罩26。此金屬遮光罩26(W膜)由於對氧化矽膜24之蝕刻選擇比大於光阻膜，故可使用作為蝕刻膜厚較厚之氧化矽膜24之際之遮光罩。

其次，如圖10所示，在金屬遮光罩26上形成光阻膜(未予圖示)，以此光阻膜為掩罩，利用乾式蝕刻法蝕刻金屬遮光罩26。接著以金屬遮光罩26為掩罩，利用乾式蝕刻法蝕刻氧化矽膜24，以形成深孔(凹部)27。使貫通孔19內之阻擋層23表面露出於此深孔(凹部)27之底面。

其次，利用含過氧化氫水之溶液除去殘留於氧化矽膜24上部之金屬遮光罩26後，如圖11所示，在氧化矽膜24上部及孔27內部，利用濺射法沉積WN膜29(膜厚15 nm程度)。此WN膜29因與底層之氧化矽膜24及後述Ru膜30具有優異之黏接性，故可使用作為黏接層。又，此WN膜29在後述Ru膜30形成時，可作為結晶生長之晶種，並可改善Ru膜30之成膜性。

接著，如圖12所示，在WN膜29上部，用CVD法沉積

五、發明說明 (11)

Ru 膜 30 (膜厚 30 nm 程度)，但在用 CVD 法沉積 Ru 膜 30 之前，需先利用濺射法形成膜厚 15 nm 程度之 Ru 膜(未予圖示)。此係因為濺射法形成之膜可作為晶種，並可有效地使 CVD 法沉積之 Ru 膜 30 生長之故。

此 Ru 膜 30 係以 Ru 之 乙 烯 丙 酮 衍 生 物 化 合 物 之 $\text{Ru}(\text{HFAC})_3$ 、 H_2O (水蒸氣)及 H_2 (氫)為原料所形成。又，HFAC 係 $(\text{CF}_3\text{COCHCOCF}_3)^-$ 之意。也可改用 $\text{C}(\text{CH}_3)_3$ 基結合之化合物來取代此 CF_3 基。另外，也可使用 $\text{Ru}(\text{HFAC})(1,5\text{-cyclooctadiene})$ (環辛二稀))。

使此 $\text{Ru}(\text{HFAC})_3$ 之有機化合物溶液氯化，並與 H_2O 及 H_2 起反應時，即可形成薄膜。可列舉四氫呋喃溶液等，以作為有機化合物溶液。在此，係一面控制 H_2O 及 H_2 之分壓比使其位於圖 13 所示圖表(a)下方區域，一面使其反應。

首先，說明此 Ru 膜之成膜之反應機構。此反應機構可考慮採用圖 14 所示之機構。如圖 14 所示， $\text{Ru}(\text{HFAC})_3$ 首先與 H_2O 反應(被 H_2O 分解)，成為氫氧化物 $\text{Ru}(\text{OH})_3$ (圖 14 (a))。接著，此氫氧化物 $\text{Ru}(\text{OH})_3$ 被氫還原而產生 Ru (圖 14 (b))。由此反應機構可知： H_2O 不會被消耗，而具有觸媒之作用。又，施行反應之反應室因處於排氣狀態，故與實質的原料之 $\text{Ru}(\text{HFAC})_3$ 及 H_2 同樣地也有必要適當地供應 H_2O 。

如此，依據本實施形態，可用 $\text{Ru}(\text{HFAC})_3$ 、 H_2O 及 H_2 ，利用加水分解而形成 Ru 膜，故可形成膜質良好之 Ru 膜。

例如，也可使乙氧基環戊二稀鈦 ($\text{Ru}(\text{C}_2\text{H}_5\text{OC}_5\text{H}_4)_2$) 之四

五、發明說明 (12)

氫呋喃溶液等之Ru之有機化合物溶液氣化，並與O₂起反應而形成Ru膜。但此時的反應係利用使Ru引起不氧化之不完全燃燒方式產生Ru之反應。其結果，除了碳、氫或此等之氧化化合物之外，連反應之際所產生之有機化合物及其氧化物也可能會被導入Ru膜中，而成為Ru膜之膜質不良之原因。另外，因其後所施行之熱處理，例如Ru膜之稠密化(densify)之熱處理等也會使導入Ru膜中之碳、氫或此等之氧化化合物氣化使Ru膜之膜質變得不良。且Ru膜中之氧及氧化化合物也會使作為黏接層之WN膜29及阻擋層23氧化，引起插塞22與下部電極(Ru膜30)之導通不良，尤其如前所述，在插塞22直徑小時，容易引起導通不良。

對此，依據本實施形態，由於係利用Ru(HFAC)₃之加水分解而產生Ru膜，故可降低導入Ru膜中之副產物，例如碳、氫或此等之化合物，亦即可形成結晶性良好之Ru膜，故即使因其後所施行之熱處理，例如Ru膜之稠密化(densify)之熱處理等而使導入Ru膜中之碳、氫或此等之氧化化合物等氣化，其氣化量也少，而可維持Ru膜之膜質。又，即使在形成於後述下部電極(Ru膜30)上之電容絕緣膜之熱處理時，也可減少因Ru膜中之碳等之氣化所引起之膜收縮，防止電容絕緣膜之破損。其結果，可提高資訊儲存電容元件C之特性，並可降低Ru膜中之碳、氫或此等之氧化化合物量，防止插塞22與下部電極(Ru膜30)之導通不良。

五、發明說明 (13)

又，控制 H_2O 及 H_2 之分壓比使其位於圖 13 所示之圖表 (a) 下方區域，係為了在 Ru 膜形成時，用來抑制 Ru 之氧化。即，在 Ru 膜形成時，有可能因所產生之 Ru 與 H_2O 之反應而引起產生 RuO_2 (氧化鈦) 之副反應。以下說明可抑制此反應 (Ru 之氧化) 之理由。

此圖 13 之圖表 (a) 係依照反應溫度表示系統 1 ($RuO_2 + H_2$) 與系統 2 ($Ru + H_2O$) 之平衡狀態之平衡常數 k 之對數。此對數 $\log k$ 可利用 $\log k = \log \left(\frac{[H_2O]_{eq}}{[H_2]_{eq}} \right) ([H_2O]_{eq} : \text{平衡狀態之 } H_2O \text{ 之分壓}, [H_2]_{eq} : \text{平衡狀態之 } H_2 \text{ 之分壓})$ 加以表示。又，此平衡常數 k 可利用系統 1 與系統 2 之吉普斯之自由能量之差 (ΔG) 等而利用 $\Delta G = -RT \ln k$ 加以求出。

因此，在位於此圖表 (a) 上方區域之條件下，平衡會向 Ru 被氧化之方向移動。但一面控制 H_2O 及 H_2 之分壓比使其位於圖 13 所示之圖表 (a) 下方區域，一面形成 Ru 膜時，即可抑制 Ru 膜之氧化。

但形成 Ru 膜時，有必要使原料之 $Ru(HFAC)_3$ 溶液氣化，且因利用太高溫度處理時，會引起原料之分解，故反應溫度以保持 $100 \sim 200^\circ C$ (原料溶液之沸點以上) 至 $500^\circ C$ 程度為佳。

如此，依據本實施形態，由於利用 $Ru(HFAC)_3$ 、 H_2O 及 H_2 ，並一面控制 H_2O 及 H_2 之分壓比使其位於圖 13 所示之圖表 (a) 下方區域，一面使其反應，故可一面防止 Ru 膜之氧化，一面形成氧、碳或此等之化合物含量少之良好的 Ru 膜。

五、發明說明 (14)

其次，以 700°C 施行 1 分鐘之熱處理而使 Ru 膜 30 稠密化 (densify)。如前所述，由於 Ru 膜之結晶性良好，故因此熱處理而氣化之 Ru 膜中之碳等較少，而可維持 Ru 膜之膜質。

接著，如圖 15 所示，將光阻膜 (未予圖示) 塗敷於 Ru 膜 30 上，施行全面曝光後顯影時，即可使光阻膜 (未予圖示) 殘留於孔 27 內。此光阻膜係在其次之工序中，以乾式蝕刻法除去氧化矽膜 24 上部之不要的 Ru 膜 30 之際，被使用作為防止孔 27 內部 (側面及底面) 之 Ru 膜 30 被除去之保護層。其次，以此光阻膜為掩罩，以乾式蝕刻法除去氧化矽膜 24 上部之 Ru 膜 30 而形成下部電極 30A，接著除去孔 27 內部之光阻膜。

其次，在形成下部電極 30A 之孔 27 內部及氧化矽膜 24 上沉積構成電容器絕緣膜之 10 nm 程度之氧化鉭膜 32。氧化鉭膜 32 係利用以五乙氧基鉭 ($\text{Ta}(\text{OC}_2\text{H}_5)_5$) 與氧為原料之 CVD 法所沉積。其後，在含 Ar (氬) 氣體環境中，施行 650°C 之熱處理，使氧化鉭結晶化。又，如前所述，由於 Ru 膜之結晶性良好，故可縮小此熱處理時之 Ru 膜之膜收縮，防止氧化鉭膜 32 之破損。

其次，如圖 16 所示，在氧化鉭膜 32 之上部形成上部電極 33，上部電極 33 例如係利用以 CVD 法將 Ru 膜 33a (膜厚 70 nm 程度) 及 W 膜 33b (膜厚 100 nm 程度) 沉積在氧化鉭膜 32 之上部所形成。Ru 膜 33a 也可利用相同於 Ru 膜 30 之方式形成。W 膜 33b 係用於降低上部電極 33 與上層配線之

五、發明說明 (15)

接觸電阻。又，也可在Ru膜33a與W膜33b間形成TiN膜，以防止氣體(氧及氫)由電容器絕緣膜(氧化鉬膜32)向W膜擴散所引起之電阻的增大。

利用至此為止之工序，即可完成包含Ru膜30形成之下部電極30A、氧化鉬膜32形成之電容器絕緣膜及W膜33b/Ru膜33a形成之上部電極33之資訊儲存電容元件C，並大致完成記憶單元選擇用MISFETQs與串聯於此之資訊儲存電容元件C所構成之DRAM之記憶單元。圖17係資訊儲存電容元件C形成後之半導體積體電路裝置之平面圖。圖7係例如對應於圖17中之A-A部之剖面圖。

其後，在資訊儲存電容元件C之上部形成氧化矽膜等形成之層間絕緣膜34，再於此層間絕緣膜34上形成2層程度之鋁Al配線，最上層之Al配線上部形成鈍化膜，唯此等均省略其圖示。

如以上所詳述，本實施形態由於係利用Ru(HFAC)₃之加水分解而產生Ru膜，故可降低導入Ru膜中之副產物，提高Ru膜之膜質。

又，在本實施形態中，控制Ru膜形成時所用之H₂O及H₂之分壓比使其位於圖13所示圖表(a)下方區域，故在Ru膜形成時，可抑制Ru膜之氧化。

其結果，可提高資訊儲存電容元件C之特性及記憶單元之特性，且在微細化之記憶單元構造中，也可確保所希望之電容。

五、發明說明 (16)

(實施形態2)

在實施形態1中，係以 $\text{Ru}(\text{HFAC})_3$ 、 H_2O 及 H_2 為原料，控制 H_2O 及 H_2 之分壓比使其位於圖13所示圖表(a)下方區域，以形成Ru膜30。但在形成Ru膜之際，也可在以下所述之條件下控制 H_2O 及 H_2 之分壓比而形成Ru膜。

以下說明本實施形態之DRAM之製造方法。又，具有作為黏接層作用之WN膜29之形成工序以前之部分，因與一面參照圖1至圖11，一面說明之實施形態1相同，故省略其說明。

在此WN膜29之上部如圖18所示，利用濺射法形成膜厚15 nm程度之Ru膜(未予圖示)，其次，利用CVD法沉積膜厚30 nm程度之Ru膜230。

在此，係與實施形態1同樣地以 $\text{Ru}(\text{HFAC})_3$ 、 H_2O 及 H_2 為原料而形成此Ru膜230。但此時，係一面控制 H_2O 及 H_2 之分壓比使其位於圖19所示圖表(b)下方區域，一面使其反應。

圖19之圖表(a)係依照反應溫度表示系統1(RuO_2+H_2)與系統2($\text{Ru}+\text{H}_2\text{O}$)之平衡狀態之平衡常數 k 之對數；圖表(b)係依照反應溫度表示系統1(WO_2+H_2)與系統2($\text{W}+\text{H}_2\text{O}$)之平衡狀態之平衡常數 k 之對數。如實施形態1所述，此對數 $\log k$ 可利用 $\log k = \log \left(\frac{[\text{H}_2\text{O}]_{\text{eq}}}{[\text{H}_2]_{\text{eq}}} \right) \left(\frac{[\text{H}_2\text{O}]_{\text{eq}}}{[\text{H}_2]_{\text{eq}}} \right)$ ：平衡狀態之 H_2O 之分壓， $[\text{H}_2]_{\text{eq}}$ ：平衡狀態之 H_2 之分壓)加以表示。又，此平衡常數 k 可利用系統1與系統2之吉普斯之自由能量之差(ΔG)等加以求出。

五、發明說明 (17)

因此，在位於此圖表(b)上方區域之條件下，平衡會向W被氧化之方向移動。但一面控制 H_2O 及 H_2 之分壓比使其位於圖19所示之圖表(b)下方區域，一面形成Ru膜時，即可一面抑制Ru之氧化，一面抑制W之氧化。

其結果，除了實施形態1所述之效果以外，並可抑制具有黏接層作用之WN膜29及阻擋層23中之W之氧化。結果即可防止Ru膜230(下部電極)與插塞22間之導通不良。又，以W膜形成WN膜29及阻擋層23時，同樣可抑制W之氧化。又，以Ta₂N膜形成WN膜29及阻擋層23時，在Ru膜形成時，一面控制 H_2O 及 H_2 之分壓比使其位於圖20所示圖表(c)下方區域，一面使其反應時，可抑制Ta₂N膜中之Ta之氧化。圖20之圖表(c)係依照反應溫度表示系統1($Ta_2O_5+H_2$)與系統2($Ta+H_2O$)之平衡狀態之平衡常數k之對數。

其次，以700℃施行1分鐘之熱處理而使Ru膜230稠密化(densify)。

以下之工序與一面參照圖15及圖16，一面說明之實施形態1之情形相同，故省略其說明。

如以上所詳述，本實施形態係以 $Ru(HFAC)_3$ 、 H_2O 及 H_2 為原料而一面控制其中之 H_2O 及 H_2 之分壓比使其位於圖19所示圖表(b)下方區域，一面形成此Ru膜230，故可抑制位於Ru膜下層之W或W化合物形成之薄膜之氧化，防止Ru膜230(下部電極)與插塞22間之導通不良，其結果，可提高資訊儲存電容元件C之特性，並提高記憶單元

五、發明說明 (18)

之特性。

又，在實施形態1及二中，係以Ru膜為例加以說明，但使用銱(Ir)、鈀(Pd)、鉑(Pt)等亦可製成六間苯乙醯丙酮與配位化合物(乙醯丙酮配位基衍生物)，故以此等配位化合物、 H_2O 及 H_2 為原料，並如實施形態1及二所示，一面控制 H_2O 及 H_2 之分壓比，一面形成此等之金屬膜，亦可獲得同樣之效果(參照圖21)。圖21之圖表(d)、(e)係分別依照反應溫度表示系統1(IrO_2+H_2)與系統2($Ir+H_2O$)之平衡狀態之平衡常數k之對數、系統1($PdO+H_2$)與系統2($Pd+H_2O$)之平衡狀態之平衡常數k之對數。尤其Ru及Ir較容易獲得前述配位化合物，適合於作為下部電極使用。

(實施形態3)

在實施形態1及二中，係控制Ru膜形成時之 H_2O 及 H_2 之分壓比，但如以下之說明所示，也可控制 H_2O 及 H_2 之分壓比而形成作為電容器絕緣膜之氧化鉭膜(Ta_2O_5)。

以下說明本實施形態之DRAM之製造方法。又，下部電極30A形成工序以前之部分，因與一面參照圖1至圖15，一面說明之實施形態1相同，故省略其說明。又，構成下部電極30A之Ru膜30也可利用實施形態2所述之方法形成。

在形成此下部電極30A之孔27內部及氧化矽膜24上，如圖22所示，沉積構成電容器絕緣膜之10 nm程度之氧化鉭膜332。氧化鉭膜332係利用以五乙氧基鉭($Ta(OC_2H_5)_5$)與 H_2O 為原料之CVD法所沉積。

五、發明說明 (19)

如此，本實施形態由於係用五乙氧基鉭($\text{Ta}(\text{OC}_2\text{H}_5)_5$)與 H_2O 形成氧化鉭膜332，故可形成膜質良好之氧化鉭膜332。

即，如實施形態1所述，固然可利用以五乙氧基鉭($\text{Ta}(\text{OC}_2\text{H}_5)_5$)與氧為原料之CVD法形成氧化鉭膜332。但此時，碳或其化合物會被導入氧化鉭膜332中而成為氧化鉭膜之膜質不良之原因。且因使用氧作為原料，故氧化鉭膜332下層之下部電極30A(Ru膜)、具有作為黏接層之作用之WN膜29及阻擋層23都有被氧化之虞。當此等膜被氧化時，就會引起Ru膜30(下部電極)與插塞22間之導通不良，尤其插塞直徑小時，更容易引起導通不良。

對此，依據本實施形態，由於係利用五乙氧基鉭($\text{Ta}(\text{OC}_2\text{H}_5)_5$)之加水分解形成氧化鉭膜332，故可降低導入氧化鉭膜332中之副產物，例如碳或其化合物，可形成結晶性良好之氧化鉭膜332。又，因不使用氧作為原料，故可防止氧化鉭膜332下層膜被氧化，並防止插塞22與下部電極(Ru膜)30A間之導通不良。

另外，也可在五乙氧基鉭($\text{Ta}(\text{OC}_2\text{H}_5)_5$)與 H_2O 之外，利用 H_2 在以下說明之條件下形成氧化鉭膜332。

即，一面控制 H_2O 及 H_2 之分壓比使其位於圖23所示圖表(a)與圖表(c)圍成之區域，一面使其反應。

此圖23之圖表(c)係依照反應溫度表示系統1($\text{Ta}_2\text{O}_5+\text{H}_2$)與系統2($\text{Ta}+\text{H}_2\text{O}$)之平衡狀態之平衡常數k之對數。如實施形態1所述，此對數 $\log k$ 可利用 $\log k = \log \frac{[\text{H}_2\text{O}]}{[\text{H}_2]}$

五、發明說明(20)

$[H_2]_{eq}([H_2O]_{eq}$ ：平衡狀態之 H_2O 之分壓， $[H_2]_{eq}$ ：平衡狀態之 H_2 之分壓)加以表示。又，此平衡常數 k 可利用系統1與系統2之吉普斯之自由能量之差(ΔG)等而利用加以求出。

因此，在位於此圖表(c)下方區域之條件下，平衡會向 Ta_2O_5 被還原之方向移動。為形成氧化鈮膜332，有必要控制 H_2O 及 H_2 之分壓比使其位於圖23所示之圖表(c)上方區域。在此，如實施形態1所述，控制 H_2O 及 H_2 之分壓比使其位於圖23所示之圖表(a)下方區域時，即可抑制Ru膜之氧化。但為形成氧化鈮膜，有必要使原料溶液氧化，且因利用太高溫度處理時，有可能引起原料之分解，故反應溫度以保持 $100\sim 200^\circ C$ (原料溶液之沸點以上)至 $500^\circ C$ 程度為佳。

如此，依據本實施形態，由於利用五乙氧基鈮($Ta(OC_2H_5)_5$)、 H_2O 及 H_2 ，並一面控制 H_2O 及 H_2 之分壓比使其位於圖23所示之圖表(a)及圖表(c)所圍成之區域，一面使其反應，故可一面防止Ru膜之氧化，一面形成氧化鈮膜332。

又，一面控制 H_2O 及 H_2 之分壓比使其位於圖24所示之圖表(b)及圖表(c)所圍成之區域，一面使其反應時，如實施形態2所述，可一面防止Ru膜及WN膜之氧化，一面形成氧化鈮膜332。

其次，在含Ar(氬)氣體環境中，施行 $650^\circ C$ 之熱處理，使氧化鈮膜332結晶化。

五、發明說明 (21)

接著，與實施形態1之情形同樣，在氧化鉬膜332上部形成上部電極33(參照圖16)。

如以上所詳述，本實施形態係以五乙氧基鉬($\text{Ta}(\text{OC}_2\text{H}_5)_5$)、 H_2O 及 H_2 為原料而一面控制 H_2O 及 H_2 之分壓比，一面使其反應，故可抑制位於氧化鉬膜332下層之薄膜(Ru膜及WN膜)之氧化，一面形成氧化鉬膜332。

因此，可防止Ru膜30(下部電極)與插塞22間之導通不良，其結果，可提高資訊儲存電容元件C之特性，並提高記憶單元之特性。

又，在本實施形態中，係使用氧化鉬膜作為電容器絕緣膜，但亦可使用 Al_2O_3 及BST($\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$)。

以 $\text{Al}(\text{CH}_3)_2\text{H}$ (二甲基氫化鋁)、 H_2O 及 H_2 為原料，如本實施形態所示，一面控制 H_2O 及 H_2 之分壓比，一面形成 Al_2O_3 時，即可獲得同樣之效果。

又，BST膜可利用 $\text{Ba}(\text{C}(\text{CH}_3)_3\text{-CO-CH-CO-C}(\text{CH}_3)_3)_2$ bis (dipivaloymetate) barium (雙(二特戊醯甲烷)鉍)、 $\text{Sr}(\text{C}(\text{CH}_3)_3\text{-CO-CH-CO-C}(\text{CH}_3)_3)_2$ bis (dipivaloymetate) strontium (雙(二特戊醯甲烷)銦)、或 $\text{TiO}(\text{C}(\text{CH}_3)_3\text{-CO-CH-CO-C}(\text{CH}_3)_3)_2$ titalnylbis (dipivaloymetate)(鈦氫基雙(二特戊醯甲烷))、與 H_2O 及 H_2 為原料形成。此時也如本實施形態所示，一面控制 H_2O 及 H_2 之分壓比，一面形成BST膜時，即可獲得同樣之效果。

又，在實施形態1至三中，係以DRAM記憶單元為例加以說明。但實際上，並不限定於DRAM，本發明亦可廣泛

五、發明說明 (22)

應用於具有MIM (Metal Insulator Metal : 金屬 - 絕緣體 - 金屬) 電容器之半導體積體電路。

(實施形態4)

在實施形態1至3中，係將本發明應用於DRAM之資訊儲存電容元件部，但本發明也可應用於配線部。其次，說明本發明之實施形態半導體積體電路裝置之製造方法。圖25至圖28及圖32至圖35係表示本發明之實施形態半導體積體電路裝置之製造方法之基板之要部剖面圖。

首先，如圖25所示，利用通常之MISFET形成過程形成n通道型記憶單元選擇用MISFETQn及p通道型記憶單元選擇用MISFETQp。

通常之MISFET形成過程例如有如下之工序：

首先，蝕刻p型單晶矽形成之半導體基板401而形成元件分離溝402，將基板401熱氧化而在溝之內壁形成薄的氧化矽膜。其次，利用CVD法將氧化矽膜407沉積於含溝之內部之基板401上，利用化學機械研磨法研磨溝之上部之氧化矽膜407，使其表面平坦化。

其次，將P型雜質及n型雜質離子植入基板401後，利用熱處理使雜質擴散，以形成p型井403及n型井404後，利用熱氧化在p型井403及n型井404之各其表面形成厚6nm程度之清淨之閘極氧化膜408。

其次，在閘極氧化膜408上部以CVD法沉積摻雜磷之低電阻多晶矽膜409a，接著在其上部，利用濺射法沉積薄的WN膜(未予圖示)與W膜409b，再於其上以CVD法沉積

五、發明說明 (23)

氮化矽膜410。

其次，利用乾式蝕刻法蝕刻氮化矽膜410，使氮化矽膜410殘留於形成閘極之區域，以氮化矽膜410為掩罩，利用乾式蝕刻法蝕刻多晶矽膜409a、WN膜(未予圖示)及W膜409b，以形成由多晶矽膜409a、WN膜及W膜409b構成之閘極409。

其次，將n型雜質離子植入閘極409兩側之p型井403，以形成n⁻型半導體區域411，將p型雜質離子植入n型井404，以形成p⁻型半導體區域412。

其次，以CVD法將氮化矽膜沉積於基板401上後，利用異方性的蝕刻在閘極409之側壁形成側壁分隔膜413。

其次，將n型雜質離子植入p型井403，以形成n⁺型半導體區域414(源極、汲極)，將p型雜質離子植入n型井404，以形成p⁺型半導體區域415(源極、汲極)。

利用到此為止之工序即可形成具有LDD(Lightly Doped Drain：輕摻雜型汲極)構造之源極、汲極之n通道型MISFETQn及p通道型MISFETQp。

此後，將氧化矽膜等層間絕緣膜與銅膜等導電性膜交互地沉積於MISFETQn及Qp上，以形成多數配線。以下一面參照圖26至圖35，一面說明層間絕緣膜與配線之形成情形。

首先，如圖26所示，在MISFETQn及Qp上，利用CVD法沉積膜厚700 nm~800 nm程度之氧化矽膜後，利用化學機械研磨法研磨氧化矽膜，使其表面平坦化，以形成層間

五、發明說明 (24)

絕緣膜TH1。

其次，在層間絕緣膜TH1上形成光阻膜(未予圖示)，以此光阻膜(未予圖示)為掩罩，蝕刻層間絕緣膜TH1，而在半導體基板401之主面之 n^+ 型半導體區域414及 p^+ 型半導體區域415上形成接觸孔C1。

其次，如圖27所示，在含接觸孔C1內之層間絕緣膜TH1上，以CVD法沉積鎢膜，並利用化學機械研磨法研磨此鎢膜，直到層間絕緣膜TH1露出為止，藉以在接觸孔C1內形成插塞P1。又，也可在鎢膜沉積前，沉積薄的TiN膜而將插塞P1構成由TiN膜等形成之阻擋膜與鎢膜之疊層構造。

接著，在層間絕緣膜TH1及插塞P1上，利用CVD法依次沉積氮化矽膜H1a及氧化矽膜H1b，以形成由此等膜所構成之配線溝用絕緣膜H1。利用蝕刻第一層配線形成預定區域之配線溝用絕緣膜H1而形成配線溝HM1。又，氮化矽膜H1a係被利用作為前述蝕刻之際之蝕刻阻擋膜。

其次，如圖28所示，在含配線溝HM1內之配線溝用絕緣膜H1上，以濺射法沉積氮化鎢形成之阻擋層M1a，接著在阻擋層M1a上利用CVD法形成銅膜M1b。

此銅膜M1b係以Cu(銅)之化合物之 $\text{Cu}(\text{HFAC})_2$ 、 H_2O 及 H_2 為原料所形成。又，HFAC係 $(\text{CF}_3\text{COCHCOCF}_3)^-$ 之意。

使此 $\text{Cu}(\text{HFAC})_2$ 之有機化合物溶液氣化，並與 H_2O 及 H_2 反應時，即可形成薄膜。另外，可列舉四氫呋喃溶液等，

五、發明說明 (25)

以作為有機化合物溶液。在此，係一面控制 H_2O 及 H_2 之分壓比使其位於圖 29 所示圖表 (a') 下方區域，一面使其反應。

如此控制之目的係為抑制 Cu 膜形成時發生 Cu 之氧化。可抑制此 Cu 之氧化之理由，也可利用與 Ru 之情形同樣理由加以說明。

也就是說，此圖 29 之圖表 (a') 係依照反應溫度表示系統 1 ($CuO + H_2$) 與系統 2 ($Cu + H_2O$) 之平衡狀態之平衡常數 k 之對數。此對數 $\log k$ 可利用 $\log k = \log \frac{[H_2O]_{eq}}{[H_2]_{eq}} \left(\frac{[H_2O]_{eq}}{[H_2]_{eq}} \right)$ 加以表示。又，此平衡常數 k 可利用系統 1 與系統 2 之吉普斯之自由能量之差 (ΔG) 等而利用 $\Delta G = -RT \ln k$ 加以求出。

因此，在位於此圖表 (a') 上方區域之條件下，平衡會向 Cu 被氧化之方向移動。但一面控制 H_2O 及 H_2 之分壓比使其位於圖 29 所示之圖表 (a') 下方區域，一面形成 Cu 膜時，即可抑制 Cu 膜之氧化。

但形成 Cu 膜時，有必要使原料之 $Cu(HFAC)_2$ 溶液氣化，且因利用太高溫度處理時，會引起原料之分解，故反應溫度以保持 $100 \sim 200^\circ C$ (原料溶液之沸點以上) 至 $500^\circ C$ 程度為佳。

如此，依據本實施形態，由於利用 $Cu(HFAC)_2$ 、 H_2O 及 H_2 ，並一面控制 H_2O 及 H_2 之分壓比使其位於圖 29 所示之圖表 (a') 下方區域，一面使其反應，故可一面防止 Cu 膜之氧化，一面形成氧、碳或此等之化合物含量少之良好的

五、發明說明 (26)

Cu 膜。

又，一面控制 H_2O 及 H_2 之分壓比使其位於圖 30 所示之圖表(b)下方區域，一面使此 Cu 膜 M1b 起反應時，即可抑制成膜中之 Cu 及氮化鎢形成之阻擋層 M1a 中之 W 之氧化。

圖 30 之圖表(b)係依照反應溫度表示系統 1 ($WO_2 + H_2$) 與系統 2 ($W + H_2O$) 之平衡狀態之平衡常數 k 之對數。如前所述，此對數 $\log k$ 可利用 $\log k = \log \left(\frac{[H_2O]_{eq}}{[H_2]_{eq}} \right) ([H_2O]_{eq} : \text{平衡狀態之 } H_2O \text{ 之分壓}, [H_2]_{eq} : \text{平衡狀態之 } H_2 \text{ 之分壓})$ 加以表示。又，此平衡常數 k 可利用系統 1 與系統 2 之吉普斯之自由能量之差 (ΔG) 等加以求出。

因此，在位於此圖表(b)上方區域之條件下，平衡會向 W 被氧化之方向移動。但一面控制 H_2O 及 H_2 之分壓比使其位於圖 30 所示之圖表(b)下方區域，一面形成 Cu 膜時，即可一面抑制 Cu 之氧化，一面抑制 W 之氧化。

因此，可抑制成膜中之 Cu 及氮化鎢形成之阻擋層 M1a 中之 W 之氧化。其結果，可防止 Cu 膜 M1b 與插塞 P1 間之導通不良，且藉抑制阻擋層 M1a 中之 W 之氧化，可防止阻擋性之降低。其結果，可防止 Cu 向絕緣膜中擴散而引起配線間之短路。

此 Cu 膜 M1b 也可利用 Cu 之陽離子與六間苯乙醯丙酮 ($CF_3COCHCOCF_3$) 及三甲基乙烯基矽烷 ($CH_2CHSi(CH_3)_3$) 之化合物之 $Cu(HFAC)(TMVS)$ 、 H_2O 及 H_2 為原料所形成。

又，HFAC 係 ($CF_3COCHCOCF_3$) 之意，TMVS 係 ($CH_2=$

五、發明說明 (27)

$\text{CHSi}(\text{CH}_3)_3$ 之意。

使此 $\text{Cu}(\text{HFAC})(\text{TMVS})$ 之有機化合物溶液氧化，並利用與 H_2O 及 H_2 起反應而形成薄膜。另外，可列舉四氫呋喃溶液等，以作為有機化合物溶液。此 Cu 膜之成膜反應如圖 31 所示。在此反應中， H_2O 也具有觸媒的作用，可藉 H_2O 之添加而使反應速度變快。

在此反應之際，亦如前所述，控制 H_2O 及 H_2 之分壓比使其位於圖 29 所示之圖表(a')下方區域時，即可抑制 Cu 之氧化。又，控制 H_2O 及 H_2 之分壓比使其位於圖 30 所示之圖表(b)下方區域時，即可一面抑制 Cu 之氧化，一面抑制 W 之氧化。其結果，可防止 Cu 膜 M1b 與插塞 P1 間之導通不良及配線間之短路。

其次，如圖 32 所示，利用化學機械研磨法除去配線溝 HM1 外部之 Cu 膜 M1b 及阻擋層 M1a 時，即可形成由 Cu 膜 M1b 及阻擋層 M1a 所構成之第一層配線 M1 。

其次，如圖 33 所示，在第一層配線 M1 上，利用 CVD 法沉積矽氮化膜而形成銅擴散防止用絕緣膜 D1 後，形成層間絕緣膜 TH2 。層間絕緣膜 TH2 係利用與前述層間絕緣膜 TH1 同樣方式所形成。

接著，在層間絕緣膜 TH2 上形成在第一層配線 M1 之接觸區域上開孔之光阻膜(未予圖示)，以此為掩罩，對層間絕緣膜 TH2 及銅擴散防止用絕緣膜 D1 施行異方性蝕刻，直到第一層配線 M1 之表面露出為止。

其次，如圖 34 所示，在含接觸孔 C2 內之層間絕緣膜

五、發明說明 (28)

TH2上，沉積TiN等之高融點金屬之氮化物30~70 nm而形成阻擋層P2a。接著，在阻擋層P2a上，以CVD法沉積200~500 nm程度之鎢膜P2b。鎢膜P2b係以完全填埋接觸孔C2內方式形成。

接著，利用化學機械研磨法除去接觸孔C2外之鎢膜P2b及阻擋層P2a而形成由鎢膜P2b及阻擋層P2a構成之插塞P2。

其次，如圖35所示，在插塞P2上與第一層配線M1同樣方式形成第二層配線M2。即，在層間絕緣膜TH2及插塞P2上，依次沉積氮化矽膜H2a及氧化矽膜H2b，藉蝕刻由此等膜所構成之配線溝用絕緣膜H2，以形成配線溝HM2。其次，在含配線溝HM2內之配線溝用絕緣膜H2上，沉積氮化鎢形成之阻擋層M2a，接著在阻擋層M2a上利用CVD法，依照前述之條件形成銅膜M2b。其次，利用化學機械研磨法除去配線溝HM2外部之銅膜M2b及阻擋層M2a而形成由銅膜M2b及阻擋層M2a構成之第二層配線M2。

接著，在第二層配線M2上形成銅擴散防止用絕緣膜D2及層間絕緣膜TH3。此等膜係利用與前述銅擴散防止用絕緣膜D1及層間絕緣膜TH1同樣方式所形成。其後，在銅擴散防止用絕緣膜D2及層間絕緣膜TH3中形成接觸孔C3，在接觸孔C3內形成插塞P3。此插塞P3係利用與插塞P2同樣方式所形成。接著，在層間絕緣膜TH3及插塞P3上，與配線溝用絕緣膜H1及配線溝HM1同樣地形成配

五、發明說明 (29)

線溝用絕緣膜H3及配線溝HM3，並與第一層配線M1同樣地形成第三層配線M3。

利用反覆施行此配線上之銅擴散防止用絕緣膜(D3、D4、D5)及層間絕緣膜(TH4、TH5)之形成、形成於此等膜中之接觸孔內之插塞(P4、P5)之形成及插塞上之配線(M4、M5)之形成，即可形成多層配線構造之半導體積體電路裝置。

接著，在第五層配線M5上形成氮化矽膜及氧化矽膜等所構成之鈍化膜420，藉蝕刻除去此鈍化膜420之一部分而使第五層配線M5上之接合墊部露出(未予圖示)。接著，在露出之第五層配線M5上形成金等所形成之凸塊底層電極，在凸塊底層電極上形成金或焊料等所構成之凸塊電極(未予圖示)。

此後，安裝於封裝基板等上時，半導體積體電路裝置之製造即告完成，有關此部分之說明在此予以省略。

又，在本實施形態中，係形成5層之配線，但亦可形成5層以下或5層以上之配線。又，在本實施形態中，係形成MISFETQn及Qp作為半導體元件，但並不限定於此等MISFET，也可形成雙極性電晶體等其他元件，同時也可廣泛適用於具有CVD法所形成之金屬配線之半導體積體電路裝置。

(實施形態5)

在實施形態1中，係在Ru膜形成時控制H₂O及H₂之分壓比。但也可使用醇代替H₂，以形成Ru膜。

五、發明說明 (30)

以下說明本實施形態之 DRAM 之製造方法。在 Ru 膜形成時，除了使用醇代替 H_2 ，以作為還原劑外，其他部分與實施形態 1 相同，故僅就 Ru 膜成膜工序說明如下。

例如，在實施形態 1 所述之圖 11 之 WN 膜 29 之上部，利用濺射法沉積膜厚 15 nm 程度之 Ru 膜（未予圖示），接著，利用 CVD 法沉積膜厚 30 nm 程度之 Ru 膜 30（參照圖 12）。

在此，係以 $Ru(HFAC)_3$ 、 H_2O 及醇為原料而形成此 Ru 膜 30。此時醇可使用 2 級以下之醇，例如甲醇、乙醇或異丙醇等。

首先，說明此 Ru 膜之成膜之反應機構。 $Ru(HFAC)_3$ 首先與 H_2O 反應（被 H_2O 分解），成為氫氧化物 $Ru(OH)_3$ 。接著，此氫氧化物 $Ru(OH)_3$ 被醇（R-OH）還原而產生 Ru。此時，醇被氧化成為醛或酮。

圖 36 係表示使用異丙醇時之反應機構。也可使用 $Ru(DPM)_3$ 取代 $Ru(HFAC)_3$ （圖 37）。在此，DPM 係 $((CH_3)_3CCOCHCOC(CH_3)_3)^-$ 之意。此種反應係在常溫、大氣壓力下，68 kJ 程度之發熱反應，相當容易進行。

如此，依據本實施形態，可用 $Ru(HFAC)_3$ 、 H_2O 及醇，利用加水分解而形成 Ru 膜，故如實施形態 1 所述，可形成膜質良好之 Ru 膜。

另外，醇比 H_2 容易處理，較容易形成 Ru 膜。

又，在本實施形態中，雖係以 Ru 膜為例加以說明，但如以 Ir 化合物、 H_2O 及醇為原料而形成 Ir 膜時，也可獲得同樣之效果。

五、發明說明 (31)

又，如以Cu化合物、 H_2O 及醇為原料而形成構成實施形態4所述之配線之Cu膜時，也可獲得同樣之效果。在此配線部具有Cu膜之半導體積體電路裝置之製造方法中，除了使用醇代替 H_2 ，以作為還原劑外，其他部分與實施形態4相同，故省略其說明。

以上已就本發明人所創見之發明，依據實施型態予以具體說明，但本發明並不僅限定於前述之實施形態，在不超越其要旨之範圍內，當然可作種種適當之變更。

【發明之功效】

本案所揭示之發明中，較具有代表性之發明所能獲得之功效可簡單說明如下：

可提高CVD法所形成之金屬膜，例如構成資訊儲存電容元件之下部電極之Ru膜及構成配線之Cu膜等之膜質。

又，可提高CVD法所形成之金屬氧化膜，例如構成資訊儲存電容元件之電容絕緣膜之氧化鉬膜等之膜質。

另外，可抑制位於CVD法所形成之金屬膜及金屬氧化膜之下層之金屬膜及金屬氮化膜之氧化，降低導通不良。

其結果，可謀求半導體積體電路裝置之特性之提高。

【圖式之簡單說明】

圖1係表示本發明之實施形態1之半導體積體電路裝置之製造方法之半導體基板之要部剖面圖。

圖2係表示本發明之實施形態1之半導體積體電路裝置之製造方法之半導體基板之要部平面圖。

圖3係表示本發明之實施形態1之半導體積體電路裝置

五、發明說明 (32)

之製造方法之半導體基板之要部剖面圖。

圖4係表示本發明之實施形態1之半導體積體電路裝置之製造方法之半導體基板之要部剖面圖。

圖5係表示本發明之實施形態1之半導體積體電路裝置之製造方法之半導體基板之要部剖面圖。

圖6係表示本發明之實施形態1之半導體積體電路裝置之製造方法之半導體基板之要部剖面圖。

圖7係表示本發明之實施形態1之半導體積體電路裝置之製造方法之半導體基板之要部剖面圖。

圖8係表示本發明之實施形態1之半導體積體電路裝置之製造方法之半導體基板之要部剖面圖。

圖9係表示本發明之實施形態1之半導體積體電路裝置之製造方法之半導體基板之要部剖面圖。

圖10係表示本發明之實施形態1之半導體積體電路裝置之製造方法之半導體基板之要部剖面圖。

圖11係表示本發明之實施形態1之半導體積體電路裝置之製造方法之半導體基板之要部剖面圖。

圖12係表示本發明之實施形態1之半導體積體電路裝置之製造方法之半導體基板之要部剖面圖。

圖13係表示Ru膜形成時之 H_2O 及 H_2 之分壓比之圖。

圖14(a)、14(b)係表示Ru膜成膜之反應機構之圖。

圖15係表示本發明之實施形態1之半導體積體電路裝置之製造方法之半導體基板之要部剖面圖。

圖16係表示本發明之實施形態1之半導體積體電路裝置

五、發明說明 (33)

之製造方法之半導體基板之要部剖面圖。

圖17係表示本發明之實施形態1之半導體積體電路裝置之製造方法之半導體基板之要部平面圖。

圖18係表示本發明之實施形態2之半導體積體電路裝置之製造方法之半導體基板之要部剖面圖。

圖19係表示Ru膜形成時之 H_2O 及 H_2 之分壓比之圖。

圖20係表示Ru膜形成時之 H_2O 及 H_2 之分壓比之圖。

圖21係表示Ru膜形成時之 H_2O 及 H_2 之分壓比之圖。

圖22係表示本發明之實施形態3之半導體積體電路裝置之製造方法之半導體基板之要部剖面圖。

圖23係表示氧化鉬膜形成時之 H_2O 及 H_2 之分壓比之圖。

圖24係表示氧化鉬膜形成時之 H_2O 及 H_2 之分壓比之圖。

圖25係表示本發明之實施形態4之半導體積體電路裝置之製造方法之半導體基板之要部剖面圖。

圖26係表示本發明之實施形態4之半導體積體電路裝置之製造方法之半導體基板之要部剖面圖。

圖27係表示本發明之實施形態4之半導體積體電路裝置之製造方法之半導體基板之要部剖面圖。

圖28係表示本發明之實施形態4之半導體積體電路裝置之製造方法之半導體基板之要部剖面圖。

圖29係表示Cu膜形成時之 H_2O 及 H_2 之分壓比之圖。

圖30係表示Cu膜形成時之 H_2O 及 H_2 之分壓比之圖。

五、發明說明 (34)

圖31係表示Cu膜之成膜反應之圖。

圖32係表示本發明之實施形態4之半導體積體電路裝置之製造方法之半導體基板之要部剖面圖。

圖33係表示本發明之實施形態4之半導體積體電路裝置之製造方法之半導體基板之要部剖面圖。

圖34係表示本發明之實施形態4之半導體積體電路裝置之製造方法之半導體基板之要部剖面圖。

圖35係表示本發明之實施形態4之半導體積體電路裝置之製造方法之半導體基板之要部剖面圖。

圖36係表示Ru膜之成膜反應之圖。

圖37係表示Ru膜之成膜反應之圖。

【元件符號之說明】

- 1 半導體基板
- 2 元件分離溝
- 3 p型井
- 4 氧化矽膜
- 5 閘極絕緣膜
- 6 閘極
- 7 氮化矽膜
- 8 n型半導體區域
- 9 氮化矽膜
- 10 氧化矽膜
- 11 接觸孔
- 12 接觸孔

五、發明說明 (35)

- 13 插塞
- 14 氧化矽膜
- 15 貫通孔
- 16 插塞
- 17 氧化矽膜
- 18 氮化矽膜
- 19 貫通孔
- 20 多晶矽膜
- 21 側壁分隔膜
- 22 插塞
- 23 阻擋層
- 24 氧化矽膜
- 26 金屬遮光罩
- 27 孔
- 29 W N 膜
- 30 R u 膜
- 30 A 下部電極
- 32 氧化鉭膜 (Ta_2O_5)
- 33 上部電極
- 33 a R u 膜
- 33 b W 膜
- 34 層間絕緣膜
- 230 R u 膜
- 332 氧化鉭膜

五、發明說明 (36)

- 401 半導體基板
- 402 元件分離溝
- 403 p型井
- 404 n型井
- 407 氧化矽膜
- 408 閘極氧化膜
- 409 閘極
- 409a 多晶矽膜
- 409b W膜
- 410 氮化矽膜
- 411 n⁻型半導體區域
- 412 p⁻型半導體區域
- 413 側壁分隔膜
- 414 n⁺型半導體區域
- 415 p⁺型半導體區域
- 420 鈍化膜
- BL 位元線
- C 資訊儲存電容元件(電容器)
- C1 接觸孔
- C2 接觸孔
- C3~C5 接觸孔
- D1 銅擴散防止用絕緣膜
- D2~D5 銅擴散防止用絕緣膜
- H1 配線溝用絕緣膜

五、發明說明 (37)

H1 a 氮化矽膜

H1 b 氧化矽膜

H2 配線溝用絕緣膜

H2 a 氮化矽膜

H2 b 氧化矽膜

H3 ~ H5 配線溝用絕緣膜

HM1 配線溝

HM2 配線溝

HM3 配線溝

L 活性區域

M1 第一層配線

M1 a 阻擋層

M1 b Cu (銅) 膜

M2 第二層配線

M2 a 阻擋層

M2 b 銅膜

M3 第三層配線

M4 第四層配線

M5 第五層配線

P1 插塞

P2 插塞

P2 a 阻擋層

P2 b 鎢膜

P3 ~ P5 插塞

五、發明說明 (38)

Q n n 通道型 MISFET

Q p p 通道型 MISFET

Q s 記憶單元選擇用 MISFET

TH1 層間絕緣膜

TH2 層間絕緣膜

TH3 ~ TH5 層間絕緣膜

裝

訂

線

四、中文發明摘要（發明之名稱：半導體積體電路裝置之製造方法）。

本發明係以提高CVD（化學氣相沉積）法所形成之例如構成資訊儲存電容元件之下部電極之Ru（鈦）膜等金屬膜之膜質為訴求課題。

本發明之半導體積體電路裝置之製造方法係在形成資訊儲存電容元件之氧化矽膜中之孔之側壁及底部，利用濺射法沉積可發揮作為黏接劑作用之WN（氮化鎢）膜，利用以Ru(HFAC)₃、H₂O及H₂為原料之CVD法，以一面控制原料中之H₂O及H₂之分壓比使其位於圖表(a)下方區域，一面形成之方式，將構成資訊儲存電容元件之下部電極之Ru膜形成在此WN膜上。如此，利用加水分解之CVD法形成Ru膜時，可提高Ru膜之膜質，並可利用控制H₂O及H₂之分壓比，以抑制Ru膜之氧化。另外，控制分壓比使其位於圖表(b)下方區域而形成Ru膜時，可抑制WN膜之氧化。

英文發明摘要（發明之名稱： "SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND METHOD OF MANUFACTURING THE SAME"）

【課題】 CVD法により形成される金属膜、例えば、情報蓄積容量素子の下部電極を構成するRu膜等の膜質を向上させる。

【解決手段】 情報蓄積用容量素子が形成される酸化シリコン膜中の孔の側壁および底部に、接着層としての役割を果たすWN膜をスパッタ法により堆積し、このWN膜上に情報蓄積用容量素子の下部電極となるRu膜を、Ru(HFAC)₃、H₂OおよびH₂を原料としたCVD法で、原料のうちのH₂OおよびH₂の分圧比をグラフ(a)より下の領域に位置するように制御しつつ形成する。このように、加水分解を利用したCVD法によりRu膜を形成すれば、Ru膜の膜質を向上させることができ、また、H₂OおよびH₂の分圧比を制御することによりRu膜の酸化を抑えることができる。さらに、グラフ(b)より下の領域に位置するように制御し、Ru膜を形成すれば、WN膜の酸化を抑えることができる。

六、申請專利範圍

1. 一種半導體積體電路裝置之製造方法，其特徵在於包含下述工序：
 - (a) 在半導體基板之主表面形成記憶單元選擇用 MISFET；及
 - (b) 以使用 Ru 之化合物、 H_2O 及還原劑之化學氣相沉積法形成 Ru (鈦) 膜，且該 Ru (鈦) 膜係構成與前述記憶單元選擇用 MISFET 之源極、汲極區域電性連接之電容器之下部電極。
2. 如申請專利範圍第 1 項之半導體積體電路裝置之製造方法，其中前述還原劑係 H_2 或醇者。
3. 如申請專利範圍第 1 項之半導體積體電路裝置之製造方法，其中前述 Ru 之化合物係 Ru 之乙醯丙酮衍生物化合物者。
4. 如申請專利範圍第 1 項之半導體積體電路裝置之製造方法，其中進一步包含下述工序：
 - (c) 在前述 Ru 膜上形成電容絕緣膜；及
 - (d) 在前述電容絕緣膜上形成上部電極。
5. 一種半導體積體電路裝置之製造方法，其特徵在於包含下述工序：
 - (a) 在半導體基板之主表面形成記憶單元選擇用 MISFET；及
 - (b) 以使用 Ru 之化合物、 H_2O 及 H_2 之化學氣相沉積法，利用特定溫度形成 Ru 膜，該 Ru 膜係構成與前述記憶單元選擇用 MISFET 之源極、汲極區域電性連接之電

六、申請專利範圍

容器之下部電極者，且在下列條件下：在前述溫度中對前述 H_2 之前述 H_2O 之分壓比($[H_2O]/[H_2]$)小於在前述溫度中，系統1(RuO_2+H_2)與系統2($Ru+H_2O$)平衡狀態之際之對 H_2 之 H_2O 之分壓比($[H_2O]_{eq}/[H_2]_{eq}$)形成者。

6. 如申請專利範圍第5項之半導體積體電路裝置之製造方法，其中前述特定溫度為 $100^{\circ}C \sim 500^{\circ}C$ 者。

7. 一種半導體積體電路裝置之製造方法，其特徵在於包含下述工序：

(a) 在半導體基板之主表面形成記憶單元選擇用MISFET；

(b) 形成與前述記憶單元選擇用MISFET之源極、汲極區域電性連接之插塞；

(c) 在前述插塞上形成氧化矽膜；

(d) 在前述氧化矽膜中形成到達前述插塞表面之孔；

(e) 在前述孔之側壁及底部，形成含導電性之金屬層或金屬氮化物層；及

(f) 在前述金屬層或金屬氮化物層上，以使用Ru之化合物、 H_2O 及還原劑之化學氣相沉積法形成構成電容器之下部電極之Ru膜。

8. 如申請專利範圍第7項之半導體積體電路裝置之製造方法，其中前述還原劑係 H_2 或醇者。

9. 如申請專利範圍第7項之半導體積體電路裝置之製造方法，其中進一步包含下述工序：

(g) 在前述Ru膜上形成電容絕緣膜；及

六、申請專利範圍

- (h) 在前述電容絕緣膜上形成上部電極。
10. 如申請專利範圍第7項之半導體積體電路裝置之製造方法，其中前述金屬層或金屬氮化物層係鎢層或氮化鎢層者。
11. 如申請專利範圍第7項之半導體積體電路裝置之製造方法，其中前述金屬氮化物層係氮化鈮層者。
12. 如申請專利範圍第7項之半導體積體電路裝置之製造方法，其中前述Ru之化合物係Ru之乙醯丙酮衍生物化合物者。
13. 一種半導體積體電路裝置之製造方法，其特徵在於包含下述工序：
- (a) 在半導體基板之主表面形成記憶單元選擇用MISFET；
- (b) 形成與前述記憶單元選擇用MISFET之源極、汲極區域電性連接之插塞；
- (c) 在前述插塞上形成氧化矽膜；
- (d) 在前述氧化矽膜中形成到達前述插塞表面之孔；
- (e) 在前述孔之側壁及底部，形成含導電性之金屬層或金屬氮化物層；
- (f) 在前述金屬層或金屬氮化物層上，利用特定溫度，以使用Ru之化合物、 H_2O 及 H_2 之化學氣相沉積法，形成構成電容器之下部電極之Ru膜，且在下列條件下：對前述 H_2 之前述 H_2O 之分壓比($[H_2O]/[H_2]$)小於在前述溫度中，系統1(構成前述金屬層或金屬氮化物層

六、申請專利範圍

之金屬氧化物+H₂)與系統2(構成前述金屬層或金屬氮化物層之金屬+H₂O)平衡狀態之際之對H₂之H₂O之分壓比([H₂O]_{eq}/[H₂]_{eq})形成Ru膜。

14. 一種半導體積體電路裝置之製造方法，其特徵在於包含下述工序：

(a) 在半導體基板之主表面形成記憶單元選擇用MISFET；及

(b) 以使用Ir(銱)、Pd(鈀)或Pt(鉑)之化合物、H₂O及還原劑之化學氣相沉積法形成Ir膜、Pd膜或Pt膜，且該Ir膜、Pd膜或Pt膜係構成與前述記憶單元選擇用MISFET之源極、汲極區域電性連接之電容器之下部電極。

15. 如申請專利範圍第14項之半導體積體電路裝置之製造方法，其中前述還原劑係H₂或醇者。

16. 如申請專利範圍第14項之半導體積體電路裝置之製造方法，其中進一步包含下述工序：

(c) 在前述Ir膜、Pd膜或Pt膜上形成電容絕緣膜；及

(d) 在前述電容絕緣膜上形成上部電極。

17. 一種半導體積體電路裝置之製造方法，其特徵在於包含下述工序：

(a) 在半導體基板之主表面形成記憶單元選擇用MISFET；及

(b) 以使用Ir(銱)、Pd(鈀)或Pt(鉑)之化合物、H₂O及H₂之化學氣相沉積法，利用特定溫度，形成Ir

六、申請專利範圍

膜、Pd膜或Pt膜，該Ir膜、Pd膜或Pt膜係構成與前述記憶單元選擇用MISFET之源極、汲極區域電性連接之電容器之下部電極者，且在下列條件下：在前述溫度中對前述 H_2 之前述 H_2O 之分壓比($[H_2O]/[H_2]$)小於在前述溫度中，系統1(Ir膜、Pd膜或Pt膜之氧化物+ H_2)與系統2(Ir膜、Pd膜或Pt膜+ H_2O)平衡狀態之際之對 H_2 之 H_2O 之分壓比($[H_2O]_{eq}/[H_2]_{eq}$)形成者。

18. 一種半導體積體電路裝置之製造方法，其特徵在於包含下述工序：

(a) 在半導體基板之主表面形成記憶單元選擇用MISFET；

(b) 形成構成與前述記憶單元選擇用MISFET之源極、汲極區域電性連接之電容器之下部電極之金屬膜；及

(c) 在前述金屬膜上利用特定溫度，形成構成電容器之電容絕緣膜之金屬氧化物，

而以使用組成前述金屬氧化物之金屬之化合物、 H_2O 及還原劑之化學氣相沉積法形成金屬氧化物。

19. 如申請專利範圍第18項之半導體積體電路裝置之製造方法，其中前述還原劑係 H_2 或醇者。

20. 如申請專利範圍第18項之半導體積體電路裝置之製造方法，其中進一步包含下述工序：

(d) 在前述電容絕緣膜上形成上部電極。

21. 如申請專利範圍第18項之半導體積體電路裝置之製造方法，其中前述金屬氧化物為氧化鉭，前述金屬之化合

六、申請專利範圍

物為五乙氧基鉭($\text{Ta}(\text{OC}_2\text{H}_5)_5$)者。

22. 如申請專利範圍第18項之半導體積體電路裝置之製造方法，其中前述金屬膜為Ru膜者。

23. 如申請專利範圍第18項之半導體積體電路裝置之製造方法，其中前述金屬氧化物為 Al_2O_3 或BST ($\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$)者。

24. 一種半導體積體電路裝置之製造方法，其特徵在於包含下述工序：

(a) 在半導體基板之主表面形成記憶單元選擇用MISFET；

(b) 形成構成與前述記憶單元選擇用MISFET之源極、汲極區域電性連接之電容器之下部電極之金屬膜；及

(c) 在前述金屬膜上利用特定溫度，形成構成電容器之電容絕緣膜之金屬氧化物，

而以使用組成前述金屬氧化物之金屬之化合物、 H_2O 及 H_2 之化學氣相沉積法，

在下列條件下：對前述 H_2 之前述 H_2O 之分壓比($[\text{H}_2\text{O}]/[\text{H}_2]$)，

大於在前述溫度中，系統1(前述金屬氧化物+ H_2)與系統2(組成前述金屬氧化物之金屬+ H_2O)平衡狀態之際之對 H_2 之 H_2O 之分壓比($[\text{H}_2\text{O}]_{\text{eq1}}/[\text{H}_2]_{\text{eq1}}$)，

且小於在前述溫度中，系統3(構成前述金屬膜之金屬氧化物+ H_2)與系統4(構成前述金屬膜之金屬+ H_2O)平衡狀態之際之對 H_2 之 H_2O 之分壓比($[\text{H}_2\text{O}]_{\text{eq2}}/[\text{H}_2]_{\text{eq2}}$)

六、申請專利範圍

形成金屬氧化物；及

(d) 在前述電容絕緣膜上形成電容器之上部電極。

25. 如申請專利範圍第24項之半導體積體電路裝置之製造方法，其中前述特定溫度為 $100^{\circ}\text{C} \sim 500^{\circ}\text{C}$ 者。

26. 一種半導體積體電路裝置之製造方法，其特徵在於包含下述工序：

(a) 在半導體基板上形成層間絕緣膜；及

(b) 在前述層間絕緣膜上，以使用Cu之化合物、 H_2O 及還原劑之化學氣相沉積法形成構成配線之Cu膜。

27. 如申請專利範圍第26項之半導體積體電路裝置之製造方法，其中前述還原劑係 H_2 或醇者。

28. 如申請專利範圍第26項之半導體積體電路裝置之製造方法，其中前述Cu之化合物為 $\text{Cu}(\text{CF}_3\text{-CO-CH-CO-CF}_3)_2$ 者。

29. 如申請專利範圍第26項之半導體積體電路裝置之製造方法，其中前述Cu之化合物為 $\text{Cu}(\text{CF}_3\text{-CO-CH-CO-CF}_3)(\text{CH}_2=\text{CHSi}(\text{CH}_3)_3)$ 者。

30. 一種半導體積體電路裝置之製造方法，其特徵在於包含下述工序：

(a) 在半導體基板上形成層間絕緣膜；及

(b) 在前述層間絕緣膜上，利用特定溫度，以使用Cu之化合物、 H_2O 及 H_2 之化學氣相沉積法形成構成配線之Cu膜，且在下列條件下：對前述 H_2 之前述 H_2O 之分壓比($[\text{H}_2\text{O}]/[\text{H}_2]$)小於在前述溫度中，系統1

六、申請專利範圍

($\text{CuO}_2 + \text{H}_2$) 與系統 2 ($\text{Cu} + \text{H}_2\text{O}$) 平衡狀態之際之對 H_2 之 H_2O 之分壓比 ($[\text{H}_2\text{O}]_{\text{eq}}/[\text{H}_2]_{\text{eq}}$) 形成 Cu 膜。

31. 如申請專利範圍第 30 項之半導體積體電路裝置之製造方法，其中前述特定溫度為 $100^\circ\text{C} \sim 500^\circ\text{C}$ 者。

32. 一種半導體積體電路裝置之製造方法，其特徵在於包含下述工序：

(a) 在半導體基板上形成層間絕緣膜；

(b) 在前述層間絕緣膜上，形成含導電性之金屬層或金屬氮化物層；及

(c) 在前述金屬層或金屬氮化物層上，利用特定溫度，以使用 Cu 之化合物、 H_2O 及還原劑之化學氣相沉積法，形成構成配線之 Cu 膜。

33. 如申請專利範圍第 32 項之半導體積體電路裝置之製造方法，其中前述還原劑係 H_2 或醇者。

34. 如申請專利範圍第 32 項之半導體積體電路裝置之製造方法，其中前述金屬層或金屬氮化物層為鎢層或氮化鎢層者。

35. 如申請專利範圍第 32 項之半導體積體電路裝置之製造方法，其中前述 Cu 之化合物為 $\text{Cu}(\text{CF}_3\text{-CO-CH-CO-CF}_3)_2$ 者。

36. 如申請專利範圍第 32 項之半導體積體電路裝置之製造方法，其中前述 Cu 之化合物為 $\text{Cu}(\text{CF}_3\text{-CO-CH-CO-CF}_3)(\text{CH}_2=\text{CHSi}(\text{CH}_3)_3)$ 者。

37. 一種半導體積體電路裝置之製造方法，其特徵在於包含

六、申請專利範圍

下述工序：

(a) 在半導體基板上形成層間絕緣膜；

(b) 在前述層間絕緣膜上，形成含導電性之金屬層或金屬氮化物層；及

(c) 在前述金屬層或金屬氮化物層上，利用特定溫度，以使用Cu之化合物、 H_2O 及 H_2 之化學氣相沉積法，形成構成配線之Cu膜，且在下列條件下：對前述 H_2 之前述 H_2O 之分壓比($[H_2O]/[H_2]$)小於在前述溫度中，系統1(構成前述金屬層或金屬氮化物層之金屬氧化物+ H_2)與系統2(構成前述金屬層或金屬氮化物層之金屬+ H_2O)平衡狀態之際之對 H_2 之 H_2O 之分壓比($[H_2O]_{eq}/[H_2]_{eq}$)形成Cu膜者。

38. 如申請專利範圍第37項之半導體積體電路裝置之製造方法，其中前述特定溫度為 $100^{\circ}C \sim 500^{\circ}C$ 者。

39. 一種半導體積體電路裝置之製造方法，其特徵在於：該半導體積體電路裝置係在半導體基板上包含金屬膜，

並包含一工序，其係以使用構成金屬膜之金屬之化合物、 H_2O 及 H_2 之化學氣相沉積法形成前述金屬膜者。

40. 一種半導體積體電路裝置之製造方法，其特徵在於：該半導體積體電路裝置係在半導體基板包含金屬氧化膜，

並包含一工序，其係以使用構成金屬氧化膜之金屬之化合物、 H_2O 及 H_2 之化學氣相沉積法形成前述金屬氧化膜者。

41. 一種半導體積體電路裝置之製造方法，其特徵在於：該

六、申請專利範圍

半導體積體電路裝置係在半導體基板上包含金屬膜，

並包含一工序，其係利用特定溫度，以使用構成金屬膜之金屬之化合物、 H_2O 及 H_2 之化學氣相沉積法，在下列條件下：對前述 H_2 之前述 H_2O 之分壓比($[H_2O]/[H_2]$)小於在前述溫度中，系統1(構成前述金屬膜之金屬氧化物+ H_2)與系統2(構成前述金屬膜之金屬+ H_2O)平衡狀態之際之對 H_2 之 H_2O 之分壓比($[H_2O]_{eq}/[H_2]_{eq}$)形成前述金屬膜者。

42. 一種半導體積體電路裝置之製造方法，其特徵在於：該半導體積體電路裝置係在半導體基板上包含金屬氧化膜，

並包含一工序，其係利用特定溫度，以使用構成金屬氧化膜之金屬之化合物、 H_2O 及 H_2 之化學氣相沉積法，在下列條件下：對前述 H_2 之前述 H_2O 之分壓比($[H_2O]/[H_2]$)大於在前述溫度中，系統1(構成前述金屬膜之金屬氧化物+ H_2)與系統2(構成前述金屬膜之金屬+ H_2O)平衡狀態之際之對 H_2 之 H_2O 之分壓比($[H_2O]_{eq}/[H_2]_{eq}$)形成前述金屬氧化膜者。

43. 一種半導體積體電路裝置之製造方法，其特徵在於：該半導體積體電路裝置係在半導體基板上之第一金屬膜或第一金屬氮化膜上包含第二金屬膜，

並包含一工序，其係利用特定溫度，以使用前述第二金屬之化合物、 H_2O 及 H_2 之化學氣相沉積法，在下列條件下：對前述 H_2 之前述 H_2O 之分壓比($[H_2O]/[H_2]$)小於

六、申請專利範圍

在前述溫度中，系統1（前述第一金屬氧化物+H₂）與系統2（前述第一金屬+H₂O）平衡狀態之際之對H₂之H₂O之分壓比（[H₂O]_{eq}/[H₂]_{eq}）形成前述第二金屬膜者。

44. 一種半導體積體電路裝置之製造方法，其特徵在於：該半導體積體電路裝置係在半導體基板上之第一金屬膜或第一金屬氮化膜上包含第二金屬氧化膜，

並包含一工序，其係利用特定溫度，以使用前述第二金屬之化合物、H₂O及H₂之化學氣相沉積法，在下列條件下：對前述H₂之前述H₂O之分壓比（[H₂O]/[H₂]），

大於在前述溫度中，系統1（前述第二金屬氧化物+H₂）與系統4（前述第二金屬+H₂O）平衡狀態之際之對H₂之H₂O之分壓比（[H₂O]_{eq1}/[H₂]_{eq1}），

且小於在前述溫度中，系統3（前述第一金屬氧化物+H₂）與系統4（前述第一金屬+H₂O）平衡狀態之際之對H₂之H₂O之分壓比（[H₂O]_{eq2}/[H₂]_{eq2}）形成前述第二金屬氧化膜者。

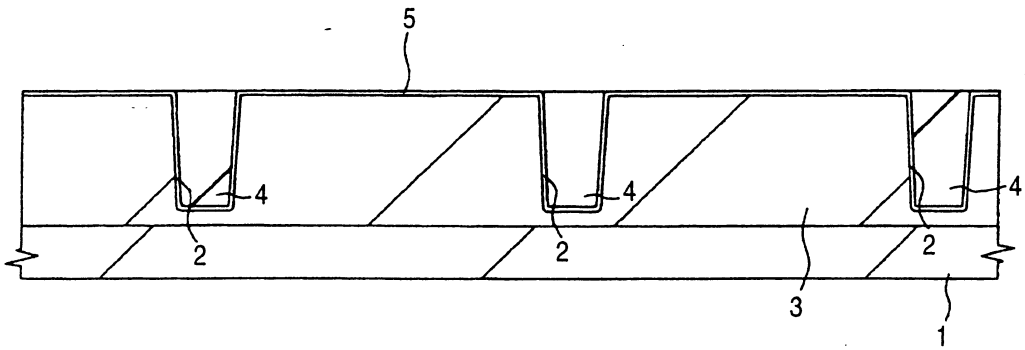


圖 1

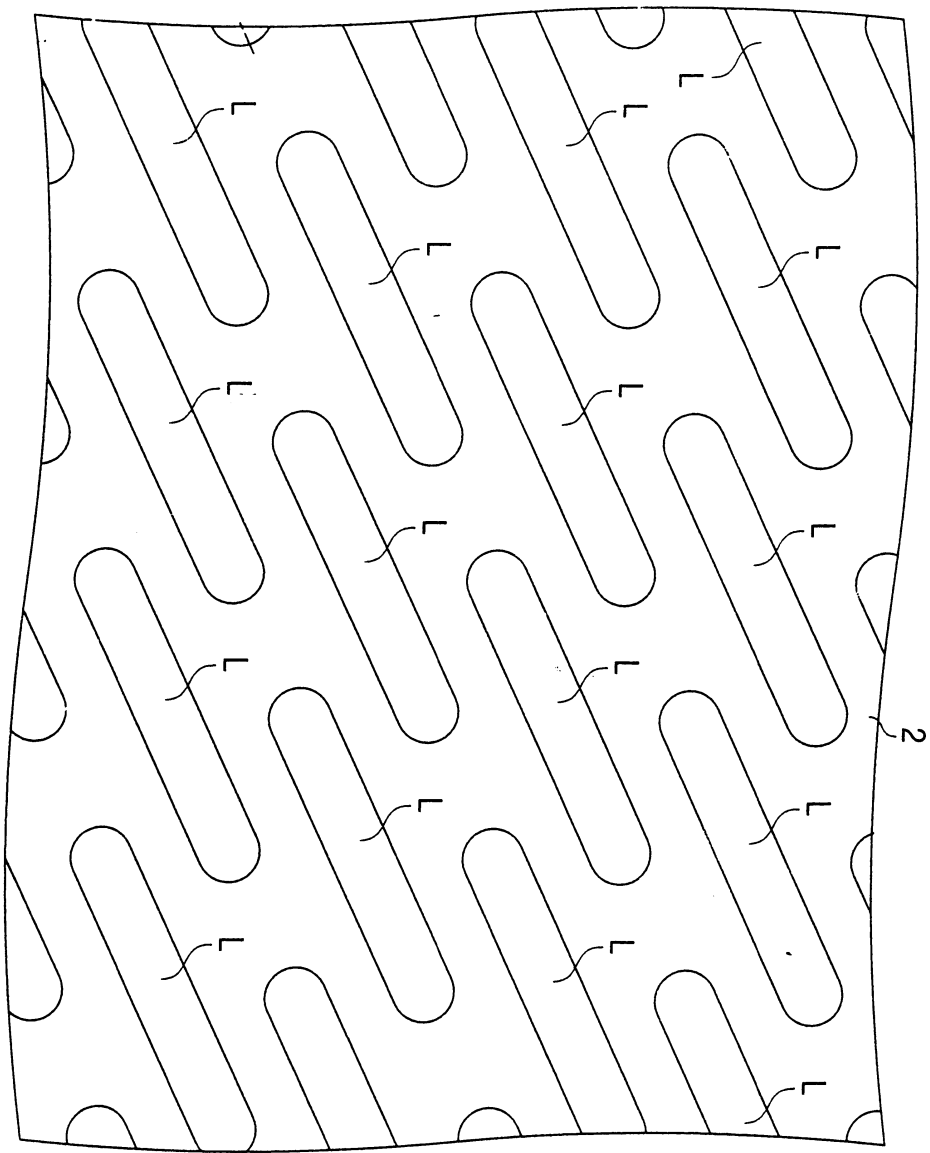


圖 2

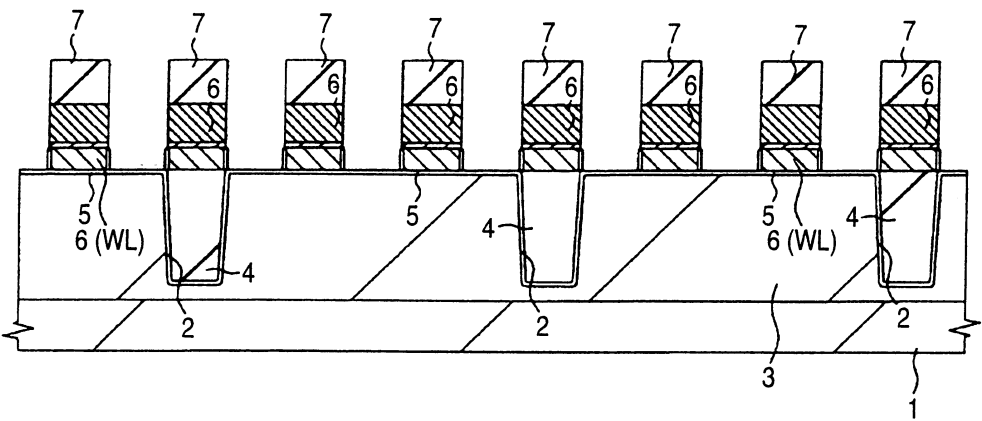


圖 3

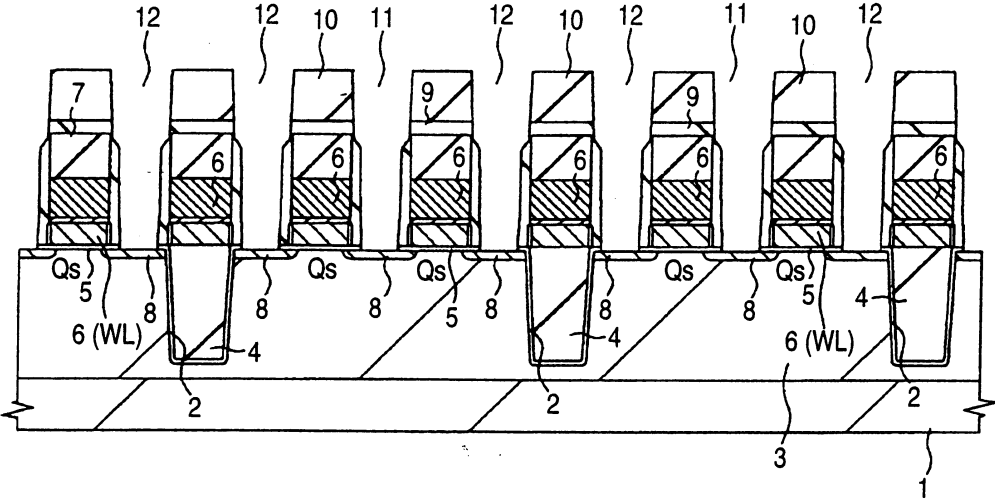


圖 4

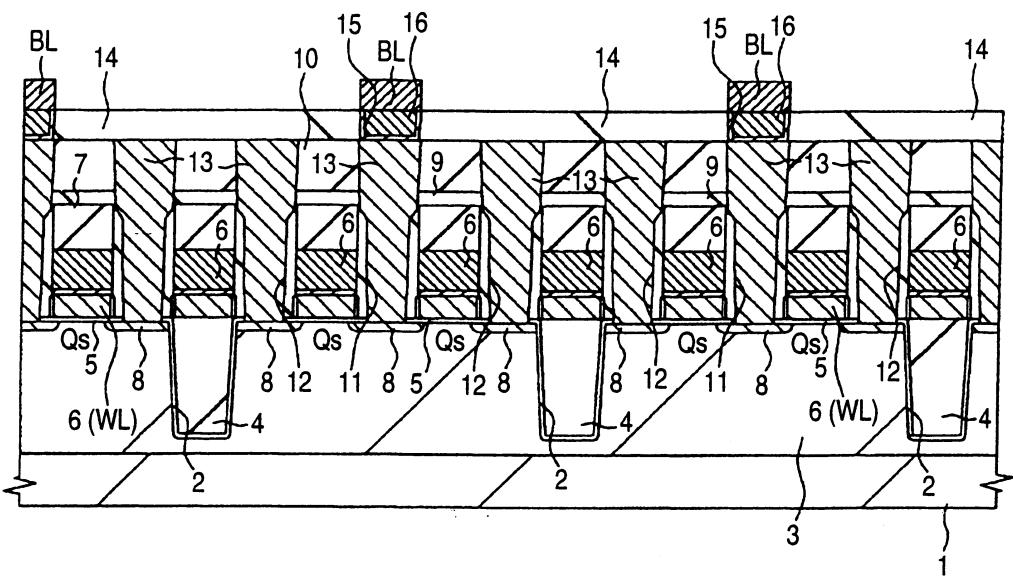


圖 5

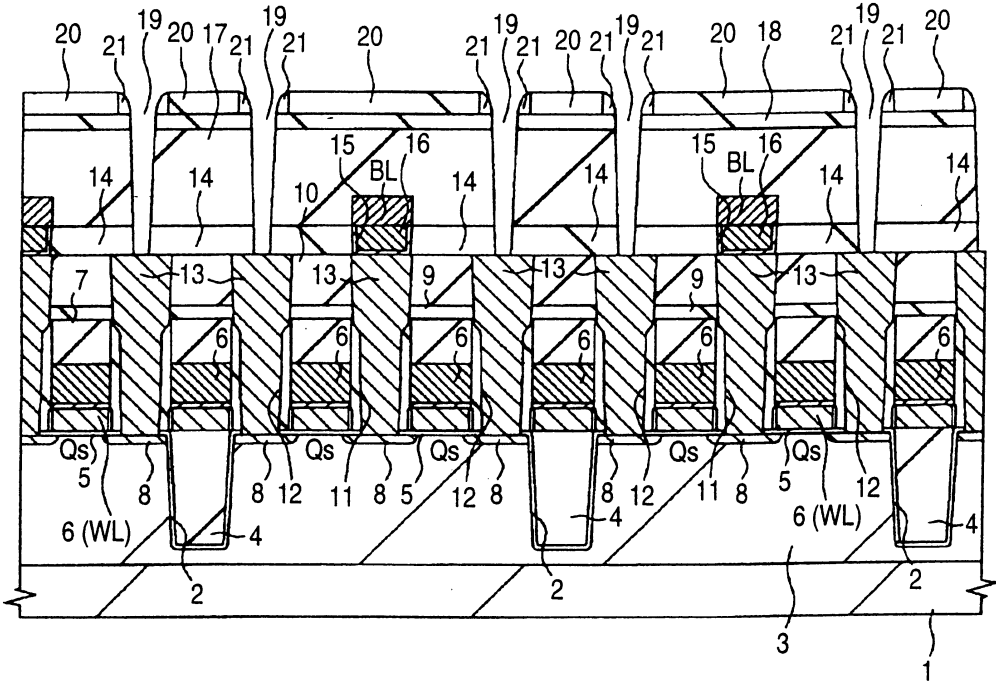


圖 6

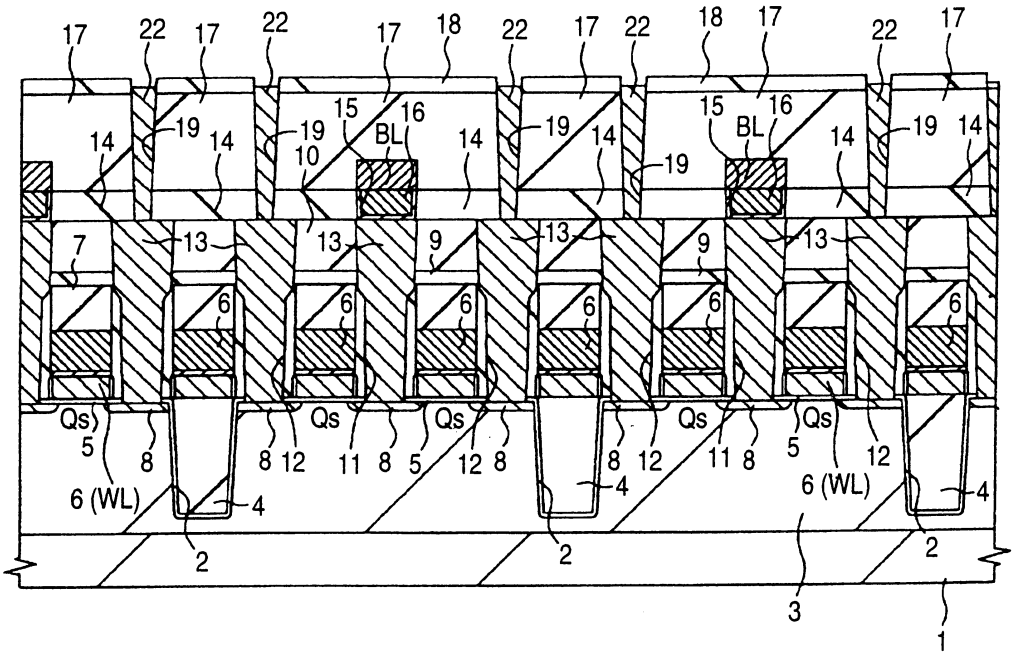


圖 7

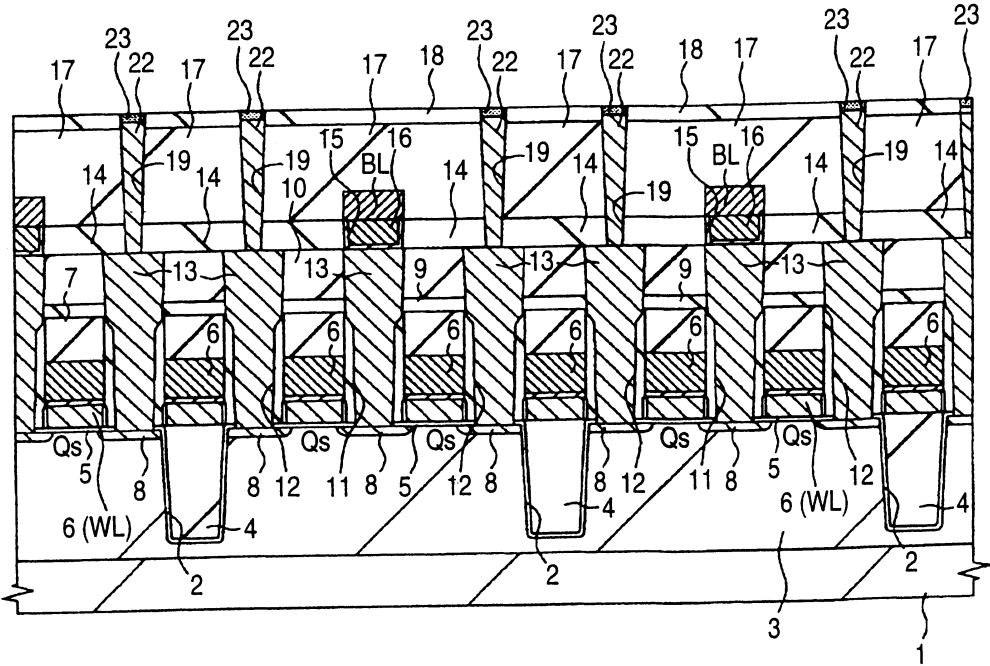


圖 8

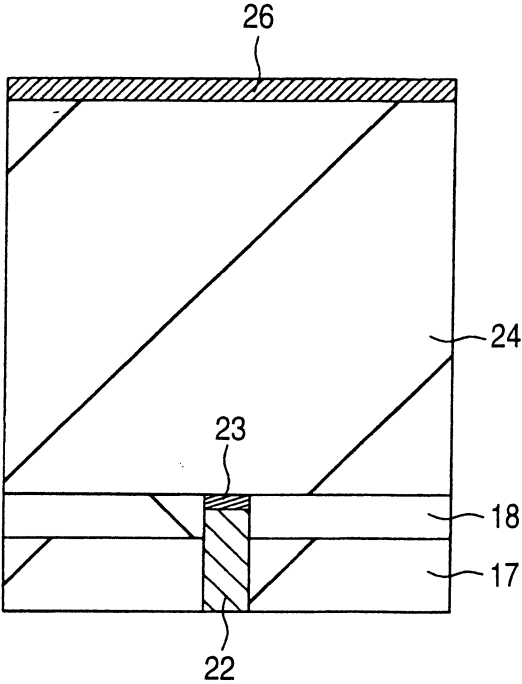


圖 9

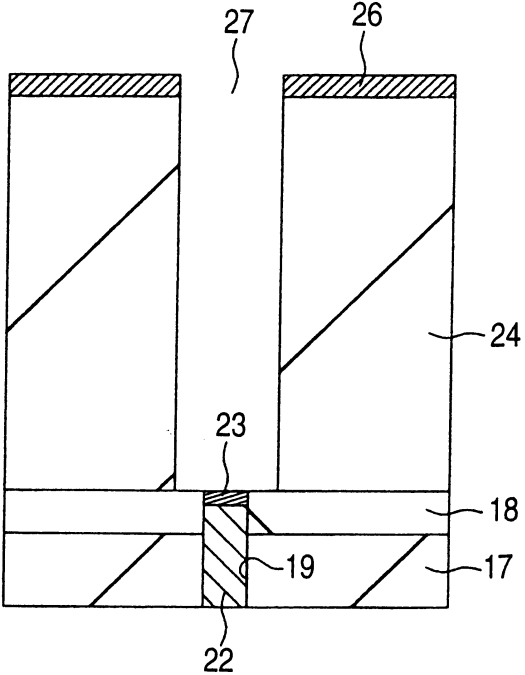


圖 10

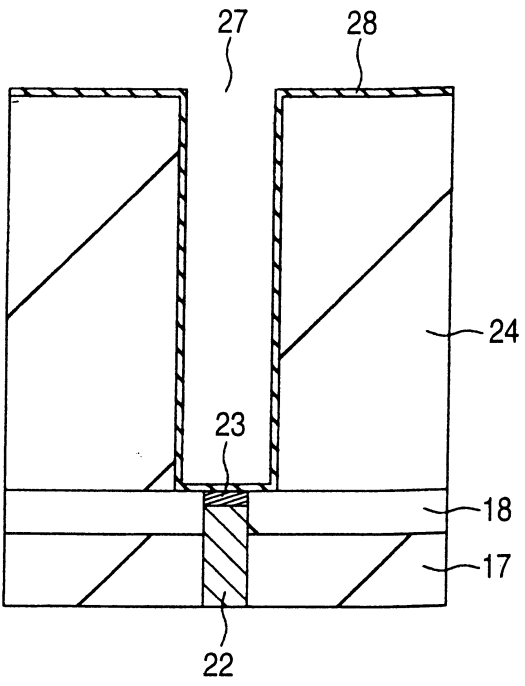


圖 11

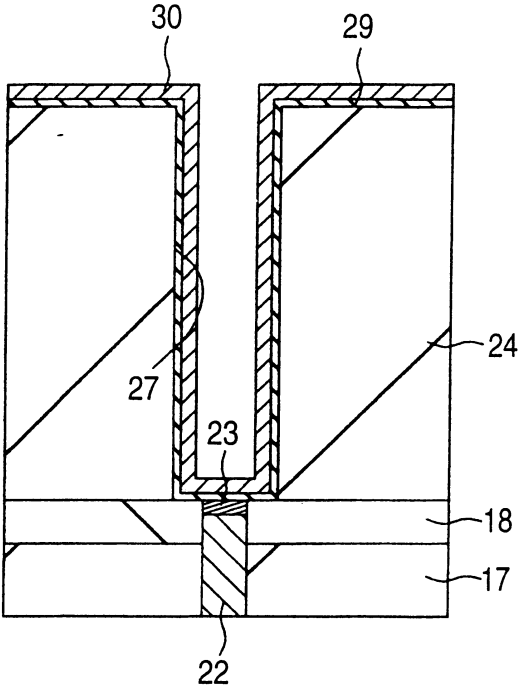


圖 12

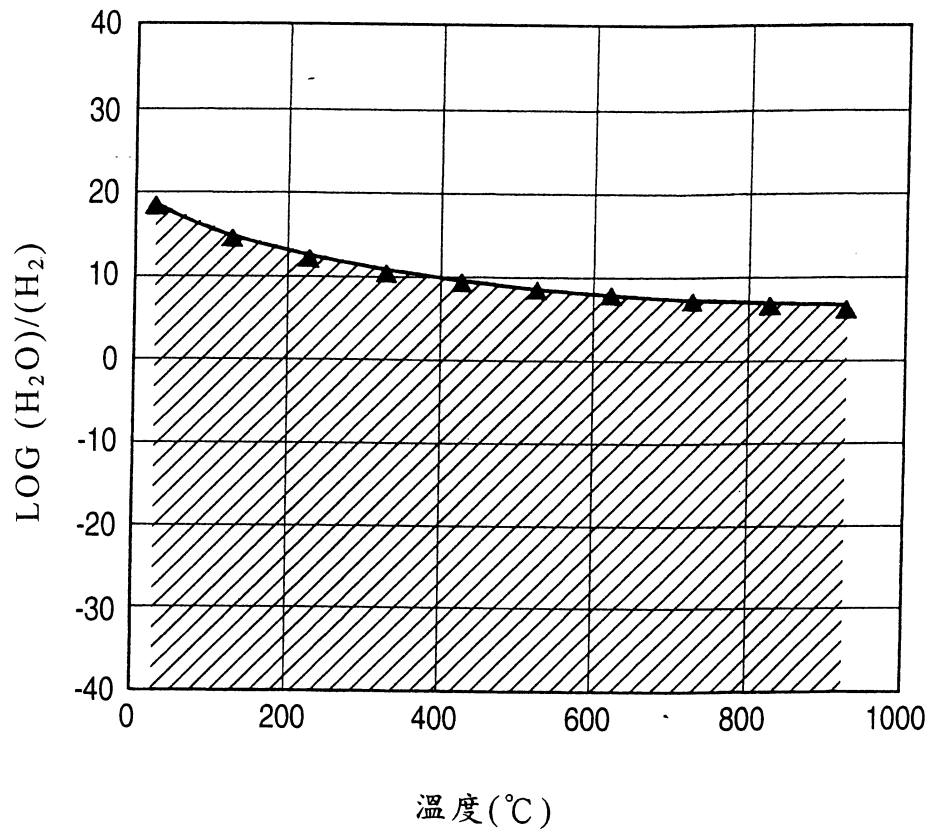


圖 13

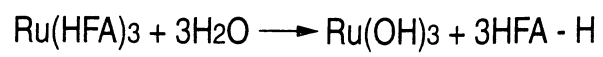


圖 14 (a)

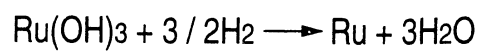


圖 14 (b)

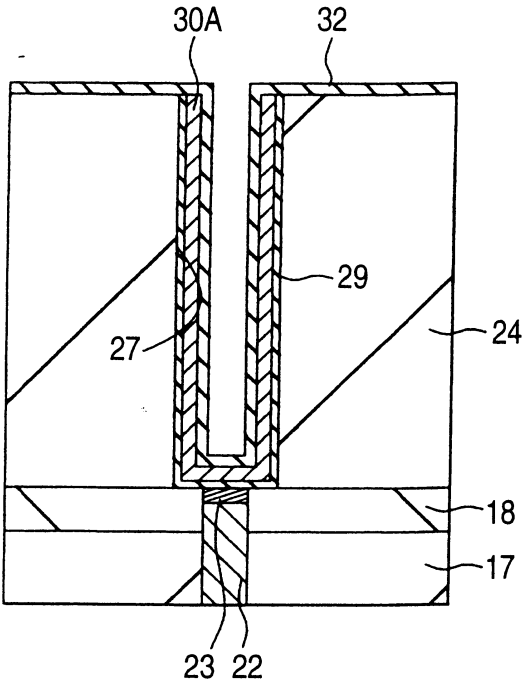


圖 15

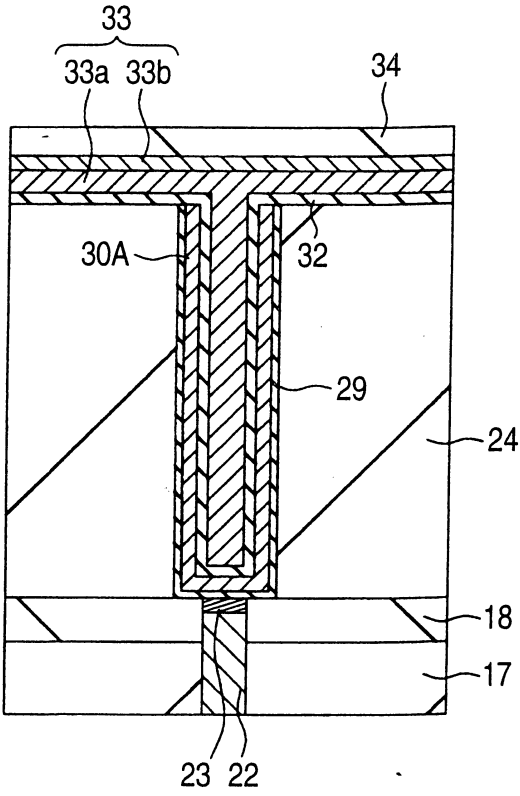


圖 16

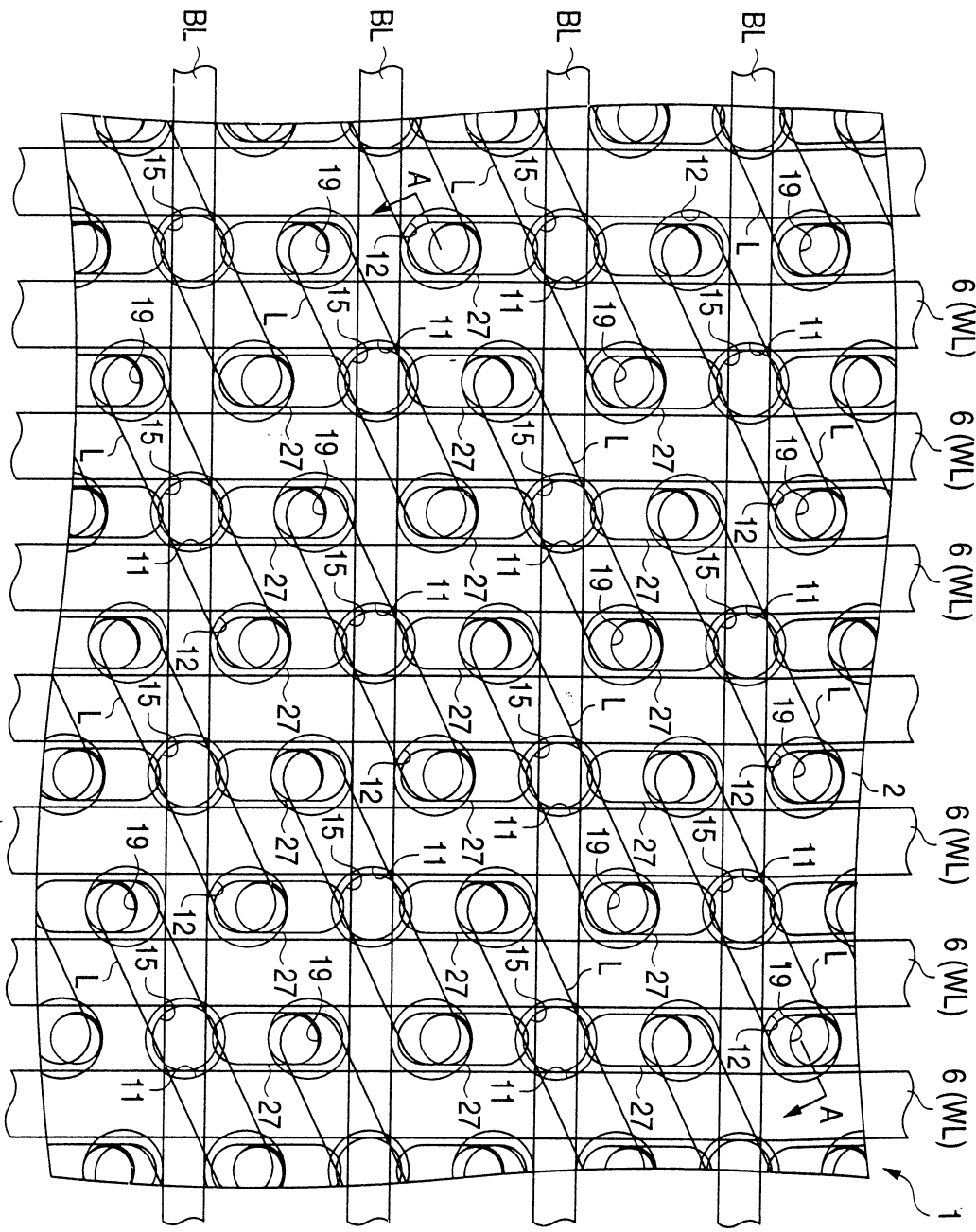


圖 17

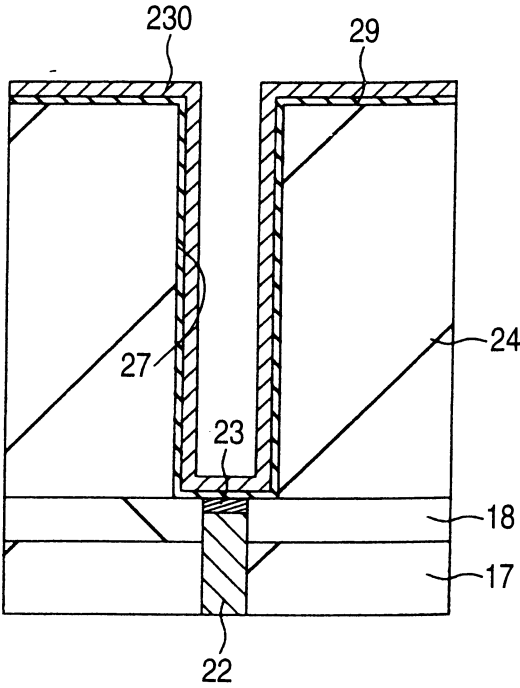


圖 18

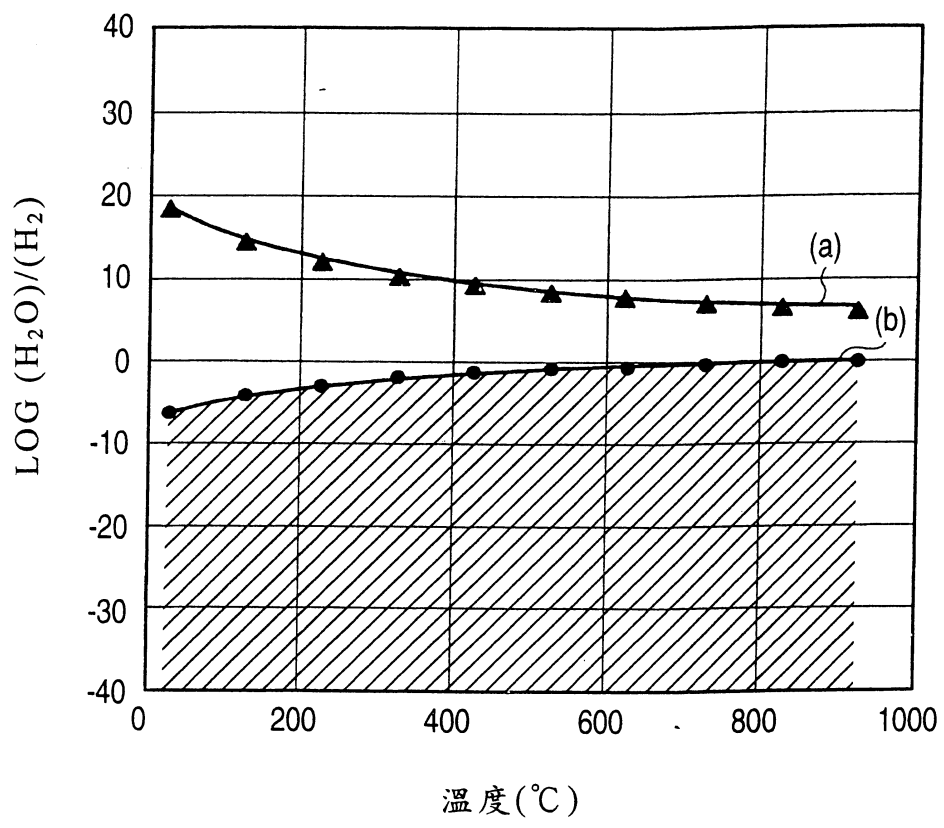


圖 19

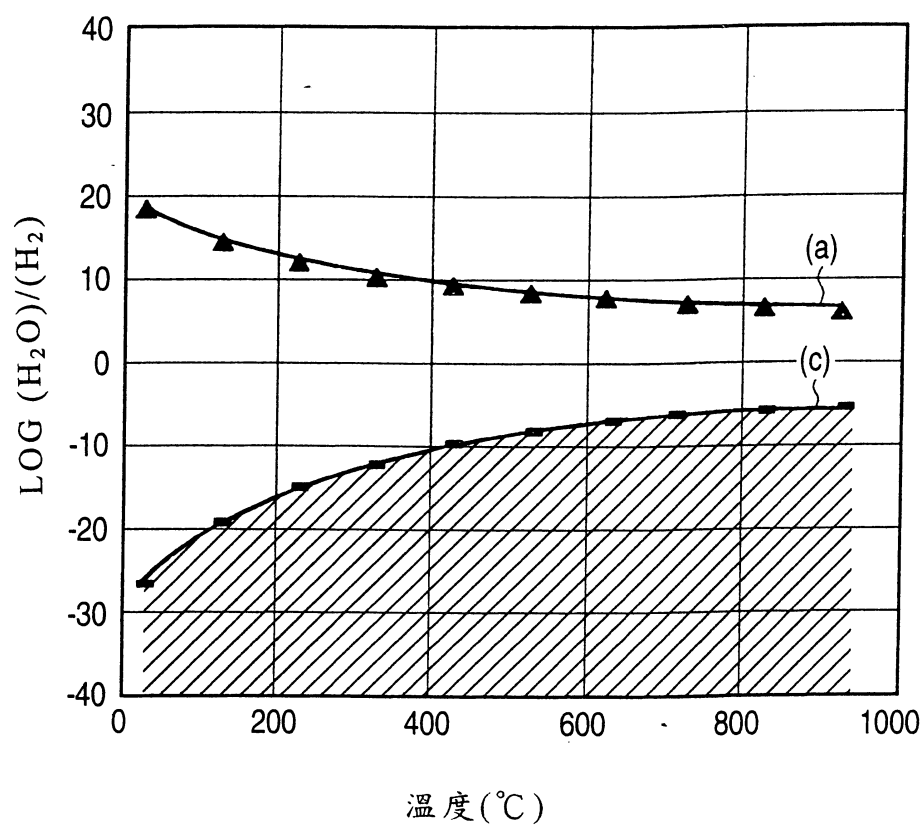


圖 20

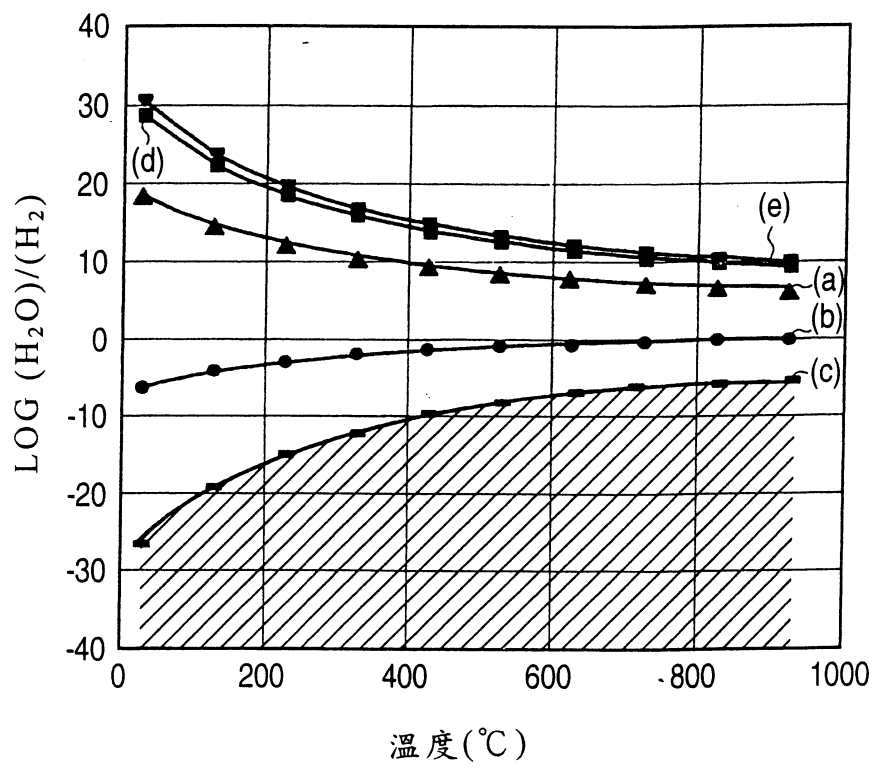


圖 21

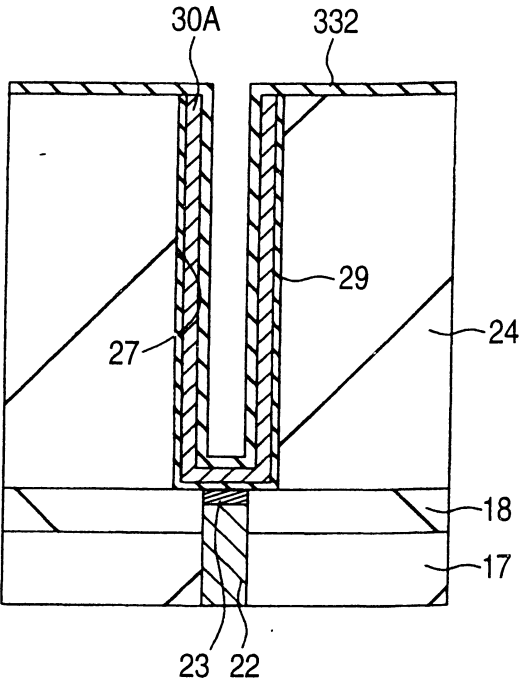


圖 22

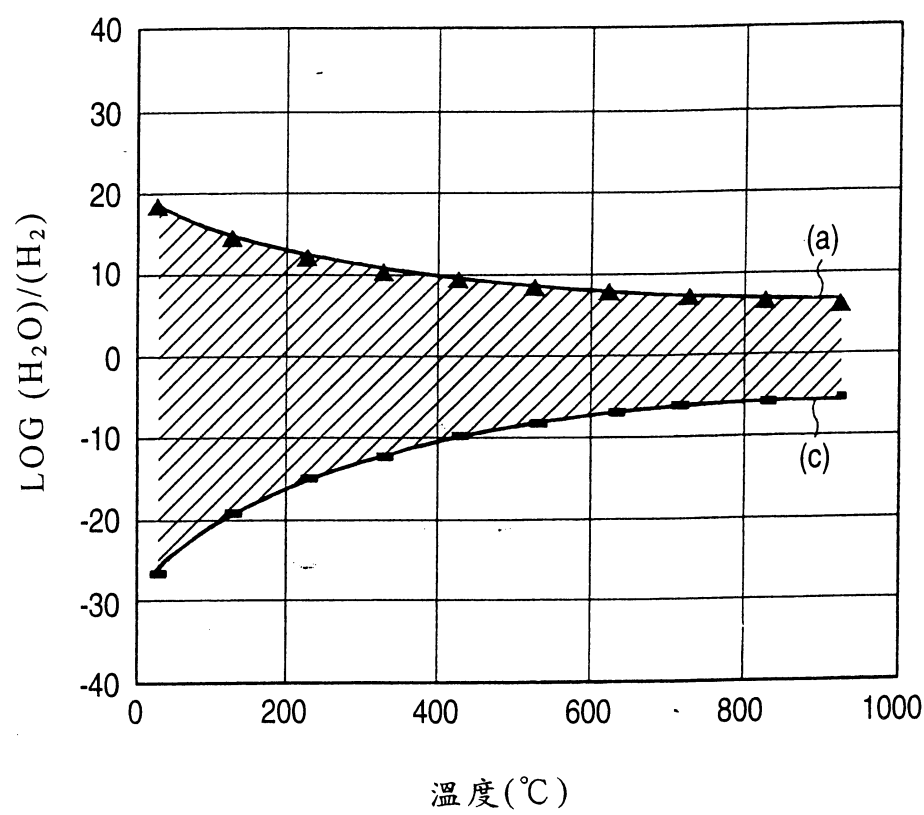


圖 23

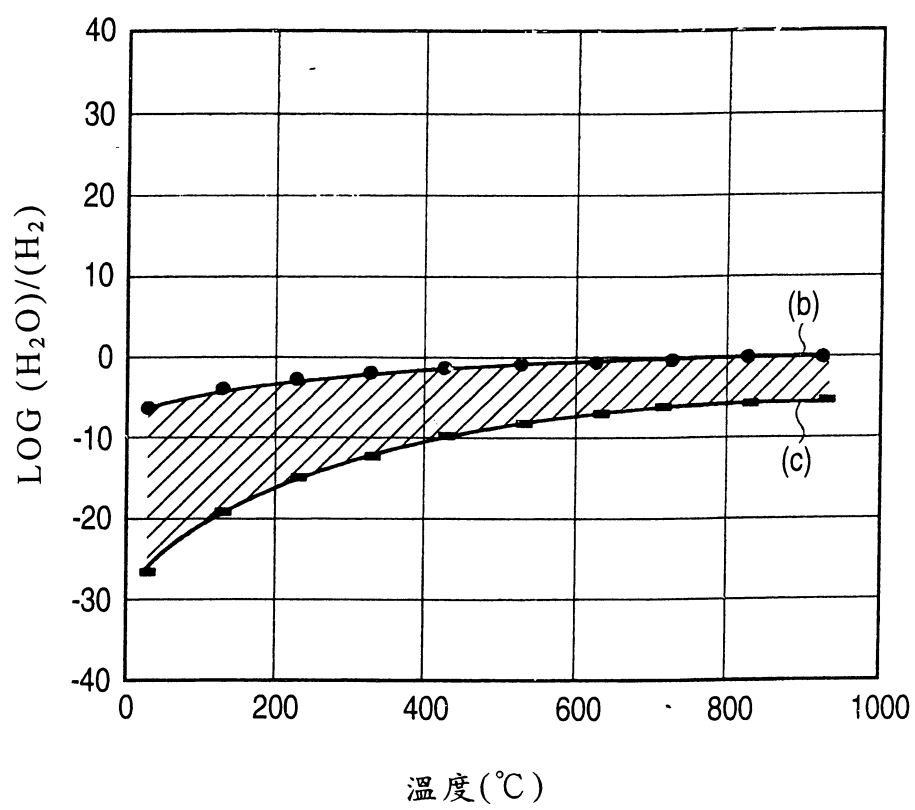


圖 24

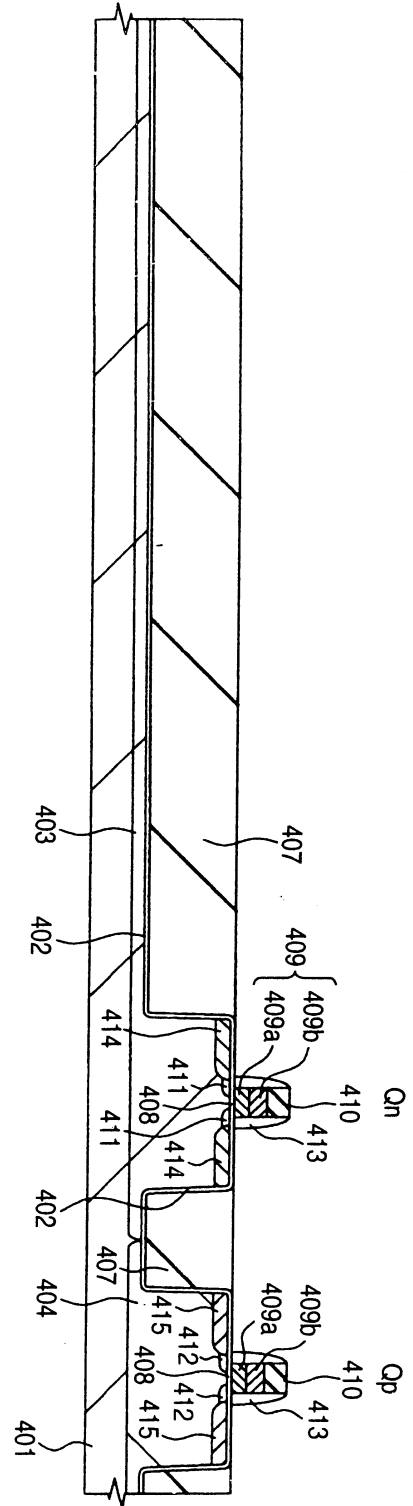


圖 25

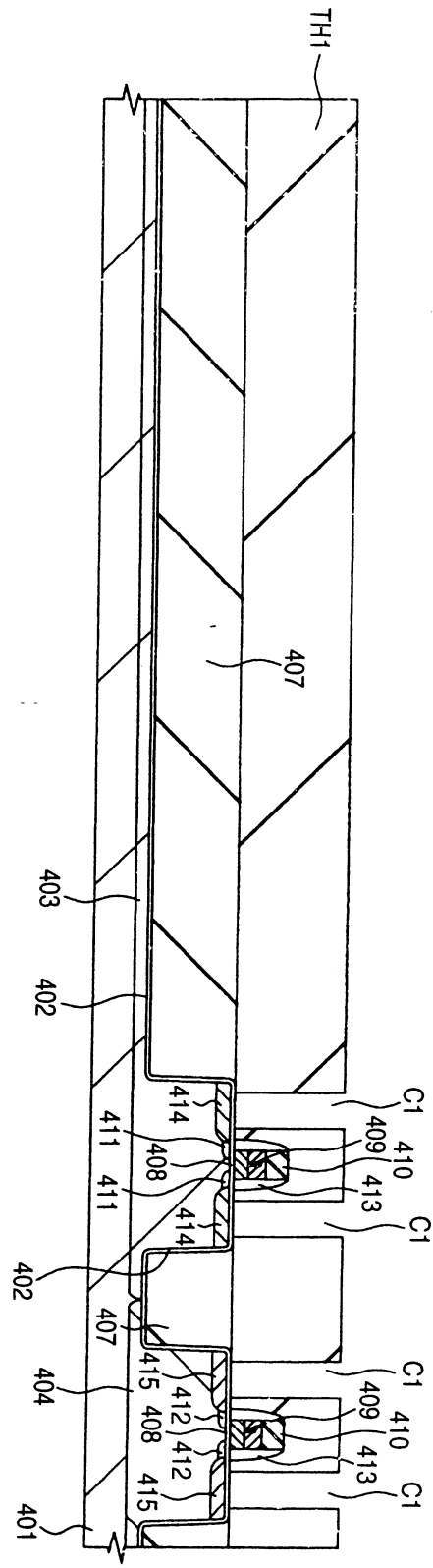


圖 26

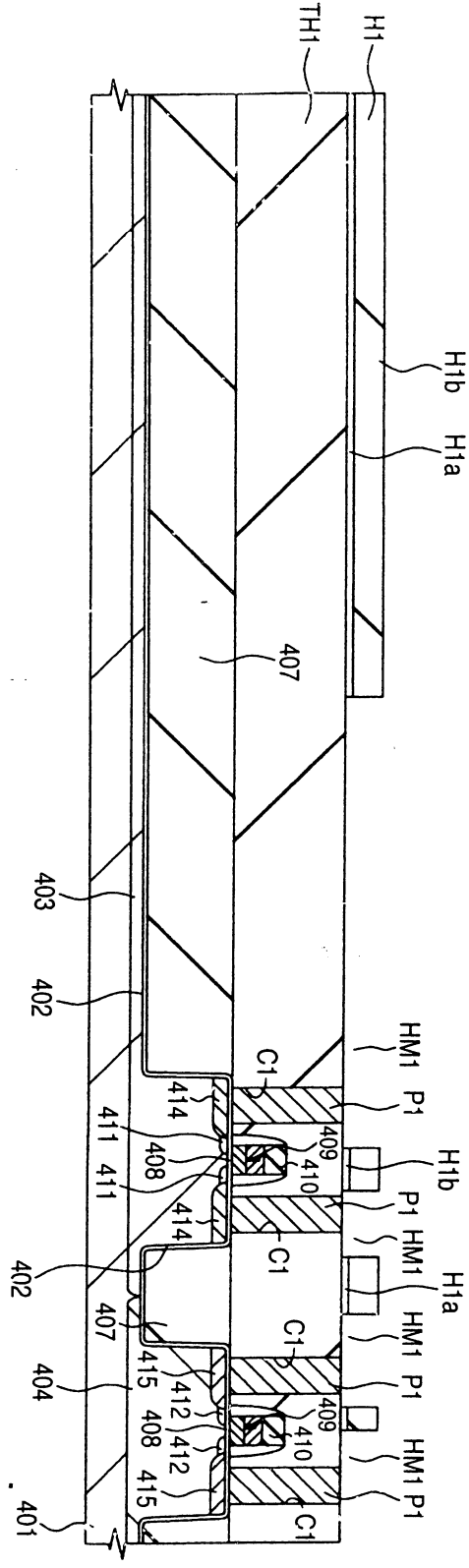


圖 27

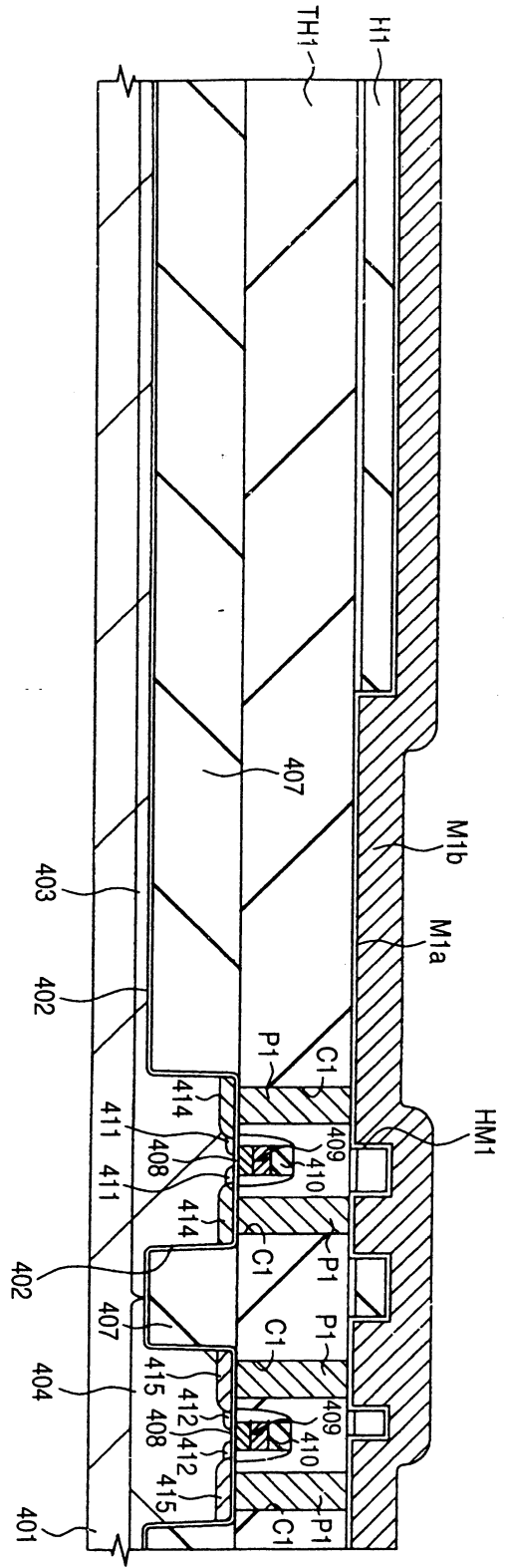


圖 28

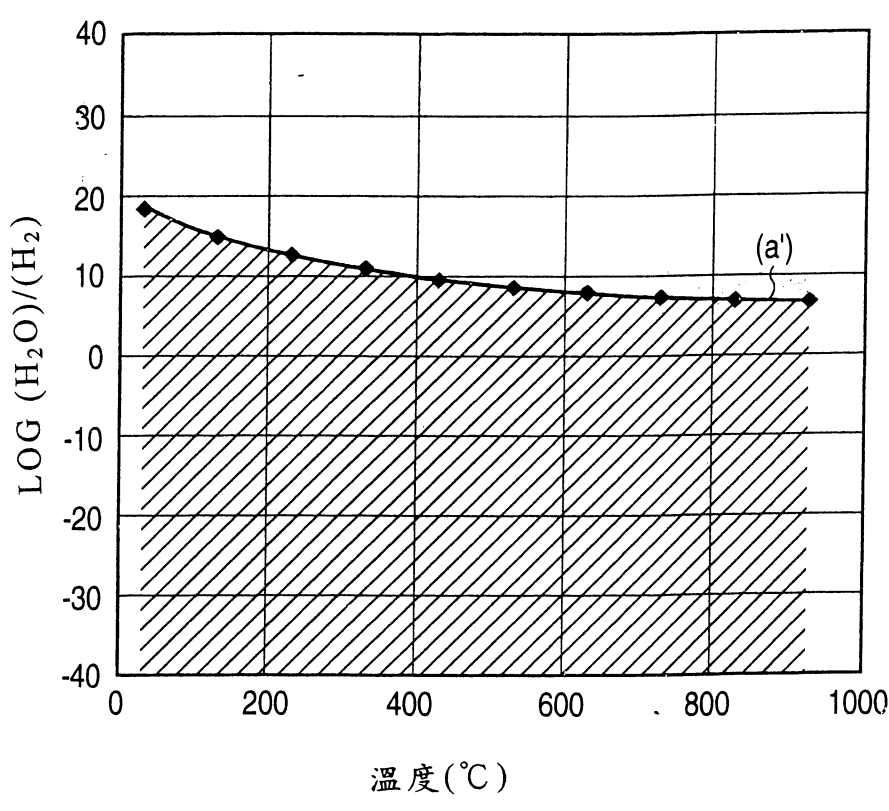


圖 29

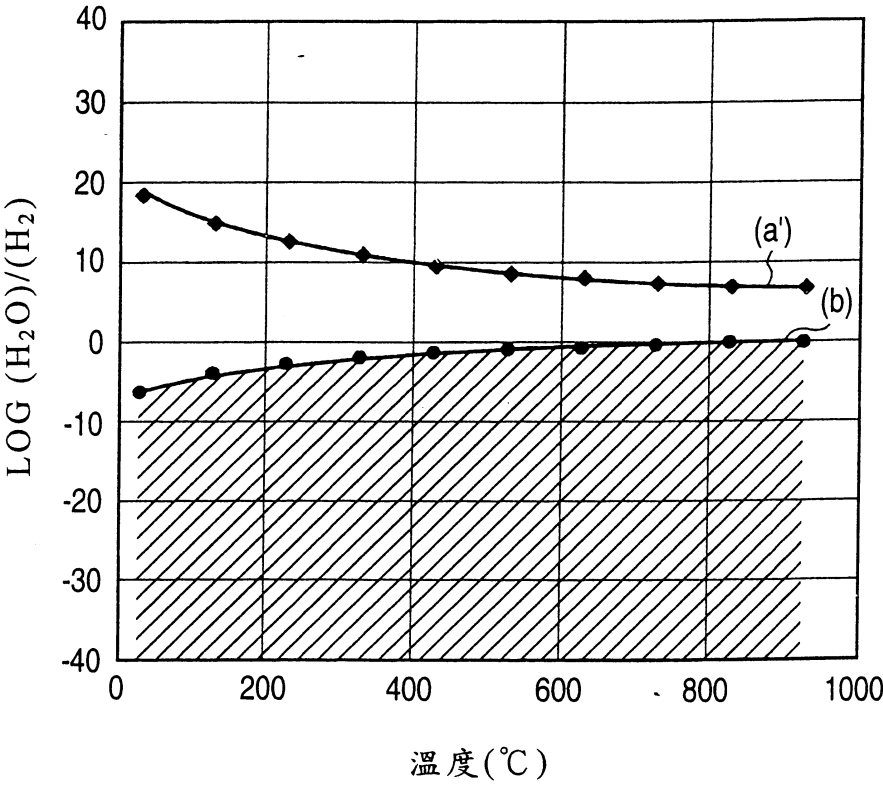


圖 30

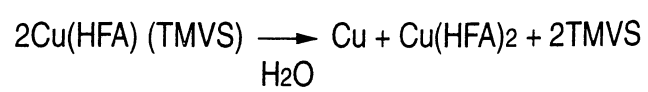


圖 31

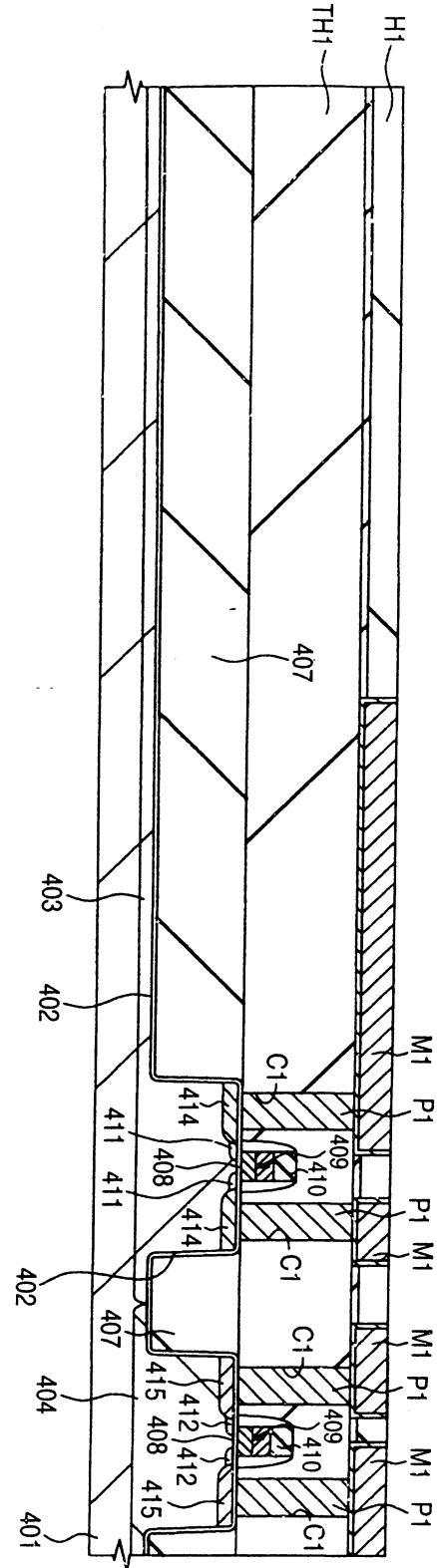
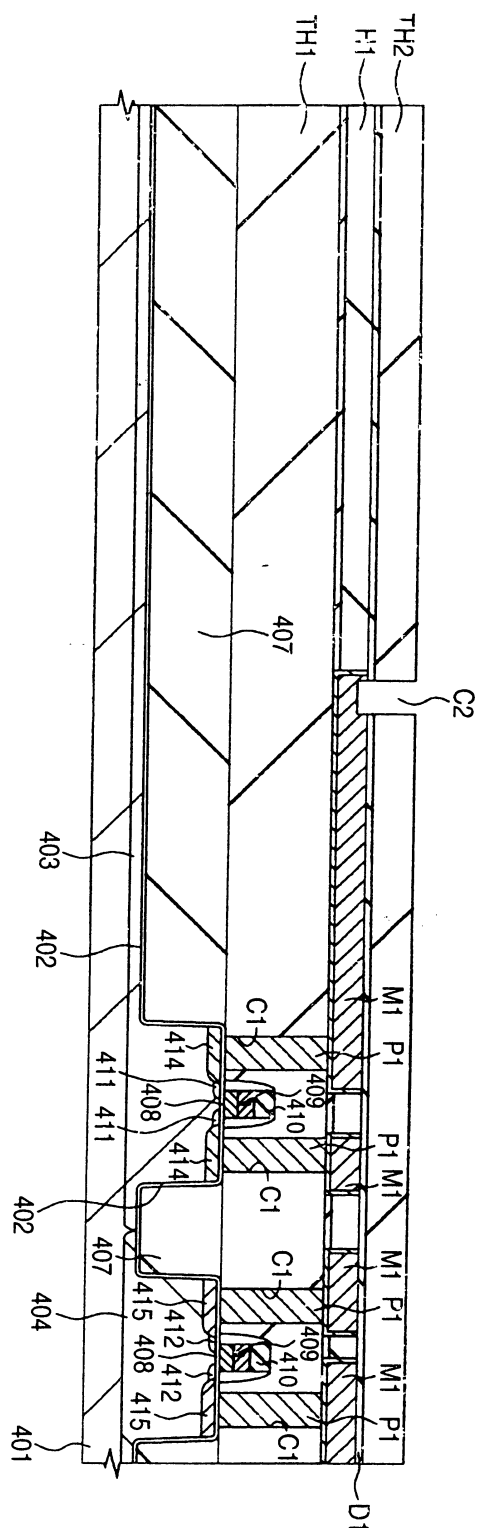


圖 32



33

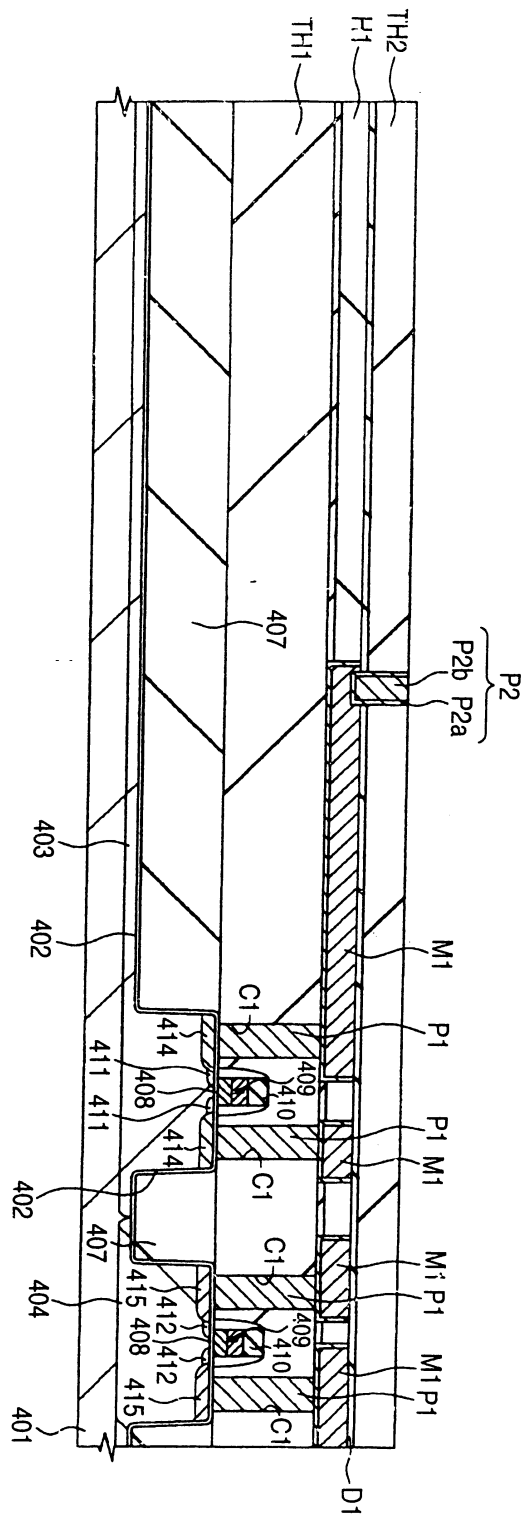


圖 34

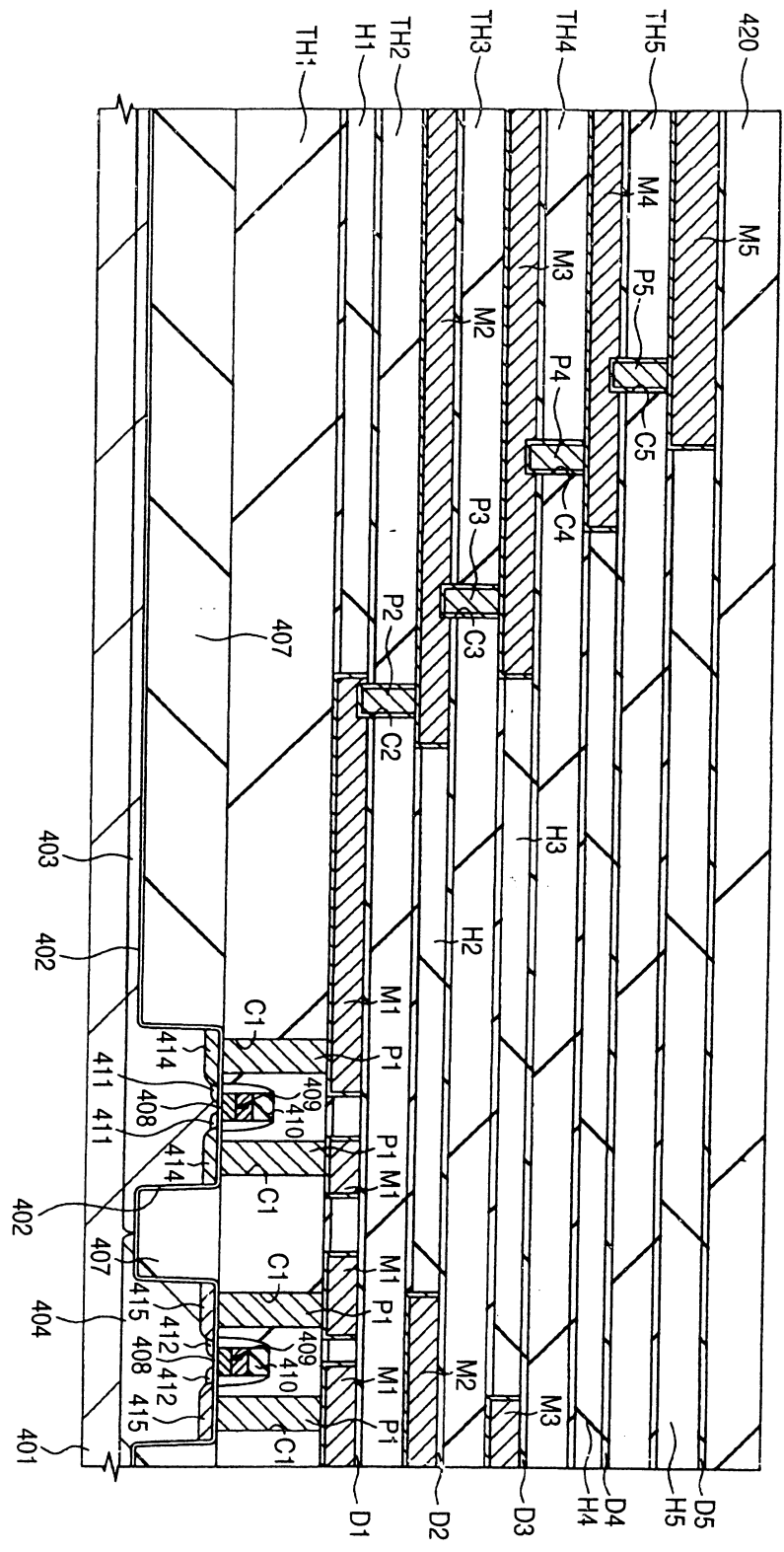


圖 35

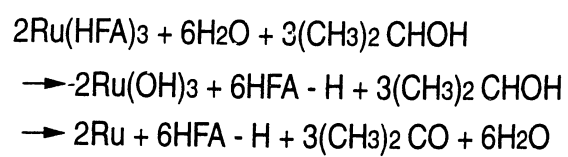


圖 36

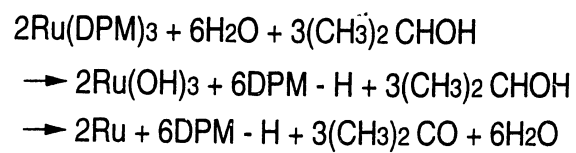


圖 37