

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-18764  
(P2011-18764A)

(43) 公開日 平成23年1月27日(2011.1.27)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 H	
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 5 2 P	
	HO 1 L 29/78 6 5 3 A	
	HO 1 L 29/78 6 5 2 N	
	HO 1 L 29/78 6 5 2 G	

審査請求 未請求 請求項の数 5 O L (全 21 頁)

(21) 出願番号 特願2009-162187 (P2009-162187)  
(22) 出願日 平成21年7月8日(2009.7.8)

(71) 出願人 000003078  
株式会社東芝  
東京都港区芝浦一丁目1番1号  
(74) 代理人 100108062  
弁理士 日向寺 雅彦  
(72) 発明者 小野 昇太郎  
東京都港区芝浦一丁目1番1号 株式会社東芝内  
(72) 発明者 齋藤 涉  
東京都港区芝浦一丁目1番1号 株式会社東芝内  
(72) 発明者 藪崎 宗久  
東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

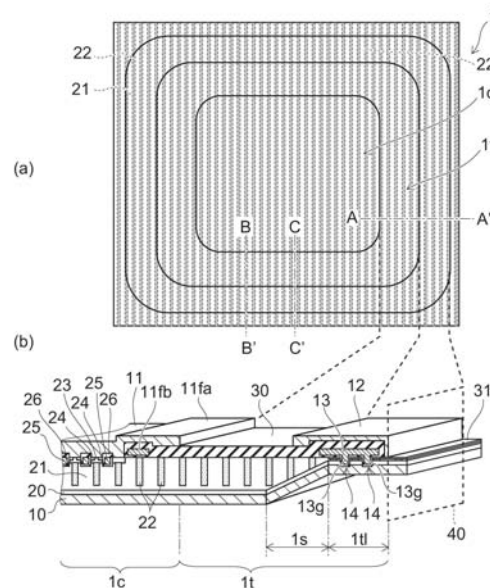
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】半導体装置の生産性を向上させ、信頼性を高くさせる。

【解決手段】半導体装置は、第1導電型の半導体層と、その主面上の全域においてそれぞれが第1の方向に延在し、第1の方向に対して略垂直な第2の方向に沿って交互に設けられた第1導電型の半導体ピラー領域及び第2導電型の半導体ピラー領域と、セル領域において第2導電型の半導体ピラー領域の上に設けられた、第2導電型の半導体領域と、第2導電型の半導体領域の表面に選択的に設けられた、第1導電型の半導体領域と、第1導電型の半導体層に接続された第1の主電極と、第1導電型の半導体領域および第2導電型の半導体領域に接続された第2の主電極と、第1導電型の半導体領域と記第1導電型の半導体ピラー領域との間の電流経路を制御する制御電極と、を備え、第2導電型の半導体ピラー領域は、セル部を囲むチップ終端部の端部領域において途切れている。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 導電型の半導体層と、

前記第 1 導電型の半導体層の主面上の全域においてそれぞれが第 1 の方向に延在し、前記第 1 の方向に対して略垂直な第 2 の方向に沿って交互に設けられた第 1 導電型の半導体ピラー領域及び第 2 導電型の半導体ピラー領域と、

セル領域において前記第 2 導電型の半導体ピラー領域の上に設けられた、第 2 導電型の半導体領域と、

前記第 2 導電型の半導体領域の表面に選択的に設けられた、第 1 導電型の半導体領域と

、

前記第 1 導電型の半導体層に接続された第 1 の主電極と、

前記第 1 導電型の半導体領域および前記第 2 導電型の半導体領域に接続された第 2 の主電極と、

前記第 1 導電型の半導体領域と前記第 1 導電型の半導体ピラー領域との間の電流経路を制御する制御電極と、

を備え、

前記セル領域は、前記第 1 導電型の半導体領域、前記第 2 導電型の半導体領域および前記制御電極を有し、

前記第 2 導電型の半導体ピラー領域は、前記セル領域から前記セル領域を囲むチップ終端部まで延在し、且つ前記チップ終端部の端部領域において途切れていることを特徴とする半導体装置。

## 【請求項 2】

前記第 2 導電型の半導体ピラー領域は、前記チップ終端部に設けられたトレンチ溝により分断され、

前記トレンチ溝内には、絶縁膜を介して導電部材が設けられていることを特徴とする請求項 1 に記載の半導体装置。

## 【請求項 3】

前記導電部材は、前記第 1 の主電極に接続されているか、または、電気的に浮遊状態にあることを特徴とする請求項 2 に記載の半導体装置。

## 【請求項 4】

前記第 1 導電型の半導体ピラー領域及び前記第 2 導電型の半導体ピラー領域の前記第 1 の方向における端面は、前記チップ終端部においてチップの端から後退し、且つ絶縁膜により被覆されていることを特徴とする請求項 1 に記載の半導体装置。

## 【請求項 5】

前記第 1 導電型の半導体ピラー領域及び第 2 導電型の半導体ピラー領域の前記主面に対して垂直な方向にみた厚みは、前記チップ終端部の少なくとも一部において前記セル領域よりも薄いことを特徴とする請求項 1 ~ 3 のいずれか 1 つに記載の半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置に関する。

## 【背景技術】

## 【0002】

パワー M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) 素子、I G B T (Insulated Gate Bipolar Transistor) 素子等のパワー半導体素子(半導体装置)は、通信基地局、家庭用電気機器、通信機器、車載用モータ等における電力変換、制御分野に広く用いられている。これらの半導体素子を用いた電源システムのさらなる小型化、高効率化、低消費電力化を達成するために、近年、スーパージャンクション構造を備えたパワー半導体素子が注目されている(例えば、特許文献 1 参照)。

このパワー半導体素子では、ピラー状の p 型層および n 型層を交互に半導体層内に埋め

10

20

30

40

50

込み、それぞれの層に含まれるチャージ量（不純物量）を同じとしている。これにより、このパワー半導体素子のドリフト層においては、擬似的にノンドープ層が形成される。その結果、このパワー半導体素子では、高耐圧が維持され、高濃度にドーパされたn型ピラー領域を通して電流を流すことで、材料限界を超えた低オン抵抗が実現する。

【0003】

また、このようなパワー半導体素子では、高電圧印加時に空乏層がダイシングラインにまで到達し難い構造となっている。例えば、ダイシングライン近傍に、フィールドストップ電極や高抵抗層を配置したり、あるいは、スーパージャンクション構造の幅をチップ内域とダイシングライン近傍で変えたりしている（例えば、特許文献2参照）。

ところが、最近のパワー半導体市場では、定格電流、抵抗値等が異なるパワー半導体素子を大量に用意するラインアップが求められている。このようなラインナップを展開するには、個々のサイズにおけるウェハプロセスを適用して、それぞれのサイズに対応した半導体素子を大量に生産するのも1つの方法である。

【0004】

しかしながら、半導体ウェハから半導体素子を形成するプロセス（ウェハプロセス）では、一旦、半導体ウェハの所定の領域に、所定の幅のスーパージャンクション構造を形成すると、ウェハプロセス途中からのチップサイズの変更が難しい。

これを防ぐためには、上述したように、全てのチップサイズをそのサイズごとに大量に生産してもよいが、このような方法では、市場ニーズの低いチップサイズの在庫増大（売れ残り）を招来してしまう。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平09-266311号公報

【特許文献2】特開2007-266505号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明は、生産性を向上でき、且つ信頼性の高い半導体装置を提供する。

【課題を解決するための手段】

【0007】

本発明の一態様によれば、第1導電型の半導体層と、前記第1導電型の半導体層の主面上の全域においてそれぞれが第1の方向に延在し、前記第1の方向に対して略垂直な第2の方向に沿って交互に設けられた第1導電型の半導体ピラー領域及び第2導電型の半導体ピラー領域と、セル領域において前記第2導電型の半導体ピラー領域の上に設けられた、第2導電型の半導体領域と、前記第2導電型の半導体領域の表面に選択的に設けられた、第1導電型の半導体領域と、前記第1導電型の半導体層に接続された第1の主電極と、前記第1導電型の半導体領域および前記第2導電型の半導体領域に接続された第2の主電極と、前記第1導電型の半導体領域と前記第1導電型の半導体ピラー領域との間の電流経路を制御する制御電極と、を備え、前記セル領域は、前記第1導電型の半導体領域、前記第2導電型の半導体領域および前記制御電極を有し、前記第2導電型の半導体ピラー領域は、前記セル領域から前記セル領域を囲むチップ終端部まで延在し、且つ前記チップ終端部の端部領域において途切れていることを特徴とする半導体装置が提供される。

【発明の効果】

【0008】

本発明によれば、半導体装置の生産性が向上し、且つ信頼性の高い半導体装置が実現する。

【図面の簡単な説明】

【0009】

【図1】半導体装置の要部図である。

【図 2】半導体装置の要部図である。

【図 3】半導体装置の要部図である。

【図 4】半導体装置の製造工程を説明する要部図である。

【図 5】半導体装置の製造工程を説明する要部図である。

【図 6】半導体装置の製造工程を説明する要部図である。

【図 7】半導体装置の要部図である。

【図 8】半導体装置の要部図である。

【図 9】半導体装置の要部図である。

【図 10】半導体装置の要部図である。

【発明を実施するための形態】

10

【0010】

以下、図面を参照しつつ、本発明の実施の形態について説明する。

【実施例 1】

【0011】

図 1 ~ 図 3 は、半導体装置の要部図である。ここで、図 1 ( a ) には、半導体装置の要部平面が示され、図 1 ( b ) には、図 1 ( a ) の A - A ' 斜視断面が示されている。図 2 ( a ) には、図 1 ( a ) の B - B ' 斜視断面が示され、図 2 ( b ) には、図 1 ( a ) の C - C ' 斜視断面が示されている。

また、図 3 ( a ) には、図 1 ( b ) のチップ終端部 1 t の拡大図が示され、図 3 ( b ) には、図 2 のチップ終端部 1 t の拡大図が示されている。

20

なお、図 1 ( a ) には、本実施の形態に係わる半導体装置 1 のスーパージャンクション構造部のみを示している。従って、図 1 ( a ) には、半導体装置 1 の主電極、ゲート電極等は、表示されていない。また、本実施の形態では、図 1 ( a ) の B - B ' 方向 ( または、C - C ' 方向 ) を第 1 の方向とし、A - A ' 方向を第 2 の方向とする。

これらの図 1 ~ 図 3 に基づき、半導体装置 1 の構造について説明する。

【0012】

半導体装置 1 は、縦型のパワー MOSFET 素子であり、半導体層の裏面および表面のそれぞれに設けられた第 1 の主電極 ( ドレイン電極 1 0 ) と第 2 の主電極 ( ソース電極 1 1 ) との間を結ぶ縦方向に、主電流の経路が形成される。半導体装置 1 は、主電流の経路が形成されるセル領域 1 c と、このセル領域 1 c を囲むように形成されたチップ終端部 1 t とを有している。

30

【0013】

具体的には、半導体装置 1 は、高不純物濃度の n + 型シリコン ( Si ) からなるドレイン層 2 0 を有している。ドレイン層 2 0 の主面上には、例えば、n 型シリコンからなる n 型ピラー領域 2 1 と、p 型シリコンからなる p 型ピラー領域 2 2 と、が形成されている。

【0014】

ここで、n 型ピラー領域 2 1 と p 型ピラー領域 2 2 とは、ドレイン層 2 0 の主面に対して略平行な方向 ( 横方向 ) に、交互に隣接するように配列している。n 型ピラー領域 2 1 および p 型ピラー領域 2 2 は、それぞれストライプ状である。p 型ピラー領域 2 2 の長手方向 ( B - B ' 方向 ) と、n 型ピラー領域 2 1 の長手方向 ( C - C ' 方向 ) は、半導体装置 1 のチップ終端部 1 t まで延在している ( 例えば、図 2 参照 ) 。

40

【0015】

すなわち、セル領域 1 c およびチップ終端部 1 t を含めたドレイン層 2 0 の主面全域上に、pn 接合が周期的に配列したスーパージャンクション構造が形成されている。n 型ピラー領域 2 1 は、スーパージャンクション構造下にも延在してドレイン層 2 0 に接している。これにより、n 型ピラー領域 2 1 は、オン時における主電流の経路の一部を構成している。

【0016】

但し、半導体装置 1 では、チップ終端部 1 t の途中から半導体装置 1 の外側に向かう方向に、ドレイン層 2 0 およびドレイン電極 1 0 の底上げがなされている。例えば、半導体

50

装置 1 には、チップ終端部 1 t の途中から半導体装置 1 の外方に向かい、ドレイン層 2 0 およびドレイン電極 1 0 が半導体装置 1 の表面側（ソース電極 1 1 側）に徐々に近接する斜め領域 1 s が設けられている。斜め領域 1 s から半導体装置 1 のさらに外方には、セル領域 1 c のスーパージャンクション構造よりもさらにその厚み（スーパージャンクション構造の主面に対して略垂直な方向の厚み）を薄層化させた薄層領域（MOS 形成領域）1 t 1 が設けられている。そして、半導体装置 1 のセル領域 1 c、およびチップ終端部 1 t の一部は、斜め領域 1 s を介して薄層領域 1 t 1 により取り囲まれた構成になっている。

【0017】

また、半導体装置 1 のセル領域 1 c では、p 型ピラー領域 2 2 上に、例えば、p 型シリコンからなるベース領域 2 3 が設けられている。ベース領域 2 3 は、n 型ピラー領域 2 1 に対しても、pn 接合している。ベース領域 2 3 の表層の一部には、例えば、n<sup>+</sup> 型シリコンからなるソース領域 2 4 が選択的に設けられている。

10

【0018】

また、半導体装置 1 には、隣接するベース領域 2 3 間に、ゲート電極（トレンチゲート電極）2 5 が設けられている。ゲート電極 2 5 の下端は、ベース領域 2 3 の底面よりも下方に位置している。このゲート電極 2 5 により、ソース領域 2 4 と n 型ピラー領域 2 1 との間の電流経路が制御される。そして、ベース領域 2 3 周辺の n 型ピラー領域 2 1 から、ベース領域 2 3 を経てソース領域 2 4 上に至る部分においては、ゲート絶縁膜 2 6 が設けられている。このゲート絶縁膜 2 6 により、ゲート電極 2 5 と、ベース領域 2 3 および n 型ピラー領域 2 1 との絶縁性が維持される。なお、ゲート電極 2 5 の材質は、例えば、ポリシリコンである。ゲート絶縁膜 2 6 の材質は、例えば、シリコン酸化膜（SiO<sub>2</sub>）である。

20

【0019】

また、半導体装置 1 には、ソース領域 2 4 上、およびソース領域 2 4 間のベース領域 2 3 上に、ソース電極 1 1 が設けられている。すなわち、ソース電極 1 1 は、ソース領域 2 4 およびベース領域 2 3 に電氣的に接続されている。

また、上述したように、ドレイン層 2 0 の主面の反対側の面には、ドレイン電極 1 0 が設けられ、ドレイン電極 1 0 は、ドレイン層 2 0 と電氣的に接続されている。

【0020】

また、半導体装置 1 においては、ベース領域 2 3 が形成されていない領域のスーパージャンクション構造上に、絶縁膜 3 0 が形成されている。半導体装置 1 のセル領域 1 c においては、絶縁膜 3 0 上に、ソース電極 1 1 から延在させたフィールドプレート電極 1 1 f a が設けられている。フィールドプレート電極 1 1 f a の下方の絶縁膜 3 0 内には、別のフィールドプレート電極 1 1 f b が形成している。

30

このフィールドプレート電極 1 1 f b は、ゲート電極 2 5 と電氣的に接続させてもよい（例えば、図 2（b）参照）。これにより、内部ゲート抵抗の低減を図れる。さらに、内部ゲート抵抗の低減を図るために、ソース電極 1 1 からフィールドプレート電極 1 1 f a を分離して、分離したフィールドプレート電極 1 1 f a とフィールドプレート電極 1 1 f b とを導通させてもよい。あるいは、フィールドプレート電極 1 1 f b 自体を電氣的に浮遊電位（フローティング電位）としてもよい。

40

【0021】

また、半導体装置 1 には、上述したように、チップ終端部 1 t にもスーパージャンクション構造を有している。チップ終端部 1 t の絶縁膜 3 0 上には、第 1 のチャンネルストップ電極 1 2 が設けられている。このチャンネルストップ電極 1 2 は、半導体装置 1 の平面内ではリング状であり、等電位である。チャンネルストップ電極 1 2 は、ドレイン電極 1 0 と電氣的に接続してもよく、それ自体を浮遊電位としてもよい。なお、その材質は、例えば、金属である。

【0022】

また、半導体装置 1 は、チャンネルストップ電極 1 2 の下方に、MOS 構造を有している。

50

例えば、チャンネルストップ電極 12 の下方には、絶縁膜 30 を介して、第 2 のチャンネルストップ電極 13 が設けられている。薄層領域 1 t 1 の半導体層（スーパージャンクション構造部）からドレイン電極 10 にかけて、トレンチ 14 が形成されている。すなわち、トレンチ 14 の底は、ドレイン電極 10 にまで到達している。このトレンチ 14 内には、チャンネルストップ電極 13 から電極 13 g が延在している。電極 13 g とトレンチ 14 内壁との間には、絶縁膜 30 が形成されている（例えば、図 3 参照）。

このような MOS 構造を薄層領域 1 t 1 に備えることにより、薄層領域 1 t 1 の p 型ピラー領域 2 2 は、トレンチ 14 によって複数に分断（切断）される。これにより、ベース領域 2 3 に電氣的に接続された p 型ピラー領域 2 2 は、その長手方向においてトレンチ 14 の手前で途切れた構造になる。

10

#### 【0023】

なお、チャンネルストップ電極 13 は、チャンネルストップ電極 12 と同様に、半導体装置 1 の平面内ではリング状になっている。チャンネルストップ電極 13 は、チャンネルストップ電極 12 と電氣的に接続してもよく、ドレイン電極 10 と接続してもよい。あるいは、チャンネルストップ電極 13 自体を浮遊電位としてもよい。なお、チャンネルストップ電極 13 の材質はポリシリコンまたは金属である。そして、チャンネルストップ電極 13 は、半導体装置 1 のセル領域 1 c、およびチップ終端部 1 t の一部を取り囲む構成になっている。

また、半導体装置 1 においては、薄層領域 1 t 1 において、チャンネルストップ電極 12 と、n 型ピラー領域 2 1 との接触抵抗を下げるために、スーパージャンクション構造上に、n<sup>+</sup>層領域 3 1 を設けている。これにより、チャンネルストップ電極 12 の電位が安定する。

20

#### 【0024】

なお、半導体装置 1 の外方に例示された波線面は、半導体装置 1 のダイシングライン 40 である（例えば、図 1、図 2 参照）。

#### 【0025】

このように、半導体装置 1 は、ドレイン層 2 0 と、ドレイン層 2 0 の主面上の全域に周期的に設けられた、複数の n 型ピラー領域 2 1 と、n 型ピラー領域 2 1 に隣接し、ドレイン層 2 0 の主面上の全域に周期的に設けられた、複数の p 型ピラー領域 2 2 と、を有している。

30

#### 【0026】

また、半導体装置 1 は、p 型ピラー領域 2 2 上に設けられた、ベース領域 2 3 と、ベース領域 2 3 の表面に選択的に設けられた、ソース領域 2 4 と、ドレイン層 2 0 に接続されたドレイン電極 10 と、ベース領域 2 3 およびソース領域 2 4 に電氣的に接続されたソース電極 11 と、ソース領域 2 4 と n 型ピラー領域 2 1 との間の電流経路を制御するゲート電極 2 5 と、を備えている。

#### 【0027】

そして、n 型ピラー領域 2 1 および p 型ピラー領域 2 2 は、ドレイン層 2 0 の主面に対して略平行に交互に繰り返すスーパージャンクション構造を形成している。ここで、セル領域 1 c は、n 型のソース領域 2 4、p 型のベース領域 2 3 およびゲート電極 2 5 を有している。このセル領域 1 c は、チップ終端部 1 t により取り囲まれている。そして、ベース領域 2 3 に電氣的に接続され、スーパージャンクション構造が交互に繰り返す方向に略垂直に延在する p 型ピラー領域 2 2 は、セル領域 1 c からチップ終端部 1 t にまで延在し、チップ終端部 1 t の薄層領域 1 t 1（チップ終端部 1 t の端部領域）でトレンチ 14 によって途切れている。

40

#### 【0028】

次に、半導体装置 1 の作用効果について説明する。

まず、半導体装置 1 においては、ドレイン電極 10 を正極とし、ソース電極 11 を負極またはグランド電位とする電圧を印加する。この状態で、ゲート電極 2 5 の電位をソース電極 11 の電位と同じにすると、ベース領域 2 3 においては、ソース領域 2 4 と n 型ピラー領域 2 1 間が空乏化し、半導体装置 1 がオフ状態となる。

50

## 【0029】

このとき、ソース電極11に電氣的に接続されたp型ピラー領域22と、このp型ピラー領域22に隣接するn型ピラー領域21との間のpn接合面からも空乏層が広がり、ソース電極11の下方のp型ピラー領域22内およびn型ピラー領域21内に空乏層が広がる。

## 【0030】

また、半導体装置1においては、フィールドプレート電極11fa、11fbが設けられているので、フィールドプレート電極11faの下方のp型ピラー領域22内およびn型ピラー領域21内にも空乏層が形成されて、この空乏層がソース電極11下方に形成した空乏層と繋がる。これにより、ソース電極11の下方およびフィールドプレート電極11fa、11fbの下方の半導体層全体が空乏化される。これにより、電界が集中しやすい最外のベース領域23の端部の電界、フィールドプレート電極11fa、11fbの下方の半導体層表面の電界が緩和される。その結果、半導体装置1は、主電極間に高電圧が印加されても高耐圧を維持する。

10

## 【0031】

また、本実施の形態においては、トレンチ14により、薄層領域1t1のp型ピラー領域22が分断されている。これにより、ソース電極11に電氣的に接続されたp型ピラー領域22は、トレンチ14の手前で電氣的に遮断された構成になる。すなわち、半導体装置1では、ドレイン電極10に電氣的に接続されたn型ピラー領域21については、ダイシングライン40において、その側面が露出している。また、ソース電極11に電氣的に接続されたp型ピラー領域22は、チップ終端部1tの端部領域においてトレンチ14によって分断され、ダイシングライン40にまで到達していない。

20

## 【0032】

これに対し、このようなトレンチ14を設けないと、ソース電極11に電氣的に接続されたp型ピラー領域22と、ドレイン電極10に電氣的に接続されたn型ピラー領域21とがダイシングライン40において剥き出された状態になる。このような状態では、主電極間に電圧を印加すると、ダイシングライン40にまで空乏層が到達し、ダイシングライン40近傍でのチップ破損、半導体装置1の耐圧値変動を招来してしまう。また、チップ端部においてリークが発生する場合がある。また、半導体装置1の信頼性試験では、本来の特性結果が正確に得られない場合もある。

30

## 【0033】

しかしながら、半導体装置1では、ソース電極11に電氣的に接続されたp型ピラー領域22をトレンチ14の手前で遮断した構造になっている。このような構造であれば、セル領域1cからの空乏層の拡がり、トレンチ14の手前で確実に止められる。すなわち、上述した破損、耐圧値変動、リークは抑制され、半導体装置1の信頼性試験では、本来の特性結果が正確に得られる。

## 【0034】

さらに、半導体装置1においては、チップ終端部1tにチャンネルストップ電極12、13が設けられている。そして、チャンネルストップ電極12、13の電位をドレイン層20と同じにするか、あるいは、浮遊電位にすることで、チップ端部近傍における電界の勾配がさらに緩和される。その結果、薄層領域1t1にまで、空乏層がより到達し難くなる。

40

## 【0035】

一方、ゲート電極25に正の電位を印加すると、ベース領域23の表面近傍にチャンネル層が形成されて、ソース領域24とn型ピラー領域21との間が導通する。すなわち、半導体装置1がオン状態となる。

## 【0036】

次に、半導体装置1の製造工程について説明する。

図4～図6は、半導体装置の製造工程を説明する要部図である。

まず、図4(a)に示すように、ウェハ状の半導体基板50表面の全面に、ストライプ状で均一幅の、n型ピラー領域21およびp型ピラー領域22を交互に形成する。

50

## 【0037】

このようなn型ピラー領域21およびp型ピラー領域22の形成工程を、図4(a)のX-X'断面を用いてより詳細に説明する。

例えば、n型の半導体基板50を準備した後、図4(b)に示すように、この半導体基板50にライン・スペース状のフォトレジスト51をパターニングする。このフォトレジスト51の開口幅は、半導体基板50の全面において同じ幅とする。

## 【0038】

次に、図4(c)に示すように、半導体基板50にRIE(Reactive Ion Etching)を施して、半導体基板50表面にトレンチ52を形成する。フォトレジスト51は、トレンチ52の形成後に除去される。

## 【0039】

そして、図4(d)に示すように、エピタキシャル成長により、トレンチ52内にp型ピラー領域22を形成する。さらに、n型ピラー領域21とp型ピラー領域22の上面を、例えば、CMP研磨により平坦化する。

このような工程により、n型ピラー領域21およびp型ピラー領域22が半導体基板50の主面に対して略平行な方向に交互に繰り返すスーパージャンクション構造が形成される。

## 【0040】

次に、半導体基板50のn型ピラー領域21およびp型ピラー領域22が交互に形成された領域内でチップ域(半導体チップ領域)を区分けする(図示しない)。チップ域のサイズは任意である。そして、それぞれに区分けされたチップにおいて主電極間に電流を通電する領域に、MOSゲート製造工程を施す。例えば、前記領域のp型ピラー領域22上に、ベース領域23を形成する。ベース領域23内には、ソース領域24を選択的に形成する。ベース領域23間には、ゲート絶縁膜26を介してゲート電極25を形成する。

## 【0041】

また、ベース領域23を配置しない、スーパージャンクション構造上には、絶縁膜30を形成する。さらに、ベース領域23およびソース領域24上には、ソース電極11を形成する。なお、ソース電極11からは、フィールドプレート電極11faを延在させる。また、フィールドプレート電極11faを形成する前に、フィールドプレート電極11faの下方の絶縁膜30内に、フィールドプレート電極11fbを形成する。

## 【0042】

また、本実施の形態では、上述したMOSゲート製造工程を実施する際に、薄層領域1t1においてもMOS構造を形成する。例えば、薄層領域1t1に、トレンチ14を形成した後、このトレンチ14内に、絶縁膜30を介して電極13g(チャンネルストップ電極13)を形成する。すなわち、チャンネルストップ電極13、トレンチ14等は、MOSゲート電極工程と同様な形態であるので、これらは同じ工程で実施される。また、チャンネルストップ電極13上には、絶縁膜30を介してチャンネルストップ電極12を形成する。

この状態を、図5(a)に示す。

## 【0043】

次に、図5(b)に示すように、半導体基板50全面のスーパージャンクション構造が残存するように、半導体基板50の裏面側を研磨する。なお、この段階で研磨した面を第1の研磨面(表出面)53とする。研磨手段は、例えば、CMP、エッチング等に従う。

## 【0044】

次に、図5(c)に示すように、それぞれのチップの研磨面53上に、選択的にレジスト54を形成する。例えば、セル領域1c上にレジスト54を形成しつつ、斜め領域1sおよび薄層領域1t1を除いたチップ終端部1t上にもレジスト54を形成する。

## 【0045】

次に、図6(a)に示すように、レジスト54から表出された研磨面53にエッチング加工を施す。例えば、斜め領域1sにおいては、スーパージャンクション構造が斜めにエッチングされて、半導体基板50の裏面側に、第2の表出面55が形成される。薄層領域

10

20

30

40

50



1 t 1 においては、スーパージャンクション構造が研磨面 5 3 と略平行にエッチングされて、半導体基板 5 0 の裏面側に第 3 の表出面 5 6 が形成される。これにより、半導体基板 5 0 の裏面側は、研磨面 5 3 と、傾斜した表出面 5 5 と、表出面 5 6 とが連続した構成になる。薄層領域 1 t 1 においては、研磨面 5 3 よりも底上げされた表出面 5 6 が形成される。なお、エッチングは、例えば、アルカリ水溶液（KOH 溶液）を用いたウェットエッチングが適用される。

【 0 0 4 6 】

次に、レジスト 5 4 を除去した後、図 6 ( b ) に示すように、研磨面 5 3 、表出面 5 5 、 5 6 上に、ドレイン層 2 0 を形成する。ドレイン層 2 0 は、例えば、研磨面 5 3 、表出面 5 5 、 5 6 に、イオン注入並びに固相拡散（加熱処理、レーザアニール等）を施すこと

10

【 0 0 4 7 】

このような工程により、ベース領域 2 3 に電氣的に接続され、スーパージャンクション構造が交互に繰り返す方向に略垂直に延在する p 型ピラー領域 2 2 は、チップ終端部 1 t においてその一部が除去されて、チップ域の端部（ダイシングライン 4 0 ）にまで到達しない構成になる（図 2 参照）。換言すれば、ベース領域 2 3 に電氣的に接続された p 型ピラー領域 2 2 は、半導体チップ領域の端部にまで連続しない構成になる。

【 0 0 4 8 】

そして、図 6 ( c ) に示すように、ドレイン層 2 0 上にドレイン電極 1 0 を形成する。続いて、半導体基板 5 0 をダイシングライン 4 0 で分断する。これにより、半導体基板 5 0 から個片化された半導体装置 1 が形成する。

20

【 0 0 4 9 】

なお、本実施の形態では、ドレイン層 2 0 を形成する際の固相拡散をより迅速に処理できるように、ドレイン層 2 0 の厚みを 1 0 μ m 以下としている。表出面 5 5 は、緩やかな傾斜面としている。その結果、イオン注入工程では、研磨面 5 3 、表出面 5 5 、 5 6 に効率よく不純物が注入されて、不純物濃度に斑のないドレイン層 2 0 が形成する。

【 0 0 5 0 】

また、本実施の形態では、半導体基板 5 0 の表面側および裏面側のウェハプロセスを適用する都合上、半導体基板 5 0 の表面側と裏面側との位置（アライメント）が対応可能なマーキングを、半導体基板 5 0 の表面側および裏面側に施してもよい。

30

【 0 0 5 1 】

このような製造方法であれば、半導体基板 5 0 にスーパージャンクション構造を形成した後でも、任意のチップサイズを画定できるので、半導体装置 1 のチップサイズを容易に変えることができる。

【 0 0 5 2 】

従って、チップサイズが市場の動向により変動しても、その切り替えに迅速に対応し得る。例えば、大量生産が必要とされるチップサイズと、少量生産で済むチップサイズの切り替えを容易に遂行することができる。その結果、少量生産で済む素子の不良在庫が生じ難い。また、任意のチップサイズの半導体装置を製造しても、ソース電極 1 1 に電氣的に接続された p 型ピラー領域 2 2 がトレンチ 1 4 の手前で必ず遮断される。これにより、全てのチップサイズにおいて、信頼性の高い半導体装置が形成する。

40

【 0 0 5 3 】

これに対し、ダイシングライン近傍に、高抵抗層を配置したり、あるいは、スーパージャンクション構造の幅をチップ内域とダイシングライン近傍で変えたりする構造では、ウェハプロセス途中でのチップサイズの変更が難しい。例えば、一旦、半導体基板 5 0 にスーパージャンクション構造を形成してしまうと、チップサイズ変更の要求があっても、その部分を高抵抗層に変更したり、その幅を変更することは困難である。

【 0 0 5 4 】

また、本実施の形態では、スーパージャンクション構造を備えた半導体基板 5 0 を、予め別工程により大量に製造しても何ら問題がない。そして、予めスーパージャンクション

50

構造を備えた半導体基板 50 から半導体装置 1 を製造できるので、半導体装置 1 の製造工程は、スーパージャンクション構造から上層のプロセスが律速になる。その結果、半導体装置の製造工程の短縮化が図れる。

また、本実施の形態によれば、半導体装置 1 の平面内または半導体基板 50 内において、異なる幅のスーパージャンクション構造を形成する必要がない。

【0055】

例えば、チップ内において、異なるピラー幅のスーパージャンクション構造を必要とする場合は、半導体基板 50 に異なる幅のトレンチを形成する必要がある。このためには、パターン間隔の異なるレジストパターンを半導体基板 50 上に形成して、ウェハプロセスを進行させなければならない。

【0056】

しかし、レジストパターンの間隔が異なると、レジストベークの際に、レジスト体積の伸縮率依存を受け易い。これにより、半導体基板 50 の場所によっては目的の開口幅とは異なる開口幅になる場合がある。これを防止するためには、予め場所ごとのレジストの伸縮率依存を見込んで、特殊な露光用マスクを設計する必要がある。

【0057】

しかし、本実施の形態では、均一幅のスーパージャンクション構造を備えた半導体基板 50 を形成することで足りる。従って、上述したような露光用マスクを設計する手間を省くことができる。これにより、半導体装置のコストダウンが図れる。

【0058】

さらに、スーパージャンクション構造を形成する際、トレンチ開口幅がチップ内で異なる場合、p 型ピラー領域 22 のエピタキシャル工程においては、トレンチの開口幅が狭くなるほど、p 型ピラー領域 22 内にポイドが発生し易い。また、半導体基板 50 においては、ウェハ外周ほど、種々の面方位が混在している場合がある。このため、半導体基板 50 の外周では、p 型ピラー領域 22 のエピタキシャル成長速度の面方位依存性によって、p 型ピラー領域 22 内にポイドが発生し易い。

【0059】

しかしながら、本実施の形態では、半導体基板 50 表面の全面に、均一幅のスーパージャンクション構造を形成し、この部分のみを素子形成に利用する。また、半導体基板 50 の外周部分については、素子形成に利用しない。その結果、ポイド発生が抑制されたスーパージャンクション構造が形成する。

このように、本実施の形態によれば、半導体装置の生産性が向上し、且つ信頼性の高い半導体装置が実現する。

【0060】

次に、半導体装置の変形例について説明する。以下の図では、図 1 ~ 図 6 と同一の部材には、同一の符号を付し、その説明の詳細については適宜省略する。

【実施例 2】

【0061】

図 7 および図 8 は、半導体装置の要部図である。ここで、図 7 (a) には、半導体装置の要部平面が示され、図 7 (b) には、図 7 (a) の A - A' 斜視断面が示されている。図 8 (a) には、図 7 (a) の B - B' 斜視断面が示され、図 8 (b) には、図 7 (a) の C - C' 斜視断面が示されている。なお、図 7 (a) には、本実施の形態に係わる半導体装置 2 のスーパージャンクション構造部のみを示している。また、図 7 (a) の B - B' 方向 (または、C - C' 方向) を第 1 の方向とし、A - A' 方向を第 2 の方向とする。

これらの図 7、図 8 に基づき、半導体装置 2 の構造について説明する。

半導体装置 2 は、縦型のパワー MOSFET 素子であり、主電流の経路が形成されるセル領域 2c と、このセル領域 2c を囲むように形成されたチップ終端部 2t とを有している。

具体的には、半導体装置 2 は、高不純物濃度の n<sup>+</sup> 型シリコンからなるドレイン層 20 を有している。ドレイン層 20 の主面上には、例えば、n 型シリコンからなる n 型ピラー

10

20

30

40

50

領域 2 1 と、p 型シリコンからなる p 型ピラー領域 2 2 とが形成されている。p 型ピラー領域 2 2 (または、n 型ピラー領域 2 1) の長手方向 (B - B' 方向) は、半導体装置 2 のチップ終端部 2 t にまで延在している。すなわち、セル領域 2 c およびチップ終端部 2 t を含めたドレイン層 2 0 の主面全域上では、pn 接合が周期的に配列したスーパー Junction 構造を有している。

#### 【0062】

また、半導体装置 2 においては、ベース領域 2 3 が形成されていない領域のスーパー Junction 構造上に、絶縁膜 3 0 が形成されている。チップ終端部 2 t の絶縁膜 3 0 上には、チャンネルストップ電極 1 2 が設けられている。このチャンネルストップ電極 1 2 は、半導体装置 2 の平面内ではリング状であり、等電位である。また、半導体装置 2 は、チャンネルストップ電極 1 2 の下方に、MOS 構造を有している。この領域を MOS 形成領域 2 m とする。

10

#### 【0063】

例えば、チャンネルストップ電極 1 2 の下方には、絶縁膜 3 0 を介して、チャンネルストップ電極 1 3 が設けられている。MOS 形成領域 2 m の半導体層 (スーパー Junction 構造部) からドレイン層 2 0 にかけて、トレンチ 1 4 が形成されている。すなわち、トレンチ 1 4 の底は、ドレイン層 2 0 にまで到達している。このトレンチ 1 4 内には、チャンネルストップ電極 1 3 から電極 1 3 g が延在している。電極 1 3 g とトレンチ 1 4 内壁の間には、絶縁膜 3 0 が形成されている。

#### 【0064】

半導体装置 2 に、このような MOS 構造を備えることにより、MOS 形成領域 2 m の p 型ピラー領域 2 2 は、トレンチ 1 4 によって複数に分断 (切断) される (例えば、図 8 参照)。これにより、ベース領域 2 3 に電氣的に接続された p 型ピラー領域 2 2 は、その長手方向においてトレンチ 1 4 の手前で途切れた構造になる。このような半導体装置 2 では、ドレイン電極 1 0 に電氣的に接続された n 型ピラー領域 2 1 については、ダイシングライン 4 0 において、その側面が露出している。また、ソース電極 1 1 に電氣的に接続された p 型ピラー領域 2 2 は、MOS 形成領域 2 m (チップ終端部 2 t の端部領域) においてトレンチ 1 4 によって分断され (途切れ)、ダイシングライン 4 0 にまで到達していない。

20

#### 【0065】

このような構造であれば、主電極間に高電圧を印加しても、セル領域 2 c からの空乏層の拡がり、トレンチ 1 4 の手前で確実に止められる。また、チャンネルストップ電極 1 2、1 3 の電位をドレイン層 2 0 と同じにするか、あるいは、浮遊電位にすることで、チップ端部近傍における電界の勾配がさらに緩和される。その結果、MOS 形成領域 2 m にまで、空乏層がより到達し難くなる。すなわち、半導体装置 2 は、半導体装置 1 と同様に、ダイシングライン 4 0 近傍での破損が起き難く、耐圧値が変動し難くなる。また、チップ端部においてリークが発生することもない。さらに、半導体装置 2 の信頼性試験では、本来の特性結果が正確に得られる。

30

#### 【0066】

また、半導体装置 2 の製造においても、ウェハ全面にスーパー Junction 構造を形成した半導体基板 5 0 を用いることができる。従って、半導体基板 5 0 にスーパー Junction 構造を形成した後でも、任意のチップサイズを画定できる。すなわち、半導体装置 2 においては、そのチップサイズを容易に変えることができる。

40

#### 【0067】

また、本実施の形態では、スーパー Junction 構造を備えた半導体基板 5 0 を、予め別工程により大量に製造しても何ら問題がない。そして、半導体装置 2 の製造工程は、スーパー Junction 構造から上層のプロセスが律速になる。その結果、半導体装置の製造工程の短縮化が図れる。

#### 【0068】

また、本実施の形態によれば、半導体装置 2 の平面内または半導体基板 5 0 内において

50

、異なる幅のスーパージャンクション構造を形成する必要がない。従って、上述したような露光用マスクを設計する手間を省くことができる。これにより、半導体装置のコストダウンが図れる。

#### 【0069】

さらに、本実施の形態では、半導体基板50表面の全面に、均一幅のスーパージャンクション構造を形成し、この部分のみを素子形成に利用する。半導体基板50の外周部分については、素子形成に利用しない。その結果、上述したように、ボイド発生が抑制されたスーパージャンクション構造が形成する。

このように、本実施の形態によれば、半導体装置の生産性が向上し、且つ信頼性の高い半導体装置が実現する。

#### 【実施例3】

#### 【0070】

図9および図10は、半導体装置の要部図である。ここで、図9(a)には、半導体装置の要部平面が示され、図9(b)には、図9(a)のA-A'斜視断面が示されている。図10(a)には、図9(a)のB-B'斜視断面が示され、図10(b)には、図9(a)のC-C'斜視断面が示されている。なお、図9(a)には、本実施の形態に係わる半導体装置3のスーパージャンクション構造部のみを示している。また、図9(a)のB-B'方向(またはC-C'方向)を第1の方向とし、A-A'方向を第2の方向とする。

#### 【0071】

半導体装置3は、縦型のパワーMOSFET素子であり、主電流の経路が形成されるセル領域3cと、このセル領域3cを囲むように形成されたチップ終端部3tとを有している。

具体的には、半導体装置3は、高不純物濃度のn<sup>+</sup>型シリコンからなるドレイン層20を有している。ドレイン層20の主面上には、例えば、n型シリコンからなるn型ピラー領域21と、p型シリコンからなるp型ピラー領域22とが形成されている。p型ピラー領域22(または、n型ピラー領域21)の長手方向(B-B'方向)は、半導体装置3のチップ終端部3tにまで延在している。すなわち、セル領域3cおよびチップ終端部3tを含めたドレイン層20の主面全域上では、pn接合が周期的に配列したスーパージャンクション構造を有している。

#### 【0072】

また、半導体装置3においては、ベース領域23が形成されていない領域のスーパージャンクション構造上に、絶縁膜30が形成されている。チップ終端部3tの絶縁膜30上には、チャンネルストップ電極12が設けられている。このチャンネルストップ電極12は、半導体装置3の平面内ではリング状であり、等電位である。また、半導体装置3は、ダイシングライン40よりも内側に、溝状の凹部41を設けている。このような凹部41は、例えば、エッチングにより形成される。凹部41の側面41wにおいては、チャンネルストップ電極12および絶縁膜30が表出している。凹部41の底面41bにおいては、絶縁膜30が表出している。凹部41の底面41bに形成された絶縁膜30は、ドレイン層20に接触している。

#### 【0073】

半導体装置3に、このような凹部41を備えることにより、ベース領域23に電氣的に接続されたp型ピラー領域22は、その長手方向において凹部41の側面に設けられた絶縁膜30により遮断された構造になる。すなわち、p型ピラー領域22は、チップ終端部3t内でドレイン電極10の端部上に設けられた凹部41により途切れている。

すなわち、半導体装置3では、セル領域3cを囲むチップ終端部3t内において、ベース領域23に接続され、n型ピラー領域21及びp型ピラー領域22が交互に繰り返す方向に対して略垂直に延在するp型ピラー領域22およびn型ピラー領域21の長手方向の端面42が、図10に表したように、チップ終端部3tの端部(ダイシングライン40)からセル領域3cに向かって後退している。そして、p型ピラー領域22およびn型ピラ

10

20

30

40

50

一領域 2 1 の端面 4 2 は、絶縁膜 3 0 で被覆されている。これにより、p 型ピラー領域 2 2 および n 型ピラー領域 2 1 は、チップ終端部 3 t の端部領域において途切れた構造になる。

#### 【0074】

このような構造であれば、主電極間に高電圧を印加しても、セル領域 3 c からの空乏層の拡がり、凹部 4 1 の側面に設けられた絶縁膜 3 0 の手前で確実に止められる。また、チャンネルストップ電極 1 2 の電位をドレイン層 2 0 と同じにするか、あるいは、浮遊電位にすることで、チップ端部近傍における電界の勾配がさらに緩和される。その結果、凹部 4 1 近傍にまで、空乏層がより到達し難くなる。すなわち、半導体装置 3 は、半導体装置 1 と同様に、ダイシングライン 4 0 近傍での破損が起き難く、耐圧値が変動し難くなる。また、チップ端部においてリークが発生することもない。

10

#### 【0075】

特に、半導体装置 3 では、n 型ピラー領域 2 1 及び p 型ピラー領域 2 2 が交互に繰り返す方向に略垂直に延在する p 型ピラー領域 2 2 および n 型ピラー領域 2 1 の長手方向の端面 4 2 を、図 1 0 に表したように、ダイシングライン 4 0 からセル領域 3 c に向かって後退させている。そして、p 型ピラー領域 2 2 および n 型ピラー領域 2 1 の端面 4 2 を、絶縁膜 3 0 により被覆している。このような構造であれば、ダイシングライン 4 0 で半導体基板 5 0 を切断しても、それぞれの端面 4 2 に被覆させた絶縁膜 3 0 表面は切断面とはならず、絶縁膜 3 0 に欠陥（クラック）が生じない。これにより、p 型ピラー領域 2 2 および n 型ピラー領域 2 1 の端面 4 2 を被覆する絶縁膜 3 0 は、高い耐圧性を維持できる。その結果として、半導体装置 3 の信頼性試験では、本来の特性結果が正確に得られる。

20

#### 【0076】

また、半導体装置 3 の製造においても、ウェハ全面にスーパージャンクション構造を形成した半導体基板 5 0 を用いることができる。従って、半導体基板 5 0 にスーパージャンクション構造を形成した後でも、任意のチップサイズを設定できる。すなわち、半導体装置 3 においては、そのチップサイズを容易に変えることができる。

#### 【0077】

また、本実施の形態では、スーパージャンクション構造を備えた半導体基板 5 0 を、予め別工程により大量に製造しても何ら問題がない。そして、半導体装置 3 の製造工程は、スーパージャンクション構造から上層のプロセスが律速になる。その結果、半導体装置の製造工程の短縮化が図れる。

30

#### 【0078】

また、本実施の形態によれば、半導体装置 3 の平面内または半導体基板 5 0 内において、異なる幅のスーパージャンクション構造を形成する必要がない。従って、上述したような露光用マスクを設計する手間を省くことができる。これにより、半導体装置のコストダウンが図れる。

#### 【0079】

さらに、本実施の形態では、半導体基板 5 0 表面の全面に、均一幅のスーパージャンクション構造を形成し、この部分のみを素子形成に利用する。また、半導体基板 5 0 の外周部分については、素子形成に利用しない。その結果、上述したように、ポイド発生が抑制されたスーパージャンクション構造が形成する。

40

このように、本実施の形態によれば、半導体装置の生産性が向上し、且つ信頼性の高い半導体装置が実現する。

#### 【0080】

以上、具体例を参照しつつ本発明の実施の形態について説明した。しかし、本実施の形態はこれらの具体例に限定されるものではない。すなわち、以上の具体例に、当業者が適宜設計変更を加えたものも、本発明の特徴を備えている限り、本発明の範囲に包含される。例えば、前述した各具体例が備える各要素およびその配置、材料、条件、形状、サイズなどは、例示したものに限定されるわけではなく適宜変更することができる。

また、前述した各実施の形態が備える各要素は、技術的に可能な限りにおいて複合させ

50

ることができ、これらを組み合わせたものも本発明の特徴を含む限り本発明の範囲に含まれる。

【0081】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものも含まれる。

例えば、スーパージャンクション構造の形成プロセスは、上述した方法に限定されない。具体的には、ドレイン層20の主面上に高抵抗半導体層を結晶成長し、その表面にp型ドーパントとn型ドーパントをそれぞれイオン注入した後、高抵抗半導体層を結晶成長するプロセスを繰り返す形成プロセスも本実施の形態に含まれる。

【0082】

また、トレンチ型のゲート電極25の代わりに、プレーナ型のゲート電極を設けてもよい。

また、上述したトレンチ14、凹部41については、n型ピラー領域11及びp型ピラー領域22が交互に繰り返す方向に略垂直に延在する方向に設ければ、本発明の効果を発揮できることから、トレンチ14、凹部41については、前記交互に繰り返す方向には設けない構造も本実施の形態に含まれる。

【0083】

また、本実施の形態においては、縦型のパワーMOSFET素子を例示したが、IGBT素子等の他のスイッチングデバイスにも適用可能である。また、半導体の材質は、Si（シリコン）に限定されるものではなく、炭化珪素（SiC）、窒化ガリウム（GaN）を適用してもよい。

【符号の説明】

【0084】

- 1、2、3 半導体装置
- 1c、2c、3c セル領域
- 1t、2t、3t チップ終端部
- 1t1 薄層領域
- 1s 斜め領域
- 2m MOS形成領域
- 10 ドレイン電極
- 11 ソース電極
- 11fa、11fb フィールドプレート電極
- 12、13 チャネルストップ電極
- 13g 電極
- 14、52 トレンチ
- 20 ドレイン層
- 21 n型ピラー領域
- 22 p型ピラー領域
- 23 ベース領域
- 24 ソース領域
- 25 ゲート電極
- 26 ゲート絶縁膜
- 30 絶縁膜
- 31 n<sup>+</sup>層領域
- 40 ダイシングライン
- 41 凹部
- 41b 底面
- 41w 側面
- 42 端面
- 50 半導体基板

10

20

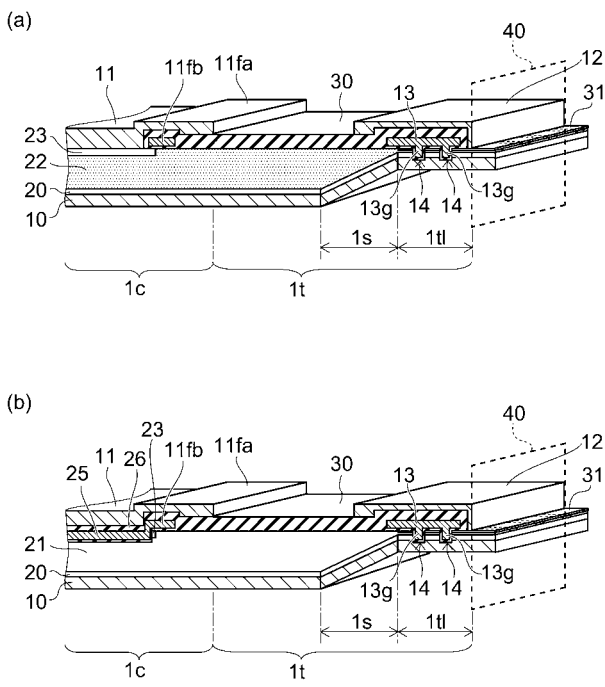
30

40

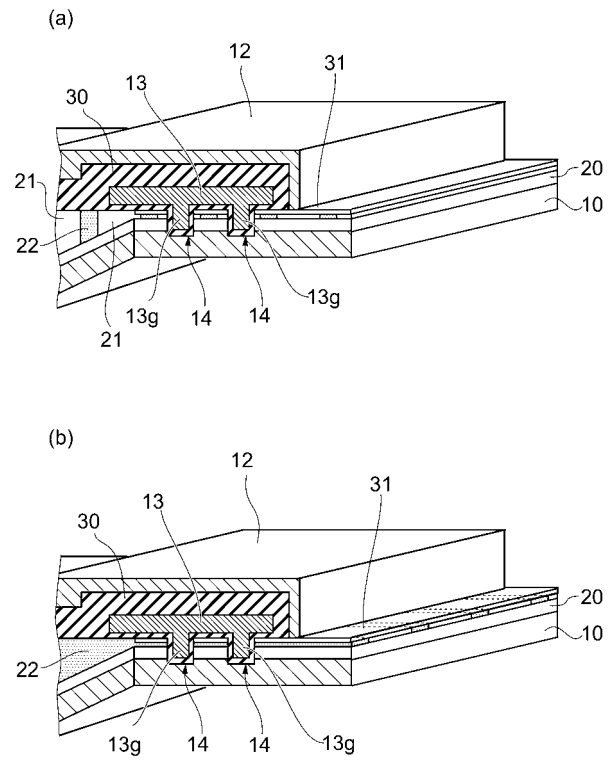
50

- 5 1 フォトレジスト
- 5 3 研磨面
- 5 4 レジスト
- 5 5、5 6 表出面

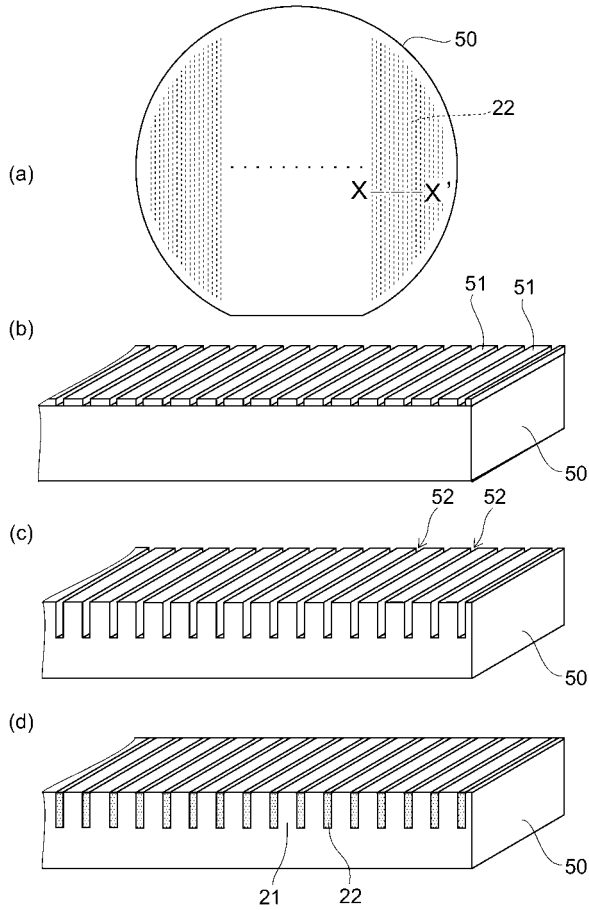
【 図 2 】



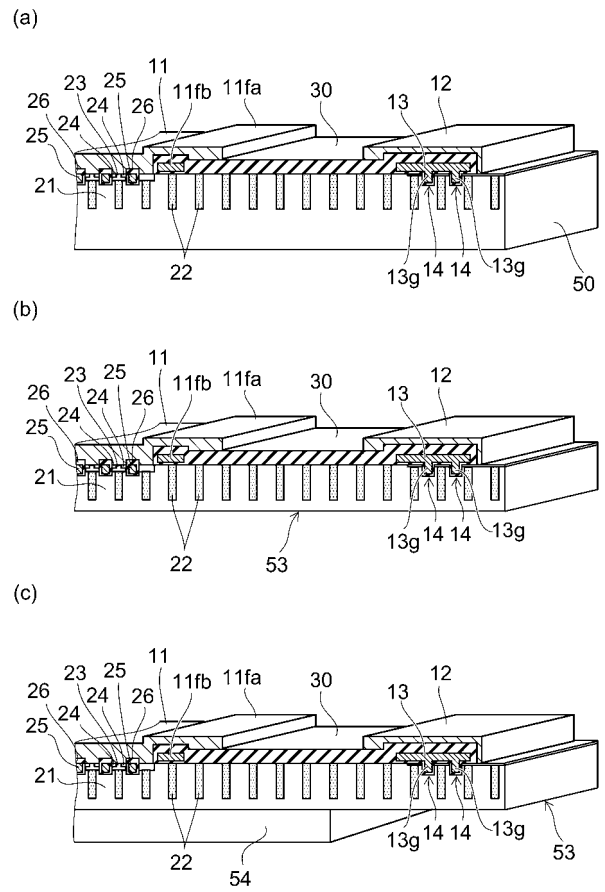
【 図 3 】



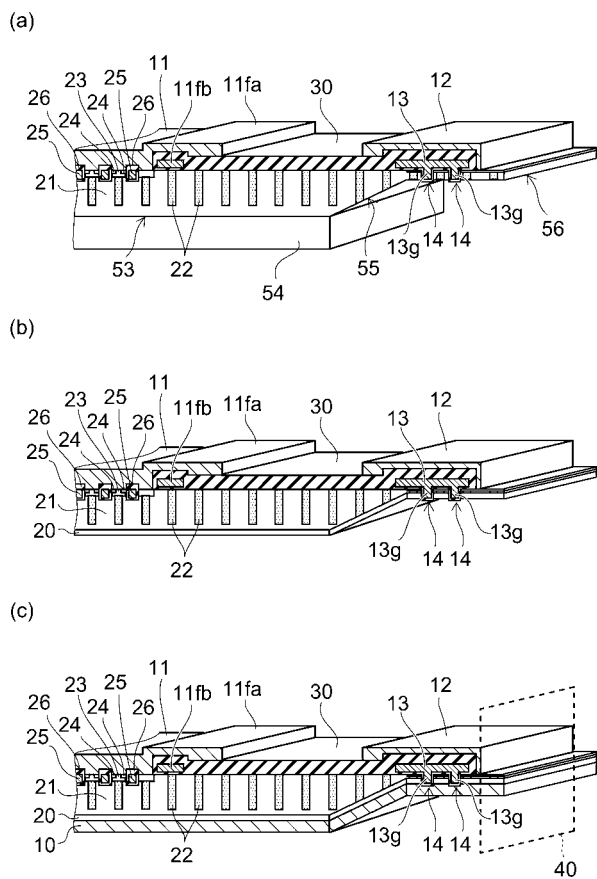
【 図 4 】



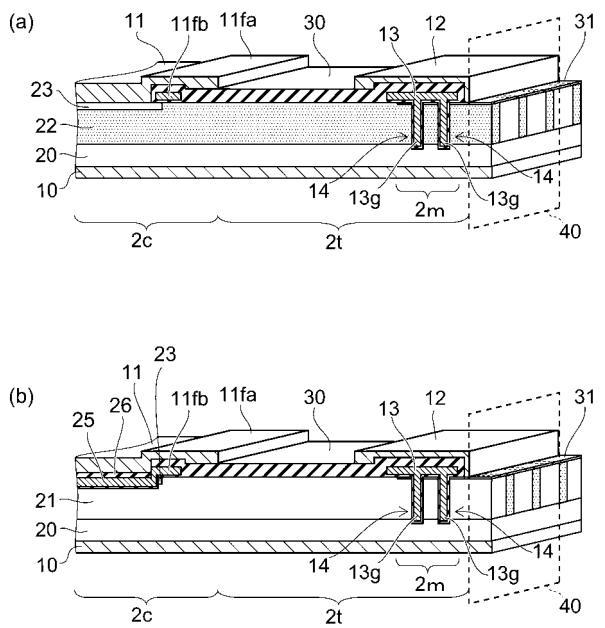
【 図 5 】



【 図 6 】

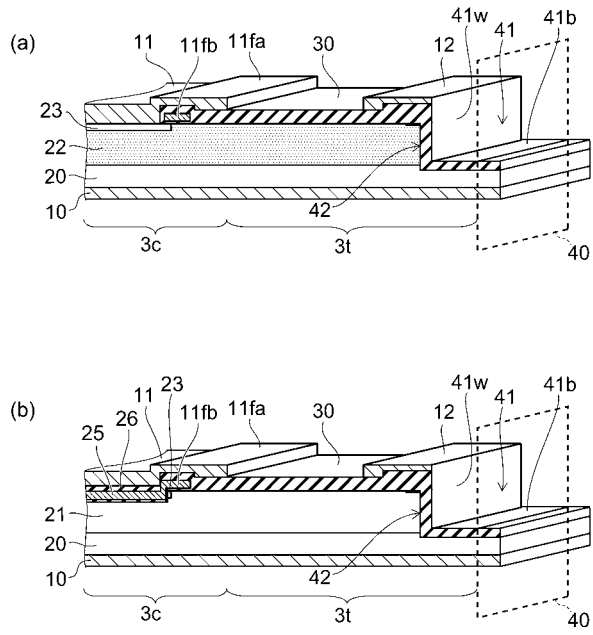


【 図 8 】

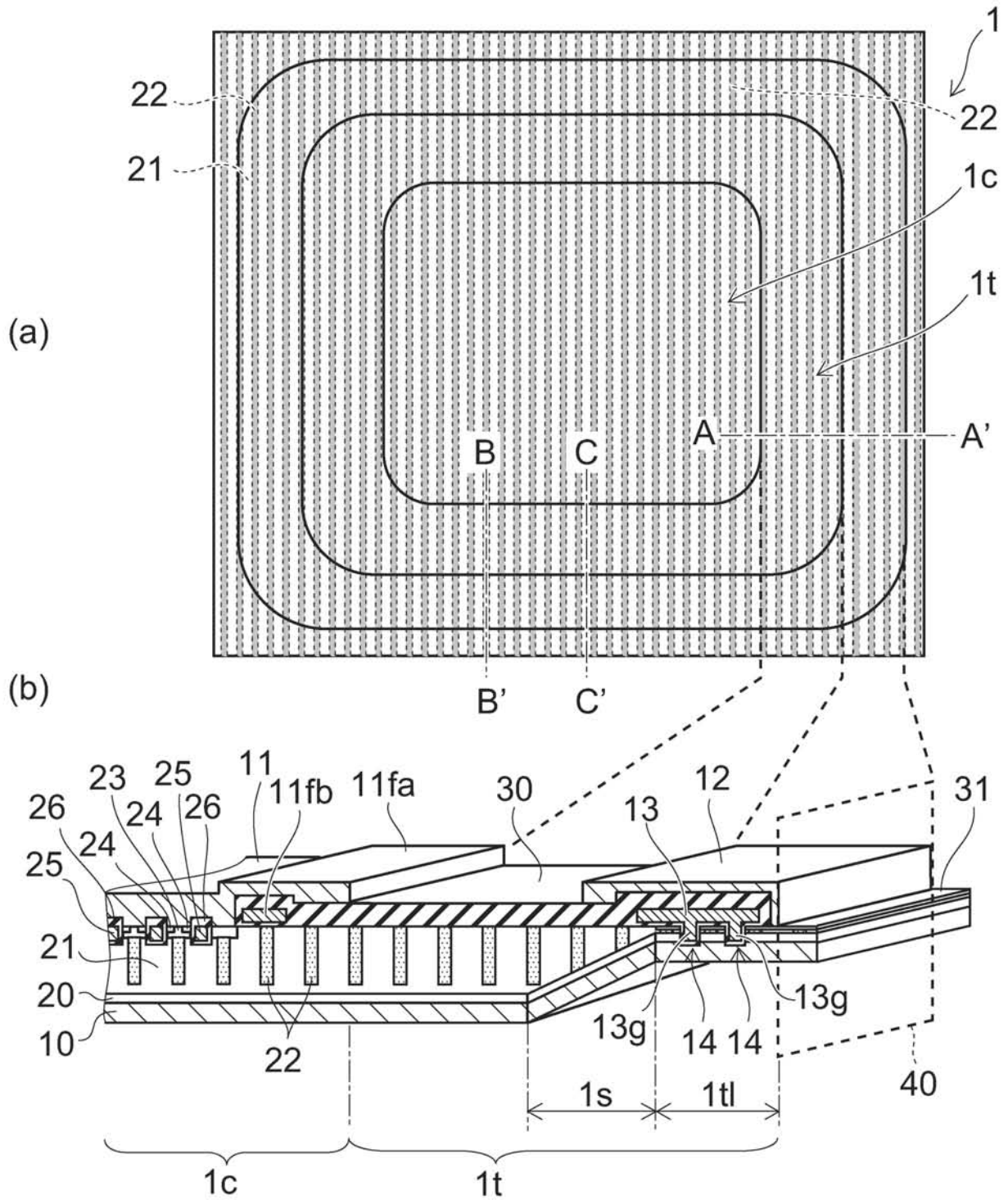




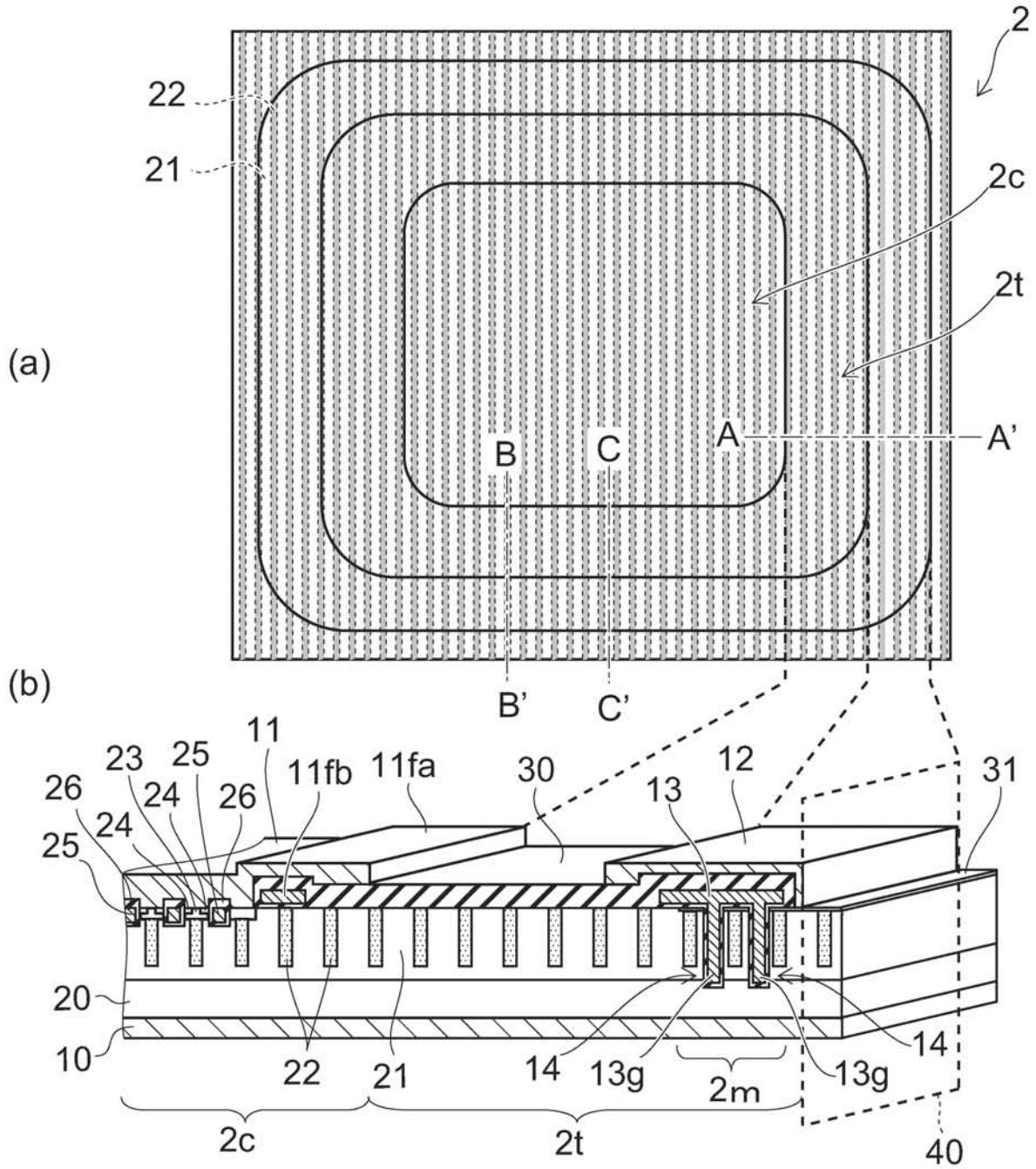
【 図 1 0 】



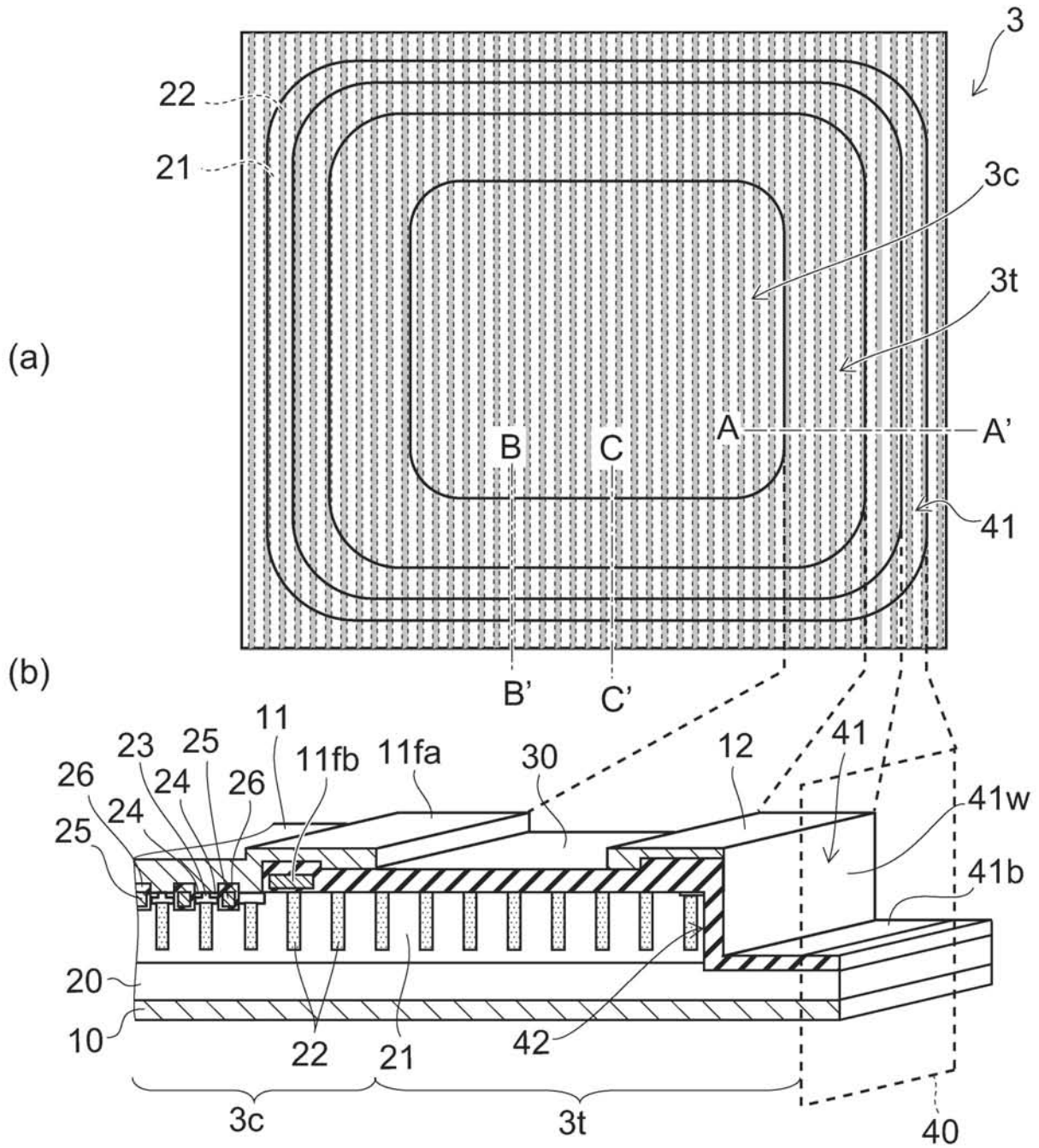
【図 1】



【図7】



【 図 9 】



---

フロントページの続き

- (72)発明者 羽田野 菜名  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 渡辺 美穂  
東京都港区芝浦一丁目1番1号 株式会社東芝内