

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3663261号  
(P3663261)

(45) 発行日 平成17年6月22日(2005.6.22)

(24) 登録日 平成17年4月1日(2005.4.1)

(51) Int.Cl.<sup>7</sup>

F I

G O 2 F 1/1368

G O 2 F 1/1368

G O 2 F 1/1343

G O 2 F 1/1343

H O 1 L 29/786

H O 1 L 29/78 6 1 2 C

請求項の数 8 (全 30 頁)

(21) 出願番号	特願平8-260572	(73) 特許権者	000003078
(22) 出願日	平成8年10月1日(1996.10.1)		株式会社東芝
(65) 公開番号	特開平9-160076		東京都港区芝浦一丁目1番1号
(43) 公開日	平成9年6月20日(1997.6.20)	(74) 代理人	100059225
審査請求日	平成15年9月26日(2003.9.26)		弁理士 蔦田 璋子
(31) 優先権主張番号	特願平7-258615	(74) 代理人	100076314
(32) 優先日	平成7年10月5日(1995.10.5)		弁理士 蔦田 正人
(33) 優先権主張国	日本国(JP)	(72) 発明者	堂城 政幸
(31) 優先権主張番号	特願平7-258619		兵庫県姫路市余部区上余部50番地 株式
(32) 優先日	平成7年10月5日(1995.10.5)		会社東芝姫路工場内
(33) 優先権主張国	日本国(JP)	(72) 発明者	中井 民雄
(31) 優先権主張番号	特願平7-258629		兵庫県姫路市余部区上余部50番地 株式
(32) 優先日	平成7年10月5日(1995.10.5)		会社東芝姫路工場内
(33) 優先権主張国	日本国(JP)		
早期審査対象出願		最終頁に続く	

(54) 【発明の名称】 表示装置用アレイ基板及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

基板上に配置されゲート電極領域を含む複数本の走査線及び前記走査線と略平行な補助容量線と、この上に配置される第1絶縁膜、少なくとも前記ゲート電極領域上に配置される半導体膜、前記半導体膜に電氣的に接続されるソース電極及びドレイン電極とを含む薄膜トランジスタと、前記薄膜トランジスタ上に配置される第2絶縁膜と、前記ドレイン電極に電氣的に接続されると共に前記走査線と略直交する信号線と、前記ソース電極と電氣的に接続される画素電極とを備えた表示装置用アレイ基板において、

前記第1絶縁膜を介して前記補助容量線と略直交する方向に配線された束ね配線を含み、

前記補助容量線と前記束ね配線とを導電層を介して電氣的に接続する補助容量線連結部を含み、

前記束ね配線は前記信号線と同一材料からなり、

前記導電層は前記画素電極と同一材料からなる

ことを特徴とする表示装置用アレイ基板。

【請求項2】

前記半導体膜と前記ソース電極及びドレイン電極との間には低抵抗半導体膜が介挿され、前記交差領域における前記信号線と前記半導体層との間には前記低抵抗半導体膜と同一材料からなる低抵抗半導体層が介在されている

ことを特徴とする請求項1記載の表示装置用アレイ基板。

## 【請求項 3】

前記半導体膜がアモルファスシリコンを主体とした  
ことを特徴とする請求項 1 記載の表示装置用アレ基板。

## 【請求項 4】

基板上に配置されゲート電極領域を含む複数本の走査線及び前記走査線と略平行な補助容量線と、この上に配置されるゲート絶縁膜、少なくとも前記ゲート電極領域上に配置される半導体膜、前記半導体膜に電氣的に接続されるソース電極及びドレイン電極とを含む薄膜トランジスタと、前記薄膜トランジスタ上に配置される層間絶縁膜と、前記ドレイン電極に電氣的に接続されると共に前記走査線と略直交する信号線と、前記ソース電極と電氣的に接続される画素電極とを備えた表示装置用アレ基板において、

10

前記ゲート絶縁膜を介して前記補助容量線と略直交する方向に配線された束ね配線を含み、

前記補助容量線と前記束ね配線とを導電層を介して電氣的に接続する補助容量線連結部を含み、

前記束ね配線は前記信号線と同一材料からなり、

前記導電層は前記画素電極と同一材料からなる

ことを特徴とする表示装置用アレ基板。

## 【請求項 5】

基板上に配置されゲート電極領域を含む複数本の走査線及び前記走査線と略平行な補助容量線と、この上に配置される第 1 絶縁膜、少なくとも前記ゲート電極領域上に配置される半導体膜、前記半導体膜に電氣的に接続されるソース電極及びドレイン電極とを含む薄膜トランジスタと、前記薄膜トランジスタ上に配置される第 2 絶縁膜と、前記ドレイン電極に電氣的に接続されると共に前記走査線と略直交する信号線と、前記ソース電極と電氣的に接続される画素電極とを備えたアレ基板を有した液晶表示装置において、

20

前記第 1 絶縁膜を介して前記補助容量線と略直交する方向に配線された束ね配線を含み、

前記補助容量線と前記束ね配線とを導電層を介して電氣的に接続する補助容量線連結部を含み、

前記束ね配線は前記信号線と同一材料からなり、

前記導電層は前記画素電極と同一材料からなる

30

ことを特徴とする液晶表示装置。

## 【請求項 6】

前記半導体膜と前記ソース電極及びドレイン電極との間には低抵抗半導体膜が介挿され、前記交差領域における前記信号線と前記半導体層との間には前記低抵抗半導体膜と同一材料からなる低抵抗半導体層が介在されている

ことを特徴とする請求項 5 記載の液晶表示装置。

## 【請求項 7】

前記半導体膜がアモルファスシリコンを主体とした

ことを特徴とする請求項 5 記載の液晶表示装置。

## 【請求項 8】

40

基板上に配置されゲート電極領域を含む複数本の走査線及び前記走査線と略平行な補助容量線と、この上に配置されるゲート絶縁膜、少なくとも前記ゲート電極領域上に配置される半導体膜、前記半導体膜に電氣的に接続されるソース電極及びドレイン電極とを含む薄膜トランジスタと、前記薄膜トランジスタ上に配置される層間絶縁膜と、前記ドレイン電極に電氣的に接続されると共に前記走査線と略直交する信号線と、前記ソース電極と電氣的に接続される画素電極とを備えたアレ基板を有した液晶表示装置において、

前記ゲート絶縁膜を介して前記補助容量線と略直交する方向に配線された束ね配線を含み、

前記補助容量線と前記束ね配線とを導電層を介して電氣的に接続する補助容量線連結部を含み、

50

前記束ね配線は前記信号線と同一材料からなり、  
前記導電層は前記画素電極と同一材料からなる  
ことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置等の平面表示装置に用いられる表示装置用アレイ基板及びその製造方法に関する。

【0002】

【従来の技術】

近年、CRTディスプレイに代わる平面型の表示装置が盛んに開発されており、中でも液晶表示装置は軽量、薄型、低消費電力等の利点から特に注目を集めている。

【0003】

例えば、各表示画素毎にスイッチ素子が配置された光透過型のアクティブマトリクス型の液晶表示装置を例にとり説明する。アクティブマトリクス型液晶表示装置は、アレイ基板と対向基板との間に配向膜を介して液晶層が保持されて成っている。アレイ基板は、ガラスや石英等の透明絶縁基板上に複数本の信号線と走査線とが格子状に配置され、各交点部分にアモルファスシリコン（以下、 $a-Si$ ：Hと略称する。）等の半導体薄膜を用いた薄膜トランジスタ（以下、TFTと略称する。）が接続されている。そしてTFTのゲート電極は走査線に、ドレイン電極は信号線にそれぞれ電氣的に接続され、さらにソース電極は画素電極を構成する透明導電材料、例えばITO（Indium-Tin-Oxide）に電氣的に接続されている。

【0004】

対向基板は、ガラス等の透明絶縁基板上にITOから成る対向電極が配置され、またカラー表示を実現するのであればカラーフィルタ層が配置されて構成されている。

【0005】

【発明が解決しようとする課題】

ところで、上記した液晶表示装置においては、TFTの寄生容量、あるいは画素電極と対向電極間に生じるリーク電流等により、画素電極の電位は変動するため、画素電極と絶縁膜を介して重複して補助容量線を配することで画素容量（ $C_L$ ）と並列な補助容量（ $C_s$ ）を設け、これにより画素電位の変動を抑えることが知られている。

【0006】

しかしながら、この補助容量線は、製造工数の増大を防ぐため走査線材料等と同一材料である光不透過性材料で構成されることが多く、このため補助容量線の配置される領域は光不透過となり、開口率を低下させてしまう。

【0007】

このようなことから、画素電極と、この画素電極に隣接する走査線との間で補助容量を形成し、走査線に印加される走査パルスを工夫することで画素電位の変動を抑えつつ高い開口率を維持することが知られている（特公平1-34392号、米国特許第4621260号）。

【0008】

しかしながら、このような構成にあっては、走査線と画素電極との重複部分に層間ショートが生じやすく、製造歩留まりの低下を招く。

【0009】

また、このような構成によれば、走査線形状を画素電極の周辺領域と重複するよう工夫することにより、画素電極の表示に寄与する画素領域を旨く画定することができるが、画素電極と走査線との重複部分で構成される補助容量（ $C_s$ ）が画素電位の変動を抑えるために必要な容量値以上に増大する。したがって、走査パルスの遅延を招き、画素電極への書込み不足、さらにはコントラスト比の低下を招く。走査パルスの遅延を抑えるために走査線幅を増大することもあるが、その場合は開口率の低下を招く。

10

20

30

40

50

## 【0010】

本発明は上記した技術課題に対処して成されたもので、走査線と画素電極とを重複させて補助容量を形成する表示装置用アレイ基板に関するもので、製造歩留まりに優れ、さらに高開口率化が達成される表示装置用アレイ基板及びその製造方法を提供することを目的としている。

## 【0011】

また、本発明は、少ないマスク数で、製造歩留まりを低下させることなく、高い生産性が確保される表示装置用アレイ基板及びその製造方法を提供することを目的としている。

## 【0012】

一方、少ないマスク数で、製造歩留まりを低下させることなく、高い生産性が確保される表示装置用アレイ基板及びその製造方法が提案されている（特開平6-202153号、特開平6-208137号、米国特許第5483082号）。このアレイ基板は、下記のような構造を有している。

## 【0013】

ゲート端子部が、ゲート端子下部電極と、その上のゲート絶縁膜と共通の層をなす絶縁膜及びパッシベーション膜に開口したコンタクトホールを介してゲート端子下部電極上に積層され、画素電極と同一材料の透明電極からなるゲート端子上部電極とから構成され、補助容量部は、Cs電極と、その上の絶縁膜及びi型半導体層からなる誘電体膜と、その上のn+型半導体層及び金属層からなる対向電極とから構成されている。

## 【0014】

しかしながら、この構造のアレイ基板であると、補助容量部に電圧を印加する場合に、同じ電位で印加しにくいという問題点があった。

## 【0015】

そこで、本発明は、上記問題点に鑑み、各補助容量部に同じ電位で容易に印加する構造を有するアレイ基板を提供する。

## 【0016】

請求項1に係る発明は、基板上に配置されゲート電極領域を含む複数本の走査線及び前記走査線と略平行な補助容量線と、この上に配置される第1絶縁膜、少なくとも前記ゲート電極領域上に配置される半導体膜、前記半導体膜に電氣的に接続されるソース電極及びドレイン電極とを含む薄膜トランジスタと、前記薄膜トランジスタ上に配置される第2絶縁膜と、前記ドレイン電極に電氣的に接続されると共に前記走査線と略直交する信号線と、前記ソース電極と電氣的に接続される画素電極とを備えた表示装置用アレイ基板において、前記第1絶縁膜を介して前記補助容量線と略直交する方向に配線された束ね配線を含み、前記補助容量線と前記束ね配線とを導電層を介して電氣的に接続する補助容量線連結部を含み、前記束ね配線は前記信号線と同一材料からなり、前記導電層は前記画素電極と同一材料からなることを特徴とする表示装置用アレイ基板である。

## 【0017】

請求項4に係る発明は、基板上に配置されゲート電極領域を含む複数本の走査線及び前記走査線と略平行な補助容量線と、この上に配置されるゲート絶縁膜、少なくとも前記ゲート電極領域上に配置される半導体膜、前記半導体膜に電氣的に接続されるソース電極及びドレイン電極とを含む薄膜トランジスタと、前記薄膜トランジスタ上に配置される層間絶縁膜と、前記ドレイン電極に電氣的に接続されると共に前記走査線と略直交する信号線と、前記ソース電極と電氣的に接続される画素電極とを備えた表示装置用アレイ基板において、前記ゲート絶縁膜を介して前記補助容量線と略直交する方向に配線された束ね配線を含み、前記補助容量線と前記束ね配線とを導電層を介して電氣的に接続する補助容量線連結部を含み、前記束ね配線は前記信号線と同一材料からなり、前記導電層は前記画素電極と同一材料からなることを特徴とする表示装置用アレイ基板である。

## 【0018】

請求項5に係る発明は、基板上に配置されゲート電極領域を含む複数本の走査線及び前記走査線と略平行な補助容量線と、この上に配置される第1絶縁膜、少なくとも前記ゲート

10

20

30

40

50

ト電極領域上に配置される半導体膜、前記半導体膜に電氣的に接続されるソース電極及びドレイン電極とを含む薄膜トランジスタと、前記薄膜トランジスタ上に配置される第2絶縁膜と、前記ドレイン電極に電氣的に接続されると共に前記走査線と略直交する信号線と、前記ソース電極と電氣的に接続される画素電極とを備えたアレイ基板を有した液晶表示装置において、前記第1絶縁膜を介して前記補助容量線と略直交する方向に配線された束ね配線を含み、前記補助容量線と前記束ね配線とを導電層を介して電氣的に接続する補助容量線連結部を含み、前記束ね配線は前記信号線と同一材料からなり、前記導電層は前記画素電極と同一材料からなることを特徴とする液晶表示装置である。

#### 【0019】

請求項8に係る発明は、基板上に配置されゲート電極領域を含む複数本の走査線及び前記走査線と略平行な補助容量線と、この上に配置されるゲート絶縁膜、少なくとも前記ゲート電極領域上に配置される半導体膜、前記半導体膜に電氣的に接続されるソース電極及びドレイン電極とを含む薄膜トランジスタと、前記薄膜トランジスタ上に配置される層間絶縁膜と、前記ドレイン電極に電氣的に接続されると共に前記走査線と略直交する信号線と、前記ソース電極と電氣的に接続される画素電極とを備えたアレイ基板を有した液晶表示装置において、前記ゲート絶縁膜を介して前記補助容量線と略直交する方向に配線された束ね配線を含み、前記補助容量線と前記束ね配線とを導電層を介して電氣的に接続する補助容量線連結部を含み、前記束ね配線は前記信号線と同一材料からなり、前記導電層は前記画素電極と同一材料からなることを特徴とする液晶表示装置である。

#### 【0025】

#### 【発明の実施の形態】

#### 第1の実施例

以下、本発明の第1の実施例の液晶表示装置(1)について図1から図13に基づいて説明する。

#### 【0026】

この液晶表示装置(1)は、カラー表示が可能な光透過型であって、図2に示すように、アレイ基板(100)と対向基板(200)との間にポリイミド樹脂から成り、互いに直交する方向に配向処理が成された配向膜(141)、(241)を介して、ツイスト・ネマチック(TN)液晶が保持されている。また、アレイ基板(100)と対向基板(200)との外表面には、それぞれ偏光板(311)(313)が貼り付けられて構成されている。

#### 【0027】

図1は、アレイ基板(100)の概略平面図を示すものであり、図中の下側が液晶表示装置(1)の画面上側に位置するものであって、図中下側から上側に向かって走査線が順次選択されるものである。

#### 【0028】

アレイ基板(100)は、ガラス基板(101)上に配置される480本のAl-Y合金から成る走査線(111)を含み、各走査線(111)の一端は、ガラス基板(101)の一端辺(101a)側に引き出され、斜め配線部(150)を経て走査線パッド(152)に電氣的に接続される。ここでは、走査線(111)をAl-Y合金で構成したが、Mo-Ta合金、Mo-W合金あるいはAlあるいはその合金などで構成してもかまわない。

#### 【0029】

アレイ基板(100)は、ガラス基板(101)上に走査線(111)と略直交する1920本のMo-W合金から成る信号線(110)を含み、各信号線(110)はガラス基板(101)の他の一端辺(101b)側に引き出され、斜め配線部(160)を経て信号線パッド(162)に電氣的に接続される。ここでは、信号線(110)をMo-W合金で構成したが、Mo-Ta合金、Alあるいはその合金などで構成してもかまわない。

#### 【0030】

この走査線(111)と信号線(110)との交点部分近傍には、TFT(112)が配置されている。また、このTFT(112)に接続されるITOから成る画素電極(131)が、走査線(111)及び信号線(110)上に層間絶縁膜(127)を介して配置されている。この層間絶縁膜(127)

10

20

30

40

50

としては、窒化シリコン膜や酸化シリコン膜等の無機絶縁膜あるいはアクリル系等の有機樹脂被膜で構成することができるが、これら無機絶縁膜と有機樹脂被膜との多層膜で構成することにより、表面平滑性並びに層間絶縁性はより一層向上される。

#### 【0031】

(TF T領域の構造)

TF T (112) 領域の構造について説明する。

#### 【0032】

各走査線(111)は、隣り合う画素電極(131)の信号線(110)に沿う端辺(131a),(131b)と重複するように細線状に延在される延在領域(113)を含む。画素電極(131)と、画素電極(131)に対応する走査線(111)に対して前段の走査線(111)からの延在領域(113)との重複領域(OS)は、図6に示すように、第1ゲート絶縁膜(115)、第2ゲート絶縁膜(117)及び層間絶縁膜(127)を介して互いに重複され、この重複領域(OS)により補助容量(Cs)が構成される。また、この実施例では、画素電極(131)は前段の走査線(111)自体とも第1ゲート絶縁膜(115)、第2ゲート絶縁膜(117)及び層間絶縁膜(127)を介して互いに重複され、この重複領域でも補助容量(Cs)が構成される。

10

#### 【0033】

このアレイ基板(100)に対向する対向基板(200)は、ガラス基板(201)上に配置され、TF T (121) 領域、信号線(110)及び走査線(111)と画素電極(131)との間隙を遮光するマトリクス状の樹脂性の遮光膜(211)を含む。また、画素電極(131)に対応する領域には、それぞれ赤(R)、緑(G)及び青(B)のカラーフィルタ(221)が配置され、この上に透明電極材料から成る対向電極(231)が配置されて構成される。

20

#### 【0034】

以上のように、この液晶表示装置(1)のアレイ基板(100)によれば、信号線(110)及び走査線(111)と画素電極(131)の間には、層間絶縁膜(127)、あるいは第1及び第2ゲート絶縁膜(115),(117)及び層間絶縁膜(127)がそれぞれ配置されているので、画素電極(131)を各配線(110),(111)に対して十分に近接、もしくは重畳して配置することができ、これにより高開口率化を実現することができる。

#### 【0035】

また、この実施例によれば、補助容量(Cs)が画素電極(131)と、この画素電極(131)と隣接する走査線(111)から延在される延在領域(113)との間で形成されるので、別途補助容量線等を配置する必要がなく、一層の高開口率化が可能となる。特に、この実施例では、TF T (112) は、走査線(111)から信号線(110)に沿って導出される領域をゲート電極として構成されるため、画素電極(131)は前段の走査線(111)自体にも重畳させることができる。これにより、十分な補助容量(Cs)の確保と高開口率化が同時に達成される。

30

#### 【0036】

そして、画素電極(131)と走査線(111)及び延在領域(113)の間には、3種類の絶縁膜(115),(117),(127)がそれぞれ積層配置されているので、本実施例の構造に起因した層間ショート等の発生も極めて軽減される。

#### 【0037】

ところで、この実施例では、画素領域が、対向基板(200)に配置される遮光膜(211)ではなくアレイ基板(100)上の走査線(111)及びその延在領域(113)によって画定される。従って、アレイ基板(100)と対向基板(200)との合わせ精度によらず、走査線(111)をパターンニングする第1のマスクパターンと画素電極(131)をパターンニングする第5のマスクパターンとの合わせ精度によってのみ決定されるので、アレイ基板(100)との対向基板(200)との合わせずれを考慮して遮光膜(211)幅にマージンを設ける必要がないので、更なる高開口率の実現が可能となる。

40

#### 【0038】

さらに、画素領域を画定するため、走査線(111)の延在領域(113)を画素電極(131)の信号線(110)に沿う端辺(131a)(131b)に沿って十分に延在させても、この実施例によれば、

50

画素電極(131)と走査線(111)の延在領域(113)との間には第1ゲート絶縁膜(115)及び第2ゲート絶縁膜(117)の他に層間絶縁膜(127)が配置されているので、生産性を損なうことなく補助容量(Cs)の大幅な増大を抑えることができる。

【0039】

また、図5に示すように、信号線(110)の輪郭と低抵抗半導体膜(124a)及び半導体膜(120)の輪郭が一致している。さらに詳しくは、信号線(110)と走査線(111)との交差部には、必ず第1乃至第2ゲート絶縁膜(115),(117)の他に低抵抗半導体膜(124a)及び半導体膜(120)が積層されている。このため、各パターニングに際してマスクずれが生じても、信号線(110)と走査線(111)との間の容量変動がなく、このため製品間で走査線容量あるいは信号線容量の変動が軽減される。また、信号線(110)と走査線(111)との交差部における静電気、プロセス中でのゴミ、あるいは各絶縁膜(115),(117)のピンホールに起因する層間ショートも抑えられ、これにより高い製造歩留まりが確保できる。

10

【0040】

さらに、図6に示すように、信号線(110)の輪郭と低抵抗半導体膜(124a)及び半導体膜(120)の輪郭が一致しているので、従来の如く別工程でパターニングされるのとは異なり、各パターニングに際してマスクずれが生じても、信号線(110)と走査線(111)の延在領域(113)との間に生じる容量変動も十分に抑えることができる。

【0041】

また、信号線(110)と走査線(111)の延在領域(113)とを重畳、即ち図6において信号線(111)を介して隣接して配置される延在領域(113)を信号線(111)下において接続する構造としても、信号線(110)と走査線(111)の延在領域(113)の間には、各絶縁膜(115),(117)の他に半導体膜(120)が必ず配置されるので、静電気、プロセス中でのゴミ、あるいは各絶縁膜(115),(117)のピンホールに起因する層間ショートも抑えられ、これにより高い製造歩留まりが確保できる。そして、このように信号線(111)と隣接する画素電極(131)下に延在領域(113)を配する構成により、信号線(111)と画素電極(131)との間の容量結合が延在領域(113)によってシールドされ、画素電極(131)の電位が信号線(111)の電位によって受ける影響を軽減できる。しかも、信号線(111)と絶縁膜(115),(117)との間に配置される半導体膜(120)及び低抵抗半導体膜(124a)の輪郭線が信号線(111)の輪郭線と一致している。これらの理由から、信号線(111)と画素電極(131)とを十分に近接配置することができ、これにより一層の高開口率化が達成される。

20

30

【0042】

(走査線の外周部付近の構造)

走査線(111)の外周部付近の構造について、図1及び図3に基づいて説明する。

【0043】

A1-Y合金から成る走査線(111)は、ガラス基板(101)の一端辺(101a)側に引き出され、斜め配線部(150)及び走査線パッド(152)に導かれる下層配線部(111a)を形成している。

【0044】

斜め配線部(150)においては、走査線(111)から延在される下層配線部(111a)上には2層の絶縁膜(115),(117)が積層配置されている。また、この2層の絶縁膜(115),(117)の上には、半導体被膜(119)、低抵抗半導体被膜(123)及び信号線(110)と同一工程で同一材料であるMo-W合金膜からなる上層配線部(125a)が積層され、この上層配線部(125a)の上には層間絶縁膜(127)が配置されている。

40

【0045】

そして、この斜め配線部(150)の基部においては、一対を成す第1コンタクトホール(153)と第2コンタクトホール(154)とがそれぞれ配線方向に沿って近接して配置され、画素電極(131)と同一工程で同一材料であるITOからなる走査線接続層(131)によって走査線(111)から延在される下層配線部(111a)と上層配線部(125a)とが第1コンタクトホール(153)及び第2コンタクトホール(154)を介して電氣的に接続されている。なお、第2コンタクトホール(154)は、下層配線部(111a)の主表面の一部を露出するように2層の絶

50

縁膜(115)、(117)、半導体被膜(119)、低抵抗半導体被膜(123)及び 上層配線部(125a)を貫通する開口であって、第1コンタクトホール(153)は上層配線部(125a)の主表面の一部を露出するように層間絶縁膜(127)を貫通する開口である。

【0046】

また、走査線パッド(152)においては、やはり一対を成す第1コンタクトホール(155)と第2コンタクトホール(156)とがそれぞれ配線方向に沿って近接して配置され、画素電極(131)と同一工程で同一材料であるITOからなる走査線接続層(131)によって走査線(111)の下層配線部(111a)と上層配線部(125a)とが第1コンタクトホール(155)及び第2コンタクトホール(156)を介して電氣的に接続されている。なお、第2コンタクトホール(156)は、上述した第2コンタクトホール(154)と同様に、下層配線部(111a)の主表面の一部を露出するように2層の絶縁膜(115)、(117)、半導体被膜(119)、低抵抗半導体被膜(123)及び 上層配線部(125a)を貫通する開口であって、第1コンタクトホール(155)は上述の第1コンタクトホール(153)と同様に上層配線部(125a)の主表面の一部を露出するように層間絶縁膜(127)を貫通する開口である。

10

【0047】

これにより、走査線(111)の斜め配線部(150)は、互いに別工程でパターニングされる信号線(110)と同一材料で同一工程で作製されるMo-W合金膜からなる上層配線部(125a)とAl-Y合金膜よりなる走査線(111)から延在される下層配線部(111a)との積層構造で構成され、この2層によって斜め配線部(150)の基部と走査線パッド(152)とが電氣的に接続される。

20

【0048】

このため、斜め配線部(150)において、上層配線部(125a)または下層配線部(111a)の一方が断線しても、他方が接続されているため、斜め配線部(150)での断線不良が極めて軽減される。

【0049】

また、斜め配線部(150)は、Alを主体とした低抵抗材料であるAl-Y合金膜よりなる下層配線部(111a)を含むため、十分な低抵抗化が図れる。

【0050】

尚、この実施例では、第2コンタクトホール(156)の領域、即ち下層配線部(111a)と走査線接続層(131)との積層領域が主として走査線パッド(152)の接続領域として機能する。

30

【0051】

(信号線の外周部付近の構造)

信号線(110)の外周部付近の構造について、図1及び図4に基づいて説明する。

【0052】

走査線(111)と同一工程で同一材料から成るAl-Y合金膜から成る下層配線部(111b)が、各信号線(110)に対応してガラス基板(101)の一端辺(101b)側の信号線(110)の斜め配線部(160)及び信号線パッド(162)に配置されている。

【0053】

斜め配線部(160)においては、下層配線部(111b)の上には、2層の絶縁膜(115)、(117)が配置されている。また、この2層の絶縁膜(115)、(117)の上に、半導体被膜(119)、低抵抗半導体被膜(123)及び信号線(110)から延在されるMo-W合金膜からなる上層配線部(125b)(信号線(110))が積層され、この上層配線部(125b)上には層間絶縁膜(127)が配置されている。

40

【0054】

そして、この斜め配線部(160)の基部においては、一対を成す第1コンタクトホール(163)と第2コンタクトホール(164)とがそれぞれ配線方向に沿って近接して配置され、画素電極(131)と同一工程で同一材料であるITOからなる信号線接続層(131)によって信号線(110)から延在される上層配線部(125b)と下層配線部(111b)とが電氣的に接続されている。なお、第2コンタクトホール(164)は、下層配線部(111b)の主表面の一部を露出するように2層の絶縁膜(115)、(117)、半導体被膜(119)、低抵抗半導体被膜(123)及び

50



上層配線部(125b)を貫通する開口であって、第1コンタクトホール(163)は上層配線部(125b)の主表面の一部を露出するように層間絶縁膜(127)を貫通する開口である。

【0055】

また、信号線パッド(162)においては、やはり一対を成す第1コンタクトホール(165)と第2コンタクトホール(166)とがそれぞれ配線方向に近接して配置され、画素電極(131)と同一工程で同一材料であるITOからなる信号線接続層(131)によって信号線(110)から延在される上層配線部(125b)と下層配線部(111b)とが電氣的に接続されている。なお、第2コンタクトホール(166)は、上述した第2コンタクトホール(164)と同様に、下層配線部(111b)の主表面の一部を露出するように2層の絶縁膜(115),(117)、半導体被膜(119)、低抵抗半導体被膜(123)及び上層配線部(125b)を貫通する開口であって、第1コンタクトホール(165)は上述の第2コンタクトホール(163)と同様に上層配線部(125b)の主表面の一部を露出するように層間絶縁膜(127)を貫通する開口である。

10

【0056】

これにより、斜め配線部(160)においては、Mo-W合金膜よりなる信号線(110)から延在される上層配線部(125b)と走査線(111)と同一工程で同一材料であるAl-Y合金膜から成る下層配線部(111b)とが積層配置され、この2層によって、斜め配線部(160)の基部と信号線パッド(162)とを電氣的に接続している。

【0057】

そのため、斜め配線部(160)において、Mo-W合金膜よりなる上層配線部(125b)またはAl-Y合金膜から成る下層配線部(111b)の一方が断線しても、他方が接続されているため、斜め配線部(160)に断線不良が生じることが軽減される。

20

【0058】

また、斜め配線部(160)は、Alを主体とした低抵抗材料であるAl-Y合金膜よりなる下層配線部(111b)を含むため、十分な低抵抗化が図れる。

【0059】

尚、この実施例では、第2コンタクトホール(166)の領域、即ち下層配線部(111b)と走査線接続層(131)との積層領域が主として信号線パッド(162)の接続領域として機能する。

【0060】

上述した構成によれば、駆動ICのバンプ、FPC(フレキシブル・プリント・サーキット)やTCP(テープ・キャリア・パッケージ)の電極等を信号線パッド(162)及び走査線パッド(152)にACF(異方性導電膜)等の接続層を介して電氣的に接続する場合に、信号線パッド(162)及び走査線パッド(152)の構成が実質的に同一であるため、信号線パッド(162)及び走査線パッド(152)の接続条件を等しくしても接続層に印加される熱や圧力等が略等しくでき、これにより同一条件での製造が可能となる。即ち、この実施例では、走査線パッド(152)の接続領域は、主として走査線(111)から導出されるAl-Y合金膜よりなる下層配線部(111a)と画素電極(131)と同一材料であるITOからなる走査線接続層(131)との積層構造で構成され、また信号線接続パッド(162)の接続領域は、主として走査線(111)と同時に形成されるAl-Y合金膜よりなる下層配線部(111b)と画素電極(131)と同一材料であるITOからなる信号線接続層(131)との積層構造で構成されており、その構造は実質的に同一である。

30

40

【0061】

(アレイ基板の製造工程)

次に、このアレイ基板(100)の製造工程について、図7から図13を参照して詳細に説明する。

【0062】

(1)第1工程

図7に示すように、ガラス基板(101)上にスパッターによりAl-Y合金膜、Mo膜をそれぞれ200nm厚、30nm厚で連続して堆積し、第1のマスクパターンを用いて露光し、現像、パターンニング(第1のパターンニング)を経る。

【0063】

50

これにより、ガラス基板(101)上に480本の走査線(111)を作製すると共に、その一端辺(101a)側において走査線(111)の斜め配線部(150)及び走査線パッド(152)を構成する下層配線部(111a)、一端辺(101b)において信号線(110)の斜め配線部(160)及び信号線パッド(162)を構成する下層配線部(111b)をそれぞれ同時に作製する。

【0064】

さらに、TF T領域では走査線(111)と一体で走査線(111)と直交する方向に導出されるゲート電極を作製する。また、走査線(111)のパターニングの際に走査線(111)と直交する方向に導出され、補助容量(Cs)を形成するための延在領域(113)も同時に作製しておく(図1参照)。

【0065】

10

(2)第2工程

第1工程の後、図8に示すように、プラズマCVD法により150nm厚の酸化シリコン膜から成る第1ゲート絶縁膜(115)を堆積した後、さらに150nm厚の窒化シリコン膜から成る第2ゲート絶縁膜(117)、50nm厚のa-Si:Hから成る半導体被膜(119)及び200nm厚の窒化シリコン膜から成るチャネル保護被膜(121)を連続的に大気からすることなく成膜する。

【0066】

(3)第3工程

第2工程の後、図9に示すように、走査線(111)をマスクとした裏面露光技術により走査線(111)に自己整合的にチャネル保護被膜(121)をパターニングし、さらにTF T領域に 20 対応するように第2のマスクパターンを用いて露光し、現像、パターニング(第2のパターニング)を経て、島状のチャネル保護膜(122)を作製する。

【0067】

(4)第4工程

第3工程の後、図10に示すように、良好なオーミックコンタクトが得られるように露出する半導体被膜(119)表面を弗酸(HF)系溶液で処理し、プラズマCVD法により不純物としてリンを含む30nm厚のn+a-Si:Hから成る低抵抗半導体被膜(123)を堆積し、さらに300nm厚のMo-W合金膜(125)をスパッターにより堆積する。

【0068】

(5)第5工程

30

第4工程の後、図11に示すように、第3のマスクパターンを用いて露光、現像し、Mo-W合金膜(125)、低抵抗半導体被膜(123)及び半導体被膜(119)を窒化シリコン膜から成る第1ゲート絶縁膜(115)あるいは第2ゲート絶縁膜(117)とチャネル保護膜(122)とのエッチング選択比を制御することにより、一括してプラズマエッチングによりパターニングする(第3のパターニング)。

【0069】

これにより、TF T領域においては、抵抗半導体膜(124a)とソース電極(126b)とを一体に作製し、低抵抗半導体膜(124b)及び信号線(110)と一体にドレイン電極(126a)を作製する。

【0070】

40

走査線パッド(152)及び斜め配線部(150)の基部においては、下層配線部(111a)上に沿ってMo-W合金膜(125)をパターニングして上層配線部(125a)を形成すると共に、上層配線部(125a)に沿って低抵抗半導体被膜(123)及び半導体被膜(119)を一括してパターニングする。これと同時に、上述した第2コンタクトホール(154)、(156)に対応する上層配線部(125a)、低抵抗半導体被膜(123)及び半導体被膜(119)を貫通する開口(154a)、(156a)を作製する。

【0071】

同様に、信号線パッド(162)及び斜め配線部(160)の基部においても、下層配線部(111b)上に沿ってMo-W合金膜(125)をパターニングして信号線(110)から延在される上層配線部(125b)を形成すると共に、上層配線部(125b)に沿って低抵抗半導体被膜(123)及び 50

半導体被膜(119)を一括してパターニングする。これと同時に、上述した第2コンタクトホール(164),(166)に対応する領域の上層配線部(125b)、低抵抗半導体被膜(123)及び半導体被膜(119)を貫通する開口(164a),(166a)を作製する。

【0072】

ここでは、Mo-W合金膜(125)、低抵抗半導体被膜(123)及び半導体被膜(119)をドライエッチングによりパターニングしたが、ウェットエッチングでもかまわない。

【0073】

(6)第6工程

第5工程の後、この上に200nm厚の窒化シリコン膜から成る層間絶縁膜(127)を堆積する。

10

【0074】

そして、図12に示すように、第4のマスクパターンを用いて露光、現像し、ソース電極(126b)に対応する領域の一部の層間絶縁膜(127)を除去してドライエッチングによりコンタクトホール(129a)を形成する。

【0075】

走査線パッド(152)及び斜め配線部(150)の基部においては、開口(154a),(156a)に対応する第1及び第2ゲート絶縁膜(117)と共に層間絶縁膜(127)を一括して除去して第2コンタクトホール(154),(156)を形成する(第4のパターニング)と同時に、第2コンタクトホール(154),(156)近傍の層間絶縁膜(127)を除去して第2コンタクトホール(154),(156)と一対を成す第1コンタクトホール(153),(155)を作製する。

20

【0076】

同時に、信号線パッド(162)及び斜め配線部(160)の基部においては、開口(164a),(166a)に対応する第1及び第2ゲート絶縁膜(117)と共に層間絶縁膜(127)を一括して除去して第2コンタクトホール(164),(166)を形成すると同時に、第2コンタクトホール(164),(166)近傍の層間絶縁膜(127)を除去して第2コンタクトホール(164),(166)とそれぞれ一対を成す第1コンタクトホール(163),(165)を作製する。

【0077】

(7)第7工程

第6工程の後、図13に示すように、この上に100nm厚のITO膜をスパッターにより堆積し、第5のマスクパターンを用いて露光、現像、ドライエッチングによるパターニング(第5のパターニング)を経て、画素電極(131)を作製する。ITO膜のパターニングも、ドライエッチングに代えてウェットエッチングであってもかまわない。

30

【0078】

走査線パッド(152)及び斜め配線部(150)の基部においては、第1コンタクトホール(153),(155)と第2コンタクトホール(154),(156)とを、それぞれ電氣的に接続するための走査線接続層(131)を形成し、これにより走査線(111)と走査線パッド(152)とは、下層配線部(111a)と上層配線部(125a)の2層構造の斜め配線部(150)により電氣的に接続される。

【0079】

信号線パッド(162)及び斜め配線部(160)の基部においても、第1コンタクトホール(163),(165)と第2コンタクトホール(164),(166)とを、それぞれ電氣的に接続するための信号線接続層(131)を同時に形成し、これにより信号線(110)と信号線接続パッド(162)とは、下層配線部(111b)と上層配線部(125b)の2層構造の斜め配線部(160)により電氣的に接続される。

40

【0080】

(第1の実施例の効果)

以上のように、この実施例のアレイ基板によれば、基本構成を5枚のマスクにより、アレイ基板を作製することができる。即ち、画素電極を最上層に配置し、これに伴い信号線、ソース、ドレイン電極と共に、半導体被膜等を同一のマスクパターンに基づいて一括してパターニングすると共に、ソース電極と画素電極との接続用のコンタクトホールの作製と

50

共に、信号線や走査線の接続端を露出するためのコンタクトホール(175)の作製を同時に行うことで、少ないマスク数で生産性を向上でき、しかも製造歩留まりを低下させることもない。

【0081】

また、信号線及び走査線の各斜め配線部においては、信号線を成すMo-W合金膜から成る上層配線部と走査線を成すAl-Y合金膜から成る下層配線部との2層によって構成され、各斜め配線部の基部と各パッドとを電氣的に接続している。そのため、斜め配線部において、上層配線部または下層配線部の一方が断線しても、他方が接続されているため、斜め配線部が断線することがない。

【0082】

更に、斜め配線部は、少なくともAlを主体とした低抵抗材料で構成される配線層を含むため、十分な低抵抗化が図れる。

【0083】

また、駆動ICのバンプやTCP等の電極を接続するための信号線パッド及び走査線パッドは、実質的に同一構成であるため、両者を同じ条件で接続することが可能となる。

【0084】

(その他の変更例)

この実施例では、半導体膜をa-Si:Hで構成する場合について説明したが、多結晶シリコン膜等であっても良いことは言うまでもない。また、周辺領域に駆動回路部を一体的に構成しても良い。

【0085】

また、さらに信号線や走査線上に画素電極を一部重複させて配置する場合、少なくとも画素電極と信号線との間に絶縁層を介して金属膜等でシールド電極を配するようにすれば、画素電極が信号線からの電位による影響を軽減できる。

【0086】

(信号線及び走査線の外周部付近の構造の変更例)

図14に示すように、信号線(110)の外周部付近の構造の変更例について説明する。

【0087】

走査線(111)と同一工程で同一材料から成るAl-Y合金膜から成る下層配線部(111b)が、各信号線(110)に対応してガラス基板(101)の一端辺(101b)側の信号線(110)の斜め配線部(160)及び信号線パッド(162)に配置されている。

【0088】

斜め配線部(160)においては、下層配線部(111b)の上には、2層の絶縁膜(115),(117)が配置されている。また、この2層の絶縁膜(115),(117)の上に、半導体被膜(119)、低抵抗半導体被膜(123)及び信号線(110)から延在されるMo-W合金膜からなる上層配線部(125b)(信号線(110))が積層され、この上層配線部(125b)上には層間絶縁膜(127)が配置されている。

【0089】

そして、この斜め配線部(160)の基部においては、上述した実施例と同様であり、信号線パッド(162)においては、一对の第1コンタクトホール(175)と第2コンタクトホール(176)とがそれぞれ配置され、画素電極(131)と同一工程で同一材料であるITOからなる信号線接続層(131)によって信号線(110)から延在される上層配線部(125b)と下層配線部(111b)とを電氣的に接続している。なお、第1コンタクトホール(175)は、下層配線部(111b)の主表面の一部を露出するように2層の絶縁膜(115),(117)、半導体被膜(119)、低抵抗半導体被膜(123)及び上層配線部(125b)を貫通する開口であって、第2コンタクトホール(176)は上層配線部(125b)の主表面の一部を露出するように層間絶縁膜(127)を貫通する開口である。

【0090】

このように、この変更例では、上述した実施例とは、信号線パッド(162)が、主として下層配線部(111b)、2層の絶縁膜(115),(117)、この2層の絶縁膜(115),(117)の上に配

10

20

30

40

50

置される半導体被膜(119)、低抵抗半導体被膜(123)、信号線(110)から延在されるMo-W合金膜からなる上層配線部(125b)(信号線(110))及び画素電極(131)を構成するITOから成る信号線接続層(131)の積層構造で構成される点において相違している他は、上述した実施例と同様である。

【0091】

なお、走査線(111)の外周部付近の構造についても、信号線側と同様にする方が望ましい。

【0092】

#### 第2の実施例

以下、本発明の第2の実施例である光透過型の液晶表示装置(1)について図15から図26に基づいて説明する。 10

【0093】

図16に示すように、液晶表示装置(1)はアレイ基板(100)と対向基板(200)との間にポリイミド樹脂から成り、互いに直交する方向に配向処理が成された配向膜(141),(241)を介して、ツイスト・ネマチック液晶が保持されている。また、アレイ基板(100)と対向基板(200)との外表面には、それぞれ偏光板(311)(313)が貼り付けられて構成されている。

【0094】

図15は、この実施例のアレイ基板(100)の概略平面図を示すものであるが、図中の下側が液晶表示装置(1)の画面上側に位置するものであって、図中下側から上側に向かって走査線が順次選択されるものである。 20

【0095】

アレイ基板(100)は、ガラス基板(101)上に配置される480本のAl-Y合金から成る走査線(111)を含み、各走査線(111)の一端は、ガラス基板(101)の一端辺(101a)側に引き出され、斜め配線部(150)を経て走査線パッド(152)を形成している。なお、この斜め配線部(150)及び走査線パッド(152)の構造は、第1の実施例と同様の構造であり、また、製造工程も同様に製造できる。

【0096】

アレイ基板(100)は、ガラス基板(101)上に走査線(111)と略直交する1920本のMo-W合金から成る信号線(110)を含み、各信号線(110)はガラス基板(101)の一端は、他の一端辺(101b)側に引き出され、斜め配線部(160)を経て信号線パッド(162)を形成している。なお、この斜め配線部(160)及び信号線パッド(162)の構造は、第1の実施例と同様の構造であり、また、製造工程も同様に製造できる。 30

【0097】

この走査線(111)と信号線(110)との交点部分には、TF T(112)が配置されている。また、このTF T(112)の画素電極(131)が、走査線(111)及び信号線(110)上に層間絶縁膜(127)を介して配置されている。この層間絶縁膜(127)としては、窒化シリコン膜等の無機絶縁膜で構成することができるが、これら無機絶縁膜と有機樹脂被膜との多層膜で構成することにより、表面平滑性並びに層間絶縁性はより一層向上される。

【0098】

(TF T領域の構造)

TF T(112)領域の構造について説明する。 40

【0099】

各走査線(111)は、隣り合う画素電極(131)の信号線(110)に沿う端辺(131a),(131b)と重複するように細線状に延在される延在領域(113)を含む。この延在領域(113)と画素電極(131)との重複領域(OS)は、図4に示すように、第1ゲート絶縁膜(115)、第2ゲート絶縁膜(117)及び層間絶縁膜(127)を介して互いに重複されて補助容量(Cs)が構成されている。

【0100】

TF T領域(121)以外の位置であって、画素電極(131)の走査線(111)に沿う上端辺の位置と、走査線(111)のまたがった位置の間には、平面矩形の光遮蔽層(170)が設けられて 50

いる。この光遮蔽層(170)は、信号線(110)と同一の材料で形成されている。

【0101】

このアレイ基板(100)に対向する対向基板(200)は、ガラス基板(201)上に配置され、TFT(121)領域、信号線(110)及び走査線(111)と画素電極(131)との間隙を遮光するマトリクス状の樹脂性の遮光膜(211)を含む。また、画素電極(131)に対応する領域には、それぞれ赤(R)、緑(G)及び青(B)のカラーフィルタ(221)が配置され、この上に透明電極材料から成る対向電極(231)が配置されて構成される。

【0102】

以上のように、この実施例の液晶表示装置(1)のアレイ基板(100)によれば、信号線(110)及び走査線(111)と画素電極(131)の間には、層間絶縁膜(127)、あるいは第1及び第2ゲート絶縁膜(115),(117)及び層間絶縁膜(127)がそれぞれ配置されているので、画素電極(131)を各配線(110),(111)に対して十分に近接、もしくは重畳して配置することができ、これにより高開口率化を実現することができる。

【0103】

しかも、補助容量(Cs)が画素電極(131)と、この画素電極(131)と隣接する走査線(111)から延在される延在領域(113)との間で形成されるので、別途補助容量線等を配置する必要がなく、一層の高開口率化が可能となる。そして、画素電極(131)と延在領域(113)の間には、3種類の絶縁膜(115),(117),(127)が配置されているので、本実施例の構造に起因した層間ショート等の発生も極めて軽減される。

【0104】

ところで、この実施例では、画素領域が、対向基板(200)に配置される遮光膜(211)ではなくアレイ基板(100)上の延在領域(113)によって画定される。また、光遮蔽層(170)が、画素電極(131)の上端辺と、この画素電極(131)に対応する走査線(111)との間に設けられているため、この光遮蔽層(170)も、画素領域端の上端辺を画定する役割を果たしている。従って、アレイ基板(100)と対向基板(200)との合わせ精度によらず、走査線(111)をパターニングする第1のマスクパターンと画素電極(131)をパターニングする第5のマスクパターンとの合わせ精度によってのみ決定されるので、アレイ基板(100)との対向基板(200)との合わせずれを考慮して遮光膜(211)幅にマージンを設ける必要がないので、更なる高開口率の実現ができる。

【0105】

さらに、画素領域を画定するため、走査線(111)の延在領域(113)を画素電極(131)の信号線(110)に沿う端辺(131a)(131b)に沿って十分に延在させても、この実施例によれば、画素電極(131)と走査線(111)の延在領域(113)の間には第1ゲート絶縁膜(115)及び第2ゲート絶縁膜(117)の他に層間絶縁膜(127)が配置されているので、生産性を損なうことなく補助容量(Cs)の大幅な増大を抑えることができる。

【0106】

また、この実施例によれば、図17に示すように、信号線(110)の輪郭と低抵抗半導体膜(124a)及び半導体膜(120)の輪郭が一致している。さらに詳しくは、信号線(110)と走査線(111)との交差部には、必ず第1乃至第2ゲート絶縁膜(115),(117)の他に低抵抗半導体膜(124a)及び半導体膜(120)が積層されている。このため、各パターニングに際してマスクずれが生じて、信号線(110)と走査線(111)との間の容量変動がなく、このため製品間で走査線容量あるいは信号線容量の変動が軽減される。また、信号線(110)と走査線(111)との交差部における静電気、プロセス中でのゴミ、あるいは、2層の絶縁膜(115),(117)のピンホールに起因する層間ショートも抑えられ、これにより高い製造歩留まりが確保できる。

【0107】

さらに、この実施例によれば、図18に示すように信号線(110)の輪郭と低抵抗半導体膜(124a)及び半導体膜(120)の輪郭が一致しているので、各パターニングに際してマスクずれが生じて、信号線(110)と走査線(111)の延在領域(113)との間に生じる容量変動も十分に抑えることができる。

10

20

30

40

50

## 【0108】

また、信号線(110)と走査線(111)の延在領域(113)とを重畳、即ち図18において信号線(111)を介して隣接して配置される延在領域(113)を信号線(111)下において接続する構造としても、信号線(110)と走査線(111)の延在領域(113)との間には、各絶縁膜(115)、(117)の他に半導体膜(120)が必ず配置されるので、静電気、プロセス中でのゴミ、あるいは各絶縁膜(115)、(117)のピンホールに起因する層間ショートも抑えられ、これにより高い製造歩留まりが確保できる。そして、このように信号線(111)と隣接する画素電極(131)下に延在領域(113)を配する構成により、信号線(111)と画素電極(131)との間の容量結合が延在領域(113)によってシールドされ、画素電極(131)の電位が信号線(111)の電位によって受ける影響を軽減できる。しかも、信号線(111)と絶縁膜(115)、(117)との間に配置される半導体膜(120)及び低抵抗半導体膜(124a)の輪郭線が信号線(111)の輪郭線と一致している。これらの理由から、信号線(111)と画素電極(131)とを十分に近接配置することができ、これにより一層の高開口率化が達成される。

10

## 【0109】

(アレイ基板の製造工程)

次に、このアレイ基板(100)の製造工程について、図20から図26を参照して詳細に説明する。

## 【0110】

(1)第1工程

図20に示すように、A-A'線断面の位置においては、ガラス基板(101)上にスパッターによりAl-Y合金膜上にMo膜をそれぞれ200nm厚、30nm厚で堆積し、第1のマスクパターンを用いて露光し、現像、パターンニング(第1のパターンニング)を経て480本の走査線(111)を作製する。尚、走査線(111)のパターンニングの際に延在領域(113)も同時に作製する(図15参照)。

20

## 【0111】

D-D'線断面の位置においても、上記と同様にガラス基板(101)の上に、走査線(111)を作製する。

## 【0112】

(2)第2工程

第1工程の後、図21に示すように、A-A'線断面の位置においては、プラズマCVD法により150nm厚の酸化シリコン膜から成る第1ゲート絶縁膜(115)を堆積した後、さらに150nm厚の窒化シリコン膜から成る第2ゲート絶縁膜(117)、50nm厚のa-Si:Hから成る半導体被膜(119)及び200nm厚の窒化シリコン膜から成るチャネル保護被膜(121)を連続的に大気にさらすことなく成膜する。

30

## 【0113】

D-D'線断面の位置においても、上記と同様に、第1ゲート絶縁膜(115)と第2ゲート絶縁膜(117)及びチャネル保護被膜(121)を作製する。

## 【0114】

(3)第3工程

第2工程の後、図22に示すように、A-A'線断面の位置においては、走査線(111)をマスクとした裏面露光技術により走査線(111)に自己整合的にチャネル保護被膜(121)をパターンニングし、さらにTFT領域に対応するように第2のマスクパターンを用いて露光し、現像、パターンニング(第2のパターンニング)を経て、島状のチャネル保護膜(122)を作製する。

40

## 【0115】

D-D'線断面の位置においては、パターンニングによりチャネル保護被膜(121)は除去される。

## 【0116】

(4)第4工程

第3工程の後、図23に示すように、A-A'線断面の位置においては、良好なオーミッ

50

クコンタクトが得られるように露出する半導体被膜(119) 表面を弗酸(HF)系溶液で処理し、プラズマCVD法により不純物としてリンを含む30nm厚のn+a-Si:Hから成る低抵抗半導体被膜(123)を堆積し、さらに300nm厚のMo-W合金膜(125)をスパッターにより堆積する。

【0117】

D-D'線断面の位置においても、上記と同様に、低抵抗半導体被膜(123)を堆積した後、Mo-W合金膜(125)を堆積させる。

【0118】

(5)第5工程

第4工程の後、図24に示すように、A-A'線断面の位置においては、第3のマスクパターンを用いて露光、現像し、Mo-W合金膜(125)、低抵抗半導体被膜(123)及び半導体被膜(119)を窒化シリコン膜から成る第2ゲート絶縁膜(117)及びチャネル保護膜(122)とのエッチング選択比を制御することにより、一括してプラズマエッチングによりパターンニング(第3のパターンニング)して、半導体膜(120)、低抵抗半導体膜(124a),(124b)、ソース電極(126b)、信号線(110)及び信号線(110)と一体の接続端(110a)(図15参照)及び信号線(110)と一体のドレイン電極(126a)を作製する。

10

【0119】

D-D'線断面の位置においても、上記と同様にして、半導体膜(120)、低抵抗半導体膜(124b)及びMo-W合金膜(125)を島の抜き状にパターンニングする。これにより、Mo-W合金膜(125)の位置が、光遮蔽層(170)を形成する。この場合に、光遮蔽層(170)が、走査線(111)を全て覆うことなく、一部分が覆うようにする。

20

【0120】

(6)第6工程

第5工程の後、200nm厚の窒化シリコン膜から成る層間絶縁膜(127)を堆積し、図25に示すように、A-A'線断面の位置においては、第4のマスクパターンを用いて露光、現像し、ソース電極(126b)に対応する層間絶縁膜(127)を除去してコンタクトホール(129a)を形成する。また、信号線(110)の接続端(110a)(図15参照)に対応する層間絶縁膜(127)を除去してコンタクトホール(129c)を形成する(第4のパターンニング)。

【0121】

D-D'線断面の位置においても、上記と同様に層間絶縁膜(127)を形成する。

30

【0122】

(7)第7工程

第6工程の後、図26に示すように、A-A'線断面の位置においては、この上に100nm厚のITO膜をスパッターにより堆積し、第5のマスクパターンを用いて露光、現像、パターンニング(第5のパターンニング)を経て、画素電極(131)を作製する(図15参照)。

【0123】

D-D'線断面の位置においては、上記と同様に、画素電極(131)を層間絶縁膜(127)の上に設ける。この場合に、光遮蔽層(170)が、走査線(111)と、画素電極(131)とにまたがるようにする。

40

【0124】

(第2の実施例の効果)

以上のように、この実施例のアレイ基板によれば、基本構成を5枚のマスクにより、アレイ基板を作製することができる。即ち、画素電極を最上層に配置し、これに伴い信号線、ソース、ドレイン電極と共に、半導体被膜等を同一のマスクパターンに基づいて一括してパターンニングすると共に、ソース電極と画素電極との接続用のコンタクトホールの作製と共に、信号線や走査線の接続端を露出するためのコンタクトホールの作製を同時に行うことで、少ないマスク数で生産性を向上でき、しかも製造歩留まりを低下させることもない。

【0125】

50



さらに、上記製造工程においては、画素電極(131)と画素電極(131)に対応する走査線(111)のまたがった位置に、光遮蔽層(170)を同時に形成することができる。この場合に、製造工程を増やす必要がない。

#### 【0126】

この実施例では、画素電極(131)と画素電極(131)に対応する走査線(111)のまたがった位置に光遮蔽層(170)を配したが、画素電極(131)と画素電極(131)に対応する走査線(111)の前段あるいは次段の走査線(111)にまたがった位置に光遮蔽層(170)を配してもかまわない。

#### 【0127】

(光遮蔽層に関する変更例)

10

図27は、光遮蔽層に関する変更例であって、第2の実施例と異なる点は、光遮蔽層(180)が画素電極(131)と画素電極(131)に対応する走査線(111)の前段の走査線(111)と画素電極(131)の下辺を覆って配置されるところにあり、光遮蔽層(170)とは電氣的に絶縁されていることである。なお、光遮蔽層(170)と光遮蔽層(180)とを絶縁せず一体にしてもよい。

#### 【0128】

このような構成によれば、画素領域の開口をアレイ基板上で画定することができ、これにより高開口率化が実現される。

#### 【0129】

(その他の変更例)

20

この実施例では、半導体膜をa-Si:Hで構成する場合について説明したが、多結晶シリコン膜等であっても良いことは言うまでもない。また、周辺領域に駆動回路部を一体的に構成しても良い。

#### 【0130】

また、さらに信号線や走査線上に画素電極を一部重複させて配置する場合、少なくとも画素電極と信号線との間に絶縁層を介して金属膜等でシールド電極を配するようにすれば、画素電極が信号線からの電位による影響を軽減できる。

#### 【0131】

### 第3の実施例

以下、本発明の第3の実施例の液晶表示装置(1)について図28から図38を参照して説明する。

30

#### 【0132】

図29に示すように、液晶表示装置(1)は、アレイ基板(100)と対向基板(200)との間にポリイミド樹脂から成り、互いに直交する方向に配向処理が成された配向膜(141)、(241)を介して、ツイスト・ネマチック液晶から成る液晶層(400)が保持されている。また、アレイ基板(100)と対向基板(200)との外表面には、それぞれ偏光板(311)、(313)が貼り付けられて構成されている。

#### 【0133】

アレイ基板(100)は、ガラス基板(101)上に配置される480本のAl-Y合金から成る走査線(111)、この走査線(111)と同一材料であって同一工程にて作製される走査線(111)と略平行な補助容量線(113)、走査線(111)と補助容量線(113)上に配置される酸化シリコン膜からなる第1ゲート絶縁膜(115)、この上に堆積される窒化シリコン膜からなる第2ゲート絶縁膜(117)とを含む。

40

#### 【0134】

アレイ基板(100)は、ガラス基板(101)上に配置される480本のAl-Y合金から成る走査線(111)を含み、各走査線(111)の一端は、ガラス基板(101)の一端辺片(101a)側に引き出され、斜め配線部(150)を経て走査線パッド(152)を形成している。なお、この斜め配線部(150)及び走査線パッド(152)の構造は、第1の実施例と同様の構造であり、また、製造工程も同様に製造できる。

#### 【0135】

50

アレイ基板(100)は、ガラス基板(101)上に走査線(111)と略直交する1920本のMo-W合金から成る信号線(110)を含み、各信号線(110)はガラス基板(101)の一端は、他の一端辺(101b)側に引き出され、斜め配線部(160)を経て信号線パッド(162)を形成している。なお、この斜め配線部(160)及び信号線パッド(162)の構造は、第1の実施例と同様の構造であり、また、製造工程も同様に製造できる。

【0136】

この走査線(111)と信号線(110)との交点部分には、TF T(112)が配置されている。また、このTF T(112)の画素電極(131)が、走査線(111)及び信号線(110)上に層間絶縁膜(127)を介して配置されている。この層間絶縁膜(127)としては、窒化シリコン膜等の無機絶縁膜で構成することができるが、これら無機絶縁膜と有機樹脂被膜との多層膜で構成することにより、表面平滑性並びに層間絶縁性はより一層向上される。

10

【0137】

このアレイ基板(100)に対向する対向基板(200)は、ガラス基板(201)上に配置され、TF T(121)領域、信号線(110)及び走査線(111)と画素電極(131)との間隙を遮光するマトリクス状の樹脂性の遮光膜(211)を含む。また、画素電極(131)に対応する領域には、それぞれ赤(R)、緑(G)及び青(B)のカラーフィルタ(221)が配置され、この上に透明電極材料から成る対向電極(231)が配置されて構成される。

【0138】

(TF T領域の構造)

TF T(112)領域の構造について説明する。

20

【0139】

アレイ基板(100)では、図29に示すように、画素電極(131)が、走査線(111)に対して第1ゲート絶縁膜(115)、第2ゲート絶縁膜(117)及び層間絶縁膜(127)を介して配置され、また信号線(110)に対しても層間絶縁膜(127)を介して配置されている。従って、画素電極(131)を信号線(110)あるいは走査線(111)に対して十分に近接させて配置しても、互いにショート不良を引き起こすことがないので、高い製造歩留まりと、高精細、高開口率設計を可能にする。即ち、画素電極(131)を信号線(110)上、あるいは、走査線(111)上に重ねてもかまわない。

【0140】

しかも、図30に示すように、信号線(110)の輪郭と低抵抗半導体膜(124a)及び半導体膜(120)の輪郭が一致している。さらに詳しくは、信号線(110)と走査線(111)との交差部には、必ず第1乃至第2ゲート絶縁膜(115),(117)の他に低抵抗半導体膜(124a)及び半導体膜(120)が積層されている。このため、各パターンングに際してマスクずれが生じてても、信号線(110)に生じる段差は十分に軽減され、また信号線(110)と走査線(111)との間の容量変動がなく、このため製品間で走査線容量あるいは信号線容量の変動が軽減される。また、信号線(110)と走査線(111)との交差部における静電気、プロセス中でのゴミ、あるいは各絶縁膜(115),(117),(127)のピンホールに起因する層間ショートも抑えられ、これにより高い製造歩留まりが確保できる。また、信号線(110)と補助容量線(113)との間についても同様である。

30

【0141】

(補助容量線の配線構造)

各補助容量線(113)のそれぞれには、例えば対向電極に印加されると同様の電圧を均一に印加する必要があるため、この実施例では次の構成を採っている。その配線構造について図28及び図31に基づいて説明する。

40

【0142】

補助容量線(113)は、前記したように、Al-Y合金から成る走査線(111)と同一材料で形成され、また、走査線(111)と略平行に配されている。

【0143】

そのため、図28に示すように、各補助容量線(113)の端部において補助容量線(113)と直交するように補助容量線連結部(190)を形成する。この補助容量線連結部(190)の構造

50

が図 3 1 に示されるものである。

【 0 1 4 4 】

この補助容量線連結部(190)の構造について説明する。

【 0 1 4 5 】

互いに平行して配置される補助容量線(113)及び走査線(111)の上には、酸化シリコン膜からなる第1ゲート絶縁膜(115)、この上に堆積される窒化シリコン膜からなる第2ゲート絶縁膜(117)がそれぞれ積層配置される。この2層の絶縁膜(115),(117)の上には、補助容量線(113)及び走査線(111)と略直交する半導体被膜(119)、低抵抗半導体被膜(123)及び信号線(110)と同一工程で同一材料であるMo-W合金膜から成る束ね配線(125)が積層配置されている。そして、2層の絶縁膜(115),(117)、半導体被膜(119)、低抵抗半導体被膜(123)、束ね配線(125)及び層間絶縁膜(127)の一部を貫通して補助容量線(113)の一部を露出する第1コンタクトホール(191)が形成されている。また、束ね配線(125)の配線方向に第1コンタクトホール(191)と近接し、層間絶縁膜(127)の一部が除去されて束ね配線(125)の一部を露出する第1コンタクトホール(191)と一対を成す第2コンタクトホール(192)が配置されている。そして、画素電極(131)と同一工程で同一材料であるITOから成る補助容量線接続層(193)が一対の第1コンタクトホール(191)と第2コンタクトホール(192)との間に積層配置され、これにより各補助容量線(113)と束ね配線(125)とが補助容量線接続層(193)によって電気的に接続されている。

【 0 1 4 6 】

そして、この補助容量線連結部(190)の端部は、走査線パッド(152)と同様に、ガラス基板(101)の一端辺(101a)側に引き出され、補助容量線パッド(194)を形成する。この補助容量線パッド(194)の構造は、走査線パッド(152)あるいは信号線パッド(162)と同様にすればよい。

【 0 1 4 7 】

そして、補助容量線パッド(194)に電圧をかけると、全ての補助容量線(113)を同じ電位とすることができる。また、この補助容量線連結部(190)を作製する場合に、下記に示すアレイ基板(100)の製造工程と同時できるため、製造工程が煩雑化することがない。

【 0 1 4 8 】

この実施例では、ITOから成る補助容量線接続層(193)は一対の第1コンタクトホール(191)と第2コンタクトホール(192)との間にのみ積層配置したが、束ね配線(125)に沿って配線されるものであってもかまわない。これにより、束ね配線(125)の断線不良が軽減される。

【 0 1 4 9 】

(アレイ基板の製造工程)

次に、このアレイ基板(100)の製造工程について、図32から図38を参照して詳細に説明する。

【 0 1 5 0 】

(1)第1工程

図32に示すように、ガラス基板(101)上にスパッターによりAl-Y合金膜、Al-Y合金膜上にMo膜をそれぞれ200nm厚、30nm厚で堆積し、第1のマスクパターンを用いて露光し、現像、パターンニング(第1のパターンニング)を経て、480本の走査線(111)及び480本の補助容量線(113)を作製する。

【 0 1 5 1 】

(2)第2工程

第1工程の後、図33に示すように、プラズマCVD法により150nm厚の酸化シリコン膜から成る第1ゲート絶縁膜(115)を堆積した後、さらに150nm厚の窒化シリコン膜から成る第2ゲート絶縁膜(117)、50nm厚のa-Si:Hから成る半導体被膜(119)及び200nm厚の窒化シリコン膜から成るチャネル保護被膜(121)を連続的に大気にさらすことなく成膜する。

【 0 1 5 2 】

10

20

30

40

50

## (3) 第3工程

第2工程の後、図34に示すように、走査線(111)をマスクとした裏面露光技術により、走査線(111)に自己整合的にチャネル保護被膜(121)をパターニングし、さらにTFT領域に対応するように第2のマスクパターンを用いて露光し、現像、パターニング(第2のパターニング)を経て、島状のチャネル保護膜(122)を作製する。

## 【0153】

## (4) 第4工程

第3工程の後、図35に示すように、良好なオーミックコンタクトが得られるように露出する半導体被膜(119)表面を弗酸(HF)系溶液で処理し、プラズマCVD法により不純物としてリンを含む30nm厚のn+a-Si:Hから成る低抵抗半導体被膜(123)を堆積し、さらに300nm厚のMo-W合金膜(125)をスパッターにより堆積する。

10

## 【0154】

## (5) 第5工程

第4工程の後、図36に示すように、第3のマスクパターンを用いて露光、現像し、Mo-W合金膜(125)、低抵抗半導体被膜(123)及び半導体被膜(119)を窒化シリコン膜から成る第2ゲート絶縁膜(117)及びチャネル保護膜(122)とのエッチング選択比を制御することにより、一括してプラズマエッチングによりパターニング(第3のパターニング)して、半導体膜(120)、低抵抗半導体膜(124a),(124b)、ソース電極(126b)、信号線(110)及び信号線(110)と一体の接続端(110a)(図1参照)、及び、信号線(110)と一体のドレイン電極(126a)を作製する。

20

## 【0155】

この際に、上述した補助容量線連結部(190)を構成する束ね配線(125)をパターニングすると同時に、補助容量線(113)と束ね配線(125)とを電気的に接続するための第1コンタクトホール(191)に対応する補助容量線(113)上の束ね配線(125)、低抵抗半導体被膜(123)及び半導体被膜(119)の一部を貫通して除去して開口(図示せず)を形成する。

## 【0156】

## (6) 第6工程

第5工程の後、200nm厚の窒化シリコン膜から成る層間絶縁膜(127)を堆積し、図37に示すように、第4のマスクパターンを用いて露光、現像し、ソース電極(126b)に対応する層間絶縁膜(127)を除去してコンタクトホール(129a)を形成する(第4のパターニング)。

30

## 【0157】

同時に、上述した開口に対応する層間絶縁膜(127)を除去して補助容量線(113)の一部を露呈させて第1コンタクトホール(191)を形成すると共に、第1コンタクトホール(191)に近接して束ね配線(125)の一部を露呈するように層間絶縁膜(127)の一部を除去して第2コンタクトホール(192)を形成する。

## 【0158】

## (7) 第7工程

第6工程の後、図38に示すように、この上に100nm厚のITO膜をスパッターにより堆積し、第5のマスクパターンを用いて露光、現像、パターニング(第5のパターニング)を経て、画素電極(131)を作製する。

40

## 【0159】

同時に、第1コンタクトホール(191)と第2コンタクトホール(192)を介して補助容量線(113)と束ね配線(125)とを接続する補助容量線接続層(193)を形成する。

## 【0160】

## (第3の実施例の効果)

以上のように、この実施例のアレイ基板によれば、基本構成を5枚のマスクにより、アレイ基板を作製することができる。即ち、画素電極を最上層に配置し、これに伴い信号線、ソース、ドレイン電極と共に、半導体被膜等を同一のマスクパターンに基づいて一括してパターニングすると共に、ソース電極と画素電極との接続用のコンタクトホールの作製と

50

共に、信号線や走査線の接続端を露出するためのコンタクトホールを作製を同時に行うという、配線に生じる段差を小さくして製造歩留まりの低下を防ぎ、しかも少ないマスク数で生産性が向上されるという、互いに相異なる要求が同時に達成される最適な工程となっている。

#### 【0161】

(その他の変更例)

この実施例では、半導体膜を a - Si : H で構成する場合について説明したが、微結晶シリコン膜、多結晶シリコン膜あるいは単結晶シリコン膜等であっても良いことは言うまでもない。また、周辺領域に駆動回路部を一体的に構成しても良い。

#### 【0162】

また、さらに信号線や走査線上に画素電極を一部重複させて配置する場合、少なくとも画素電極と信号線との間に絶縁層を介して金属膜等でシールド電極を配するようにすれば、画素電極が信号線からの電位による影響を軽減できる。

#### 【0163】

また、上述した実施例は、いずれも光透過型の液晶表示装置であって、画素電極が透明導電膜、例えばITOで構成される場合について説明した。このため、下層配線部と上層配線部との電気的な接続は、いずれも一対のコンタクトホールを介して配置されるITOから成る接続層を介して行っている。このITOは比較的、高抵抗であるため、一対のコンタクトホールの間隙は短い方が望ましく、例えば20ミクロン以下、更には15ミクロン以下であることが望ましい。尚、この接続層を画素電極とは別工程で作製するのであれば、低抵抗材料を使用することもできる。また、反射型で構成するのであれば、画素電極をアルミニウムなどの低抵抗材料で構成できるので、一対のコンタクトホールの間隙は大きくは制約されない。

#### 【0164】

液晶層としては、TN液晶以外にも、ポリマー分散型液晶、強誘電液晶、反強誘電性液晶等の各種材料が適用可能である。

#### 【0165】

##### 【発明の効果】

以上詳述したように、本発明の表示装置用アレイ基板及びその製造方法によれば、製造歩留まりを低下させることなく走査線と画素電極とを重複させて補助容量を形成することができ、さらに高開口率化を達成することができる。

#### 【0166】

また、本発明によれば、少ないマスク数で、製造歩留まりを低下させることなく、高い生産性を確保することができる。

#### 【0167】

また、本発明の表示装置用アレイ基板によれば、補助容量線連結部に電圧をかけると、全ての補助容量線を同じ電位とすることができる。

#### 【0168】

さらに、本発明の表示装置用アレイ基板によれば、走査線引出し部及び信号線引出し部が断線しにくい。

##### 【図面の簡単な説明】

【図1】図1は、本発明の一実施例のアレイ基板の一部概略平面図である。

【図2】図2は、図1におけるA - A'線に沿って切断した液晶表示装置の概略断面図である。

【図3】図3は、図1におけるB - B'線に沿って切断した液晶表示装置の概略断面図である。

【図4】図4は、図1におけるC - C'線に沿って切断した液晶表示装置の概略断面図である。

【図5】図5は、図1におけるD - D'線に沿って切断した液晶表示装置の概略断面図である。

10

20

30

40

50

【図 6】図 6 は、図 1 における E - E' 線に沿って切断した液晶表示装置の概略断面図である。

【図 7】図 7 は、図 1 におけるアレイ基板を製造する第 1 工程を説明するための図である。

【図 8】図 8 は、図 1 におけるアレイ基板を製造する第 2 工程を説明するための図である。

【図 9】図 9 は、図 1 におけるアレイ基板を製造する第 3 工程を説明するための図である。

【図 10】図 10 は、図 1 におけるアレイ基板を製造する第 4 工程を説明するための図である。

10

【図 11】図 11 は、図 1 におけるアレイ基板を製造する第 5 工程を説明するための図である。

【図 12】図 12 は、図 1 におけるアレイ基板を製造する第 6 工程を説明するための図である。

【図 13】図 13 は、図 1 におけるアレイ基板を製造する第 7 工程を説明するための図である。

【図 14】図 14 は、信号線の外周部付近の構造の変更例を示す図である。

【図 15】図 15 は、本発明の第 2 の実施例のアレイ基板の一部概略平面図である。

【図 16】図 16 は、図 15 における A - A' 線に沿って切断した液晶表示装置の概略断面図である。

20

【図 17】図 17 は、図 15 における B - B' 線に沿って切断した液晶表示装置の概略断面図である。

【図 18】図 18 は、図 15 における C - C' 線に沿って切断した液晶表示装置の概略断面図である。

【図 19】図 19 は、図 15 における D - D' 線に沿って切断した液晶表示装置の概略断面図である。

【図 20】図 20 は、図 15 におけるアレイ基板を製造する第 1 工程を説明するための図である。

【図 21】図 21 は、図 15 におけるアレイ基板を製造する第 2 工程を説明するための図である。

30

【図 22】図 22 は、図 15 におけるアレイ基板を製造する第 3 工程を説明するための図である。

【図 23】図 23 は、図 15 におけるアレイ基板を製造する第 4 工程を説明するための図である。

【図 24】図 24 は、図 15 におけるアレイ基板を製造する第 5 工程を説明するための図である。

【図 25】図 25 は、図 15 におけるアレイ基板を製造する第 6 工程を説明するための図である。

【図 26】図 26 は、図 15 におけるアレイ基板を製造する第 7 工程を説明するための図である。

40

【図 27】図 27 は、第 2 の実施例の変更例のアレイ基板の一部概略平面図である。

【図 28】図 28 は、本発明の第 3 の実施例のアレイ基板の一部概略平面図である。

【図 29】図 29 は、図 28 における A - A' 線に沿って切断した液晶表示装置の概略断面図である。

【図 30】図 30 は、図 28 における B - B' 線に沿って切断した液晶表示装置の概略断面図である。

【図 31】図 31 は、図 28 における C - C' 線に沿って切断した液晶表示装置の概略断面図である。

【図 32】図 32 は、図 28 におけるアレイ基板を製造する第 1 工程を説明するための図である。

50

【図 3 3】図 3 3 は、図 2 8 におけるアレイ基板を製造する第 2 工程を説明するための図である。

【図 3 4】図 3 4 は、図 2 8 におけるアレイ基板を製造する第 3 工程を説明するための図である。

【図 3 5】図 3 5 は、図 2 8 におけるアレイ基板を製造する第 4 工程を説明するための図である。

【図 3 6】図 3 6 は、図 2 8 におけるアレイ基板を製造する第 5 工程を説明するための図である。

【図 3 7】図 3 7 は、図 2 8 におけるアレイ基板を製造する第 6 工程を説明するための図である。

【図 3 8】図 3 8 は、図 2 8 におけるアレイ基板を製造する第 7 工程を説明するための図である。

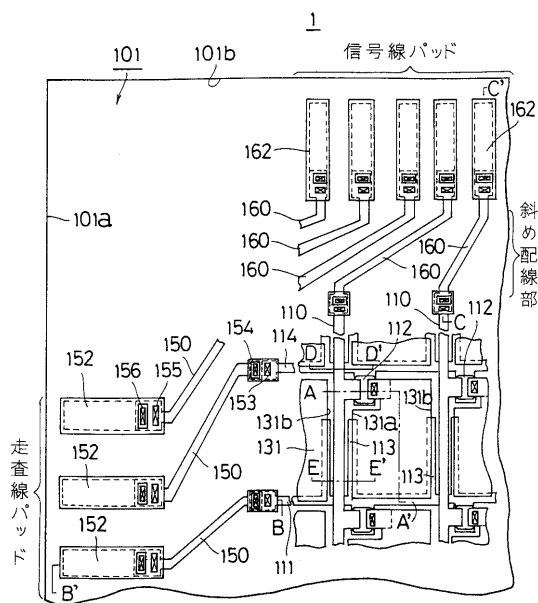
【符号の説明】

- |   |   |     |          |
|---|---|-----|----------|
| 1 | 1 | 0   | 信号線      |
| 1 | 1 | 1   | 走査線      |
| 1 | 1 | 2   | 薄膜トランジスタ |
| 1 | 1 | 3   | 延在領域     |
| 1 | 1 | 5   | 第1絶縁膜    |
| 1 | 1 | 7   | 第1絶縁膜    |
| 1 | 2 | 0   | 半導体膜     |
| 1 | 2 | 6 a | ドレイン電極   |
| 1 | 2 | 6 b | ソース電極    |
| 1 | 3 | 1   | 画素電極     |

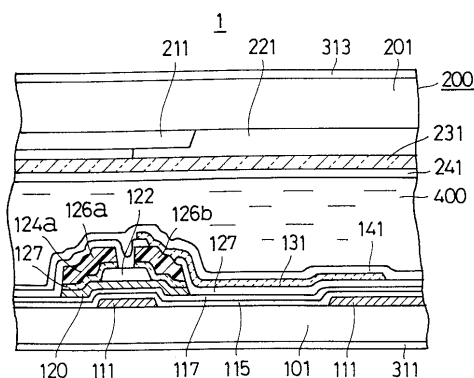
10

20

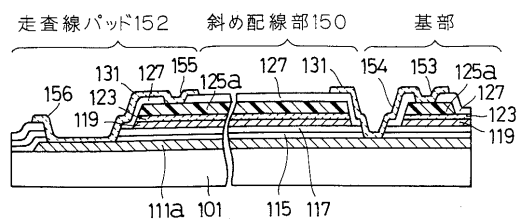
【 圖 1 】



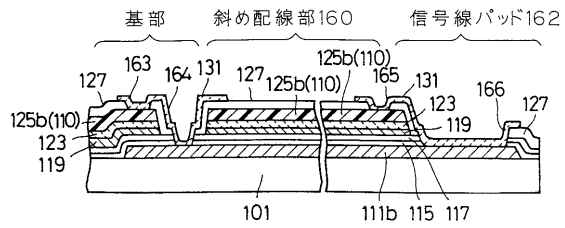
【 圖 2 】



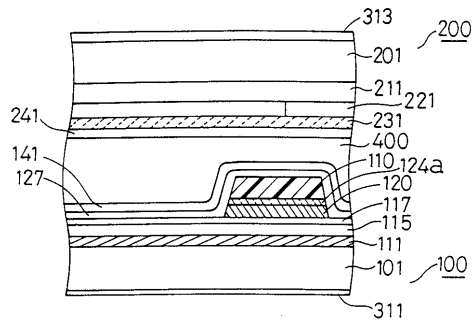
【 図 3 】



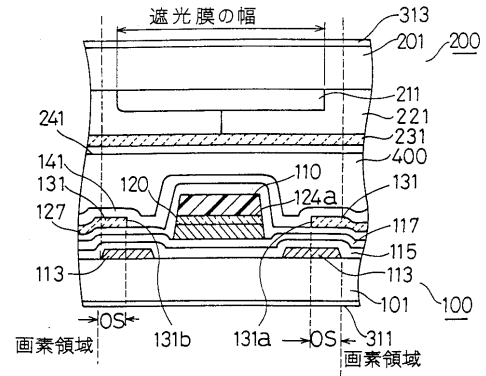
【図 4】



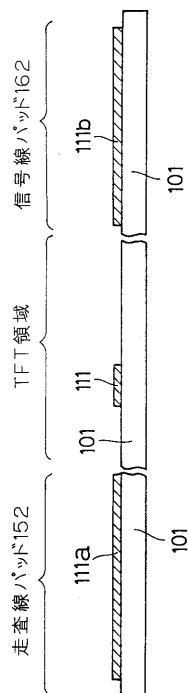
【図 5】



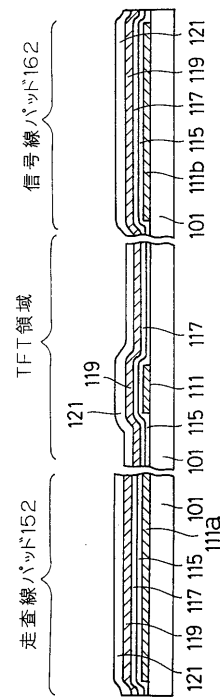
【図 6】



【図 7】

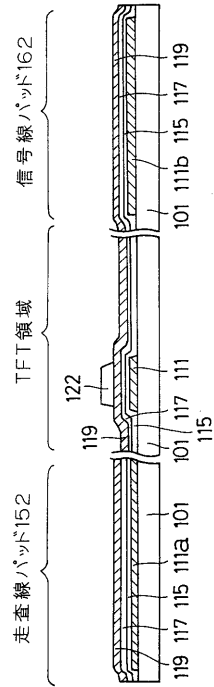


【図 8】

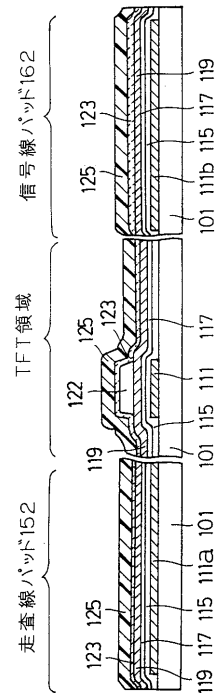




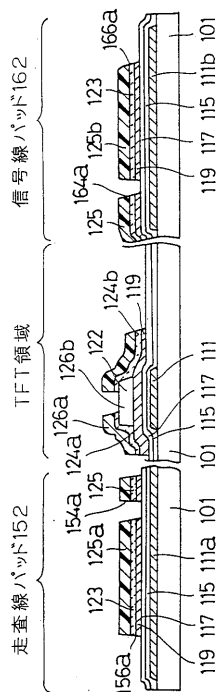
【図 9】



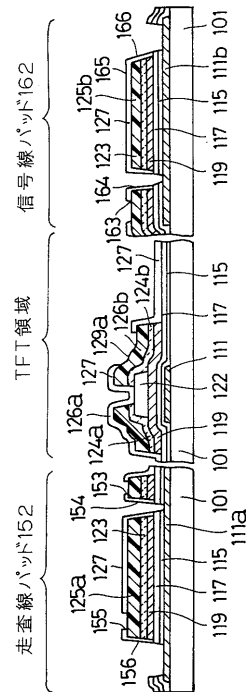
【図 10】



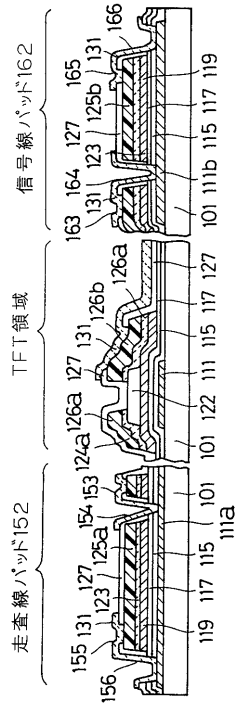
【図 11】



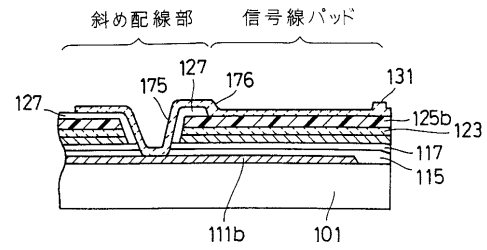
【図 12】



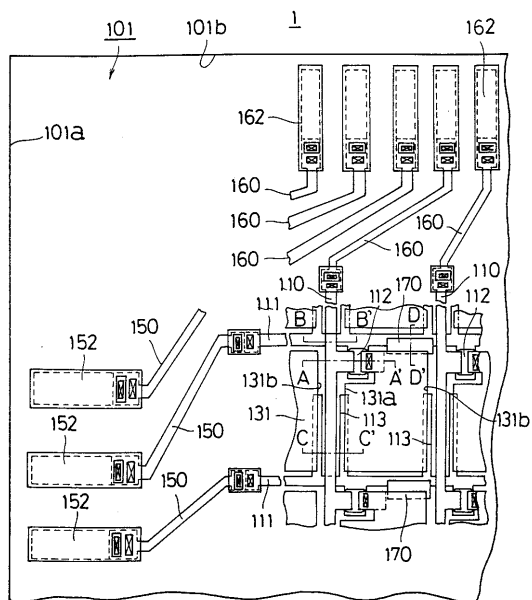
【図 13】



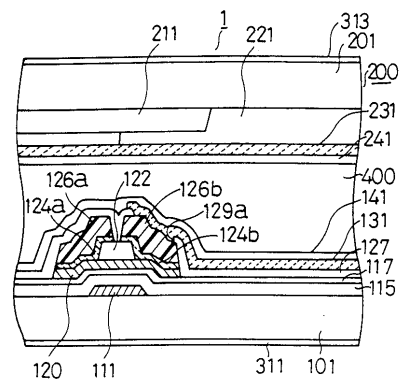
【図 14】



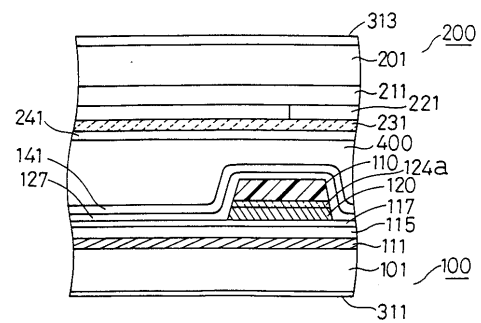
【図 15】



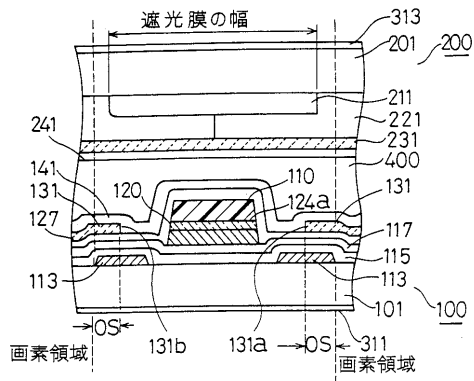
【図 16】



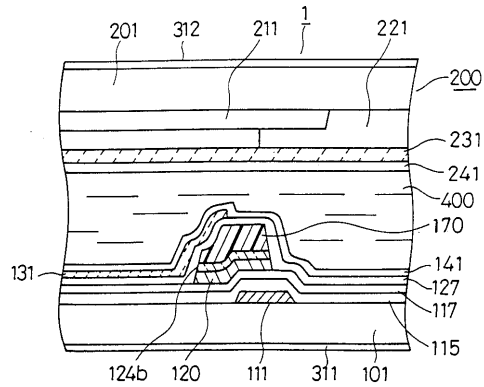
【図 17】



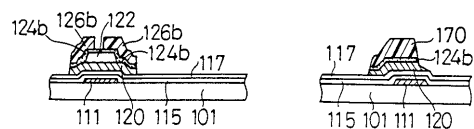
【図 18】



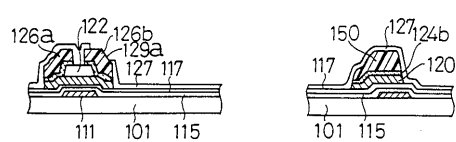
【図 19】



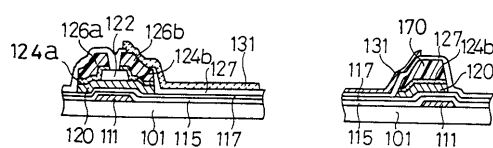
【図 24】



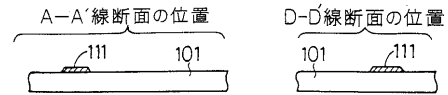
【図 25】



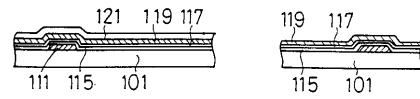
【図 26】



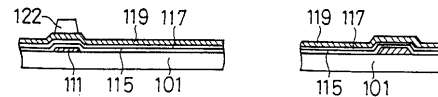
【図 20】



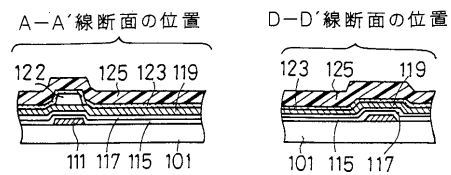
【図 21】



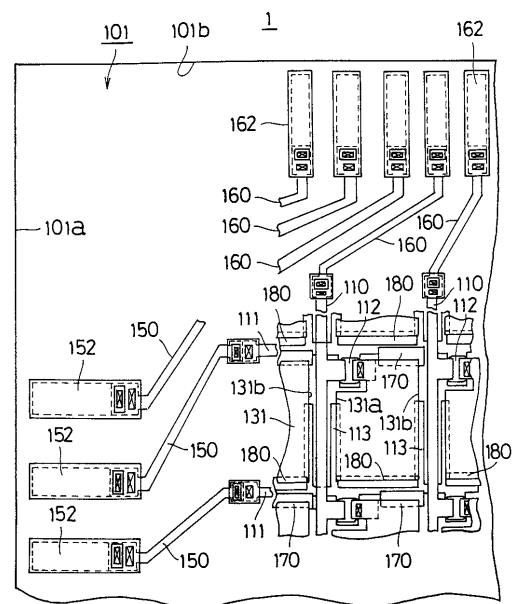
【図 22】



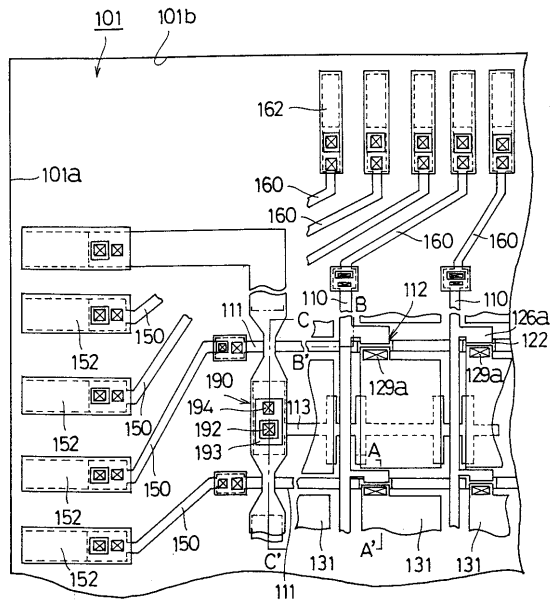
【図 23】



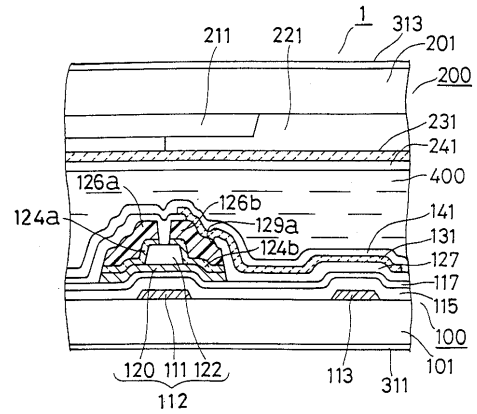
【図 27】



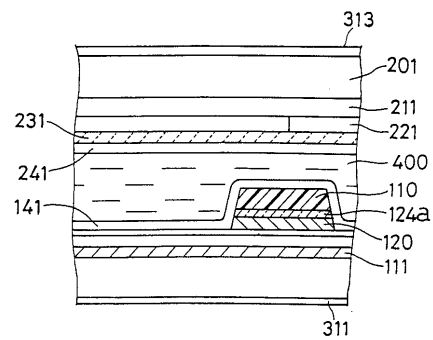
【図 28】



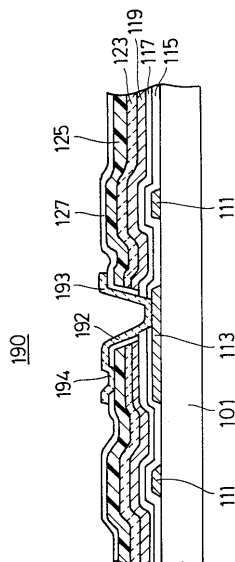
【図 29】



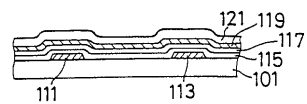
【図 30】



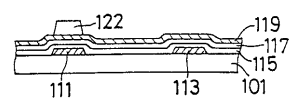
【図 31】



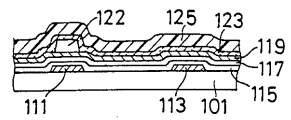
【図 33】



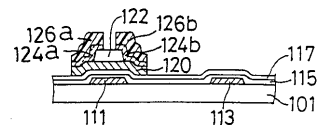
【図 34】



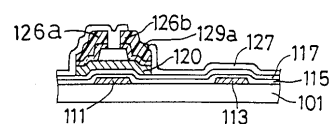
【図 35】



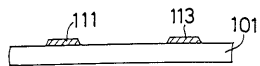
【図 36】



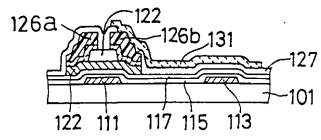
【図 37】



【図 32】



【図 38】



---

フロントページの続き

- (72)発明者 久保 明  
兵庫県姫路市余部区上余部 5 0 番地 株式会社東芝姫路工場内
- (72)発明者 森 一成  
神奈川県横浜市磯子区新磯子町 3 3 番地 株式会社東芝生産技術研究所内
- (72)発明者 川野 英郎  
兵庫県姫路市余部区上余部 5 0 番地 株式会社東芝姫路工場内
- (72)発明者 渋谷 誠  
兵庫県姫路市余部区上余部 5 0 番地 株式会社東芝姫路工場内
- (72)発明者 飯塚 哲也  
神奈川県川崎市川崎区日進町 7 番地 1 東芝電子エンジニアリング株式会社内

審査官 井口 猶二

(56)参考文献 特開平 0 7 - 0 3 6 0 6 1 ( J P , A )

(58)調査した分野(Int.Cl.<sup>7</sup>, D B 名)

G02F 1/1368

G02F 1/1343

H01L 29/786