



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2010년12월28일  
 (11) 등록번호 10-1004922  
 (24) 등록일자 2010년12월22일

(51) Int. Cl.

H01L 21/66 (2006.01)

(21) 출원번호 10-2008-0099926

(22) 출원일자 2008년10월13일

심사청구일자 2008년10월13일

(65) 공개번호 10-2009-0092679

(43) 공개일자 2009년09월01일

(30) 우선권주장

JP-P-2008-045809 2008년02월27일 일본(JP)

(56) 선행기술조사문헌

JP2005024377 A

JP평성07283280 A

JP2002531915 A

JP2001053076 A

전체 청구항 수 : 총 12 항

(73) 특허권자

르네사스 일렉트로닉스 가부시끼가이샤

일본 가나가와쿄 가와사끼시 나카하라구 시모누마  
베 1753

(72) 발명자

가스카베 스스무

일본 도쿄도 지요다구 마루노우찌 1조메 6방 1고  
가부시끼가이샤 히따찌 세이사꾸죠 지폐끼자이산  
겐흔부 내

나리즈까 야스노리

일본 도쿄도 지요다구 마루노우찌 1조메 6방 1고  
가부시끼가이샤 히따찌 세이사꾸죠 지폐끼자이산  
겐흔부 내

(74) 대리인

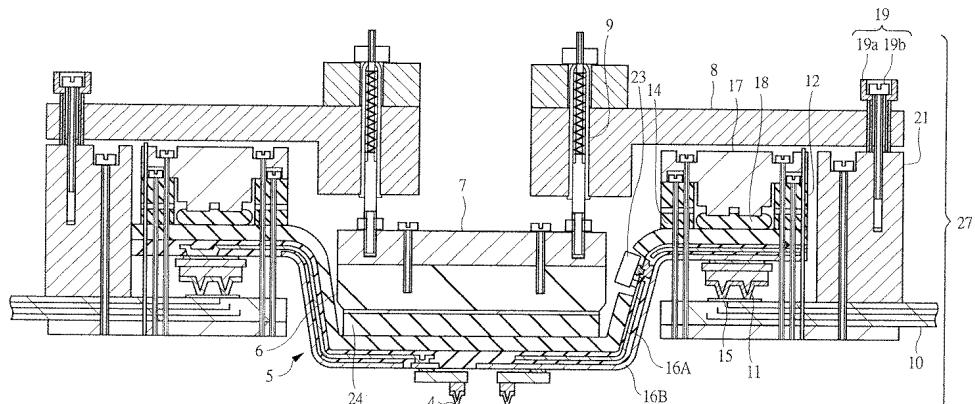
이중희, 장수길

심사관 : 임영국

(54) 프로브 카드, 프로브 카드의 제조 방법, 반도체 검사 장치 및 반도체 장치의 제조 방법

**(57) 요 약**

실리콘 기판을 형재로 하고, 그 실리콘 기판 상에 포토리소그래피 기술을 이용하여 금속막 및 폴리이미드막 등의 박막을 차례로 적층함으로써 외팔보 빔 구조로 선단부에 각뿔 형상 혹은 각뿔대 형상의 접촉 단자(4)를 구비한 프로브 시트(5)를 형성하고, 또한 그 프로브 시트(5)에 고착 기판(6)을 고착하고, 그 후 형성한 프로브 시트(5)를 실리콘 기판에 차례로 적층 형성하고, 기판을 고착하고, 실리콘 기판 및 소정의 폴리이미드막을 애칭 제거함으로써 외팔보 빔 구조의 접촉 단자(4)군을 일괄 형성한다.

**대 표 도**

## 특허청구의 범위

### 청구항 1

피검사 대상에 설치된 전극과 접촉하는 복수의 접촉 단자와,

상기 복수의 접촉 단자의 각각으로부터 전기적으로 인출된 배선과,

상기 배선과 전기적으로 접속되고, 또한 다층 배선 기판의 전극에 접속되는 복수의 주변 전극을 구비한 프로브 시트를 갖고,

상기 프로브 시트에 있어서, 상기 복수의 접촉 단자가 형성된 제1 면과는 반대측의 제2 면에서, 상기 복수의 접촉 단자가 형성된 영역에 고착 기판이 고착되고, 상기 고착 기판을 경사 동작 가능해지도록 한 수단이 설치되고,

상기 복수의 접촉 단자의 각각은 상기 프로브 시트와 이격하여 연장되어, 상기 배선과 전기적으로 접속된 빔의 일단부에 형성되고,

상기 빔의 타단부는 상기 프로브 시트에 고정되어 있는 것을 특징으로 하는 프로브 카드.

### 청구항 2

제1항에 있어서, 상기 다층 배선 기판은 상기 피검사 대상의 전기적 특성을 검사하는 테스터와 전기적으로 접속되는 것을 특징으로 하는 프로브 카드.

### 청구항 3

제1항에 있어서, 상기 고착 기판을 경사 동작 가능해지도록 한 상기 수단은 복수의 탄성(彈性)을 가진 가이드 펀인 것을 특징으로 하는 프로브 카드.

### 청구항 4

제1항에 있어서, 상기 고착 기판을 경사 동작 가능해지도록 한 상기 수단은 또한 복수의 탄성이 없는 가이드 펀을 사용하는 것을 특징으로 하는 프로브 카드.

### 청구항 5

제1항에 있어서, 상기 고착 기판을 경사 동작 가능해지도록 한 상기 수단은 1개 이상의 판 스프링인 것을 특징으로 하는 프로브 카드.

### 청구항 6

제1항에 있어서, 상기 접촉 단자는 각뿔 형상 또는 각뿔대 형상인 것을 특징으로 하는 프로브 카드.

### 청구항 7

제6항에 있어서, 상기 접촉 단자는 결정성을 갖는 기판에 이방성 예칭을 실시함으로써 형성한 구멍을 형재로 한 도금에 의해 형성된 것을 특징으로 하는 프로브 카드.

### 청구항 8

제7항에 있어서, 상기 결정성을 갖는 기판은 실리콘인 것을 특징으로 하는 프로브 카드.

### 청구항 9

피검사 대상에 설치된 전극과 접촉하는 복수의 접촉 단자와,

상기 복수의 접촉 단자의 각각으로부터 전기적으로 인출된 배선과,

상기 배선과 전기적으로 접속되고, 또한 다층 배선 기판의 전극에 접속되는 복수의 제1 및 제2 주변 전극을 구비한 프로브 시트를 갖고,

상기 프로브 시트에 있어서, 상기 복수의 접촉 단자가 형성된 제1 면과는 반대측의 제2 면에서, 상기 복수의 접촉 단자가 형성된 영역에 고착 기판이 고착되고,

상기 고착 기판을 경사 동작 가능해지도록 한 수단이 설치되고,

상기 복수의 접촉 단자의 각각은 상기 프로브 시트와 이격하여 연장되어, 상기 배선과 전기적으로 접속된 뼈의 일단부에 형성되고,

상기 뼈의 타단부는 상기 프로브 시트에 고정되고,

상기 복수의 제1 주변 전극의 각각은 상기 프로브 시트에 있어서 상기한 접촉 단자와 동일한 제1 면에 형성되고,

상기 복수의 제2 주변 전극의 각각은 상기 프로브 시트에 있어서 상기한 접촉 단자와는 반대측의 제2 면에 형성되어 있는 것을 특징으로 하는 프로브 카드.

## 청구항 10

제9항에 있어서, 상기 프로브 시트에 있어서의 상기 제1 및 제2 주변 전극의 형성 피치는 상기 복수의 접촉 단자의 형성 피치보다도 넓은 것을 특징으로 하는 프로브 카드.

## 청구항 11

피검사 대상을 적재하는 시료대와,

상기 피검사 대상에 설치된 전극과 접촉하는 복수의 접촉 단자를 갖고, 또한 상기 피검사 대상의 전기적 특성을 검사하는 테스터와 전기적으로 접속되는 프로브 카드를 갖는 반도체 검사 장치이며,

상기 프로브 카드는,

상기 복수의 접촉 단자와,

상기 복수의 접촉 단자의 각각으로부터 전기적으로 인출된 배선과,

상기 배선과 전기적으로 접속되고, 또한 다층 배선 기판의 전극에 접속되는 복수의 주변 전극을 구비한 프로브 시트를 갖고,

상기 프로브 시트에 있어서, 상기 복수의 접촉 단자가 형성된 제1 면과는 반대측의 제2 면에서, 상기 복수의 접촉 단자가 형성된 영역에 고착 기판이 고착되고, 상기 고착 기판을 경사 동작 가능해지도록 한 수단이 설치되고,

상기 복수의 접촉 단자의 각각은 상기 프로브 시트와 이격하여 연장되어, 상기 배선과 전기적으로 접속된 뼈의 일단부에 형성되고,

상기 뼈의 타단부는 상기 프로브 시트에 고정되어 있는 것을 특징으로 하는 반도체 검사 장치.

## 청구항 12

제11항에 있어서, 상기 프로브 시트는,

(a) 결정성을 갖는 기판에 이방성 예칭을 실시함으로써 형성한 구멍을 형재로 한 도금에 의해 상기 복수의 접촉 단자를 형성하는 공정과,

(b) 상기 기판 상에 상기 복수의 접촉 단자의 각각과 전기적으로 접속하는 상기 뼈, 상기 배선 및 절연층을 차례로 적층하는 공정과,

(c) 상기 복수의 접촉 단자 및 상기 뼈와 동일한 배선층에 있어서의 상기 절연층을 제거함으로써 상기 뼈를 상기 프로브 시트로부터 이격시키는 공정을 포함하는 공정에 의해 형성되어 있는 것을 특징으로 하는 반도체 검사 장치.

## 명세서

### 발명의 상세한 설명

## 기술 분야

[0001]

본 발명은 프로브 카드, 반도체 검사 장치 및 반도체 장치의 제조 기술에 관한 것으로, 특히 반도체 접촉 회로의 제조에 이용하는 수법과 동일한 수법으로 형성하는 프로브 시트를 구비한 프로브 카드, 그 프로브 카드의 제조 기술, 그 프로브 카드를 포함하는 반도체 검사 장치 및 그 반도체 검사 장치에 의한 검사 공정을 포함하는 반도체 장치의 제조 공정에 적용하기에 유효한 기술에 관한 것이다.

## 배경 기술

[0002]

반도체 소자 회로를 반도체 웨이퍼(이하, 단순히 웨이퍼라 기재함)에 형성 후에 행하는 반도체 장치의 제조 공정 중, 주로 검사 공정의 흐름의 일례를, 대표적인 반도체 장치의 출하 형태인 패키지품(package品), 베어 칩 및 CSP[Chip Size(Scale) Package]를 예로 들어 도51에 도시하였다.

[0003]

반도체 장치의 제조 공정에서는, 도51에 도시한 바와 같이 크게 나누어 다음 3개의 검사가 행해진다. 우선, 웨이퍼에 반도체 소자 회로 및 전극을 형성한 웨이퍼 상태에서 행해지고, 도통 상태 및 반도체 소자의 전기 신호 동작 상태를 파악하는 웨이퍼 검사, 계속해서 반도체 소자를 고온이나 고인가 전압 등의 상태에 있어서 불안정한 반도체 소자를 적출하는 번인(burn-in) 검사, 그리고 반도체 장치를 출하하기 전에 제품 성능을 파악하는 선별 검사이다.

[0004]

이러한 반도체 장치의 검사에 이용되는 장치(반도체 검사 장치)에 대해 종래 기술에서는, 웨이퍼는 그 면 상에 다수의 반도체 장치[반도체 칩(이하, 단순히 칩이라 기재함)]가 설치되고, 개별적으로 분리하여 사용에 이용된다. 개별적으로 분리된 반도체 장치에는 그 표면에 다수의 전극이 나란히 설치되어 있다. 이러한 반도체 장치를 공업적으로 다수 생산하여 그 전기 특성을 검사하기 위해서는, 프로브 카드로부터 비스듬히 나온 텅스텐 니들로 이루어지는 프로브로 구성되는 접속 장치가 이용되고 있다. 이 접속 장치에 의한 검사에서는, 프로브의 힘을 이용한 접촉압에 의해 전극을 문질러 접촉을 취하여 그 전기 특성을 검사하는 방법이 이용되고 있다.

[0005]

최근, 반도체 소자의 고밀도화에 따라서 반도체 장치 제조시의 검사 공정에 있어서 검사용 프로브의 협(狹)피치다(多)핀화가 진행되고 있다. 그로 인해, 반도체 소자의 전극과 검사 회로 사이에서 확실하게 전기 신호를 전송하고, 동작 검사를 행하는 공정에서 협피치 다핀의 반도체 소자의 미소한 전극에 위치 정밀도 좋게 프로빙을 할 수 있고, 게다가 그 반도체 소자에 저하증으로 프로빙하여 손상을 방지할 수 있는 접속 장치를 사용한 반도체 소자의 검사 장치의 개발이 요망되고 있다.

[0006]

반도체 소자의 고밀도화, 협피치화가 진행되어, 고속 신호에 의한 동작 시험이 필요해진 경우의 반도체 소자의 특성 검사를 가능하게 하는 검사 방법 및 검사 장치로서, 1988년도의 ITC(인터내셔널 테스트 컨퍼런스)의 강연 논문집의 601페이지로부터 607페이지(비특허 문헌 1)에 기재된 기술이 있다. 도52는 그 비특허 문헌 1에 개시된 검사 장치의 구조 개략도, 도53은 그 검사 장치의 주요부 확대 사시도이다. 여기서 사용되는 반도체 검사용 프로브는, 가요성 절연막(201)의 상면에 포토리소그래프 기술로 배선(202)을 형성하고, 절연막(201)의 하면에 접지층(203)을 형성하고, 피검사 대상의 반도체의 전극에 대응하는 위치에 설치한 절연막(201)의 스루홀(204)에 도금에 의해 반구 형상의 범프(205)를 형성한 것을 접촉 단자로서 사용하는 것이다. 이 기술은 절연막(201)의 표면에 형성한 배선(202) 및 배선 기판(206)을 통과하여 검사 회로(도시는 생략)에 접속되어 있는 범프(205)를, 판 스프링(207)의 탄성력에 의해 검사 대상의 반도체 소자의 전극에 범프(205)를 문질러 접촉시키고, 신호의 교환을 행하여 검사하는 방법이다.

[0007]

또한, 일본 특허 출원 공개 제2005-24377호 공보(특허 문헌 1)에는 반도체 소자의 검사 장치가 개시되어 있고, 도54는 그 검사용 프로브 카드의 구조의 모식도이다. 이것은, 프로브 시트를 4분할하여 프로브 시트의 중앙에 설치한 스프링 플런저(211)에 의해 사각뿔 형상의 접촉 단자(212) 및 배선을 형성한 절연막(213)을 압박 부재(214) 및 완충재를 통해 밀어내는 프로브 장치이다.

[0008]

또한, 일본 특허 출원 공개 평7-283280호 공보(특허 문헌 2)에는 실리콘 웨이퍼를 선택적으로 이방성 에칭함으로써 형성한 구멍을 형재(型材)로 하여 접촉 단자를 형성하고, 이 접촉 단자를 유연성이 있는 절연 필름으로 형성한 배선에 전기적으로 접속하고, 이 절연 필름에 있어서의 접촉 단자 배치면과는 반대인 이면측에 완충층을 사이에 두고 프로브 시트 고정 기판을 고정하고, 이 프로브 시트 고정 기판과, 웨이퍼 형상의 흄에 피검사 대상인 반도체 장치가 형성된 웨이퍼를 고정한 웨이퍼 지지 기판을 겹치고 접촉 단자군의 선단부면을 웨이퍼의 전극 군의 면에 접촉시킴으로써 전기적 접속을 취하여 반도체 장치의 검사를 행하는 검사 시스템이 개시되어 있다.

[0009]

또한, 일본 특허 출원 공표 제2002-531915호 공보(특허 문헌 3)에는 리소그래피 기법에 의해 형성한 스프링 접

축 요소가 개시되어 있다. 도55는 리소그래피 기법에 의해 형성한 그 스프링 접촉 요소의 제조 공정의 도중 단계를 도시하는 모식도이다. 이것은 실리콘 기판(215)을 이방성 에칭함으로써 형성한 구멍(216)을 형재로 하여 칩 부분(접촉 단자)(217)을 형성하고, 또한 이 칩 부분(217)과 접속하는 빔 부분(빔)(218) 및 포스트 부분(219)을 리소그래피 기법 및 표면 연마 가공(Chemical Mechanical Polishing ; CMP)으로 형성하고, 포스트 부분(219)을 세라믹 다층 배선 기판(220)의 전극(221)에 땜납(222)으로 접속하고, 마지막으로 칩 부분(217)을 실리콘 기판(215)으로부터 박리하는 것이다.

## 발명의 내용

### 해결 하고자하는 과제

- [0010] 최근, 협피치 또한 다핀의 반도체 소자의 전극과 검사 회로 사이에서 전기 신호를 전송하여 동작 검사할 수 있는 접속 장치를 사용한 반도체 소자의 검사 장치의 개발이 요망되고 있다. 또한, 고속 전기 신호용 반도체 소자는 유전 손실을 저감하면서 미세 배선화하기 위해, 배선층 사이의 절연막으로서 산화 실리콘( $\text{SiO}_2$ )과 비교하여 유전율이 한층 작은 재료, 예를 들어 불소가 침가된 산화실리콘(FSG), 카본이 침가된 산화실리콘( $\text{SiOC}$ ) 및 유기 계 재료 등의 저유전율막(Low-k막)을 사용하도록 되어 있다. 이러한 유전율이 작은 재료는 내하중 및 기계적 강도가 비교적 약하기 때문에, 그 저유전 재료에 손상을 부여하지 않도록 수십  $\text{mN}$  정도 이하의 하중으로 안정된 접촉 저항값을 실현할 수 있는 검사 장치가 요망되고 있다.
- [0011] 그에 부가하여, 반도체 소자의 미세화가 진행되면, 예를 들어 일본 특허 출원 공개 제2001-53076호에 개시되는 상층에 다층의 배선(225a 내지 225g)이 형성된 CMOS-LSI(226)과 같이, 반도체 소자의 검사용 전극부의 바로 아래에 능동 회로 소자 형성 영역(액티브 영역)이나 미세한 배선이 다층으로 형성되어 있는 경우가 많아진다(도56 참조). 그로 인해, 그들 능동 회로 소자나 다층의 배선에 손상을 부여하지 않도록 검사시의 접촉 단자의 하중은 양호한 접촉 저항값을 얻을 수 있는 범위에서 가능한 한 저하중으로 하는 것이 요구되고 있다.
- [0012] 또한, 협피치의 미소한 반도체 소자의 검사용 전극 패드에, 높은 위치 정밀도로 검사용 접촉 단자를 접촉시킬 필요가 있다. 덧붙여, 그 후의 공정에서 그 전극 패드를 사용한 와이어 본딩 혹은 접속용 범프의 형성시에, 그 와이어 혹은 범프의 전극 패드에의 접속을 확실하게 하기 위해, 프로빙에 의한 전극 패드면의 거칠어짐을 가능한 한 방지하는 것이 요구되고 있다. 즉, 미소한 프로빙 흔적인 것이 요구되고 있다.
- [0013] 그래서, 이를 관점으로부터 상기한 기술에 대해 검토한다.
- [0014] 텅스텐 니들로 이루어지는 프로브 및 상기 반구 형상의 범프를 형성한 프로브는, 알루미늄 전극이나 땜납 전극 등의 재료 표면에 산화물을 생성하는 피접촉 재료에 대해서는 접촉 단자를 전극에 문지름으로써 전극 재료 표면의 산화물을 문질러 내고 그 하면의 금속 도체 재료와 접촉시킴으로써 접촉 상태를 확보하고 있다. 그 결과, 전극을 접촉 단자로 문지름으로써 전극 재료의 부스러기가 발생하여, 배선간의 쇼트 및 이물질 발생의 원인으로 된다. 또한, 전극에 프로브를 수백  $\text{mN}$  정도 이상의 하중을 가하면서 문질러 접촉 상태를 확보함으로써, 저유전율 재료에 손상을 부여할 가능성이 지적되어 있다.
- [0015] 이와 같이, 도52 및 도53에 도시한 바와 같은 배선의 일부에 도금에 의해 형성한 범프를 프로브로 하는 방법은, 범프의 선단부가 평탄 혹은 반구 형상으로 되므로, 알루미늄 전극 혹은 땜납 전극 등의 재료 표면에 산화물을 생성하는 피접촉 재료에 대해서는 산화물을 문질러 내기 어렵기 때문에 접촉 저항이 불안정해져, 접촉시의 하중을 수백  $\text{mN}$  정도 이상으로 할 필요가 있다. 그러나 접촉시의 하중을 지나치게 크게 하는 것에는 문제가 있다. 즉, 반도체 소자의 고집적화가 진행되어 고밀도 다핀 또한 협피치의 전극을 반도체 소자 표면에 형성하므로, 전극 바로 아래에 다수의 능동 소자 혹은 미세한 배선이 형성되어 있는 경우가 많아지고, 반도체 소자 검사시의 프로브의 전극에의 접촉압이 지나치게 크면, 전극 및 그 바로 아래의 능동 소자나 배선에 손상을 부여할 우려가 있으므로, 프로빙시에 주의 깊게 동작 제어할 필요가 있어, 검사의 스루풋의 저하를 초래할 우려가 있다.
- [0016] 또한, 범프의 형상 등에 변동이 발생하는 것이 예상되므로, 접촉이 불충분한 돌기(범프)를 완전히 접촉시키기 위해서는 전체적으로 더욱 큰 접촉 하중이 필요해져, 부분적으로는 과대한 접촉압으로 되어 버린다고 하는 문제 가 있다. 그로 인해, 접촉 대상의 재료 표면의 산화물을 등을 관통하여, 안정된 접촉 특성을 확보할 수 있는 접촉 단자의 형상에 더하여, 프로브 시트의 압박시에 접촉 대상의 전극과 확실하게 접촉시키기 위해 유연성이 있는 프로브 시트가 필요하게 되어 있다.
- [0017] 도54에 도시한 사각뿔 형상의 접촉 단자를 사용하여, 반도체 소자의 검사용 전극에 수직으로 프로빙하는 검사 장치(특허 문헌 1 참조)는 접촉 저항값이 안정되어 있지만, 최근의 가일층의 협피치화와 고속의 전기 신호 검사

가 요구되는 경우에, 가일충의 접촉 단자의 선단부 위치 정밀도의 향상이 요구되고 있다. 덧붙여, 고속 전송용 회로 형성 재료에는 전술한 바와 같이 저유전율의 비교적 내하중에 약한 재료가 사용되는 경향이 있고, 게다가 검사용 전극의 바로 아래에는 능동 소자나 회로가 설치되는 경향이 있으므로, 프로빙시의 반도체 소자에의 손상을 방지하기 위해 가일충의 저하중의 프로브가 요구되고 있다.

[0018] 한편, 상기 특허 문헌 3에 개시된 기술에서는 접촉 단자가 형성된 외팔보 빔 구조로 함으로써 접촉 단자를 개별적으로 동작시킬 수 있고, 빔을 구성하는 재료 및 형상을 적절하게 선택하면 어느 정도 접촉 단자의 가압 하중을 설정할 수 있다. 그러나 특허 문헌 3에 개시되어 있는 외팔보 빔 구조의 형성 방법은, 전술한 바와 같이 접촉 단자의 선단부의 형재로 되는 실리콘 기판에 칩 부분(접촉 단자)을 형성하고, 또한 이 칩 부분과 접속하는 빔 부분(빔) 및 포스트 부분을 형성하고, 포스트 부분을 세라믹 다층 배선 기판의 전극에 땜납으로 접속하고, 마지막으로 칩 부분과 실리콘 기판을 애칭액으로 박리함으로써 형성하는 것이다. 그로 인해, 땜납 접속 부분의 면적 확보가 필요하고, 또한 실리콘 기판과 세라믹 다층 배선 기판 사이에 애칭액의 침투 간극의 확보가 필요해 지므로 칩 부분의 협피치화에 한계가 있고, 땜납 접속 및 박리 과정에서 칩 부분의 위치 정밀도가 불안정해져 형성 공정 및 조립 공정이 복잡해진다고 하는 과제를 남기고 있다.

### 과제 해결수단

[0019] 본 발명의 일 형태는, 피접촉 대상의 전극 패드에 저하중으로 손상을 부여하지 않고 프로빙 검사할 수 있고, 다점(多点) 또한 고밀도(협피치)이며 작은 프로빙 흔적으로 접촉할 수 있는 접촉 단자를 갖는 전송 특성이 양호하고 접촉 특성이 안정된 반도체 장치 검사용 프로브 카드를 제공하는 것이다.

[0020] 또한, 본 발명의 일 형태는 프로빙 검사시의 접촉 단자의 선단부 위치 정밀도를 고정밀도로 유지할 수 있는 프로브 카드를 제공하는 것이다.

[0021] 또한, 본 발명의 일 형태는 사각뿔 혹은 사각뿔대 형상의 접촉 단자를 선단부에 형성한 외팔보 빔 구조, 인출 배선 및 고착 기판을 일괄 형성하여, 조립 및 접속 공정이 용이하고 저하중으로도 접촉 저항값이 안정되어 있는 프로브 시트를 사용한 반도체 장치 검사용 프로브 카드를 제공하는 것이다.

[0022] 본원에 있어서 개시되는 발명 중, 대표적인 것의 개요를 간단하게 설명하면 다음과 같다.

[0023] (1) 본 발명에 따른 프로브 카드는 피검사 대상에 설치된 전극과 접촉하는 복수의 접촉 단자와, 상기 복수의 접촉 단자의 각각으로부터 전기적으로 인출된 배선과, 상기 배선과 전기적으로 접속되고, 또한 다층 배선 기판의 전극에 접속되는 복수의 주변 전극을 구비한 프로브 시트를 갖고, 상기 프로브 시트에 있어서 상기 복수의 접촉 단자가 형성된 제1 면과는 반대측의 제2 면에서, 상기 복수의 접촉 단자가 형성된 영역에 고착 기판이 고착되고, 상기 고착 기판을 경사 동작 가능해지도록 한 수단이 설치되고, 상기 복수의 접촉 단자의 각각은 상기 프로브 시트와 이격하여 연장되어, 상기 배선과 전기적으로 접속된 빔의 일단부에 형성되고, 상기 빔의 타단부는 상기 프로브 시트에 고정되어 있다.

[0024] (2) 본 발명에 따른 프로브 카드는 피검사 대상에 설치된 전극과 접촉하는 복수의 접촉 단자와, 상기 복수의 접촉 단자의 각각으로부터 전기적으로 인출된 배선과, 상기 배선과 전기적으로 접속되고, 또한 다층 배선 기판의 전극에 접속되는 복수의 주변 전극과, 상기 복수의 접촉 단자가 형성된 제1 면과는 반대측의 제2 면에서, 상기 복수의 접촉 단자가 형성된 영역에 형성된 금속 시트를 구비한 프로브 시트를 갖고, 상기 금속 시트에 고착 기판이 고착되고, 상기 고착 기판을 경사 동작 가능해지도록 한 수단이 설치되고, 상기 복수의 접촉 단자의 각각은 상기 프로브 시트와 이격하여 연장되어, 상기 배선과 전기적으로 접속된 빔의 일단부에 형성되고, 상기 빔의 타단부는 상기 프로브 시트에 고정되어 있다.

[0025] (3) 본 발명에 따른 프로브 카드는 (1) 또는 (2)에 기재된 프로브 카드에 있어서, 상기 다층 배선 기판은 상기 피검사 대상의 전기적 특성을 검사하는 테스터와 전기적으로 접속된다.

[0026] (4) 본 발명에 따른 프로브 카드는 (1) 내지 (3) 중 어느 하나에 기재된 프로브 카드에 있어서, 상기 고착 기판을 경사 동작 가능해지도록 한 상기 수단은 복수의 탄성을 가진 가이드 펀이다.

[0027] (5) 본 발명에 따른 프로브 카드는 (4)에 기재된 프로브 카드에 있어서, 상기 고착 기판을 경사 동작 가능해지도록 한 상기 수단은 또한 복수의 탄성이 없는 가이드 펀을 사용한다.

[0028] (6) 본 발명에 따른 프로브 카드는 (1) 내지 (5) 중 어느 하나에 기재된 프로브 카드에 있어서, 상기 고착 기판을 경사 동작 가능해지도록 한 상기 수단은 1개 이상의 판 스프링이다.

- [0029] (7) 본 발명에 따른 프로브 카드는 피검사 대상에 설치된 전극과 접촉하는 복수의 접촉 단자와, 상기 복수의 접촉 단자의 각각으로부터 전기적으로 인출된 배선과, 상기 배선과 전기적으로 접속되고, 또한 다층 배선 기판의 전극에 접속되는 복수의 주변 전극을 구비한 프로브 시트를 갖고, 상기 프로브 시트에 있어서 상기 복수의 접촉 단자가 형성된 제1 면과는 반대측의 제2 면에서, 상기 복수의 접촉 단자가 형성된 영역에 고착 기판이 고착되고, 또한 상기 프로브 시트가 상기 고착 기판을 감싸도록 상기 고착 기판에 고착됨으로써 형성된 1개 이상의 블록을 구비하고, 상기 1개 이상의 블록의 각각의 상기 프로브 시트의 상기 복수의 주변 전극과, 상기 다층 배선 기판의 상기 전극이 접촉하고, 상기 복수의 접촉 단자의 각각은 상기 프로브 시트와 이격하여 연장되어, 상기 배선과 전기적으로 접속된 빔의 일단부에 형성되고, 상기 빔의 타단부는 상기 프로브 시트에 고정되어 있다.
- [0030] (8) 본 발명에 따른 프로브 카드는 (1) 내지 (7) 중 어느 하나에 기재된 프로브 카드에 있어서, 상기 접촉 단자는 각뿔 형상 또는 각뿔대 형상이다.
- [0031] (9) 본 발명에 따른 프로브 카드는 (8)에 기재된 프로브 카드에 있어서, 상기 접촉 단자는 결정성을 갖는 기판에 이방성 예칭을 실시함으로써 형성한 구멍을 형재로 한 도금에 의해 형성된 것이다.
- [0032] (10) 본 발명에 따른 프로브 카드는 (9)에 기재된 프로브 카드에 있어서, 상기 결정성을 갖는 기판은 실리콘이다.
- [0033] (11) 본 발명에 따른 프로브 카드는 피검사 대상에 설치된 전극과 접촉하는 복수의 접촉 단자와, 상기 복수의 접촉 단자의 각각으로부터 전기적으로 인출된 배선과, 상기 배선과 전기적으로 접속되고, 또한 다층 배선 기판의 전극에 접속되는 복수의 제1 및 제2 주변 전극을 구비한 프로브 시트를 갖고, 상기 프로브 시트에 있어서 상기 복수의 접촉 단자가 형성된 제1 면과는 반대측의 제2 면에서, 상기 복수의 접촉 단자가 형성된 영역에 고착 기판이 고착되고, 상기 고착 기판을 경사 동작 가능해지도록 한 수단이 설치되고, 상기 복수의 접촉 단자의 각각은 상기 프로브 시트와 이격하여 연장되어, 상기 배선과 전기적으로 접속된 빔의 일단부에 형성되고, 상기 빔의 타단부는 상기 프로브 시트에 고정되고, 상기 복수의 제1 주변 전극의 각각은 상기 프로브 시트에 있어서 상기한 접촉 단자와 동일한 제1 면에 형성되고, 상기 복수의 제2 주변 전극의 각각은 상기 프로브 시트에 있어서 상기한 접촉 단자와는 반대측의 제2 면에 형성되어 있다.
- [0034] (12) 본 발명에 따른 프로브 카드는 (11)에 기재된 프로브 카드에 있어서, 상기 프로브 시트에 있어서의 상기 제1 및 제2 주변 전극의 형성 피치는 상기 복수의 접촉 단자의 형성 피치보다도 넓다.
- [0035] (13) 본 발명에 따른 프로브 카드 제조 방법은 피검사 대상에 설치된 전극과 접촉하는 복수의 접촉 단자와, 상기 복수의 접촉 단자의 각각으로부터 전기적으로 인출된 배선과, 상기 배선과 전기적으로 접속되고, 또한 다층 배선 기판의 전극에 접속되는 복수의 주변 전극을 구비한 프로브 시트를 갖고, 상기 프로브 시트에 있어서 상기 복수의 접촉 단자가 형성된 제1 면과는 반대측의 제2 면에서, 상기 복수의 접촉 단자가 형성된 영역에 고착 기판이 고착되고, 상기 고착 기판을 경사 동작 가능해지도록 한 수단이 설치되고, 상기 복수의 접촉 단자의 각각은 상기 프로브 시트와 이격하여 연장되어, 상기 배선과 전기적으로 접속된 빔의 일단부에 형성되고, 상기 빔의 타단부는 상기 프로브 시트에 고정된 프로브 카드의 제조 방법이며, 상기 프로브 시트를 형성하는 공정은 (a) 결정성을 갖는 기판에 이방성 예칭을 실시함으로써 형성한 구멍을 형재로 한 도금에 의해 상기 복수의 접촉 단자를 형성하는 공정, (b) 상기 기판 상에 상기 복수의 접촉 단자의 각각과 전기적으로 접속하는 상기 빔, 상기 배선 및 절연층을 차례로 적층하는 공정, (c) 상기 복수의 접촉 단자 및 상기 빔과 같은 배선층에 있어서의 상기 절연층을 제거함으로써, 상기 빔을 상기 프로브 시트로부터 이격시키는 공정을 포함한다.
- [0036] (14) 본 발명에 따른 반도체 검사 장치는, 피검사 대상을 적재하는 시료대와, 상기 피검사 대상에 설치된 전극과 접촉하는 복수의 접촉 단자를 갖고, 또한 상기 피검사 대상의 전기적 특성을 검사하는 테스터와 전기적으로 접속되는 프로브 카드를 갖는 반도체 검사 장치이며, 상기 프로브 카드는 상기 복수의 접촉 단자와, 상기 복수의 접촉 단자의 각각으로부터 전기적으로 인출된 배선과, 상기 배선과 전기적으로 접속되고, 또한 다층 배선 기판의 전극에 접속되는 복수의 주변 전극을 구비한 프로브 시트를 갖고, 상기 프로브 시트에 있어서, 상기 복수의 접촉 단자가 형성된 제1 면과는 반대측의 제2 면에서, 상기 복수의 접촉 단자가 형성된 영역에 고착 기판이 고착되고, 상기 고착 기판을 경사 동작 가능해지도록 한 수단이 설치되고, 상기 복수의 접촉 단자의 각각은 상기 프로브 시트와 이격하여 연장되어, 상기 배선과 전기적으로 접속된 빔의 일단부에 형성되고, 상기 빔의 타단부는 상기 프로브 시트에 고정되어 있다.
- [0037] (15) 본 발명에 따른 반도체 검사 장치는, 피검사 대상을 적재하는 시료대와, 상기 피검사 대상에 설치된 전극

과 접촉하는 복수의 접촉 단자를 갖고, 또한 상기 피검사 대상의 전기적 특성을 검사하는 테스터와 전기적으로 접속되는 프로브 카드를 갖는 반도체 검사 장치이며, 상기 프로브 카드는 상기 복수의 접촉 단자와, 상기 복수의 접촉 단자의 각각으로부터 전기적으로 인출된 배선과, 상기 배선과 전기적으로 접속되고, 또한 다층 배선 기판의 전극에 접속되는 복수의 주변 전극과, 상기 복수의 접촉 단자가 형성된 제1 면과는 반대측의 제2 면에서, 상기 복수의 접촉 단자가 형성된 영역에 형성된 금속 시트를 구비한 프로브 시트를 갖고, 상기 금속 시트에 고착 기판이 고착되고, 상기 고착 기판을 경사 동작 가능해지도록 한 수단이 설치되고, 상기 복수의 접촉 단자의 각각은 상기 프로브 시트와 이격하여 연장되어, 상기 배선과 전기적으로 접속된 빔의 일단부에 형성되고, 상기 빔의 타단부는 상기 프로브 시트에 고정되어 있다.

[0038] (16) 본 발명에 따른 반도체 검사 장치는, 피검사 대상을 적재하는 시료대와, 상기 피검사 대상에 설치된 전극과 접촉하는 복수의 접촉 단자를 갖고, 또한 상기 피검사 대상의 전기적 특성을 검사하는 테스터와 전기적으로 접속되는 프로브 카드를 갖는 반도체 검사 장치이며, 상기 프로브 카드는 상기 복수의 접촉 단자와, 상기 복수의 접촉 단자의 각각으로부터 전기적으로 인출된 배선과, 상기 배선과 전기적으로 접속되고, 또한 다층 배선 기판의 전극에 접속되는 복수의 주변 전극을 구비한 프로브 시트를 갖고, 상기 프로브 시트에 있어서 상기 복수의 접촉 단자가 형성된 제1 면과는 반대측의 제2 면에서, 상기 복수의 접촉 단자가 형성된 영역에 고착 기판이 고착되고, 또한 상기 프로브 시트가 상기 고착 기판을 감싸도록 상기 고착 기판에 고착됨으로써 형성된 1개 이상의 블록을 구비하고, 상기 1개 이상의 블록의 각각의 상기 프로브 시트의 상기 복수의 주변 전극과, 상기 다층 배선 기판의 상기 전극이 접촉하고, 상기 복수의 접촉 단자의 각각은 상기 프로브 시트와 이격하여 연장되어, 상기 배선과 전기적으로 접속된 빔의 일단부에 형성되고, 상기 빔의 타단부는 상기 프로브 시트에 고정되어 있다.

[0039] (17) 본 발명에 따른 반도체 검사 장치는, 피검사 대상을 적재하는 시료대와, 상기 피검사 대상에 설치된 전극과 접촉하는 복수의 접촉 단자를 갖고, 또한 상기 피검사 대상의 전기적 특성을 검사하는 테스터와 전기적으로 접속되는 프로브 카드를 갖는 반도체 검사 장치이며, 상기 프로브 카드는 상기 복수의 접촉 단자와, 상기 복수의 접촉 단자의 각각으로부터 전기적으로 인출된 배선과, 상기 배선과 전기적으로 접속되고, 또한 다층 배선 기판의 전극에 접속되는 복수의 제1 및 제2 주변 전극을 구비한 프로브 시트를 갖고, 상기 프로브 시트에 있어서 상기 복수의 접촉 단자가 형성된 제1 면과는 반대측의 제2 면에서, 상기 복수의 접촉 단자가 형성된 영역에 고착 기판이 고착되고, 상기 고착 기판을 경사 동작 가능해지도록 한 수단이 설치되고, 상기 복수의 접촉 단자의 각각은 상기 프로브 시트와 이격하여 연장되어, 상기 배선과 전기적으로 접속된 빔의 일단부에 형성되고, 상기 빔의 타단부는 상기 프로브 시트에 고정되어, 상기 복수의 제1 주변 전극의 각각은 상기 프로브 시트에 있어서 상기한 접촉 단자와 동일한 제1 면에 형성되고, 상기 복수의 제2 주변 전극의 각각은 상기 프로브 시트에 있어서 상기한 접촉 단자와는 반대측의 제2 면에 형성되어 있다.

[0040] (18) 본 발명에 따른 반도체 검사 장치는, (14) 내지 (17) 중 어느 하나에 기재된 반도체 검사 장치에 있어서, 상기 프로브 시트는 (a) 결정성을 갖는 기판에 이방성 애칭을 실시함으로써 형성한 구멍을 형재로 한 도금에 의해 상기 복수의 접촉 단자를 형성하는 공정, (b) 상기 기판 상에 상기 복수의 접촉 단자의 각각과 전기적으로 접속하는 상기 빔, 상기 배선 및 절연층을 차례로 적층하는 공정, (c) 상기 복수의 접촉 단자 및 상기 빔과 동일한 배선층에 있어서의 상기 절연층을 제거함으로써 상기 빔을 상기 프로브 시트로부터 이격시키는 공정을 포함하는 공정에 의해 형성되어 있다.

[0041] (19) 본 발명에 따른 반도체 장치의 제조 방법은, 반도체 웨이퍼에 회로 및 상기 회로와 전기적으로 접속하는 전극을 만들어 넣어 복수의 반도체 소자를 형성하는 공정과, 상기 복수의 반도체 소자에 설치된 상기 전극과 접촉하는 복수의 접촉 단자를 갖고, 또한 상기 복수의 반도체 소자의 각각에 형성된 상기 회로의 전기적 특성을 검사하는 테스터와 전기적으로 접속되는 프로브 카드를 사용하여 상기 복수의 반도체 소자의 전기적 특성을 검사하는 공정과, 상기 반도체 웨이퍼를 다이싱하여 상기 복수의 반도체 소자마다 분리하는 공정을 갖는 반도체 장치의 제조 방법이며, 상기 프로브 카드는 상기 복수의 접촉 단자와, 상기 복수의 접촉 단자의 각각으로부터 전기적으로 인출된 배선과, 상기 배선과 전기적으로 접속되고 또한 다층 배선 기판의 전극에 접속되는 복수의 주변 전극을 구비한 프로브 시트를 갖고, 상기 프로브 시트에 있어서 상기 복수의 접촉 단자가 형성된 제1 면과는 반대측의 제2 면에서, 상기 복수의 접촉 단자가 형성된 영역에 고착 기판이 고착되고, 상기 고착 기판을 경사 동작 가능해지도록 한 수단이 설치되고, 상기 복수의 접촉 단자의 각각은 상기 프로브 시트와 이격하여 연장되어, 상기 배선과 전기적으로 접속된 빔의 일단부에 형성되고, 상기 빔의 타단부는 상기 프로브 시트에 고정되어 있다.

[0042] (20) 본 발명에 따른 반도체 장치의 제조 방법은, 반도체 웨이퍼에 회로 및 상기 회로와 전기적으로 접속하는

전극을 만들어 넣어 복수의 반도체 소자를 형성하는 공정과, 상기 복수의 반도체 소자에 설치된 상기 전극과 접촉하는 복수의 접촉 단자를 갖고, 또한 상기 복수의 반도체 소자의 각각에 형성된 상기 회로의 전기적 특성을 검사하는 테스터와 전기적으로 접속되는 프로브 카드를 사용하여 상기 복수의 반도체 소자의 전기적 특성을 검사하는 공정과, 상기 반도체 웨이퍼를 다이싱하여 상기 복수의 반도체 소자마다 분리하는 공정을 갖는 반도체 장치의 제조 방법이며, 상기 프로브 카드는 상기 복수의 접촉 단자와, 상기 복수의 접촉 단자의 각각으로부터 전기적으로 인출된 배선과, 상기 배선과 전기적으로 접속되고 또한 다층 배선 기판의 전극에 접속되는 복수의 주변 전극과, 상기 복수의 접촉 단자가 형성된 제1 면과는 반대측의 제2 면에서, 상기 복수의 접촉 단자가 형성된 영역에 형성된 금속 시트를 구비한 프로브 시트를 갖고, 상기 금속 시트에 고착 기판이 고착되고, 상기 고착 기판을 경사 동작 가능해지도록 한 수단이 설치되고, 상기 복수의 접촉 단자의 각각은 상기 프로브 시트와 이격하여 연장되어, 상기 배선과 전기적으로 접속된 빔의 일단부에 형성되고, 상기 빔의 타단부는 상기 프로브 시트에 고정되어 있다.

[0043] (21) 본 발명에 따른 반도체 장치의 제조 방법은, 반도체 웨이퍼에 회로 및 상기 회로와 전기적으로 접속하는 전극을 만들어 넣어 복수의 반도체 소자를 형성하는 공정과, 상기 복수의 반도체 소자에 설치된 상기 전극과 접촉하는 복수의 접촉 단자를 갖고, 또한 상기 복수의 반도체 소자의 각각에 형성된 상기 회로의 전기적 특성을 검사하는 테스터와 전기적으로 접속되는 프로브 카드를 사용하여 상기 복수의 반도체 소자의 전기적 특성을 검사하는 공정과, 상기 반도체 웨이퍼를 다이싱하여 상기 복수의 반도체 소자마다 분리하는 공정을 갖는 반도체 장치의 제조 방법이며, 상기 프로브 카드는 상기 복수의 접촉 단자와, 상기 복수의 접촉 단자의 각각으로부터 전기적으로 인출된 배선과, 상기 배선과 전기적으로 접속되고 또한 다층 배선 기판의 전극에 접속되는 복수의 주변 전극을 구비한 프로브 시트를 갖고, 상기 프로브 시트에 있어서 상기 복수의 접촉 단자가 형성된 제1 면과는 반대측의 제2 면에서, 상기 복수의 접촉 단자가 형성된 영역에 고착 기판이 고착되고, 또한 상기 프로브 시트가 상기 고착 기판을 감싸도록 상기 고착 기판에 고착됨으로써 형성된 1개 이상의 블록을 구비하고, 상기 1개 이상의 블록의 각각의 상기 프로브 시트의 상기 복수의 주변 전극과 상기 다층 배선 기판의 상기 전극이 접촉하고, 상기 복수의 접촉 단자의 각각은 상기 프로브 시트와 이격하여 연장되어, 상기 배선과 전기적으로 접속된 빔의 일단부에 형성되고, 상기 빔의 타단부는 상기 프로브 시트에 고정되어 있다.

[0044] (22) 본 발명에 따른 반도체 장치의 제조 방법은, 반도체 웨이퍼에 회로 및 상기 회로와 전기적으로 접속하는 전극을 만들어 넣어 복수의 반도체 소자를 형성하는 공정과, 상기 복수의 반도체 소자에 설치된 상기 전극과 접촉하는 복수의 접촉 단자를 갖고, 또한 상기 복수의 반도체 소자의 각각에 형성된 상기 회로의 전기적 특성을 검사하는 테스터와 전기적으로 접속되는 프로브 카드를 사용하여 상기 복수의 반도체 소자의 전기적 특성을 검사하는 공정과, 상기 반도체 웨이퍼를 다이싱하여 상기 복수의 반도체 소자마다 분리하는 공정을 갖는 반도체 장치의 제조 방법이며, 상기 프로브 카드는 상기 복수의 접촉 단자와, 상기 복수의 접촉 단자의 각각으로부터 전기적으로 인출된 배선과, 상기 배선과 전기적으로 접속되고 또한 다층 배선 기판의 전극에 접속되는 복수의 제1 및 제2 주변 전극을 구비한 프로브 시트를 갖고, 상기 프로브 시트에 있어서 상기 복수의 접촉 단자가 형성된 제1 면과는 반대측의 제2 면에서, 상기 복수의 접촉 단자가 형성된 영역에 고착 기판이 고착되고, 상기 고착 기판을 경사 동작 가능해지도록 한 수단이 설치되고, 상기 복수의 접촉 단자의 각각은 상기 프로브 시트와 이격하여 연장되어, 상기 배선과 전기적으로 접속된 빔의 일단부에 형성되고, 상기 빔의 타단부는 상기 프로브 시트에 고정되고, 상기 복수의 제1 주변 전극의 각각은 상기 프로브 시트에 있어서 상기한 접촉 단자와 동일한 제1 면에 형성되고, 상기 복수의 제2 주변 전극의 각각은 상기 프로브 시트에 있어서 상기한 접촉 단자와는 반대측의 제2 면에 형성되어 있다.

[0045] (23) 본 발명에 따른 반도체 장치의 제조 방법은, (19) 내지 (22) 중 어느 하나에 기재된 반도체 장치의 제조 방법에 있어서, 상기 프로브 시트는 (a) 결정성을 갖는 기판에 이방성 애칭을 실시함으로써 형성한 구멍을 형제로 한 도금에 의해 상기 복수의 접촉 단자를 형성하는 공정, (b) 상기 기판 상에 상기 복수의 접촉 단자의 각각과 전기적으로 접속하는 상기 빔, 상기 배선 및 절연층을 차례로 적층하는 공정, (c) 상기 복수의 접촉 단자 및 상기 빔과 같은 배선층에 있어서의 상기 절연층을 제거함으로써 상기 빔을 상기 프로브 시트로부터 이격시키는 공정을 포함하는 공정에 의해 형성되고, 상기 복수의 접촉 단자의 각각은 각뿔 형상 또는 각뿔대 형상이다.

[0046] 본 발명의 이들 및 다른 목적, 특징 및 이점들은 첨부된 도면에서 설명된 바와 같이 본 발명의 양호한 실시예들의 후술하는 상세한 설명으로부터 명백할 것이다.

## 효과

[0047] 본원에 있어서 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면 이하와 같다.

[0048] 각뿔형 혹은 각뿔대형의 형상 및 위치 정밀도의 양호한 외팔보 빔 구조의 접촉 단자와, 인출 배선과, 주변 전극과, 절연 시트를 일괄 형성한 프로브 시트를 구비하고, 그 접촉 단자를 형성한 영역에 고착된 고착 기판을 경사 동작 가능하게 한 본 발명의 프로브 카드 및 그 제조 방법은, 반구 형상의 도금 범프를 형성한 멤브레인 프로브, 혹은 접촉 단자 형성 빔과 세라믹 다층 배선 기판을 땜납 접속 후, 그 희생 기판을 에칭액으로 박리하여 형성하는 외팔보 빔의 형성 방법과 비교하여 이하의 효과를 발휘한다.

[0049] (1) 수십  $\mu\text{m}$  이하의 협피치로 다핀의 외팔보 빔 구조의 접촉 단자를 형성한 프로브 시트라도 접촉 단자군을 용이하게 일괄 형성할 수 있고, 배선의 다층화에 의한 전기 신호 특성의 설계도 용이하기 때문에, 협피치 또한 다핀의 검사용일 뿐만 아니라 임피던스 조정한 고속 전송용 회로를 가진 프로브 카드를 실현할 수 있다.

[0050] (2) 피검사 대상과 같은 정도의 선팽창률을 갖는 금속 시트 및 고착 기판을, 접촉 단자를 형성한 영역에 직접 고착한 구조에 의해 넓은 온도 범위에서 접촉 단자의 선단부 위치 정밀도가 양호한 프로브 카드를 실현할 수 있다.

[0051] (3) 각뿔 형상 혹은 각뿔대 형상의 접촉 단자를 일괄 형성한 프로브 시트를, 조립용 기재와 일체로 일괄 형성하고, 외팔보 빔 구조의 접촉 단자의 개별의 압박 동작과 경사 동작 동작을 양립시킴으로써 대면적의 피검사 대상이라도 저하중으로의 접촉으로 양호한 접촉 저항값의 안정성을 실현하여, 접촉 단자의 선단부 위치 정밀도 및 조립성이 양호한 프로브 카드를 실현할 수 있다.

[0052] 또한, 본 발명의 프로브 카드는 외팔보 빔 구조의 접촉 단자가 형성된 영역의 프로브 시트의 반대면에 고착된 고착 기판을 감싸는 블록 구조의 프로브를 복수개 조합하여 반도체 검사에 사용함으로써, 다수개 칩의 동시 검사용 프로브 카드, 혹은 풀 웨이퍼 검사용 웨이퍼 카세트를 간단한 구성으로 실현할 수 있다.

### 발명의 실시를 위한 구체적인 내용

[0053] 이하의 실시 형태에 있어서는 편의상 그 필요가 있을 때에는, 복수의 섹션 또는 실시 형태로 분할하여 설명하지만, 특별히 명시한 경우를 제외하고 그들은 서로 관계가 없는 것은 아니며, 한쪽은 다른 쪽의 일부 또는 전부의 변형예, 상세, 보충 설명 등의 관계에 있다.

[0054] 또한, 이하의 실시 형태에 있어서, 요소의 수 등(개수, 수치, 양, 범위 등을 포함함)으로 언급하는 경우, 특별히 명시한 경우 및 원리적으로 명백하게 특정한 수에 한정되는 경우 등을 제외하고, 그 특정한 수에 한정되는 것은 아니며, 특정한 수 이상이라도 이하라도 좋다.

[0055] 또한, 이하의 실시 형태에 있어서, 그 구성 요소(요소 스텝 등도 포함함)는 특별히 명시한 경우 및 원리적으로 명백하게 필수적이라고 생각되는 경우 등을 제외하고, 반드시 필수적인 것이 아닌 것은 물론이다. 또한, 실시 예 등에 있어서 구성 요소 등에 대해 「A로 이루어진다」라고 할 때에는, 특별히 그 요소뿐인 취지를 명시한 경우 등을 제외하고, 그 이외의 요소를 배제하는 것은 아닌 것은 물론이다.

[0056] 마찬가지로, 이하의 실시 형태에 있어서 구성 요소 등의 형상, 위치 관계 등으로 언급할 때에는, 특별히 명시한 경우 및 원리적으로 명백하게 그렇지 않다고 생각되는 경우 등을 제외하고, 실질적으로 그 형상 등에 근사 또는 유사한 것 등을 포함하는 것으로 한다. 이것은 상기 수치 및 범위에 대해서도 마찬가지이다.

[0057] 또한, 재료 등에 대해 언급할 때에는, 특별히 그렇지 않은 취지를 명기하였을 때, 또는 원리적 또는 상황적으로 그렇지 않을 때를 제외하고, 특정한 재료는 주요한 재료이며 부차적 요소, 첨가물, 부가 요소 등을 배제하는 것은 아니다. 예를 들어, 실리콘 부재는 특별히 명시한 경우 등을 제외하고, 순수한 실리콘의 경우뿐만 아니라, 첨가 불순물, 실리콘을 주요 요소로 하는 2원, 3원 등의 합금(예를 들어, SiGe) 등을 포함하는 것으로 한다.

[0058] 또한, 본 실시 형태를 설명하기 위한 전체 도면에 있어서 동일 기능을 갖는 것은 원칙적으로 동일한 부호를 부여하고, 그 반복 설명은 생략한다.

[0059] 또한, 본 실시 형태에서 이용하는 도면에 있어서는, 평면도라도 도면을 보기 쉽게 하기 위해 부분적으로 해칭을 부여하는 경우가 있다.

[0060] 이하의 실시 형태 및 실시 예에서는 주된 용어를 다음과 같이 정의한다.

[0061] 반도체 장치라 함은 그 형태에 관계되지 않고, 회로가 형성된 웨이퍼 상태인 것이라도, 반도체 소자라도, 그 후 패키지된 것[QFP(Quad Flat Package), BGA(Ball Grid Array) 및 CSP(Chip Size Package) 등]이라도 상관없다.

[0062] 프로브 시트라 함은, 검사 대상과 접촉하는 접촉 단자와 그곳으로부터 인출된 배선이 설치되고, 그 배선에 외부

접속용 전극이 형성된 박막을 말하며, 두께 10  $\mu\text{m}$  내지 100  $\mu\text{m}$  정도인 것을 대상으로 하고 있다.

[0063] 프로브 카드라 함은, 검사 대상과 접촉하는 단자, 다층 배선 기판 등을 갖는 구조체(예를 들어, 후술하는 실시 형태에 있어서 도2를 이용하여 설명하는 구조체)를 나타낸다.

[0064] 반도체 검사 장치라 함은, 프로브 카드와 검사 대상을 적재하는 시료 지지체를 갖는 검사 장치를 나타낸다.

[0065] 편검사 대상의 일례인 LSI용 반도체 소자(칩)(2)는, 도1에 도시하는 바와 같이 웨이퍼(1)에 다수개 형성되고, 그 후 분리되어 사용에 이용된다. 도1은 LSI용 반도체 소자(2)가 다수 병설된 웨이퍼(1)를 도시하는 사시도이며, 그 일부인 1개의 반도체 소자(2)는 확대하여 나타내고 있다. 반도체 소자(2)의 표면에는 주변을 따라 반도체 소자(2) 내에 형성된 회로와 전기적으로 접속하는 다수의 전극(3)이 배열되어 있다.

[0066] 그런데, 반도체 소자(2)에 있어서는 고집적화에 따라서 상기 전극(3)의 배치의 고밀도화 및 협피치화가 더욱 진행되는 상황에 있다. 전극(3)의 배치의 협피치화의 경향은 0.1  $\text{mm}$  정도 이하로 되어 있고, 예를 들어 0.08  $\text{mm}$ , 0.04  $\text{mm}$ , 또는 그 이하로 되어 있다. 전극(3)의 고밀도화의 경향으로서는, 반도체 소자(2)의 주변을 따라 1열로부터 2열로, 또한 전면에 배열되는 경향으로 되어 있다.

[0067] 또한, 반도체 소자를 고온으로 동작 시험함으로써, 반도체 소자의 특성 및 신뢰성을 보다 명확하게 파악하는 고온 동작 시험(85  $^{\circ}\text{C}$  내지 150  $^{\circ}\text{C}$ )이 실시되는 경향으로 되어 있다. 또한, 사용 환경의 확대에 따라서 저온 동작 시험(-55  $^{\circ}\text{C}$ )도 실시되는 경향으로 되어 있다.

[0068] 이하의 실시예에 관한 반도체 검사 장치는, 상기 전극(3)의 고밀도화 및 협피치화에 대응할 수 있고, 또한 고속 전기 신호(100  $\text{MHz}$  내지 20  $\text{GHz}$ )에 의한 검사를 가능하게 하는 것이다.

[0069] 또한, 반도체 검사 장치에 있어서의 프로브 카드의 일부의 구성 재료로서, 150  $^{\circ}\text{C}$ 의 내열성이 있고, 또한 선행 창률이 편검사 대상과 같은 정도의 재료를 사용함으로써, 분위기 온도에 의한 프로브 선단부의 위치 어긋남을 방지하는 것을 가능하게 하고 있다.

[0070] 이하, 본 실시 형태에 관한 반도체 장치 검사용 프로브 카드에 대해 도2로부터 도15를 이용하여 설명한다.

[0071] (제1 실시 형태)

[0072] 도2는 본 제1 실시 형태의 프로브 카드의 주요부를 도시하는 단면도이고, 도3은 도2에 도시한 주요 부품을 분해하여 도시한 사시도이고, 도4는 도2에 도시한 주요 부품을 분해하여 도시한 조립 단면도이다. 이들 도면을 이용하여 본 제1 실시 형태의 프로브 카드에 대해 설명한다.

[0073] 본 제1 실시 형태의 프로브 카드는 접촉 단자(4)군이 형성된 프로브 시트(5), 고착 기판(6), 중간판(7), 지지 부재(상부 고정판)(8)에 삽입되어 중간판(7)에 나사 고정된 가이드 펀(9) 등으로 구성된다.

[0074] 프로브 시트(5)는 시트의 프로빙[주면(主面)(제1 면)]측의 중앙 영역부에 반도체 소자(2)의 전극(3)군과 접촉하기 위한 상기 접촉 단자(4)군이 형성되어 있다. 또한, 프로브 시트(5)의 4면의 주변부에는 다층 배선 기판(10)과의 신호 교환을 위한 주변 전극(11)군이 형성되고, 그 주변 전극(11)군을 둘러싸도록 주변 전극 고정판(12)에 대응한 영역에 금속막(14)이 형성되어 있다. 상세하게는 후술하지만, 주변 전극(11)군은 상기 접촉 단자(4)군과 동일 공정에서 형성되는 것이며, 그 선단부가 다층 배선 기판(10)의 전극(15)에 접속되어 있다. 또한, 접촉 단자(4)군과 주변 전극(11)군의 사이에는 도3에 도시한 다수의 인출 배선(16)이 형성되어 있다. 상세한 것은 후술하지만, 접촉 단자(4)군 및 주변 전극(11)군을 형성하는 각각의 접촉 단자는 각별 형상 혹은 각별 대형상으로 되어 있다.

[0075] 또한, 신호 교환을 위한 상기 주변 전극(11)군이 형성된 부분의 프로브 시트(5)의 이면의 금속막(14)에는 상기 주변 전극 고정판(12)이 접착 고정되어 있다.

[0076] 금속막(14)에는 위치 결정용 노크 펀용 구멍(14a) 및 나사 삽입용 구멍(14b)을 에칭으로 패턴 형성해 두고, 주변 전극 고정판(12) 및 주변 압박판(17)에도 각각 위치 결정용 노크 펀용 구멍(12a, 17a) 및 나사 삽입용 구멍(12b, 17b)을 형성해 둠으로써 조립성을 향상시킬 수 있다.

[0077] 주변 전극(11)군을 둘러싸도록 하여 프로브 시트(5)에 고착한 주변 전극 고정판(12)에 대해, 상기 노크 펀용 구멍(17a)을 사용하여 노크 펀(17c)으로 위치 결정하면서 완충재(18)를 사이에 두고 주변 압박판(17)을 나사 고정함으로써, 완충재(18)를 통해 주변 전극(11)군은 다층 배선 기판(10)의 전극(15)에 접속된다.

[0078] 또한, 지지 부재(8)에 설치한 경사 미세 조절용 더블 나사(19), 혹은 후술하는 스페이서(20)(도7 참조)를 사용

하여, 접촉 단자(4)군이 형성된 영역의 프로브 시트(5)의 경사를 미세 조정해도 좋다. 여기서, 더블 나사(19)는 외측의 나사(19a)의 중앙에 별도의 중간 나사(19b)가 형성된 것이며, 외측의 나사(19a)로 지지 부재(8)와 상부판(21)의 간격을 조정함으로써 양자의 경사를 미세 조정한 후, 중간 나사(19b)로 나사 고정하는 구조인 것이다.

[0079] 또한, 프로브 시트(5) 중에는 필요에 따라서 검사용 고속 전기 신호의 혼란을 적게 하기 위해, 기준 전위(접지 전위)에 전기적으로 접속하는 접지용 인출 배선(16A)과, 신호용 및 전원용 인출 배선(16B)이 형성되어 있다. 이들 인출 배선(16A, 16B)은 전술한 인출 배선(16)을 구성하는 것이다. 이러한 인출 배선(16A, 16B)에 대해서는 프로브(5)의 제조 공정 중에 있어서, 포토리소그래피 기술을 이용하여 서로의 사이의 배치 상태 및 형상을 설계 및 제작함으로써 임피던스 정합이나 실드 구조를 형성할 수 있다.

[0080] 또한, 프로브 시트(5)의 이면에는 칩 콘텐서(23)가 장착되어 있다. 이 칩 콘텐서(23)는 프로브 시트(5) 중에 형성된 배선을 통해 접촉 단자(4)군 중의 소정의 접촉 단자와 전기적으로 접속되어 있다. 이러한 칩 콘텐서(23)는 접촉 단자(4)의 부근에 배치하여, 신호의 혼란을 가능한 한 방지하고자 하는 경우에 효과를 발휘한다.

[0081] 고착 기판(6)은 프로브 시트(5)의 접촉 단자(4)군이 형성된 영역과 평면에서 겹치도록 프로브 시트(5)의 이면(제2 면)에 금속막(24)을 통해 고착되어 있다. 상세한 것은 후술하지만, 이 금속막(24)은 전술한 금속막(14)과 동일한 재질이며, 또한 동일한 공정에서 형성 및 패터닝되는 것이다. 또한, 고착 기판(6)에는 중간판(7)이 나사 고정되어 있다.

[0082] 가이드 핀(9)은 지지 부재(상부 고정판)(8)에 삽입되어 상기 중간판(7)에 나사 고정되어 있다. 또한, 가이드 핀(9)은 프로브 검사시에 접촉 단자 선단부의 위치 어긋남을 가능한 한 방지하기 위함과, 접촉 단자(4)군이 형성된 영역을 피검사 대상의 전극(3)군의 면에 맞추기 위한 평행 가압 기구로서의 역할을 갖고 있다. 즉, 가이드 핀(9)은 접촉 단자(4)군이 형성된 영역이 미세하게 경사진 상태에서 동작(미세 경사 동작) 가능한 상태로, 후술하는 외팔보 빔 구조의 힘에 의한 접촉 단자(4)의 압박력과 같은 정도이거나, 그보다 작은 대략 일정한 압박력(예를 들어, 500핀 정도인 경우, 압입량  $100 \mu\text{m}$  정도에서 5 내지 10 N 정도)을 실현하기 위해, 도5에 도시하는 것과 같은 스프링(25)을 내장한 스프링 내장 가이드 핀(9a) 및 위치 결정 전용 가이드 핀(9b)이 사용되는 구조으로 되어 있다. 이들 복수의 스프링 내장 가이드 핀(프레임에 압박력을 부여하는 복수의 수단)(9a) 및 복수의 위치 결정 전용 가이드 핀(9b)은 지지 부재(8)에 삽입되고, 중간판(7)에 나사 고정되어 사용된다. 또한, 스프링 내장 가이드 핀(9a)은 금속제의 튜브(9c) 내에 상기 스프링(25) 및 중간축(9d)을 내장하여, 스프링(25)의 탄성력에 의해 중간축(9d)이 중간판(7)을 압박하는 구조로 되어 있고, 위치 결정 전용 가이드 핀(9b)은 금속제의 튜브(9c) 내에 중간축(9e)을 내장하여, 중간축(9e)이 중간판(7)에 고정됨으로써 위치 결정을 행하는 구조로 되어 있다. 가이드 핀(9)은 적어도 3개 배치하는 것이며, 바람직하게는 4개 이상 배치한다. 또한, 지지 부재(8)에 있어서 가이드 핀(9)이 삽입되는 삽입 구멍(8a)은 접촉 단자 선단부의 위치 어긋남을 방지하기 위해, 삽입 후의 가이드 핀(9)과의 사이에서의 간극(유격)이 가능한 한 없는 것이 바람직하고, 본 제1 실시 형태에서는 삽입 구멍(8a)의 직경은 가이드 핀(9)의 직경보다  $10 \mu\text{m}$  내지  $20 \mu\text{m}$  정도만 크게 하는 것을 예시할 수 있다.

[0083] 상기와 같은 다양한 부재에 의해 본 제1 실시 형태의 프로브 카드(27)가 형성된다.

[0084] 상기와 같은 본 제1 실시 형태에 따르면, 프로브 시트(5)를 복수의 가이드 핀(9)[탄성을 갖는 스프링 내장 가이드 핀(9a) 및 위치 결정 전용 가이드 핀(9b)]으로 위치 결정하는 동시에, 압박력을 부여하는 구조으로 함으로써 압박 하중을 광범위하게 제어한 협피치로 다핀의 반도체 검사용 프로브 카드를 실현할 수 있다. 반도체 소자(2) 내의 고집적화가 진행되면, 고밀도 다핀 또한 협피치의 전극(3)을 반도체 소자(2) 표면에 형성하기 위해, 전극(3) 바로 아래에 다수의 능동 소자 혹은 미세한 배선이 형성되어 있는 경우가 많아지고, 반도체 소자(2)의 검사시의 접촉 단자(4)군의 전극(3)군에의 접촉압이 지나치게 크면, 전극(3) 및 그 바로 아래의 능동 소자나 배선에 손상을 부여할 우려가 있지만, 본 제1 실시 형태의 반도체 검사용 프로브 카드에서는 압박 하중을 광범위하게 제어할 수 있으므로, 그러한 능동 소자나 배선의 손상을 방지할 수 있다.

[0085] 여기서, 도6은 프로브 시트(5)에 있어서의 1개의 접촉 단자(4) 부근을 확대하여 도시한 주요부 단면도이다. 본 제1 실시 형태에 있어서의 접촉 단자(4)는 포토리소그래피 기술을 이용하여 패터닝된 금속의 빔(28)의 선단부 부근에 접속되고, 그 빔(28)의 타단부 부근에서는 접촉 단자(4)가 접속된 면과는 반대측의 면에 금속의 포스트(29)가 접속되어 있다. 포스트(29)는 폴리이미드막(30)에 매립되도록 형성된 인출 배선(16B)에 접속되고, 빔(28)은 폴리이미드막(30)과 이격된 상태로 되어 있다. 즉, 빔(28)은 포스트(29)와의 접속에 의해서만 프로브 시트(5)에 지지되는 구조(이후, 외팔보 빔 구조라 기재함)로 되어 있다. 이러한 빔(28)의 선단부 부근에 배치된 접촉 단자(4)는 빔(28)의 힘에 의해 개별적으로 동작시키는 것이 가능해진다. 그에 의해, 접촉이 불충분한

접촉 단자(4)와 전극(3)을 완전히 접촉시키기 위한 더욱 큰 접촉 하중이 불필요해진다.

[0086] 그런데, 반도체 소자(2)의 표면의 전극(3)군의 면과, 프로브 시트(5)에 있어서의 접촉 단자(4)군의 면은 경사가 발생되어 있는 것도 예상된다. 본 제1 실시 형태에서는 중간판(7), 고착 기판(6), 금속막(24) 및 프로브 시트(5)가, 접촉 단자(4)군이 형성된 영역을 미세 경사 동작 가능하게 한 상황하에서 압박 동작을 행하는 것을 가능하게 하고, 접촉이 불충분한 접촉 단자(4)와 전극(3)을 완전하게 접촉시키기 위한 더욱 큰 접촉 하중을 불필요하게 하고 있다. 또한, 전술한 바와 같이 접촉 단자(4)를 빔(28)의 휨에 의해 개별적으로 동작시키는 것에 의해서도 접촉이 불충분한 접촉 단자(4)와 전극(3)을 완전하게 접촉시키기 위한 가일층의 접촉 하중을 불필요하게 하고 있으므로, 접촉 단자(4)군과 전극(3)군의 접촉압이 부분적으로 과대해져 버리는 것을 방지하면서 접촉 단자(4)군과 접촉 대상의 전극(3)군과 확실하게 접촉시킬 수 있다. 그 결과, 프로빙에 의한 전극(3)의 표면의 거칠어짐을 가능한 한 방지할 수 있으므로, 저하중으로도 안정된 접촉 특성, 즉 안정된 접촉 저항값을 확보할 수 있게 된다.

[0087] (제2 실시 형태)

[0088] 도7은 본 제2 실시 형태의 프로브 카드의 주요부를 도시하는 단면도이다.

[0089] 상기 제1 실시 형태에서는, 프로브 시트(5)의 평행 가압 기구로서 가이드 핀(9)[스프링 내장 가이드 핀(9a) 및 위치 결정 전용 핀(9b)]을 사용하였지만, 도7에 도시하는 바와 같이 가이드 핀(9) 대신에 1개 이상의 판 스프링(26)을 사용하여 미세 경사 동작 가능한 구조를 형성해도 좋다. 또한, 초기의 경사 미세 조절용으로 더블 나사(19) 대신에 스페이서(20)를 사용해도 좋다. 이 스페이서(20) 혹은 상기 제1 실시 형태에서 설명한 더블 나사(19)는 필요에 따라서 사용하면 좋은 것이며, 생략해도 좋은 것은 물론이다.

[0090] 또한, 도7 및 상기 제1 실시 형태에 있어서의 도2에서는, 프로브 시트(5)에 있어서 접촉 단자(4)군이 형성된 면과는 반대의 면에 접촉 단자(4)군 및 주변 전극(11)군이 형성된 영역과 평면으로 겹치도록 금속막(24, 14)을 배치한 예에 대해 나타냈지만, 필요한 접촉 단자(4) 및 주변 전극(11)의 선단부 위치 정밀도에 따라서 금속막(24) 혹은 금속막(14)의 한쪽, 혹은 양자를 생략해도 좋다.

[0091] 상기와 같은 본 제2 실시 형태에 의해서도 상기 제1 실시 형태와 동일한 효과를 얻을 수 있다.

[0092] (제3 실시 형태)

[0093] 도8은 본 제3 실시 형태의 프로브 카드의 주요부를 도시하는 단면도이다.

[0094] 도8에 도시하는 바와 같이, 본 제3 실시 형태의 프로브 시트(5)는 외팔보 빔 구조의 접촉 단자(4)로부터의 인출 배선(16)을 1층으로 형성하고, 접촉 단자(4)가 형성된 면을 폴리이미드의 보호막(31)으로 보호한 구조로 되어 있다.

[0095] 또한, 도8에서는 고속 전기 신호의 혼란을 적게 하기 위해 신호용, 전원용 및 접지용으로 1층으로 형성한 인출 배선(16) 중 전원용 인출 배선(16)과 접지용 인출 배선(16) 사이에 칩 콘덴서(23)를 배치한 예를 나타냈지만, 필요에 따라서 생략해도 좋다.

[0096] 또한, 도8에서는 프로브 시트(5)에 있어서 접촉 단자(4)군이 형성된 면과는 반대의 면에 접촉 단자(4)군 및 주변 전극(11)군이 형성된 영역과 평면으로 겹치도록 금속막(24, 14)을 배치한 예에 대해 나타냈지만, 필요한 접촉 단자(4) 및 주변 전극(11)의 선단부 위치 정밀도에 따라서 금속막(24) 혹은 금속막(14)의 한쪽, 혹은 양자를 생략해도 좋다.

[0097] 상기한 바와 같은 본 제3 실시 형태에 의해서도, 상기 제1, 제2 실시 형태와 동일한 효과를 얻을 수 있다.

[0098] (제4 실시 형태)

[0099] 도9는 본 제4 실시 형태의 프로브 카드의 주요부를 도시하는 단면도이다. 또한, 도10의 (a)는 도9에 도시한 본 제4 실시 형태의 프로브 카드의 구성 요소인 1개의 블록(32)을 도시하는 단면 개략도이다. 본 제4 실시 형태는 필요한 개수의 이들 블록(32)을 다층 배선 기판(10)에 장착하여 일체의 프로브 카드로서 사용하는 예이다.

[0100] 도10의 (a)에 도시하는 블록(32)을 제작하는 것에 있어서는, 도10의 (b)에 도시하는 바와 같이 고착 기판(33)에 대해 복수의 외팔보 빔 구조의 접촉 단자(4)를 형성한 프로브 시트(5)를, 접촉 단자(4)군이 형성된 면과는 반대의 면을 대향시키고, 고착 기판(33)의 상면의 대향하는 2면으로 덮도록 고착 기판(33)의 이면으로 돌려 완충재(34)를 사이에 두고 고착하는 구성을 예시할 수 있다. 이와 같이 고착 기판(33) 및 완충재(34)에 고착된 프로

브 시트(5)의 이면의 주변 전극(11)군을 다층 배선 기판(10)의 전극(15)군에 위치 결정 편(도시하지 않음)으로 위치 맞춤하고, 다층 배선 기판(10)을 관통하는 스페이서(36)를 통해 고착 기판(33)과 상부 압박판(37)을 고정 나사(35)로 나사 고정함으로써, 도9에 도시한 복수의 블록(32)을 사용한 프로브 카드를 구성할 수 있다.

[0101] 또한, 도10의 (a)에 도시하는 블록(32)을 제작하는 것에 있어서는, 도10의 (c)에 도시하는 바와 같이 고착 기판(33)에 대해 복수의 외팔보 뼈 구조의 접촉 단자(4)를 형성한 프로브 시트(5)를, 접촉 단자(4)군이 형성된 면과는 반대의 면을 대향시키고, 고착 기판(33)의 상면의 4면으로 덮도록 고착 기판(33)의 이면으로 돌려 완충재(34)를 사이에 두고 고착하는 구성으로 해도 좋다. 이러한 구성의 경우라도, 고착 기판(33) 및 완충재(34)에 고착된 프로브 시트(5)의 이면의 주변 전극(11)군을 다층 배선 기판(10)의 전극(15)군에 위치 결정 편(도시하지 않음)으로 위치 맞춤하고, 다층 배선 기판(10)을 관통하는 스페이서(36)를 통해 고착 기판(33)과 상부 압박판(37)을 고정 나사(35)로 나사 고정함으로써, 도9에 도시한 복수의 블록(32)을 사용한 프로브 카드를 구성할 수 있다.

[0102] 또한, 필요에 따라서 프로브 시트(5)의 접촉 단자(4)군이 형성된 면과는 반대의 면에 있어서, 인출 배선에 필요한 전자 부품(콘덴서, 저항기, 퓨즈 및 커넥터 등)을 배치 및 탑재함으로써 안정된 검사나 회로를 형성해도 좋다.

[0103] (제5 실시 형태)

[0104] 도11은 본 제5 실시 형태의 프로브 카드의 주요부를 도시하는 단면도이다.

[0105] 본 제5 실시 형태에서는, 상기 제4 실시 형태에 있어서 설명한 블록(32)(도9 및 도10 참조)을 복수 장착한 프로브 카드(도9 참조)와 동등한 구성으로 하고, 접촉 단자(4)군과, 완충재(38)를 간 웨이퍼 탑재대(39)에 탑재한 웨이퍼(1)의 전극(3)군을 위치 맞춤하여, 웨이퍼 탑재대(39)에 끼워 맞추어진 0링(40a), 하부 기판(41b)에 끼워 맞추어진 0링(40b), 중간 기판(41c)에 끼워 맞추어진 0링(40c) 및 상부 기판(41d)에 끼워 맞추어진 0링(40d)으로 밀폐한다. 이러한 상황하에서, 웨이퍼 탑재대(39)와 다층 배선 기판(10) 사이를 감압함으로써 적당한 대기압을 이용하여 접촉 단자(4)군과 웨이퍼(1)의 전극(3)군을 대면적이라도 확실하게 접촉시키고, 풀 웨이퍼 검사용 검사 장치를 웨이퍼 카세트로서 구성하는 것이 가능해진다.

[0106] 또한, 도11의 (b)에 도시하는 바와 같이 상기 웨이퍼 탑재대(39)를 사용하는 대신에, 웨이퍼 탑재대(39b)에 주위를 고착한 유연성이 있는 웨이퍼 탑재막(42)(예를 들어, 폴리아미드 시트)을 이용한 구성으로 하고, 웨이퍼 탑재막(42) 상에 완충재(38)를 통해 웨이퍼(1)를 탑재하고, 이러한 상황하에서 웨이퍼 탑재막(42)과 다층 배선 기판(10) 사이를 감압함으로써 적당한 대기압을 이용하여 접촉 단자(4)군과 웨이퍼(1)의 전극(3)군을 대면적이라도 확실하게 접촉시키고, 풀 웨이퍼 검사용 검사 장치를 웨이퍼 카세트로서 구성하는 것이 가능해진다.

[0107] 또한, 풀 웨이퍼 검사용 검사 장치의 구성으로서 상기 밀폐 구조는 임의이다. 또한, 접촉 단자(4)군과 웨이퍼(1)의 전극군(3)이 확실하게 접촉하면, 감압 기구가 없는 웨이퍼 카세트 구조라도 좋은 것은 물론이다.

[0108] (제6 실시 형태)

[0109] 도12는 본 제6 실시 형태의 프로브 카드의 주요부를 도시하는 단면도이다. 도13은 본 제6 실시 형태의 프로브 카드의 구성 요소인 1개의 블록(32b)에 장착되는 프로브 시트(5)의 전개도이다. 도13에는 프로브 시트(5)에 대한 고착 기판(33)의 고착 위치(33s)(사선을 부여한 부분), 블록 현수판(43)의 고착 위치(43s), 고착 기판 바로 위 시트 압박판(44)의 고착 위치(44s) 및 기판 하면 시트 압박판(45)의 고착 위치(45s)에 대해서도 도시되어 있다.

[0110] 고착 기판(33)은 프로브 시트(5)에 대해 접촉 단자(4)가 형성된 면과는 반대측의 면의 접촉 단자 형성 대응 영역에 고착된다. 고착 기판 바로 위 시트 압박판(44)도 고착 기판(33)과 마찬가지로 프로브 시트(5)에 대해 접촉 단자(4)가 형성된 면과는 반대측의 면에 고착되고, 그 고착 위치는 다층 배선 기판(10)의 기판 전극에 대응한 배선 피치 확대 패드(제1 주변 전극)(46a)가 형성된 영역이다. 이 배선 피치 확대 패드(46a)는 프로브 시트(5)의 형성시에 접촉 단자(4)와 동일한 공정에서 형성되는 단자이고, 프로브 시트(5)에 있어서 접촉 단자(4)와 동일면에 형성되고, 접촉 단자(4)보다 형성 피치가 넓게 되어 있다. 한편, 기판 하면 시트 압박판(45)은 프로브 시트(5)에 대해 접촉 단자(4)가 형성된 면에 고착되고, 그 고착 위치는 다층 배선 기판(10)의 기판 전극에 대응한 배선 피치 확대 패드(제2 주변 전극)(46b)가 형성된 영역이다. 이 배선 피치 확대 패드(46b)는 프로브 시트(5)에 있어서 접촉 단자(4)와는 반대측의 면에 형성되고, 접촉 단자(4)보다 형성 피치가 넓게 되어 있다.

[0111] 도14는 도12 및 도13에 도시한 블록(32b)의 다층 배선 기판(10)에의 장착예를 사시도로 도시한 것이다.

- [0112] 본 제6 실시 형태에서는, 프로브 시트(5)와 고착하는 각각의 기판[고착 기판(33), 고착 기판 바로 위 시트 압박판(44) 및 기판 하면 시트 압박판(45)]을 상기와 같은 구성으로 하고, 인출 배선(16B)의 피치는 조립 상태를 고려하여 접촉 단자(4)를 형성한 프로브 시트(5) 상에서 확대함으로써, 다층 배선 기판(10)의 통상의 기판 전극의 형성 피치까지 프로브 시트(5)의 주변 전극[배선 피치 확대 패드(46a, 46b)]의 피치를 확대하고 있다. 그에 의해, 다수 침 동시 검사용 프로브 카드와 같이 다핀 또한 협피치로 배선이 형성되는 경우라도, 프로브 시트(5)의 주변 전극과 다층 배선 기판(10)의 기판 전극간의 전극 패드 피치 확대용 중간 기판을 생략할 수 있다. 즉, 프로브 카드를 형성하는 부품수를 저감할 수 있으므로 부품간의 접촉부를 줄일 수 있어 조립도 용이해진다.
- [0113] 또한, 도12에 도시한 예는 도14에 도시한 블록(32b)을 2개 사용하여 프로브 카드를 구성한 예이다.
- [0114] 블록(32b)을 제작하는 것에 있어서는, 고착 기판(33)과 블록 현수판(43)을 일체적으로 가공 형성해도 좋다. 또한, 외팔보 빔 구조의 접촉 단자(4)에서, 검사시의 접촉 단자(4)부의 스트로크를 확보할 수 있는 경우는 각각의 블록(32b)을 블록간 고정판으로 고정하여 일체 블록으로서 사용해도 좋다.
- [0115] 프로브 시트(5)의 주변 전극과 대응하는 다층 배선 기판(10)의 기판 전극을 위치 맞춤한 상태에서, 프로브 시트(5) 및 다층 배선 기판(10)을 기판 하면 시트 압박판(45)과 기판 상면 압박판(47) 사이에 끼우고, 고정 나사(48)로 이들을 나사 고정함으로써 프로브 시트(5)의 주변 전극[배선 피치 확대 패드(46a, 46b)]과 대응하는 다층 배선 기판(10)의 기판 전극을 전기적으로 접속한다. 또한, 다층 배선 기판(10)은 하부 압박판(49)과 상부 압박판(50) 사이에 끼우고, 고정 나사(51)로 나사 고정함으로써 본 제6 실시 형태의 프로브 카드를 형성할 수 있다. 또한, 평행 가압 기구로서의 스프링 내장 가이드 핀(9a) 및 접촉 단자(4)의 선단부의 위치 어긋남 방지 용 위치 결정 전용 가이드 핀(9b)은 상부 압박판(50)을 관통하여, 상부 압박판(50)의 상면에서 고정되는 구성으로 되어 있다.
- [0116] (제7 실시 형태)
- [0117] 도15는 본 제7 실시 형태의 프로브 카드의 주요부를 도시하는 단면도이다.
- [0118] 도15에 도시하는 바와 같이, 본 제7 실시 형태에서는 상기 제6 실시 형태에서 사용하고 있는 스프링 내장 가이드 핀(9a)(도12 참조) 대신에 판 스프링(26)을 사용하고, 복수의 블록(32b)을 블록간 고정 기판(97)에 장착하여 일체 블록으로 하고 있다.
- [0119] 상기한 바와 같은 본 제7 실시 형태에 의해서도, 상기 제6 실시 형태와 동일한 효과를 얻을 수 있다.
- [0120] (제8 실시 형태)
- [0121] 다음에, 상기 제1 내지 제7 실시 형태에서 설명한 프로브 카드에서 사용되는 프로브 시트(프로브 시트 구조체)의 일례에 대해, 그 제조 방법을 도16 내지 도28을 참조하여 설명한다. 또한, 이후의 프로브 시트를 형성하는 각 부재는 도2 내지 도15에 도시한 상기 제1 내지 제7 실시 형태의 프로브 카드의 주요부 단면도 중에도 적절하게 도시되어 있다.
- [0122] 도16 내지 도28은 상기 제1 실시 형태에 있어서 도2에 도시한 프로브 카드를 형성하기 위한 제조 프로세스 중, 특히 실리콘 웨이퍼에 이방성 에칭으로 형성한 각뿔대 형상의 구멍을 형재로서 사용하여, 각뿔대 형상의 접촉 단자(4), 빔(28)(도6 참조) 및 인출 배선(16)용 배선 재료를 폴리이미드막(절연 시트)에 일체로 형성하는 공정이나, 그 표면에 폴리이미드막 및 배선 재료를 형성하고, 또한 고착 기판(6)을 고착하는 공정 등의 제조 프로세스를 공정순으로 도시한 것이다.
- [0123] 우선, 도16에 도시하는 공정이 실행된다. 이 공정은, 두께 0.2 내지 0.6  $\mu\text{m}$ 의 실리콘 웨이퍼(60)의 (100)면의 양면에 열산화에 의해 이산화 실리콘막(61)을 0.5  $\mu\text{m}$  정도 형성하고, 포토레지스트를 도포하고, 포토리소그래피 공정에 의해 각뿔대 형상의 구멍(60a)을 개방하는 위치의 포토레지스트를 제거한 패턴을 형성한다. 계속해서, 그 포토레지스트를 마스크로 하여 이산화 실리콘막(61)을 불산과 불화암모늄의 혼합액에 의해 에칭 제거하고, 상기 이산화 실리콘막(61)을 마스크로 하여 실리콘 웨이퍼(60)를 강 암탈리액(예를 들어, 수산화칼륨)에 의해 이방성 에칭하여 (111)면 및 (100)면으로 둘러싸인 각뿔대 형상의 에칭 구멍(60a)을 형성한다.
- [0124] 여기서, 본 제8 실시 형태에서는 실리콘 웨이퍼(60)를 형재로 하였지만, 형재로서는 결정성을 갖는 것이면 좋고, 그 범위에서 다양하게 변경 가능한 것은 물론이다. 또한, 본 제8 실시 형태에서는 이방성 에칭에 의한 구멍을 각뿔대 형상으로 하였지만, 그 형상은 각뿔 형상이라도 좋고, 작은 침압(針壓)으로 안정된 접촉 저항을 확보할 수 있는 정도의 접촉 단자(4)를 형성할 수 있는 형상의 범위에서 다양하게 변경 가능하다. 또한, 접촉

대상으로 하는 1개의 전극에 복수의 접촉 단자(4)로 접촉하도록 해도 좋은 것은 물론이다.

[0125] 다음에, 도17에 도시하는 공정이 실행된다. 이 공정에서는 마스크로서 사용한 이산화 실리콘막(61)을 불산과 불화암모늄의 혼합액에 의해 에칭 제거하고, 다시 습윤 산소 중에서의 열산화에 의해 실리콘 웨이퍼(60)의 전면에 이산화 실리콘막(62)을  $0.5 \mu\text{m}$  정도 형성한다. 계속해서, 그 이산화 실리콘막(62)의 표면에 도전성 피복(63)을 형성하고, 다음에 그 도전성 피복(63)의 표면에 접촉 단자(4)부를 개방하도록 포토레지스트 마스크(64)를 형성한다.

[0126] 다음에, 그 포토레지스트 마스크(64)를 마스크로 하고, 상기 도전성 피복(63)을 급전층으로 하고, 경도가 높은 재료를 주성분으로 하여 전기 도금하여 접촉 단자(4) 및 접속 전극부(4b)를 일체적으로 형성한다. 이때, 접촉 단자(4)와 동일한 구조의 주변 전극(11)도 형성된다. 경도가 높은 도금 재료로서, 예를 들어 니켈(4c), 로듐(4d) 및 니켈(4e)을 순차 도금하여 접촉 단자(4) 및 접속 전극부(4b)를 일체로 하여 접촉 단자부(4a)를 형성하면 좋다. 포토레지스트 마스크(64)로서는 액상 레지스트라도, 필름 형상 레지스트(드라이 필름)라도 좋다.

[0127] 다음에, 도18에 도시하는 공정이 실행된다. 이 공정은 상기 포토레지스트 마스크(64)를 제거한 후, 상기 접촉 단자부(4a) 및 도전성 피복(63)을 덮도록 폴리아미드막(65)을 형성하고, 상기 접촉 단자부(4a)의 표면이 폴리아미드막(65)으로부터 노출되도록 평탄하게 연마하는 것이다. 폴리아미드막(65)의 표면 및 접촉 단자부(4a)의 표면의 연마에는, 예를 들어 CMP(Chemical Mechanical Polishing), 혹은 연마 시트를 사용한 연마 가공을 예시할 수 있다.

[0128] 다음에, 도19에 도시하는 공정이 실행된다. 이 공정은 폴리아미드막(65)에 도전성 피복(66)을 형성하고, 포토레지스트 마스크(67)를 형성한 후, 빔(28)을 도금하는 것이다. 도전성 피복(66)으로서는, 예를 들어 크롬을 스퍼터링법 혹은 증착법에 의해 성막함으로써 두께  $0.1 \mu\text{m}$  정도의 크롬막을 형성하고, 그 크롬막을 형성한 표면에 구리를 스퍼터링법 혹은 증착법에 의해 성막함으로써 두께  $1 \mu\text{m}$  정도의 구리막을 형성하면 좋다. 또한, 빔(28)의 재료로서는, 예를 들어 구리 도금에 니켈 도금을 실시한 재료, 혹은 니켈 코발트 도금 등을 사용하면 좋다. 포토레지스트 마스크(67)로서는 포토레지스트 마스크(64)와 마찬가지로 액상 레지스트라도, 필름 형상 레지스트(드라이 필름)라도 좋다.

[0129] 다음에, 도20에 도시하는 공정이 실행된다. 이 공정은 상기 포토레지스트 마스크(67)를 제거한 후, 상기 도전성 피복(66)을 빔(28)의 도금막을 마스크로 하여 소프트 에칭한 후, 빔(28) 및 폴리아미드막(65)을 덮도록 폴리아미드막(68)을 형성하고, 빔(28)의 표면이 폴리아미드막(68)으로부터 노출되도록 평탄하게 연마하는 것이다. 폴리아미드막(68)의 표면 및 빔(28)의 표면을 연마하기 위해서는, 예를 들어 CMP, 혹은 연마 시트를 사용한 연마 가공을 예시할 수 있다.

[0130] 다음에, 도21에 도시하는 공정이 실행된다. 이 공정은, 상기 빔(28) 및 폴리아미드막(68)을 덮도록 폴리아미드막(69)을 형성한 후, 표면에 알루미늄 마스크(70)를 형성하여 인출 배선 접속용 구멍(71a)을 형성해야 할 위치에 있는 폴리아미드막(69)을 빔(28)의 표면에 이를 때까지 에칭 제거하는 것이다.

[0131] 상기 인출 배선 접속용 구멍(71a)을 형성함에 있어서는, 알루미늄 마스크(70)를 예칭 마스크로 하여 드라이 에칭 혹은 레이저 에칭을 사용하면 좋다. 또한, 알루미늄 마스크(70)의 형성을 생략하고, 직접적으로 레이저 천공 가공하여 인출 배선 접속용 구멍(71a)을 형성해도 좋다.

[0132] 다음에, 도22에 도시하는 공정이 실행된다. 이 공정은 상기 알루미늄 마스크(70)를 제거한 후, 인출 배선 접속용 구멍(71a)을 도금(71)으로 충전하고, 또한 도전성 피복(72)을 형성하여 포토레지스트 마스크(73)를 형성한 후, 배선 재료(74)를 도금하는 것이다.

[0133] 상기 도전성 피복(72)으로서는, 예를 들어 크롬을 스퍼터링법 혹은 증착법에 의해 성막함으로써 두께  $0.1 \mu\text{m}$  정도의 크롬막을 형성하고, 그 크롬막을 형성한 표면에 구리를 스퍼터링법 혹은 증착법에 의해 성막함으로써 두께  $1 \mu\text{m}$  정도의 구리막을 형성하면 좋다. 또한, 그 구리막에 수  $\mu\text{m}$  두께의 구리를 도금으로 형성하여 천공 가공의 내성을 증가시켜도 좋다. 또한, 배선 재료(74)로서는 구리 도금 혹은 구리 도금에 니켈 도금을 실시한 재료를 이용하면 좋다. 포토레지스트 마스크(73)로서는 포토레지스트 마스크(64, 67)와 마찬가지로 액상 레지스트라도, 필름 형상 레지스트(드라이 필름)라도 좋다.

[0134] 다음에, 도23에 도시하는 공정이 실행된다. 이 공정은 상기 포토레지스트 마스크(73)를 제거하고, 폴리아미드막(75)을 형성하여 알루미늄 마스크(76)를 형성한 후, 배선 재료(74)와 상부의 배선 재료(79)(도24를 이용하여 후술)의 접속용 구멍을 형성해야 할 위치에 있는 폴리아미드막(75)을, 상기 배선 재료(74)의 표면에 이를 때까

지 제거하는 것이다.

[0135] 폴리이미드막(75)을 배선 재료(74)의 표면에 이를 때까지 제거하는 것에 있어서는, 알루미늄 마스크(76)를 에칭 마스크로 한 드라이 에칭 혹은 레이저 에칭을 사용하면 좋다. 또한, 알루미늄 마스크(76)의 형성을 생략하고, 직접 레이저 천공 가공을 실시해도 좋다.

[0136] 다음에, 도24에 도시하는 공정이 실행된다. 이 공정은 상기 알루미늄 마스크(76)를 제거한 후, 폴리이미드막(75)에 도전성 피복(77)을 형성하고, 포토레지스트 마스크(78)를 형성한 후, 배선 재료(79)를 도금하는 것이다.

[0137] 도전성 피복(77)으로서는, 예를 들어 크롬을 스퍼터링법 혹은 증착법에 의해 성막함으로써 두께  $0.1 \mu\text{m}$  정도의 크롬막을 형성하고, 그 크롬막을 형성한 표면에 구리를 스퍼터링법 혹은 증착법에 의해 성막함으로써 두께  $1 \mu\text{m}$  정도의 구리막을 형성하면 좋다. 또한, 배선 재료(79)로서는 구리 도금, 혹은 구리 도금에 니켈 도금을 실시한 재료를 이용하면 좋다. 포토레지스트 마스크(78)로서는 포토레지스트 마스크(64, 67, 73)와 마찬가지로 액상 레지스트라도, 필름 형상 레지스트(드라이 필름)라도 좋다.

[0138] 인출 배선(16)으로 되는 배선 재료(74, 79)를 2층 구조로 하는 것은, 예를 들어 배선 재료(74)를 접지용 배선 [인출 배선(16A)]으로 하여, 배선 재료(79)를 신호용 및 전원용 배선[인출 배선(16B)]으로 하여, 배선 재료(74, 79) 사이에서 마이크로 칩 구조를 형성하여 임피던스를 정합하고, 고속 전기 신호의 혼란을 가능한 한 방지하기 위함이다. 또한, 협피치 또한 다편으로 배치된 접촉 단자(4)군으로부터의 주변 전극(11)군으로의 인출 배선(16)을 2층 구조로 하는 목적은 인출 배선(16)의 형성을 용이하게 하고, 덧붙여 미세 배선의 인출을 위하여 배선 폭을 넓게 함으로써 배선 저항값을 낮게 하여 전압 강하를 적게 하는 동시에, 전류 용량을 확보하기 위함이기도 하다.

[0139] 또한, 필요에 따라서 배선 재료(79)의 형성을 생략하고, 배선 재료(74)만의 1층으로 해도 좋은 것은 물론이다.

[0140] 다음에, 도25에 도시하는 공정이 실행된다. 이 공정은 상기 포토레지스트 마스크(78)를 제거하고, 배선 재료(79)를 마스크로 하여 도전성 피복(77)을 소프트 에칭 제거한 후, 폴리이미드막(80)을 형성하고, 그 폴리이미드막(80)에 접착층(81) 및 금속막(82)을 접착하고, 그 금속막(82)에 원하는 패턴을 형성하기 위한 포토레지스트 마스크(83)를 형성하는 것이다.

[0141] 여기서, 접착층(81)으로서는 예를 들어 폴리이미드계 접착 시트, 혹은 에폭시계 접착 시트를 사용하면 좋다. 또한, 금속막(82)으로서는 42 얼로이(니켈 42 % 및 철 58 %의 합금으로 선행창률 4 ppm/°C) 혹은 인바(예를 들어, 니켈 36 % 및 철 64 %의 합금으로 선행창률 1.5 ppm/°C)와 같은 선행창률이고, 또한 실리콘 웨이퍼(실리콘형재)(60)의 선행창률에 가까운 금속 시트를 접착층(81)으로 폴리이미드막(80)에 접합하여 구성한다. 그에 의해, 형성되는 프로브 시트(5)의 강도 향상 및 대면적화가 도모되는 것 외에, 검사시의 온도에 의한 위치 어긋남 방지 등 여러 상황하에서의 위치 정밀도 확보가 가능해진다. 이 주지에 있어서, 금속막(82)으로서는 변인 검사시의 위치 정밀도 확보를 겨냥하여, 검사 대상의 반도체 소자의 선행창률에 가까운 선행창률의 재료를 사용해도 좋다.

[0142] 상기 접착 공정은, 예를 들어 접촉 단자부(4a) 및 폴리이미드막(80)을 형성한 실리콘 웨이퍼와, 접착층(81) 및 금속막(82)을 겹쳐 10 내지 200 kgf/cm<sup>2</sup> 정도로 가압하면서 접착층(81)의 유리 전이점 온도(Tg) 이상의 온도를 가하고, 진공 중에서 가열 가압 접착하면 좋다. 또한, 금속막(82)에 원하는 패턴을 형성하기 위한 포토레지스트 마스크(83)로서는, 포토레지스트 마스크(64, 67, 73, 78)와 마찬가지로 액상 레지스트라도, 필름 형상 레지스트(드라이 필름)라도 좋다.

[0143] 다음에, 도26에 도시하는 공정이 실행된다. 이 공정은, 상기 포토레지스트 마스크(83)를 마스크로 하여 금속막(82)을 에칭하여 원하는 금속막(14, 24)의 패턴을 형성한 후, 다음 공정(도27 참조)의 전처리로서 금속막(14, 24)의 패턴을 형성한 접착층(81)의 면을 보호 필름으로 덮고, 반대측의 면에 있어서는 실리콘 에칭용 보호 지그의 덮개(100b)(상세하게는 도27을 이용하여 후술)로부터 노출되는 영역의 이산화 실리콘막(62)을, 중앙을 도려낸 보호 필름을 마스크로 하여 불산과 불화 암모늄의 혼합액에 의해 에칭 제거한다. 계속해서, 그 보호 필름을 박리한 후, 접촉 단자(4)군을 형성한 영역에 대응하는 금속막(24)에 접착재(84)로 고착 기판(6)을 접착 고정하고, 실리콘 에칭용 보유 지지 링(85)을 상기 접착층(81)에 대해 접착재(86)로 접착하는 것이다.

[0144] 금속막(82)으로서 42 얼로이 시트 혹은 인바 시트를 이용한 경우에는, 금속막(14, 24)의 패턴을 형성하기 위한 에칭은 염화제2철 용액을 사용한 스프레이 에칭으로 하는 것을 예시할 수 있다.

[0145] 다음에, 도27에 도시하는 공정이 실행된다. 이 공정은 실리콘 에칭용 보호 지그를 장착하여, 실리콘 웨이퍼

(60)를 예칭 제거하는 것이다. 예를 들어, 중간 고정판(100d)에 상기 실리콘 에칭용 보유 지지 링(85)을 나사 고정하고, 스테인리스제의 고정 지그(100a)와 스테인리스제의 덮개(100b)를 0링(100c)을 통해 장착하고, 형재인 실리콘 웨이퍼(60)를 강 알칼리액(예를 들어, 수산화칼륨)에 의해 예칭 제거한다.

[0146] 다음에, 도28에 도시하는 공정이 실행된다. 이 공정에서는 상기 실리콘 에칭용 보호 지그[고정 지그(100a), 덮개(100b), 0링(100c) 및 중간 고정판(100d)]를 제거하고, 실리콘 에칭용 보유 지지 링(85)에 대해 한쪽 면을 덮도록 보호 필름을 접착하고, 이산화 실리콘막(62), 도전성 피복(63)(크롬 및 구리) 및 니켈(4c)을 예칭 제거한다. 계속해서, 그 보호 필름을 제거한 후, 도전성 피복(72)을 스토퍼로 하여 폴리이미드막(65, 68, 69)을 예칭 제거하고, 또한 불필요한 도전성 피복(72)을 제거한다. 계속해서, 금속막(14)에 주변 전극 고정판(12)을 접착재(87)로 고착하고, 그 주변 전극 고정판(12) 및 고착 기판(6)의 외주부를 따라 폴리이미드막(75, 80) 및 접착층(81)을 잘라내어 프로브 시트 구조체(105)를 제작하는 것이다. 또한, 상기한 잘라낸 프로브 시트 구조체(105)를 프로브 카드에 조립하는 공정의 설명도는, 상기 제1 실시 형태에 있어서 도3에 사시도로, 도4에 단면도로 도시하고 있다.

[0147] 도28에 도시한 공정에 있어서, 이산화 실리콘막(62)은 불산 및 불화암모늄의 혼합액에 의해 예칭 제거할 수 있고, 크롬막은 과망간산 칼륨액에 의해 예칭 제거할 수 있고, 구리막 및 니켈막(4c)은 알칼리성 구리 예칭액에 의해 예칭 제거할 수 있다. 이 일련의 예칭 처리에 의해 접촉 단자(4)의 표면에는 로듐(4d)이 노출되지만, 이와 같이 로듐(4d)이 접촉 단자(4)의 표면으로 됨으로써, 접촉 단자(4)에는 전극(3)(도1 참조)의 재료인 땀납이나 알루미늄 등이 부착되기 어려워진다. 또한, 로듐(4d)은 니켈보다 경도가 높고 산화되기 어려우므로, 접촉 단자(4)의 접촉 저항을 안정된 것으로 할 수 있다.

[0148] (제9 실시 형태)

[0149] 다음에, 상기 제8 실시 형태에서 설명한 프로브 시트 구조체(105)의 제조 공정과는 약간 상이한 본 제9 실시 형태의 프로브 시트 구조체의 제조 방법에 대해 도29 내지 도32를 참조하여 설명한다.

[0150] 도29 내지 도32는 본 제9 실시 형태의 프로브 시트를 형성하는 제조 프로세스를 공정순으로 도시한 것이다.

[0151] 제조 방법의 기본은, 상기 제8 실시 형태에서 도16 내지 도28을 사용하여 설명한 제조 방법에 준한 것이지만, 연마 공정을 일체 생략한 제법으로 되어 있다. 또한, 필요에 따라서 상기 제8 실시 형태에서 설명한 연마 공정을 도입해도 좋은 것은 물론이다.

[0152] 우선, 도29에 도시하는 공정이 실행된다. 이 공정은 상기 제8 실시 형태에 있어서 도16 및 도17에 도시한 공정과 동일한 공정을 거쳐 접촉 단자부(4a)를 형성한 후, 포토레지스트 혹은 드라이 필름(64)(도17 참조)을 제거하여 폴리이미드막(65b)을 형성한다. 계속해서, 폴리이미드막(65b)의 표면에 알루미늄 마스크(88)를 형성하고, 다음 공정에서 형성되는 빔(28b)과 접촉 단자부(4a)의 전기적 접속 위치로 되는 접촉 단자부(4a) 상의 폴리이미드막(65b)을, 접촉 단자부(4a)의 표면에 이를 때까지 제거한다.

[0153] 폴리이미드막(65b)을 제거하기 위해서는, 예를 들어 알루미늄 마스크(88)를 예칭 마스크로 한 드라이 예칭 혹은 레이저 예칭을 행하면 좋다. 또한, 알루미늄 마스크(88)의 형성을 생략하고, 직접 레이저 천공 가공을 실시하여 원하는 위치의 폴리이미드막(65b)을 제거해도 좋다.

[0154] 다음에, 도30에 도시하는 공정이 실행된다. 이 공정은 상기 제8 실시 형태에 있어서 도19 및 도20에 도시한 공정과 동일한 공정을 거쳐 폴리이미드막(65b) 상에 도전성 피복(66b)을 형성하고, 포토레지스트 마스크를 형성한 후, 빔(28b)을 도금으로 형성한다. 그 후, 포토레지스트 마스크를 제거한 후, 빔(28b)의 도금막을 마스크로 하여 도전성 피복(66b)을 소프트 예칭한 후, 빔(28b) 및 폴리이미드막(65b)을 덮도록 폴리이미드막(68b)을 형성한다. 계속해서, 폴리이미드막(68b)의 표면에 알루미늄 마스크(70b)를 형성하고, 인출 배선 접속용 구멍(포스트)을 형성해야 할 위치에 있는 폴리이미드막(68b)을, 빔(28b)의 표면에 이를 때까지 예칭 제거하는 것이다.

[0155] 도전성 피복(66b)으로서는, 예를 들어 크롬을 스퍼터링법 혹은 증착법에 의해 성막함으로써 두께  $0.1 \mu\text{m}$  정도의 크롬막을 형성하고, 그 크롬막의 표면에 구리를 스퍼터링법 혹은 증착법에 의해 성막함으로써 두께  $1 \mu\text{m}$  정도의 구리막을 형성하면 좋다. 또한, 빔의 재료로서는 예를 들어 구리 도금에 니켈 도금을 실시한 재료, 혹은 니켈 코발트 도금 등을 사용하면 좋다. 인출 배선 접속용 구멍(포스트)을 형성함에 있어서는, 알루미늄 마스크(70b)를 예칭 마스크로 한 드라이 예칭 혹은 레이저 예칭을 사용하면 좋다. 또한, 알루미늄 마스크(70b)의 형성을 생략하고, 직접 레이저 천공 가공을 실시하여 인출 배선 접속용 구멍을 형성해도 좋다.

[0156] 다음에, 도31에 도시하는 공정이 실행된다. 이 공정은 상기 제8 실시 형태에 있어서 도22 및 도23에 도시한 공

정과 동일한 공정을 거쳐 알루미늄 마스크(70b)를 제거한 후, 인출 배선 접속용 구멍을 도금(71b)으로 충전하고, 또한 도전성 피복(72b)을 형성한다. 계속해서, 도전성 피복(72b) 상에 포토레지스트 마스크를 형성하고 배선 재료(74b)를 도금한다. 계속해서, 포토레지스트 마스크를 제거하고, 폴리이미드막(75b)을 형성한 후에, 폴리이미드막(75b)의 표면에 알루미늄 마스크를 형성하고, 배선 재료(74b) 상에 형성되는 배선 재료(79b)와 배선 재료(74b)의 접속용 구멍을 형성해야 할 위치에 있는 폴리이미드막(75b)을, 배선 재료(74b)의 표면에 이를 때까지 제거한다. 그 후, 그 알루미늄 마스크를 제거한 후, 폴리이미드막(75b)의 표면에 도전성 피복(77b)을 형성하고, 포토레지스트 마스크(78b)를 형성하여 배선 재료(79b)를 도금하는 것이다.

[0157] 다음에, 상기 제8 실시 형태에 있어서 도25 내지 도27에 도시한 공정과 동일한 공정을 거쳐 도32에 도시하는 본 제9 실시 형태의 프로브 시트 구조체(105b)를 제작하는 것이다.

[0158] (제10 실시 형태)

[0159] 다음에, 본 제10 실시 형태의 프로브 시트의 제조 방법에 대해 도33 내지 도35를 참조하여 설명한다. 도33 내지 도35는 본 제10 실시 형태의 프로브 시트를 형성하는 제조 프로세스를 공정순으로 도시한 것이다.

[0160] 본 제10 실시 형태에서는 외팔보 범 구조의 포스트로부터의 인출 배선을 1층으로 형성하고, 폴리이미드의 보호막을 외팔보 범 구조의 접촉 단자 형성면에 형성한 프로브 시트(5)로 된다. 또한, 도33 내지 도35에서는 연마 공정이 없는 경우를 도시하지만, 필요에 따라서 연마 공정을 도입해도 좋은 것은 물론이다.

[0161] 우선, 도33에 도시하는 공정이 실행된다. 이 공정은 상기 제8 실시 형태에 있어서 도16 내지 도19에 도시한 공정과 동일한 공정을 거쳐 접촉 단자부(4a)를 형성한 후, 포토레지스트 마스크(67) 혹은 드라이 필름을 제거하여 폴리이미드막(68c)을 형성한다. 계속해서, 폴리이미드막(68c)의 표면에 알루미늄 마스크(70b)를 형성하고, 범(28c) 상에 형성되는 배선 재료와 범(28c)을 접속하는 위치에 있는 폴리이미드막(68c)을, 범(28c)의 표면에 이를 때까지 에칭 제거하는 것이다.

[0162] 다음에, 도34에 도시하는 공정이 실행된다. 이 공정은 상기 알루미늄 마스크(70b)를 제거한 후, 인출 배선 접속용 구멍을 도금(71b)으로 충전하고, 또한 도전성 피복(72c)을 형성한다. 계속해서, 포토레지스트 마스크를 형성한 후, 배선 재료(74c)를 도금한다. 그 후, 포토레지스트 마스크를 제거하고, 폴리이미드막(75c)을 형성하고, 그 폴리이미드막(75c)에 접착층(81c) 및 금속막(82c)을 접착하고, 그 금속막(82c) 상에 원하는 패턴을 형성하기 위한 포토레지스트 마스크(83c)를 형성하는 것이다.

[0163] 다음에, 상기 제8 실시 형태에 있어서 도26 내지 도28에 도시한 공정과 동일한 공정을 거친 후, 도35에 도시하는 바와 같이 배선간의 단락 혹은 배선면의 보호를 위해, 필요에 따라서 폴리이미드의 보호막(31)(상기 제3 실시 형태 및 도8도 참조)을 외팔보 범 구조의 접촉 단자 형성면에 형성하고, 프로브 시트 구조체(105c)를 조립하여 도8에 도시한 프로브 카드를 제작한다.

[0164] 또한, 고속 전송 신호의 안정화를 위해, 도8에 도시한 바와 같이 필요에 따라서 접지용 인출 배선(16)과 전원용 인출 배선(16) 사이에 콘텐서(23)를 배치 및 탑재해도 좋다.

[0165] (제11 실시 형태)

[0166] 다음에, 본 제11 실시 형태의 프로브 시트의 제조 방법에 대해 도36 및 도37를 참조하여 설명한다. 도36 및 도37은 본 제11 실시 형태의 프로브 시트를 형성하는 제조 프로세스를 공정순으로 도시한 것이다.

[0167] 본 제11 실시 형태는, 포스트(외팔보 범의 토대의 상승부)(29)와 인출 배선 사이에 범의 힘에 의한 응력이 가해지는 것을 고려하여, 보강을 위해 포스트(29)와 접속하는 배선 재료[인출 배선(16)]를, 예를 들어 구리와 니켈의 2층 구조로 하여 보강한 예이다. 포스트(29)와 배선 재료의 접속부의 보강은, 도36 및 도37에 도시하는 바와 같이 배선 재료 전체라도 좋고, 부분적으로 보강해도 좋다.

[0168] 우선, 도36에 도시하는 바와 같이, 상기 제8 실시 형태에 있어서 도16 내지 도21에 도시한 공정과 동일한 공정을 거친 후, 도22에 도시한 공정의 단계에서 배선 재료(74)의 부분을, 구리(74d) 및 니켈(74e)의 도금의 2층 구조로 한다.

[0169] 그 후, 상기 제8 실시 형태에 있어서 도23 내지 도27에 도시한 공정과 동일한 공정을 거쳐 도37에 도시하는 프로브 시트 구조체(105d)를 제작한다.

[0170] 또한, 보강 재료로서는 니켈 합금 또는 팔라듐 합금 등의 합금 재료, 혹은 텉스텐과 같은 금속 재료를 사용해도 좋다.

[0171] (제12 실시 형태)

[0172] 다음에, 상기 제8 실시 형태에서 설명한 프로브 시트 구조체(105)의 제조 공정과는 약간 상이한 본 제12 실시 형태의 프로브 시트 구조체의 제조 방법에 대해 도38 내지 도43을 참조하여 설명한다.

[0173] 도38 내지 도43은 본 제12 실시 형태의 프로브 시트를 형성하는 제조 프로세스를 공정순으로 도시한 것이다.

[0174] 제조 방법의 기본은, 상기 제8 실시 형태에서 도16 내지 도28을 이용하여 설명한 제조 방법에 준한 것이지만, 폴리이미드막(65, 65c)의 2층의 희생층으로 하여 접촉 단자부(4a)의 높이를 증가시키고 폴리이미드막(65, 65c, 68, 69)을 예칭 제거할 때에, 빔(28)의 금속 재료를 마스크로서 빔(28)의 이면의 폴리이미드막을 남기도록 한 제법의 예이다. 또한, 요구 사양에 따라서, 폴리이미드막(65c)의 희생층을 생략하거나, 연마 공정을 생략하거나, 빔(28)의 이면의 폴리이미드막(69)을 제거해도 좋은 것은 물론이다.

[0175] 우선, 도38에 도시하는 공정이 실행된다. 이 공정에서는, 상기 제8 실시 형태에 있어서 도16 내지 도18에 도시한 공정과 동일한 공정을 거쳐 접촉 단자부(4a)를 형성한 후, 폴리이미드막(65)에 포토레지스트 마스크(64)를 형성하고, 도전성 피복(63)을 급전층으로 하여 경도가 높은 재료를 주성분으로 하여 전기 도금하여 2층째의 금속 재료(4f)를 형성함으로써, 접속 전극부(4b)를 접촉 단자부(4a)와 일체적으로 형성하는 공정이 실행된다. 또한, 포토레지스트 마스크(64)로서는 액상 레지스트라도, 필름 형상 레지스트(드라이 필름)라도 좋다. 2층째의 금속 재료(4f)로서는, 예를 들어 니켈 도금을 사용하면 좋다.

[0176] 다음에, 도39에 도시하는 공정이 실행된다. 이 공정은 상기 포토레지스트 마스크(64)를 제거한 후, 상기 접속 전극부(4b)를 덮도록 폴리이미드막(65c)을 형성하고, 접속 전극부(4b)의 표면이 폴리이미드막(65c)으로부터 노출되도록 폴리이미드막(65c)을 평坦하게 연마하는 것이다. 폴리이미드막(65c)의 표면 및 접속 전극부(4b)의 표면을 연마하기 위해서는, 예를 들어 CMP, 혹은 연마 시트를 사용한 연마 가공을 이용하면 좋다.

[0177] 다음에, 도40에 도시하는 공정이 실행된다. 이 공정은, 상기 제8 실시 형태에 있어서 도19에 도시한 공정과 마찬가지로 폴리이미드막(65c) 상에 도전성 피복(66)을 형성하고, 또한 포토레지스트 마스크(67)를 형성한 후, 빔(28)을 도금하는 것이다.

[0178] 다음에, 도41에 도시하는 공정이 실행된다. 이 공정은, 상기 제8 실시 형태에 있어서 도20 내지 도24에 도시한 공정과 동일한 공정을 거쳐 포토레지스트 마스크(78)를 제거한 후, 배선 재료(79)를 마스크로 하여 도전성 피복(77)을 소프트 예칭 제거한다. 계속해서, 폴리이미드막(80)을 형성하고, 그 폴리이미드막(80) 상에 도전성 피복(90)을 형성하여 원하는 주변 패턴을 형성하기 위한 포토레지스트 마스크(91)를 형성하는 것이다. 포토레지스트 마스크(91)로서는 액상 레지스트라도, 필름 형상 레지스트(드라이 필름)라도 좋다.

[0179] 다음에, 도42에 도시하는 공정이 실행된다. 이 공정은, 상기 도전성 피복(90)을 급전층으로 하여 전기 도금하여 금속막(14)의 패턴을 형성하고, 포토레지스트 마스크(91)를 제거한 후, 금속막(14)의 패턴을 마스크로 하여 도전성 피복(90)을 소프트 예칭 제거한다. 그 후, 다음 공정의 전처리로서 금속막(14)의 패턴이 형성된 폴리이미드막(80)의 면을 보호 필름으로 덮고, 반대측의 면에 있어서는 실리콘 예칭용 보호 지그의 덮개(100b)(도27 참조)로부터 노출되는 영역의 이산화 실리콘막(62)을, 중앙을 도려낸 보호 필름을 마스크로 하여 불산과 불화암모늄의 혼합액에 의해 예칭 제거한다. 계속해서, 그 보호 필름을 박리한 후, 접촉 단자(4)군을 형성한 영역에 대응하는 폴리이미드막(80)에 접착재(84)로 고착 기판(6)을 접착 고정하고, 실리콘 예칭용 보유 지지 링(85)을 폴리이미드막(80)에 접착재(86)로 접착하는 것이다.

[0180] 도전성 피복(90)로서는, 예를 들어 크롬을 스퍼터링법 혹은 증착법에 의해 성막함으로써 두께  $0.1 \mu\text{m}$  정도의 크롬막을 형성하고, 그 크롬막을 형성한 표면에 구리를 스퍼터링법 혹은 증착법에 의해 성막함으로써 두께  $1 \mu\text{m}$  정도의 구리막을 형성하면 좋다. 또한, 금속막(14)로서는 예를 들어 니켈 도금 혹은 구리 도금 등을 사용하여 형성하면 좋다.

[0181] 다음에, 상기 제8 실시 형태에 있어서 도27 및 도28에 도시한 공정과 동일한 공정을 거쳐 도43에 도시하는 본 제12 실시 형태의 프로브 시트 구조체(105e)를 제작하는 것이다.

[0182] 본 제12 실시 형태에서는, 빔(28)의 금속 재료를 마스크로 하여 빔(28)의 이면의 폴리이미드막을 남기도록 폴리이미드막(65, 65c, 68, 69)을 예칭 제거한 예를 나타내고 있다. 이들 폴리이미드막의 제거는, 예를 들어 드라이 예칭 혹은 레이저 가공을 이용하면 좋다. 여기서, 폴리이미드막(69)의 일부를 남김으로써 외팔보 빔 구조의 접촉 단자의 강도 및 탄성률을 확보할 수 있다. 또한, 포스트(29)가 완전히 노출되도록 폴리이미드막을 제거해도 좋은 것은 물론이다.

- [0183] 또한, 도38 내지 도43에 도시한 제조 공정에서는, 프로브 시트 주변의 금속막(14)의 패턴 재료로서 도금 재료를 이용하여, 접촉 단자(4)군을 형성한 영역에 대응하는 폴리이미드막(80)에 접착재(84)로 직접 고착 기판(6)을 접착 고정한 예를 나타냈지만, 상기 제1 실시 형태에 있어서 도16 내지 도28에서 도시한 접착층(81) 및 금속막(82)을 이용해도 좋은 것은 물론이다.
- [0184] (제13 실시 형태)
- [0185] 다음에, 상기 제8 실시 형태에서 설명한 프로브 시트 구조체(105)의 제조 공정과는 약간 상이한 본 제13 실시 형태의 프로브 시트 구조체의 제조 방법에 대해 도44 및 도45를 참조하여 설명한다.
- [0186] 도44 및 도45는 본 제13 실시 형태의 프로브 시트를 형성하는 제조 프로세스를 공정순으로 도시한 것이다.
- [0187] 제조 방법의 기본은, 상기 제8 실시 형태에서 도16 내지 도28을 이용하여 설명한 제조 방법과 상기 제12 실시 형태에서 도38 내지 도43을 사용하여 설명한 제조 방법에 준한 것이지만, 폴리이미드막(65, 65c)만을 에칭 제거하고, 다른 폴리이미드막을 남기도록 한 제법의 예이다. 또한, 요구 사양에 따라서 폴리이미드막(65c)의 희생층을 생략하거나, 연마 공정을 생략해도 좋은 것은 물론이다.
- [0188] 우선, 도44에 도시하는 공정이 실행된다. 이 공정은, 상기 제12 실시 형태에 있어서 도38 내지 도40에 도시한 공정과 동일한 공정을 거쳐 포토레지스트 마스크(67)를 제거한 후, 도전성 피복(66)을 남긴 상태에서 접속 전극부(4b)를 덮도록 폴리이미드막(68)을 형성하고, 접속 전극부(4b)의 표면이 폴리이미드막(68)으로부터 노출되도록 평탄하게 연마하는 것이다. 폴리이미드막(68)의 표면 및 접속 전극부(4b)의 표면의 연마에는, 예를 들어 CMP 혹은 연마 시트를 사용한 연마 가공을 이용하면 좋다.
- [0189] 다음에, 도45에 도시하는 공정이 실행된다. 이 공정은, 상기 제12 실시 형태에 있어서 도41 내지 도42에 도시한 공정과 동일한 공정을 거쳐 도45에 도시하는 프로브 시트 구조체(105f)를 제작하는 것이다.
- [0190] 본 제13 실시 형태에서는, 폴리이미드막(65, 65c)만을 에칭 제거한 예를 나타내고 있다. 이들 폴리이미드막의 제거에는, 예를 들어 드라이 에칭, 알칼리액 에칭, 레이저 가공 혹은 산소 플라즈마 에칭 등의 수단을 이용하면 좋다. 여기서, 폴리이미드막(68 및 69)을 남김으로써 외팔보 범 구조의 접촉 단자의 강도 및 탄성률을 확보할 수 있다.
- [0191] (제14 실시 형태)
- [0192] 다음에, 상기 제8 실시 형태에서 설명한 프로브 시트 구조체(105)의 제조 공정과는 약간 상이한 본 제14 실시 형태의 프로브 시트 구조체의 제조 방법에 대해 도46 내지 도49를 참조하여 설명한다.
- [0193] 도46 내지 도49는 본 제14 실시 형태의 프로브 시트를 형성하는 제조 프로세스를 공정순으로 도시한 것이다.
- [0194] 제조 방법의 기본은 상기 제8 실시 형태에서 도16 내지 도28을 사용하여 설명한 제조 방법에 준한 것이지만, 도18의 폴리이미드막(65)의 하부에 또한 금속층(92)을 형성함으로써 금속층(92)을 희생층으로 하여, 접촉 단자부(4a)의 높이를 증가시켜 금속층(92) 및 폴리이미드막(65, 68, 69)을 제거한 제법의 예이다. 또한, 요구되는 사양에 따라서 연마 공정을 생략하거나, 범(28)의 금속 재료를 마스크로 하여 범(28)의 이면의 폴리이미드막(69)을 남기도록 해도 좋은 것은 물론이다.
- [0195] 우선, 도46에 도시하는 공정이 실행된다. 이 공정에서는 상기 제8 실시 형태에 있어서 도16에 도시한 공정과 동일한 공정을 거쳐 구명(60a)을 형성한다.
- [0196] 다음에, 마스크로서 사용한 이산화 실리콘막(61)을 불산과 불화암모늄의 혼합액에 의해 에칭 제거하고, 다시 습윤 산소 중에서의 열산화에 의해 실리콘 웨이퍼(60)의 전면에 이산화 실리콘막(62)을  $0.5 \mu\text{m}$  정도 형성한다. 계속해서, 그 이산화 실리콘막(62)의 표면에 도전성 피복(63)을 형성하고, 다음에 그 도전성 피복(63)의 표면에 접촉 단자부(4a)를 형성하는 부분 및 주변 전극(11)을 형성하는 부분에 포토레지스트 마스크(64b)를 형성한다.
- [0197] 다음에, 그 포토레지스트 마스크(64b)를 마스크로 하여, 상기 도전성 피복(63)에 금속 재료를 전기 도금하여 금속층(92)(희생층)을 형성한다. 금속층(92)(희생층)으로 하는 금속 재료로서는, 접촉 단자의 재료에 대해 선택 에칭(에칭 선택비를 가짐)을 할 수 있는 금속을 희생층으로서 사용하면 좋다. 예를 들어, 이후의 공정에서 형성하는 접촉 단자부(4a)가 로듐(4d) 및 니켈(4e)로 이루어지는 접촉 단자를 형성한 경우(도48 참조)는, 니켈 및 로듐과 선택 에칭성이 있는 구리를 희생층으로서 이용하면 좋다. 포토레지스트 마스크(64b)로서는 액상 레지스트라도, 필름 형상 레지스트(드라이 필름)라도 좋다.

- [0198] 다음에, 도47에 도시하는 공정이 실행된다. 이 공정에서는 포토레지스트 마스크(64b)를 제거한 후 포토레지스트를 형성하고, 접촉 단자부(4a)를 형성하는 부분 및 주변 전극(11)을 형성하는 부분의 포토레지스트를 제거한 포토레지스트 마스크(64c)를 형성한다. 포토레지스트 마스크(64c)로서는 액상 레지스트라도, 필름 형상 레지스트(드라이 필름)라도 좋다.
- [0199] 다음에, 도48에 도시하는 공정이 실행된다. 이 공정에서는 상기한 포토레지스트 마스크(64c)를 마스크로 하고, 상기 도전성 피복(63)을 급전층으로 하여 경도가 높은 재료를 주성분으로 하여 전기 도금하여 접촉 단자(4) 및 접속 전극부(4b)를 일체적으로 형성한다. 이때, 접촉 단자(4)와 동일한 구조의 주변 전극(11)도 형성된다. 경도가 높은 도금 재료로서, 예를 들어 니켈(4c), 로듐(4d) 및 니켈(4e)을 순차 도금하여 접촉 단자(4) 및 접속 전극부(4b)를 일체로 하여 접촉 단자부(4a)를 형성하면 좋다.
- [0200] 다음에, 도49에 도시하는 공정이 실행된다. 이 공정은, 상기 제8 실시 형태에 있어서 도18 내지 도24 및 도25 내지 도27에 도시한 공정과 동일한 공정을 거쳐 도49에 도시하는 본 제14 실시 형태의 프로브 시트 구조체(105g)를 제작하는 것이다.
- [0201] 또한, 도47에서는 접촉 단자부(4a)를 형성하는 부분 및 주변 전극(11)을 형성하는 부분의 포토레지스트를 제거한 패턴을 형성하는 예를 도시하였지만, 포토레지스트 마스크(64b)를 남긴 상태에서 상기한 포토레지스트 마스크(64b) 및 금속층(92)의 표면에 포토레지스트 마스크(64c)를 형성하고, 예를 들어 필요에 따라서는 알루미늄막 마스크를 형성한 후에 드라이 에칭 혹은 레이저 가공을 이용하여, 원하는 접촉 단자부(4a)를 형성하는 부분 및 주변 전극(11)을 형성하는 부분의 포토레지스트 마스크(64c) 및 포토레지스트 마스크(64b)를 제거해도 좋다.
- [0202] 또한, 도47에서는 포토레지스트 마스크(64b)를 제거한 후 폴리이미드막(65)을 형성하고, 예를 들어 필요에 따라서는 알루미늄막 마스크를 형성한 후에 드라이 에칭 혹은 레이저 가공을 이용하여, 원하는 접촉 단자부(4a)를 형성하는 부분 및 주변 전극(11)을 형성하는 부분의 폴리이미드막(65)을 제거해도 좋다.
- [0203] 또한, 도46 내지 도49에 도시한 제조 공정에서는 접착층(81) 및 금속막(82)을 사용한 예를 도시하였지만, 본 제14 실시 형태에 있어서 접착층(81) 및 금속막(82)을 생략하고, 프로브 시트 주변의 금속막(14)의 패턴 재료로서 도금 재료를 사용해도 좋은 것은 물론이다.
- [0204] (제15 실시 형태)
- [0205] 다음에, 이상 설명한 제1 내지 제14 실시 형태에 관한 프로브 카드(프로빙 장치)를 사용한 반도체 검사 장치에 대해 도50을 이용하여 설명한다.
- [0206] 도50은 본 제15 실시 형태에 관한 반도체 검사 장치를 포함하는 검사 시스템의 전체 구성을 도시하는 설명도이며, 원하는 접촉 하중을 외팔보 빔 구조의 접촉 단자(4)에서 웨이퍼(1)의 각각의 전극(3)면에 가하여 전기 특성 검사를 실시하는 시험 장치를 도시하고 있다.
- [0207] 도50에 도시하는 상태에서는, 스프링 내장 가이드 핀(9a)[판 스프링(26)(도시는 생략)으로 대용해도 좋음]이, 프로브 카드(27)의 접촉 단자(4)군의 선단부면이 웨이퍼(1)의 전극(3)면에 추종할 때까지의 하중 및 그 후의 오버 드라이브에 의한 하중 증가를 흡수함으로써 저하중으로 유지한다. 이러한 상태에서 각각의 외팔보 빔 구조의 압박력(하중)이 외팔보 빔 구조의 선단부에 형성된 접촉 단자(4)에 가해져, 웨이퍼(1)의 전극(3)에 접촉한 접촉 단자(4), 인출 배선(16)[예를 들어, 배선 재료(74, 79)], 주변 전극(11), 다층 배선 기판(10)의 전극(15), 내부 배선(10b) 및 전극(10c)을 통과하여 반도체 소자의 전기적 특성의 검사를 행하는 테스터(170)와의 사이에서 검사용 전기 신호의 송수신이 실시된다.
- [0208] 검사 시스템의 전체 구성에 있어서, 프로브 카드(27)는 웨이퍼 프로버로서 구성되어 있다. 이 검사 시스템은 피검사 대상인 웨이퍼(1)를 지지하는 시료 지지계(160)와, 피검사 대상[웨이퍼(1)]의 전극(3)에 접촉하여 전기 신호의 교환을 행하는 프로브 카드(27)와, 시료 지지계(160)의 동작을 제어하는 구동 제어계(150)와, 피검사 대상의 온도 제어를 행하는 온도 제어계(140)와, 반도체 소자(칩)(2)의 전기적 특성의 검사를 행하는 테스터(170)로 구성된다. 웨이퍼(1)에는 다수의 반도체 소자(칩)(2)가 배열되고, 각 반도체 소자(2)의 표면에는 외부 접속 전극인 복수의 전극(3)이 배열되어 있다. 시료 지지계(160)는 웨이퍼(1)를 착탈 가능하게 적재하여 대략 수평으로 설치된 시료대(162)와, 이 시료대(162)를 지지하도록 수직으로 배치되는 승강축(164)과, 이 승강축(164)을 승강 구동하는 승강 구동부(165)와, 이 승강 구동부(165)를 지지하는 X-Y 스테이지(167)로 구성된다. X-Y 스테이지(167)는 하우징(166) 상에 고정된다. 승강 구동부(165)는, 예를 들어 스템핑 모터 등으로 구성된다. 시료대(162)의 수평 및 수직 방향에 있어서의 위치 결정 동작은 X-Y 스테이지(167)의 수평면 내에 있어서의 이

동 동작과, 승강 구동부(165)에 의한 상하 이동 등을 조합함으로써 행해진다. 또한, 시료대(162)에는 도시하지 않은 회전 기구가 설치되어 있고, 수평면 내에 있어서의 시료대(162)의 회전 변위를 가능하게 되어 있다.

[0209] 시료대(162)의 상방에는 프로브계[프로브 카드(27)]가 배치된다. 즉, 상기 제1 실시 형태에 있어서 도2에도 도시한 프로브 카드(27) 및 다층 배선 기판(10)은 그 시료대(162)에 평행하게 대향하는 자세로 설치된다. 각각의 접촉 단자(4)는 프로브 카드(27)의 프로브 시트(5)에 설치된 인출 배선(16)(도2 및 도3 참조) 및 주변 전극(11)을 통해 다층 배선 기판(10)의 전극(15) 및 내부 배선(10b)을 통하여 다층 배선 기판(10)에 설치된 전극(10c)에 전기적으로 접속되고, 전극(10c)에 접속되는 케이블(171)을 통해 테스터(170)와 전기적으로 접속된다.

[0210] 구동 제어계(150)는 케이블(172)을 통해 테스터(170)와 접속된다. 또한, 구동 제어계(150)는 시료 지지계(160)의 각 구동부의 액추에이터에 제어 신호를 보내, 그 동작을 제어한다. 즉, 구동 제어계(150)는 내부에 컴퓨터를 구비하고, 케이블(172)을 통해 전달되는 테스터(170)의 테스트 동작의 진행 정보에 맞추어 시료 지지계(160)의 동작을 제어한다. 또한, 구동 제어계(150)는 조작부(151)를 구비하고, 구동 제어에 관한 각종 지시의 입력의 접수, 예를 들어 수동 조작의 지시를 접수한다.

[0211] 시료대(162)에는 반도체 소자(2)를 가열하기 위한 히터(141)가 구비되어 있다. 온도 제어계(140)는 시료대(162)의 히터(141) 혹은 냉각 지그를 제어함으로써, 시료대(162)에 탑재된 웨이퍼(1)의 온도를 제어한다. 또한, 온도 제어계(140)는 조작부(151)를 구비하고, 온도 제어에 관한 각종 지시의 입력의 접수, 예를 들어 수동 조작의 지시를 접수한다. 여기서, 상기 프로브 시트(5) 혹은 프로브 카드(27)의 일부에 설치한 온도 제어가 가능한 발열체와 시료대(162)의 히터(141)를 연동시켜 온도 제어해도 좋다.

[0212] 이하, 반도체 검사 장치의 동작에 대해 설명한다. 우선, 피검사 대상인 웨이퍼(1)는 시료대(162) 상에 위치 결정하여 적재되고, X-Y 스테이지(167) 및 회전 기구를 구동 제어하고, 웨이퍼(1) 상에 배열된 복수개의 반도체 소자(2) 상에 형성된 전극(3)군을 프로브 카드(27)에 병설된 다수의 접촉 단자(4)군의 바로 아래에 위치 결정한다. 계속해서, 구동 제어계(150)는 승강 구동부(165)를 작동시켜, 피접촉재인 다수의 전극(3)의 전체의 면이 접촉 단자의 선단부에 접촉한 시점으로부터 10 내지 100  $\mu\text{m}$  정도 밀어 올리는 상태로 될 때까지 시료대(162)를 상승시킴으로써 프로브 시트(5)에 있어서 필요에 따라서 더블 나사(19) 혹은 심(shim)에 의한 미세 조정을 실시하여 초기적으로 평탄도를 고정밀도로 확보된 외팔보 빔 구조의 선단부에 형성된 각각의 접촉 단자(4)군에 있어서의 각각의 선단부를, 복수개의 스프링 내장 가이드 핀(9a) 혹은 판 스프링(26)에 의한 평행 가압 기구(압박 기구)에 의해 반도체 소자(2)에 배열된 다수의 전극(3)군(전체)의 면에 추종하도록 따라 평행 가압한다. 그 후는, 각각의 외팔보 빔 구조의 휨에 의한 하중에 의해 웨이퍼(1) 상에 배열된 각 피접촉재[전극(3)]를 따라 균일한 하중(1핀당 3 내지 150 mN 정도)을 기초로 하는 압입에 의한 접촉이 행해지고, 각 접촉 단자(4)와 각 전극(3) 사이는 저저항(0.01 Ω 내지 0.1 Ω)으로 전기적으로 접속되게 된다.

[0213] 이 경우의 초기의 압박시에는 스프링 내장 가이드 핀(9a)[혹은, 판 스프링(26)]에 의해, 접촉 단자(4)군이 형성된 영역의 접촉 단자(4)측과는 반대측의 면에 고착된 고착 기판(6)이 경사 동작하고, 그 고착 기판(6)의 반대측의 면의 접촉 단자(4)군의 선단부면이 반도체 소자(2)의 전극(3)의 군의 면에 추종하도록 따라 평행 가압되고, 각각의 외팔보 빔 구조의 휨에 의한 하중에 의해 웨이퍼(1) 상에 배열된 각 피접촉재[전극(3)]를 따라 균일한 하중(1핀당 3 내지 150 mN 정도)을 기초로 하는 압입에 의한 접촉이 행해진다.

[0214] 또한, 케이블(171), 다층 배선 기판(10) 및 접촉 단자(4)를 통해 웨이퍼(1)에 형성된 반도체 소자(2)와 테스터(170) 사이에서 동작 전류나 동작 검사 신호 등의 교환을 행하여, 해당되는 반도체 소자(2)의 동작 특성의 일부 등을 판별한다. 또한, 상기한 일련의 검사 동작이, 웨이퍼(1)에 형성된 복수의 반도체 소자(2)의 각각에 대해 실시되어, 동작 특성의 일부 등이 판별된다.

[0215] (제16 실시 형태)

[0216] 여기서, 상기 제15 실시 형태에서 설명한 반도체 검사 장치를 사용한 검사 공정, 또는 검사 방법을 포함하는 반도체 장치의 제조 방법의 일례에 대해 도51을 참조하여 설명한다.

[0217] (1) 본 제16 실시 형태에 관한 반도체 장치의 제조 방법은, 웨이퍼(1)에 회로를 만들어 넣어 반도체 장치를 형성하는 공정(반도체 소자 회로 형성)과, 상기 제15 실시 형태에서 설명한 반도체 검사 장치에 의해 웨이퍼 레벨에서 복수의 반도체 장치의 전기적 특성을 일괄적으로 검사하는 공정(웨이퍼 검사)과, 웨이퍼(1)를 절단하여 반도체 소자(2)마다 분리하는 공정(다이싱)과, 반도체 소자(2)를 수지 등으로 밀봉하는 공정(조립 및 밀봉)을 갖는다. 그 후, 번인, 선별 검사 및 외관 검사를 거쳐 칩 패키지품으로서 출하된다.

[0218] (2) 본 제16 실시 형태에 관한 반도체 장치의 제조 방법은, 웨이퍼(1)에 회로를 만들어 넣어 반도체 소자를 형성하는 공정(반도체 소자 회로 형성)과, 상기 제15 실시 형태에서 설명한 반도체 검사 장치에 의해 웨이퍼 레벨

에서 복수의 반도체 소자의 전기적 특성을 일괄적으로 검사하는 공정(웨이퍼 검사)과, 웨이퍼(1)를 절단하여 반도체 소자(2)마다 분리하는 공정(다이싱)을 갖는다. 그 후, 칩 검사용 소켓 장착, 번인, 선별 검사, 소켓으로부터의 제거 및 외관 검사를 거쳐 베어 칩 출하품으로서 출하된다.

[0219] (3) 본 제16 실시 형태에 관한 반도체 장치의 제조 방법은, 웨이퍼(1)에 회로를 만들어 넣어 반도체 장치를 형성하는 공정(반도체 소자 회로 형성)과, 상기 제15 실시 형태에서 설명한 반도체 검사 장치에 의해 웨이퍼 레벨에서 복수의 반도체 장치의 전기적 특성을 일괄적으로 검사하는 공정(웨이퍼 검사)을 갖는다. 그 후, 번인, 선별 검사 및 외관 검사를 거쳐 풀 웨이퍼 출하품으로서 출하된다. 이 번인 및 선별 검사에 있어서도, 상기 제15 실시 형태에서 설명한 반도체 검사 장치에 의해 검사가 행해진다.

[0220] (4) 본 제16 실시 형태에 관한 반도체 장치의 제조 방법은, 웨이퍼(1)에 회로를 만들어 넣어 반도체 장치를 형성하는 공정(반도체 소자 회로 형성)과, 상기 제15 실시 형태에서 설명한 반도체 검사 장치에 의해 웨이퍼 레벨에서 복수의 반도체 장치의 전기적 특성을 일괄적으로 검사하는 공정(웨이퍼 검사)을 갖는다. 그 후, 번인 및 외관 검사를 거쳐 웨이퍼(1)를 절단하여 반도체 소자(2)마다 분리하는 공정(다이싱)과, 외관 검사를 거쳐 베어 칩 출하품으로서 출하된다. 이 번인 및 선별 검사에 있어서도 상기 제15 실시 형태에서 설명한 반도체 검사 장치에 의해 검사가 행해진다.

[0221] (5) 본 제16 실시 형태에 관한 반도체 장치의 제조 방법은, 웨이퍼(1)에 회로를 만들어 넣어 반도체 장치를 형성하는 공정(반도체 소자 회로 형성)과, 웨이퍼(1)를 분할하는 공정(웨이퍼 분할)과, 상기 제15 실시 형태에서 설명한 반도체 검사 장치에 의해 분할한 웨이퍼 레벨에서 복수의 반도체 장치의 전기적 특성을 일괄적으로 검사하는 공정(분할 웨이퍼 검사)을 갖는다. 그 후, 번인, 선별 검사 및 외관 검사를 거쳐 분할 웨이퍼 출하품으로서 출하된다. 이 번인 및 선별 검사에 있어서도, 상기 제15 실시 형태에서 설명한 반도체 검사 장치에 의해 검사가 행해진다.

[0222] (6) 본 제16 실시 형태에 관한 반도체 장치의 제조 방법은, 웨이퍼(1)에 회로를 만들어 넣어 반도체 장치를 형성하는 공정(반도체 소자 회로 형성)과, 웨이퍼를 분할하는 공정(웨이퍼 분할)과, 상기 제15 실시 형태에서 설명한 반도체 검사 장치에 의해 분할한 웨이퍼 레벨에서 복수의 반도체 장치의 전기적 특성을 일괄적으로 검사하는 공정(분할 웨이퍼 검사)을 갖는다. 그 후, 번인, 선별 검사, 분할한 웨이퍼를 절단하여 반도체 소자마다 분리하는 공정(다이싱)과, 외관 검사를 거쳐 베어 칩 출하품으로서 출하된다. 이 번인 및 선별 검사에 있어서도, 상기 제15 실시 형태에서 설명한 반도체 검사 장치에 의해 검사가 행해진다.

[0223] (7) 본 제16 실시 형태에 관한 반도체 장치의 제조 방법은 웨이퍼(1)에 회로를 만들어 넣어 반도체 장치를 형성하는 공정(반도체 소자 회로 형성)과, 웨이퍼(1)에 수지층 등을 형성하는 공정(수지층 형성)과, 수지층 등을 형성한 웨이퍼(1)에 형성된 복수의 반도체 소자(2)의 전기적 특성을 상기 제15 실시 형태에서 설명한 반도체 검사 장치에 의해 일괄적으로 검사하는 공정(웨이퍼 검사)을 갖는다. 그 후, 번인 및 선별 검사를 거쳐 웨이퍼(1)를 절단하여 반도체 소자(2)마다 분리하는 공정(다이싱)과, 외관 검사를 거쳐 CSP 출하품으로서 출하된다. 이 번인 및 선별 검사에 있어서도 상기 제15 실시 형태에서 설명한 반도체 검사 장치에 의해 검사가 행해진다.

[0224] (8) 본 제16 실시 형태에 관한 반도체 장치의 제조 방법은, 웨이퍼(1)에 회로를 만들어 넣어 반도체 장치를 형성하는 공정(반도체 소자 회로 형성)과, 웨이퍼(1)에 수지층 등을 형성하는 공정(수지층 형성)과, 수지층 등을 형성한 웨이퍼(1)에 형성된 복수의 반도체 소자(2)의 전기적 특성을 상기 제15 실시 형태에서 설명한 반도체 검사 장치에 의해 일괄적으로 검사하는 공정(웨이퍼 검사)을 갖는다. 그 후, 번인, 선별 검사 및 외관 검사를 거쳐 풀 웨이퍼 CSP 출하품으로서 출하된다. 이 번인 및 선별 검사에 있어서도, 상기 제15 실시 형태에서 설명한 반도체 검사 장치에 의해 검사가 행해진다.

[0225] (9) 본 제16 실시 형태에 관한 반도체 장치의 제조 방법은, 웨이퍼(1)에 회로를 만들어 넣어 반도체 장치를 형성하는 공정(반도체 소자 회로 형성)과, 웨이퍼(1)에 수지층 등을 형성하는 공정(수지층 형성)과, 수지층 등을 형성한 웨이퍼(1)를 분할하는 공정(웨이퍼 분할)과, 상기 제15 실시 형태에서 설명한 반도체 검사 장치에 의해 분할한 웨이퍼 레벨에서 복수의 반도체 장치의 전기적 특성을 일괄적으로 검사하는 공정(분할 웨이퍼 검사)을 갖는다. 그 후, 번인, 선별 검사 및 외관 검사를 거쳐 분할 웨이퍼 CSP 출하품으로서 출하된다. 이 번인 및 선별 검사에 있어서도, 상기 제15 실시 형태에서 설명한 반도체 검사 장치에 의해 검사가 행해진다.

[0226] (10) 본 제16 실시 형태에 관한 반도체 장치의 제조 방법은, 웨이퍼(1)에 회로를 만들어 넣어 반도체 장치를 형성하는 공정(반도체 소자 회로 형성)과, 웨이퍼(1)에 수지층 등을 형성하는 공정(수지층 형성)과, 수지층 등을 형성한 웨이퍼를 분할하는 공정(웨이퍼 분할)과, 상기 제15 실시 형태에서 설명한 반도체 검사 장치에 의해 분

활한 웨이퍼 레벨에서 복수의 반도체 장치의 전기적 특성을 일괄적으로 검사하는 공정(분할 웨이퍼 검사)을 갖는다. 그 후, 변인, 선별 검사, 웨이퍼를 절단하여 반도체 소자마다 분리하는 공정(다이싱) 및 외관 검사를 거쳐 CSP 출하품으로서 출하된다. 이 변인 및 선별 검사에 있어서도, 상기 제15 실시 형태에서 설명한 반도체 검사 장치에 의해 검사가 행해진다.

[0227] 상기한 반도체 장치의 제조 방법에 있어서의 반도체 소자(2)의 전기적 특성을 검사하는 공정에서는, 상기 제1 내지 제13 실시 형태에서 설명한 프로브 시트 구조체를 사용함으로써 저하중의 수십 mN 이하의 압박력으로 접촉 단자(4)의 선단부 위치 정밀도가 고정밀도이며, 안정된 접촉 저항값 및 양호한 전송 특성을 가진 검사를 실현할 수 있다.

[0228] 즉, 상기 실시 형태에서 설명한 프로브 카드는 각뿔형 혹은 각뿔대형의 형상이며, 위치 정밀도가 양호한 외팔보 빔 구조의 접촉 단자와, 인출 배선과, 주변 전극과, 폴리아미드막(절연 시트)을 실리콘 기판 상에 일체 형성하여 형재인 그 실리콘 기판 및 소정의 폴리아미드막을 각각 순차 애칭 제거함으로써 일괄 형성한 프로브 시트를 구비하고, 접촉 단자가 형성된 영역에 고착된 고착 기판을 경사 동작 가능하게 한 것이다. 이러한 프로브 카드에 따르면, 수십  $\mu\text{m}$  정도 이하의 협피치 또한 다핀의 외팔보 빔 구조의 접촉 단자가 형성된 프로브 시트라도 용이하게 일괄 형성할 수 있고, 포토리소그래피 기술을 사용하여 박막 배선의 다층화에 의한 전기 신호 특성의 설계 및 제작도 용이하게 할 수 있다. 그로 인해, 협피치 또한 다핀의 검사용일 뿐만 아니라, 임피던스 조정한 고속 전송용 회로를 갖는 프로브 카드를 용이하게 실현할 수 있다. 또한, 피검사 대상과 같은 정도의 선행창률을 갖는 금속 시트 및 고착 기판을, 접촉 단자를 형성한 영역에 직접 고착한 구조에 의해 접촉 단자의 선단부 위치 정밀도가 넓은 온도 범위에서 양호한 프로브 카드를 실현할 수 있다.

[0229] 또한, 상기 실시 형태에서 설명한 프로브 카드는 각뿔 형상 혹은 각뿔대 형상의 접촉 단자가 양호한 위치 정밀도로 선단부에 배치된 외팔보 빔 구조가 일괄 형성된 프로브 시트를 구비하고, 이러한 프로브 시트를 시트 이면의 고착 기판 및 조립용 기재와 일체로 형성하고, 스프링 내장 가이드 펀 혹은 판 스프링에서 경사 동작을 실현하고, 외팔보 빔 구조로 각각의 접촉 단자의 원하는 압박 하중을 실현함으로써, 저하중이며 접촉 저항값의 안정성이 양호하고 접촉 단자군의 위치 정밀도와 조립성이 양호한 프로브 카드를 실현할 수 있다.

[0230] 또한, 상기 실시 형태에서 설명한 프로브 카드는 외팔보 빔 구조의 접촉 단자가 형성된 영역의 프로브 시트의 반대면에 고착된 고착 기판을 감싸는 블록 구조의 프로브를 복수개 조합하여 반도체 검사에 사용함으로써, 복수 개 칩의 동시 검사용 프로브 카드, 혹은 풀 웨이퍼 검사용 웨이퍼 카세트를 간단한 구성으로 실현할 수 있다.

[0231] 이상, 본 발명자에 의해 이루어진 발명을 실시 형태를 기초로 하여 구체적으로 설명하였지만, 본 발명은 상기 실시 형태에 한정되는 것은 아니며, 그 요지를 일탈하지 않는 범위에서 다양하게 변경 가능한 것은 물론이다.

[0232] 예를 들어, 상기 실시 형태에서는 도16 내지 도28을 이용하여 설명한 공정에서 제조된 프로브 시트를, 도2에 도시한 구성을 갖는 프로브 시트 구조체를 조합하여 사용하는 예를 나타냈지만, 도29 내지 도49에 도시한 바와 같은 다양한 제조 공정에 의한 프로브 시트와, 도7 내지 도15에 도시한 바와 같은 다양한 프로브 시트 구조체를 자유롭게 조합하여 사용해도 좋은 것은 물론이다.

[0233] 본 발명은 그 사상과 본질적 특징에서 벗어나지 않고 다른 특정 형태로 구체화될 수 있다. 그러므로, 본 실시 예는 모든 면에 있어서 한정이 아닌 설명으로 고려되어야 하고, 본 발명의 범위는 전술한 발명의 상세한 설명에 의해서가 아니라 첨부된 청구범위에 의해 지정되어야 하며, 따라서 이 청구범위와 균등한 의미 및 범위 내에서 이루어지는 모든 변경이 본 명세서 내에 포함되도록 의도된다.

### 도면의 간단한 설명

[0234] 도1은 반도체 소자(칩)가 배열된 피접촉 대상인 웨이퍼와, 그 일부인 반도체 소자(칩)를 도시하는 사시도.

[0235] 도2는 본 발명의 제1 실시 형태인 프로브 카드의 주요부 단면도.

[0236] 도3은 도2에 도시한 프로브 카드의 주요 부품을 분해하여 도시한 사시도.

[0237] 도4는 도2에 도시한 프로브 카드의 주요 부품을 분해하여 도시한 조립 단면도.

[0238] 도5는 도2에 도시한 프로브 카드의 주요 부품인 가이드 펀의 주요부를 도시하는 단면도.

[0239] 도6은 본 발명의 제1 실시 형태인 프로브 카드의 접촉 단자군 부근을 확대하여 도시하는 주요부 단면도.

[0240] 도7은 본 발명의 제2 실시 형태인 프로브 카드의 주요부 단면도.

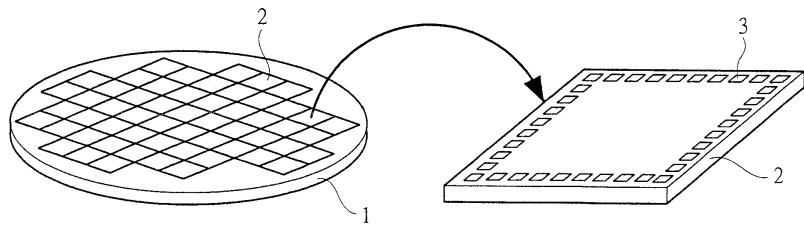
- [0241] 도8은 본 발명의 제3 실시 형태인 프로브 카드의 주요부 단면도.
- [0242] 도9는 본 발명의 제4 실시 형태인 프로브 카드의 주요부 단면도.
- [0243] 도10의 (a)는 본 발명의 제4 실시 형태인 프로브 카드의 구성 요소인 1개의 블록을 도시하는 단면 개략도이고, 도10의 (b) 및 도10의 (c)는 도10의 (a)에 도시한 블록의 구성을 도시하는 사시도.
- [0244] 도11의 (a) 및 도11의 (b)는 본 발명의 제5 실시 형태인 프로브 카드의 주요부 단면도.
- [0245] 도12는 본 발명의 제6 실시 형태인 프로브 카드의 주요부 단면도.
- [0246] 도13은 본 발명의 제6 실시 형태인 프로브 카드의 구성 요소인 1개의 블록에 장착되는 프로브 시트의 전개도.
- [0247] 도14는 본 발명의 제6 실시 형태인 프로브 카드의 구성 요소인 1개의 블록의 다층 배선 기판에의 장착예를 도시하는 주요부 사시도.
- [0248] 도15는 본 발명의 제7 실시 형태인 프로브 카드의 주요부 단면도.
- [0249] 도16은 본 발명의 제8 실시 형태에 관한 프로브 카드에 있어서의 프로브 시트(프로브 시트 구조체) 부분을 형성하는 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0250] 도17은 도16에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0251] 도18은 도17에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0252] 도19는 도18에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0253] 도20은 도19에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0254] 도21은 도20에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0255] 도22는 도21에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0256] 도23은 도22에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0257] 도24는 도23에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0258] 도25는 도24에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0259] 도26은 도25에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0260] 도27은 도26에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0261] 도28은 도27에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0262] 도29는 본 발명의 제9 실시 형태에 관한 프로브 카드에 있어서의 프로브 시트(프로브 시트 구조체) 부분을 형성하는 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0263] 도30은 도29에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0264] 도31은 도30에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0265] 도32는 도31에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0266] 도33은 본 발명의 제10 실시 형태에 관한 프로브 카드에 있어서의 프로브 시트(프로브 시트 구조체) 부분을 형성하는 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0267] 도34는 도33에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0268] 도35는 도34에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0269] 도36은 본 발명의 제11 실시 형태에 관한 프로브 카드에 있어서의 프로브 시트(프로브 시트 구조체) 부분을 형성하는 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0270] 도37은 도36에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0271] 도38은 본 발명의 제12 실시 형태에 관한 프로브 카드에 있어서의 프로브 시트(프로브 시트 구조체) 부분을 형성하는 제조 프로세스의 일부를 도시한 주요부 단면도.

- [0272] 도39는 도38에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0273] 도40은 도39에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0274] 도41은 도40에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0275] 도42는 도41에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0276] 도43은 도42에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0277] 도44는 본 발명의 제13 실시 형태에 관한 프로브 카드에 있어서의 프로브 시트(프로브 시트 구조체) 부분을 형성하는 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0278] 도45는 도44에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0279] 도46은 본 발명의 제14 실시 형태에 관한 프로브 카드에 있어서의 프로브 시트(프로브 시트 구조체) 부분을 형성하는 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0280] 도47은 도46에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0281] 도48은 도47에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0282] 도49는 도48에 이어지는 프로브 시트 부분의 제조 프로세스의 일부를 도시한 주요부 단면도.
- [0283] 도50은 본 발명의 제15 실시 형태에 관한 검사 시스템의 일례를 도시하는 전체 개략 구성도.
- [0284] 도51은 반도체 장치의 검사 공정의 일례를 도시하는 공정도.
- [0285] 도52는 종래의 도금에 의한 범프를 사용한 반도체 소자 검사 장치의 주요부 단면도.
- [0286] 도53은 도52의 도금에 의한 범프 부분을 도시하는 사시도.
- [0287] 도54는 사각뿔 접촉 단자가 형성된 종래의 프로브 시트를 사용한 반도체 소자 검사 장치의 주요부 단면도.
- [0288] 도55는 리소그래피 기법에 의해 형성한 스프링 접촉 요소의 제조 프로세스의 도중 단계를 도시하는 묘식 단면도.
- [0289] 도56은 반도체 소자의 검사용 전극부의 바로 아래에 능동 회로 소자나 미세한 배선이 다층으로 형성되어 있는 구조를 설명하는 주요부 단면도.
- [0290] <도면의 주요 부분에 대한 부호의 설명>
- [0291] 1 : 웨이퍼
- [0292] 2 : 반도체 소자
- [0293] 3 : 전극
- [0294] 4 : 접촉 단자
- [0295] 5 : 프로브 시트
- [0296] 6 : 고착 기판
- [0297] 7 : 중간판
- [0298] 8 : 지지 부재
- [0299] 9 : 가이드 펀
- [0300] 10 : 다층 배선 기판
- [0301] 14, 24 : 금속막
- [0302] 16 : 인출 배선
- [0303] 19 : 더블 나사
- [0304] 23 : 칩 콘덴서

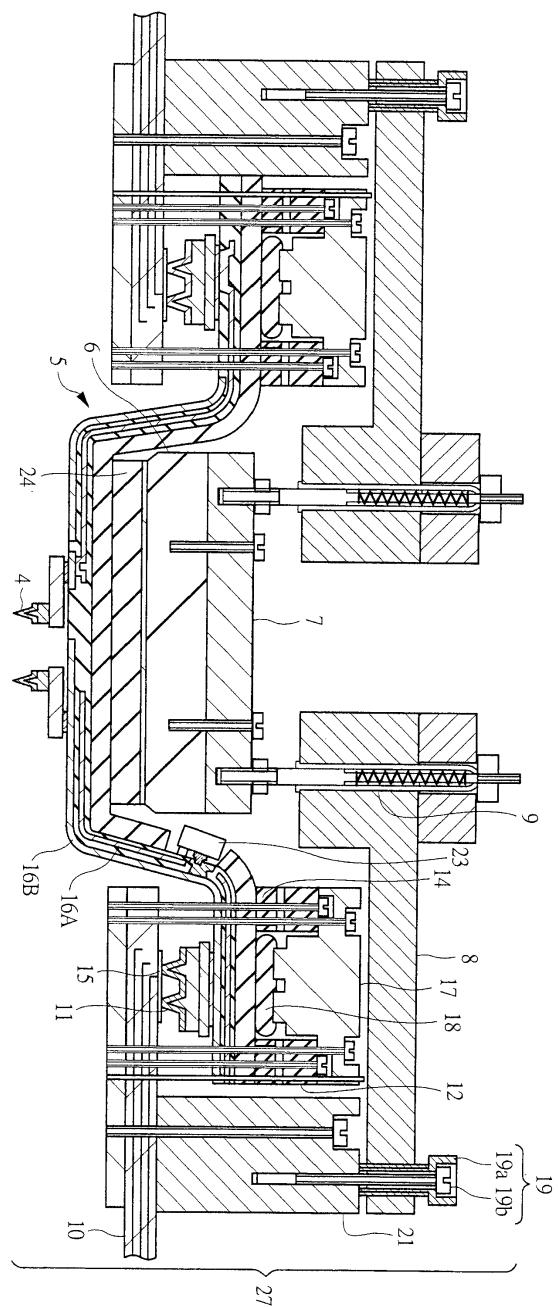
- [0305] 28 : 범  
[0306] 29 : 포스트  
[0307] 30, 65, 75, 80 : 폴리이미드막  
[0308] 32 : 블록  
[0309] 36 : 스페이서

**도면**

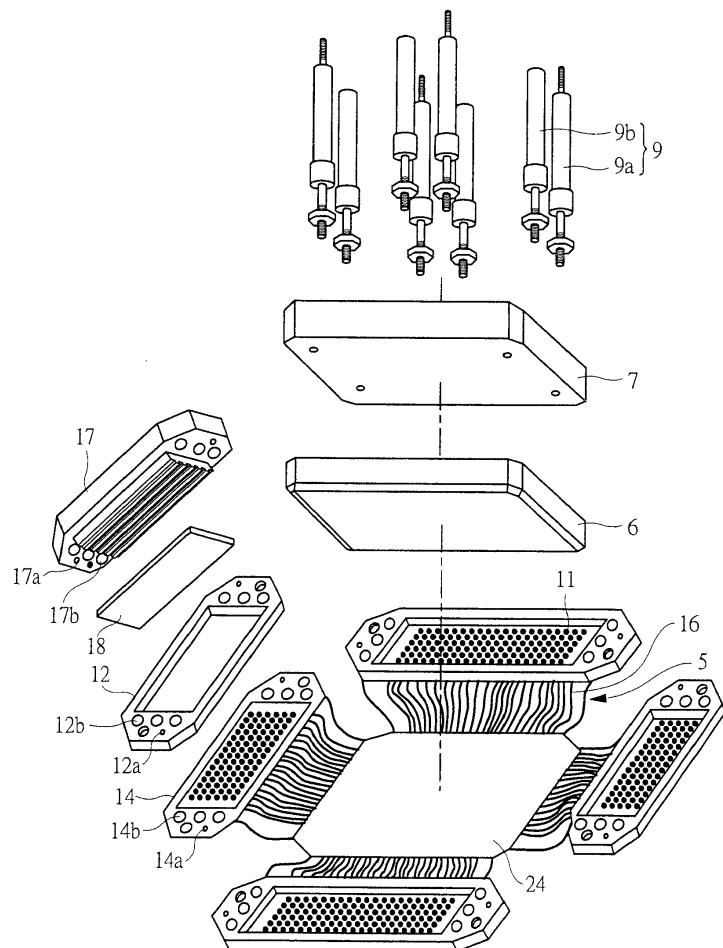
**도면1**



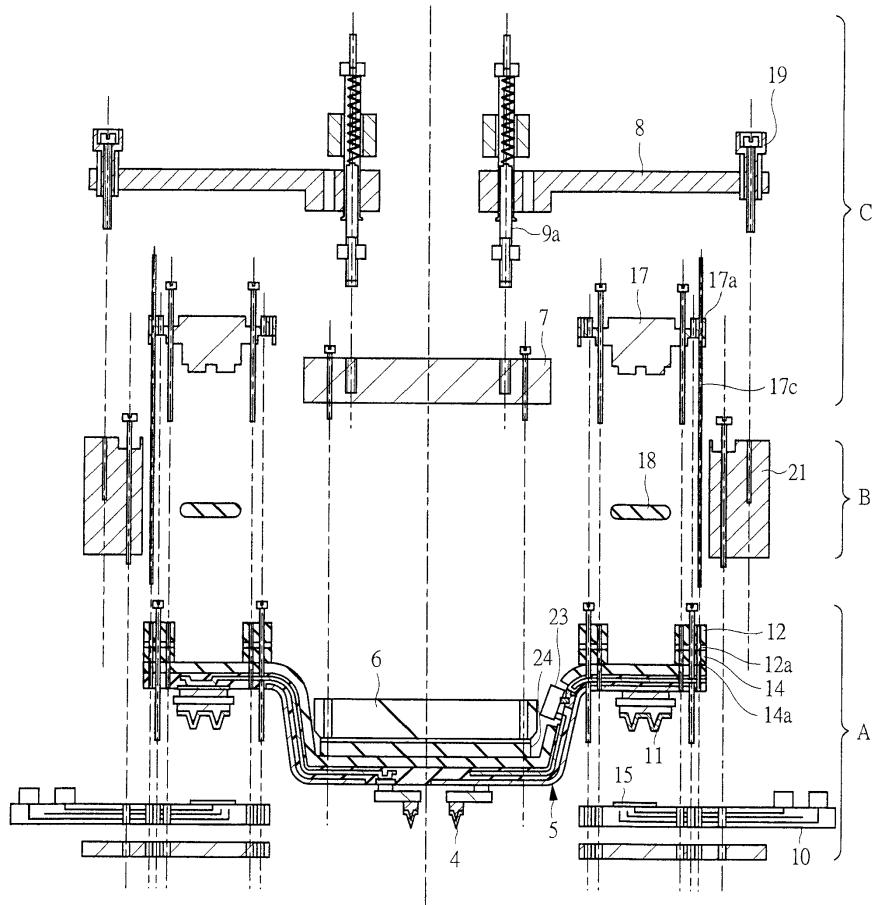
도면2



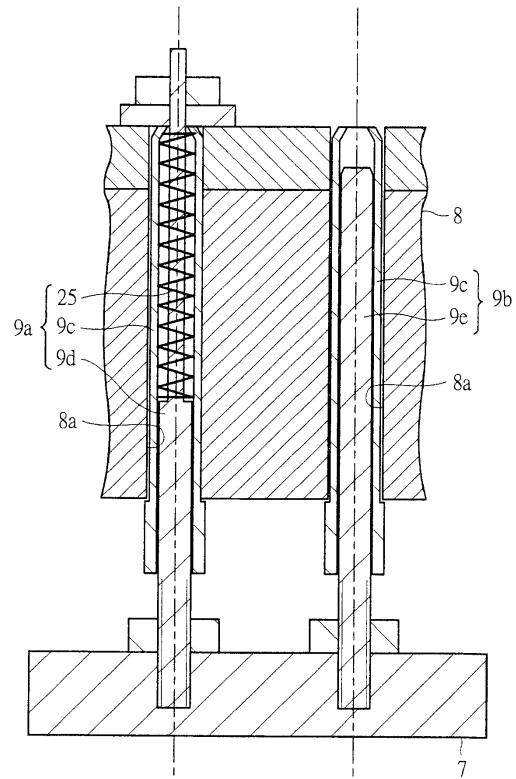
도면3



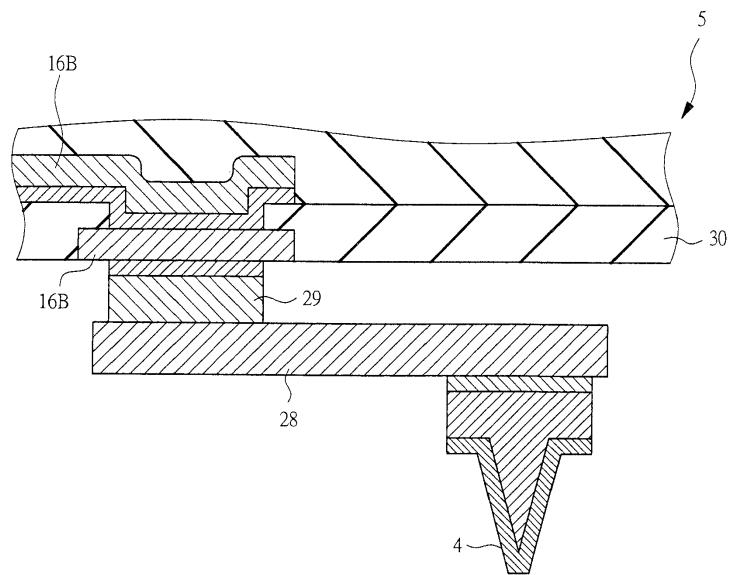
## 도면4



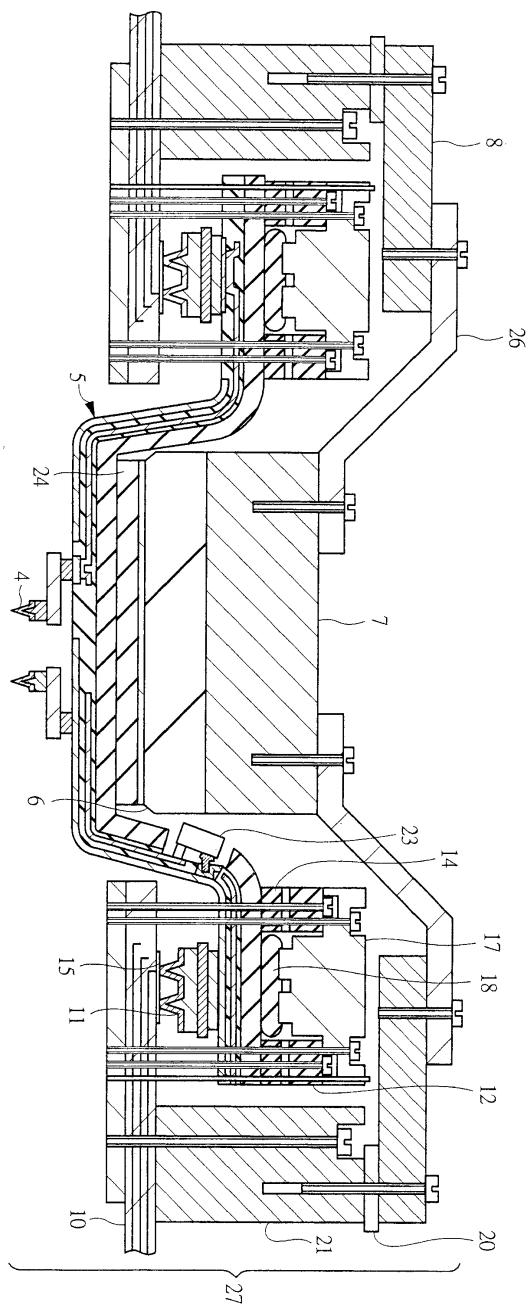
도면5



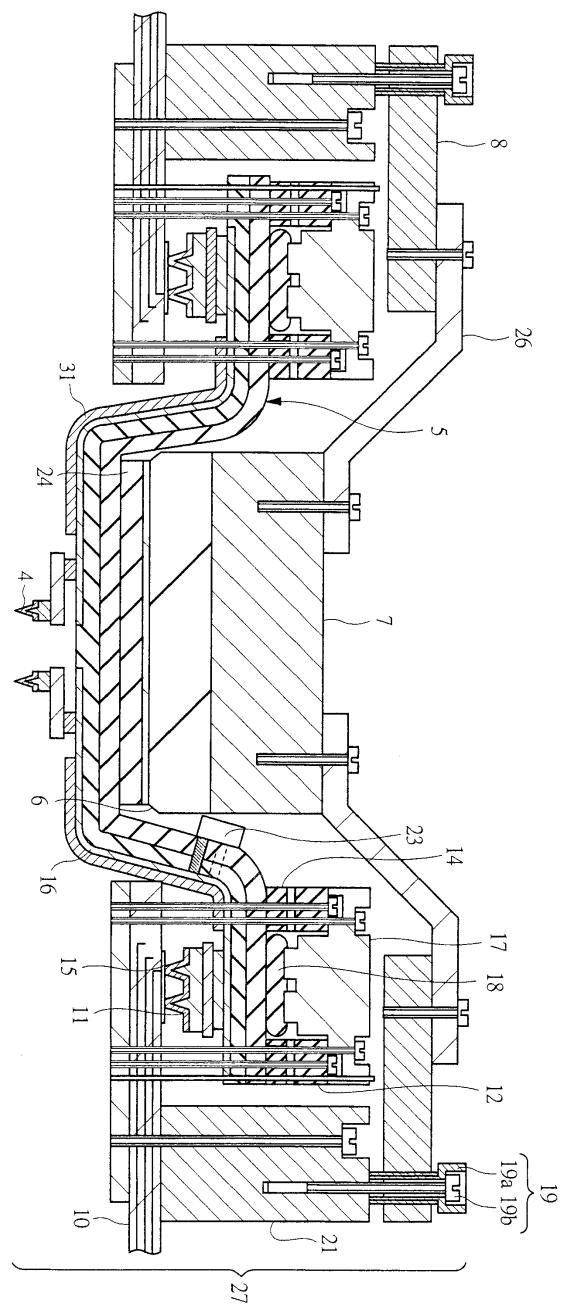
도면6



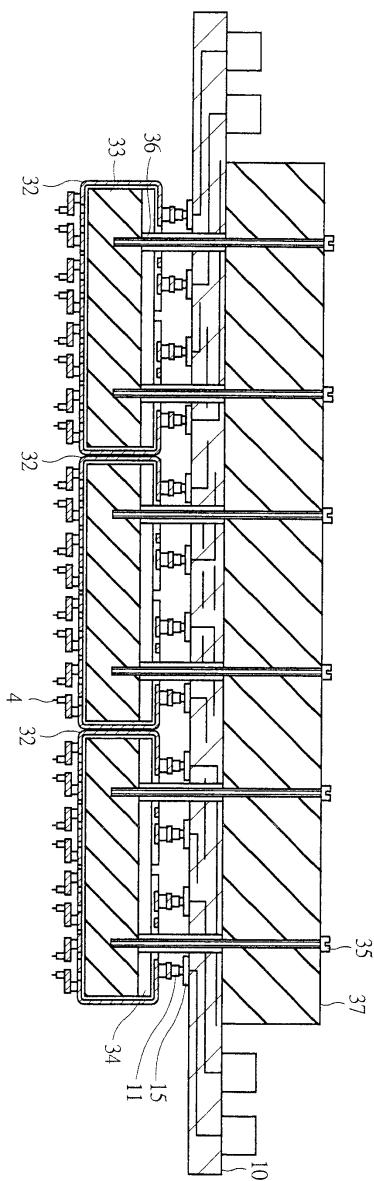
도면7



도면8

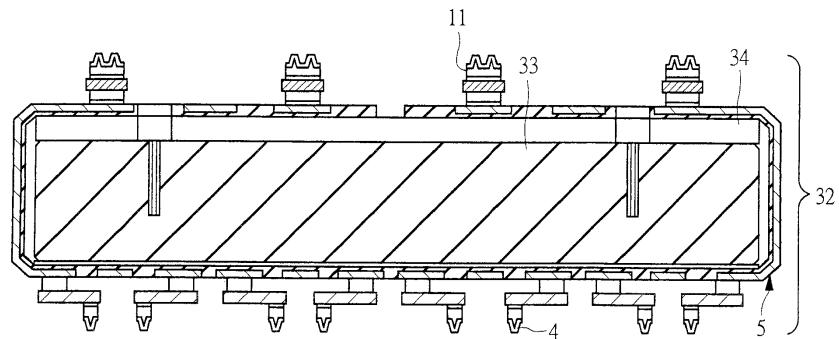


도면9

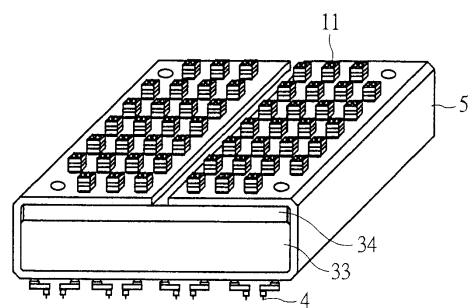


도면10

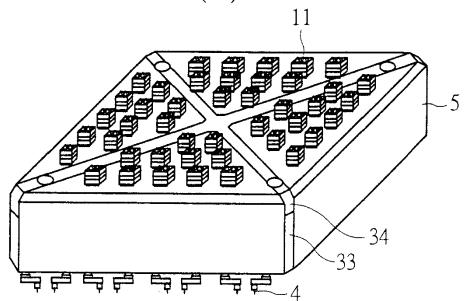
( a )



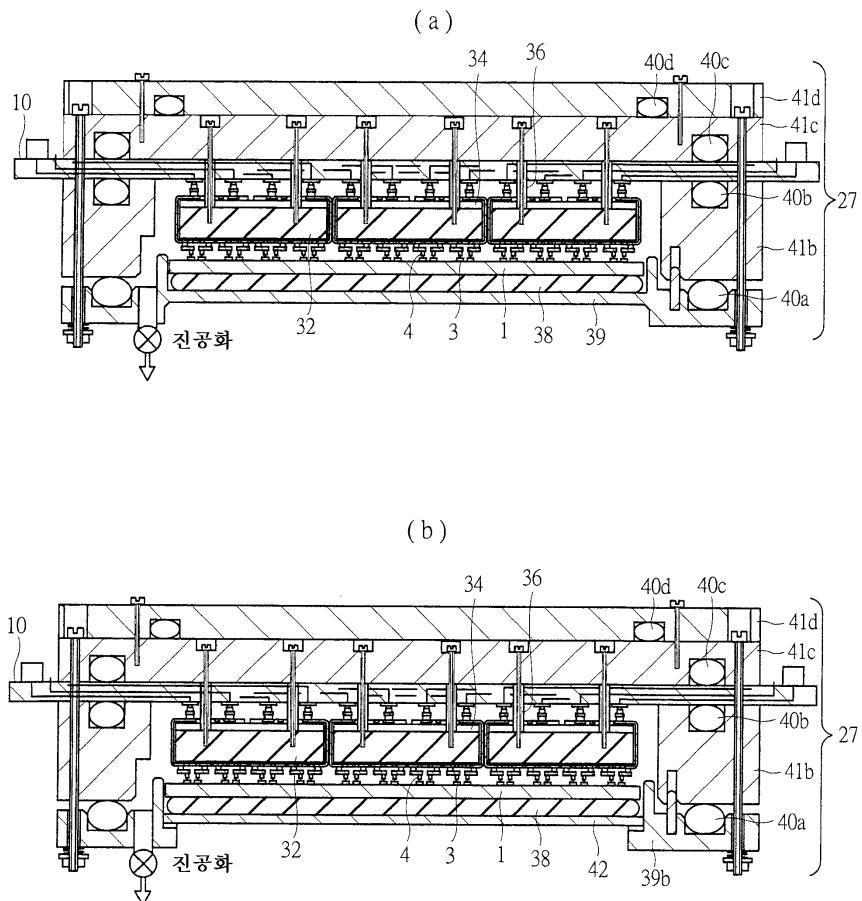
( b )



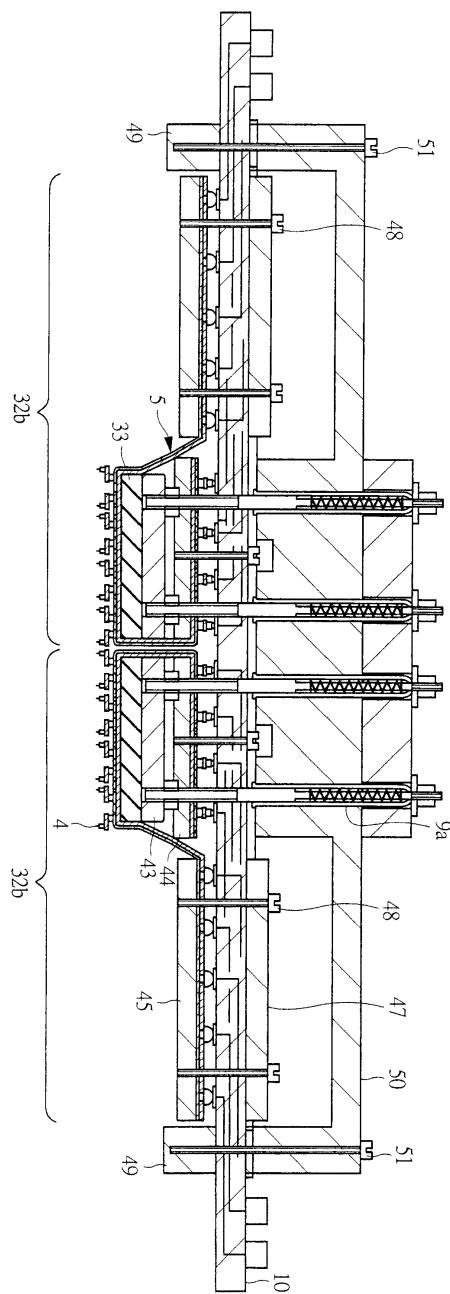
( c )



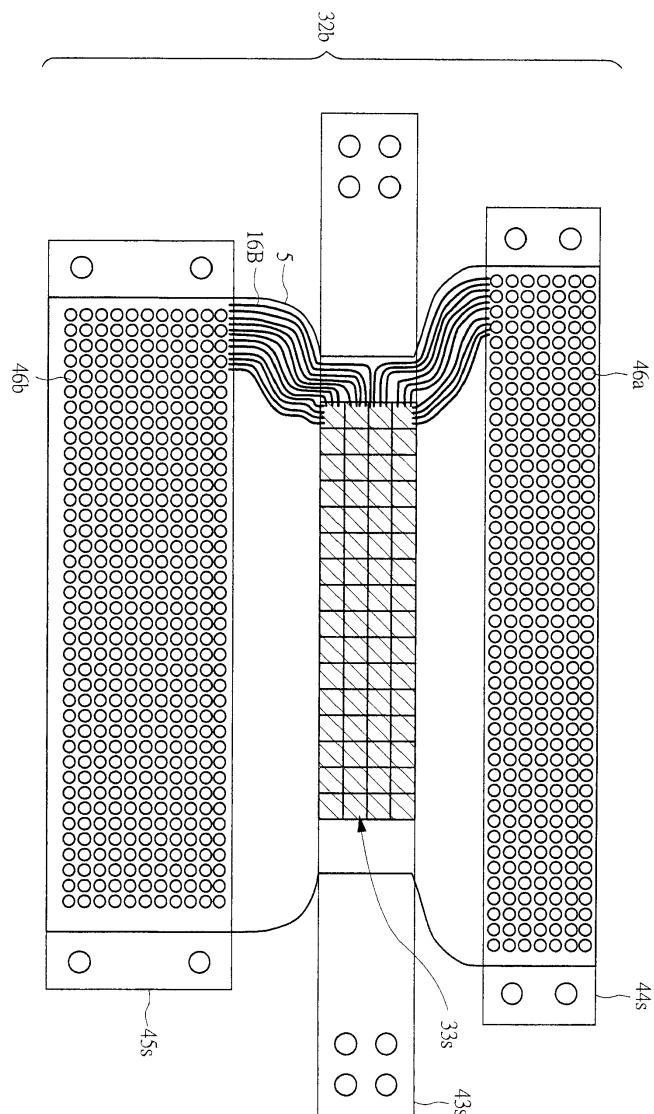
## 도면11



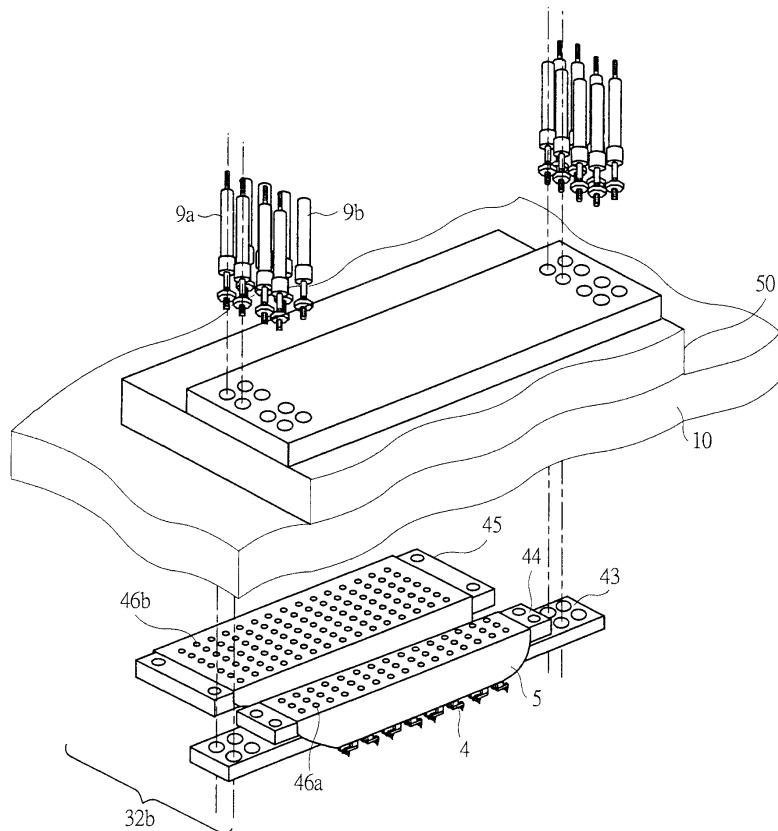
도면12



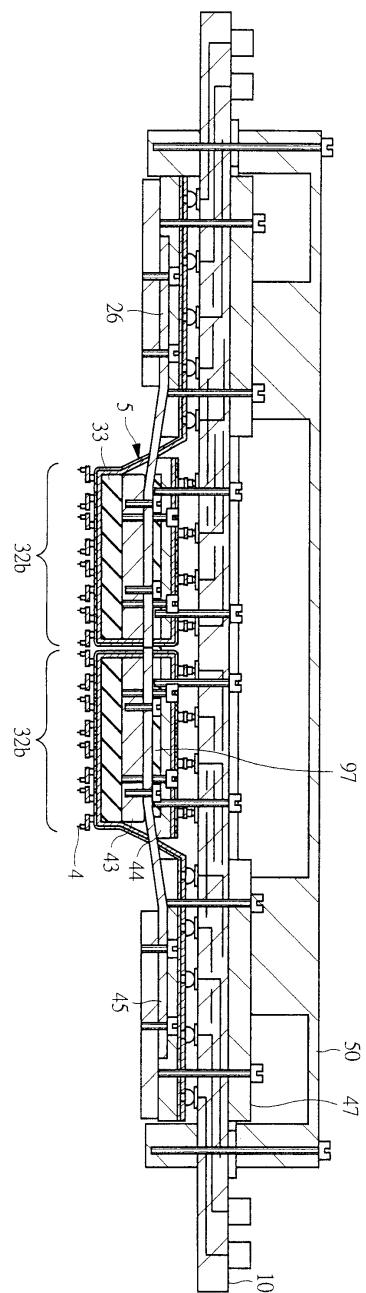
도면13



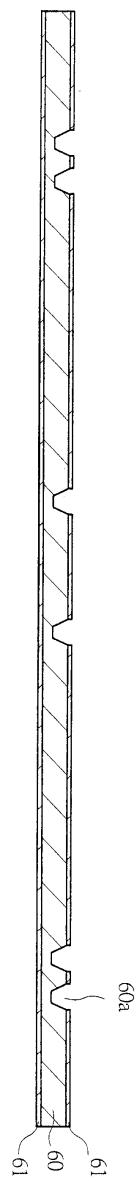
도면14



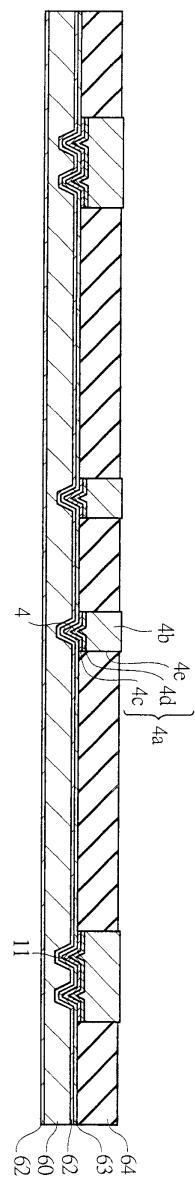
도면15



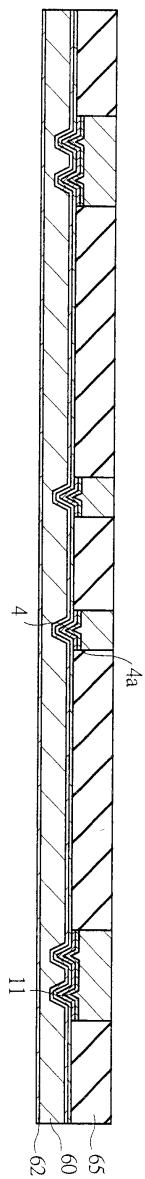
도면16



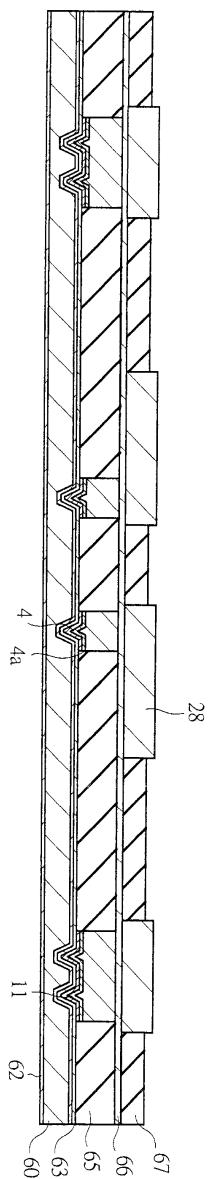
도면17



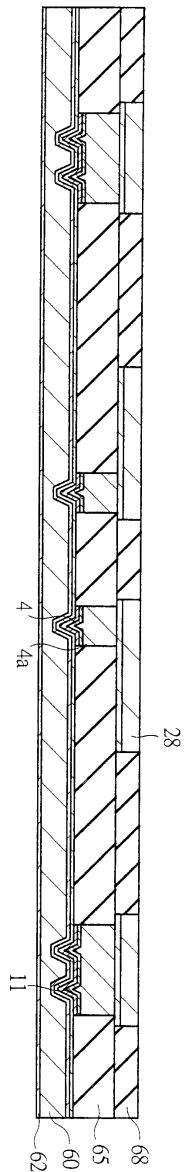
도면18



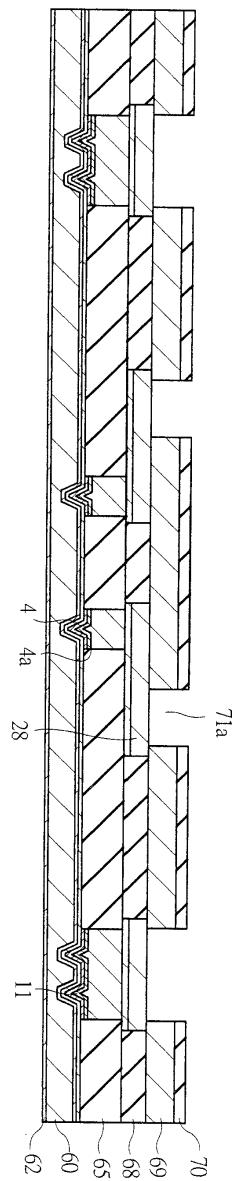
도면19



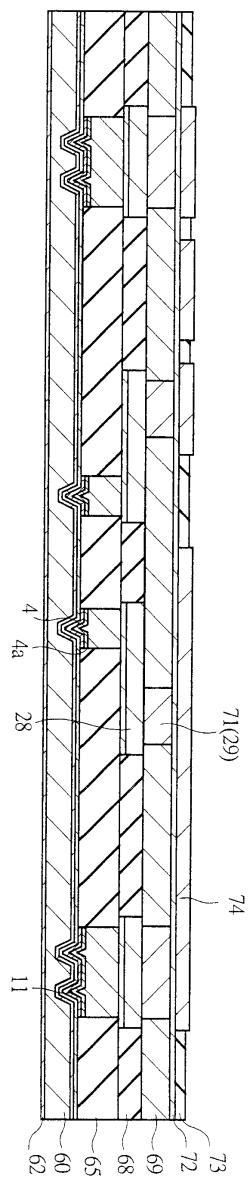
도면20



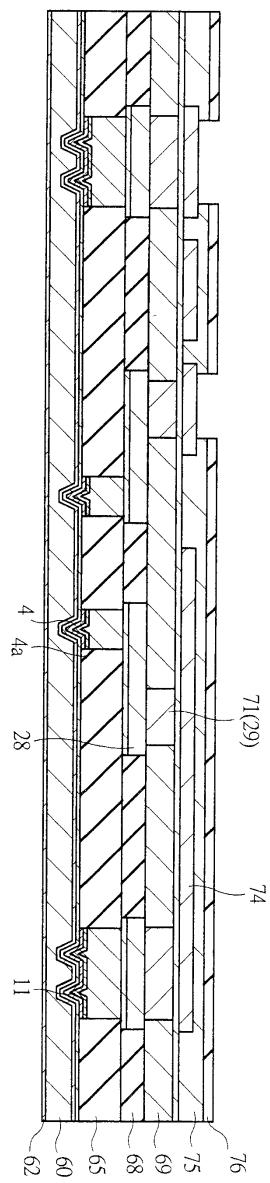
도면21



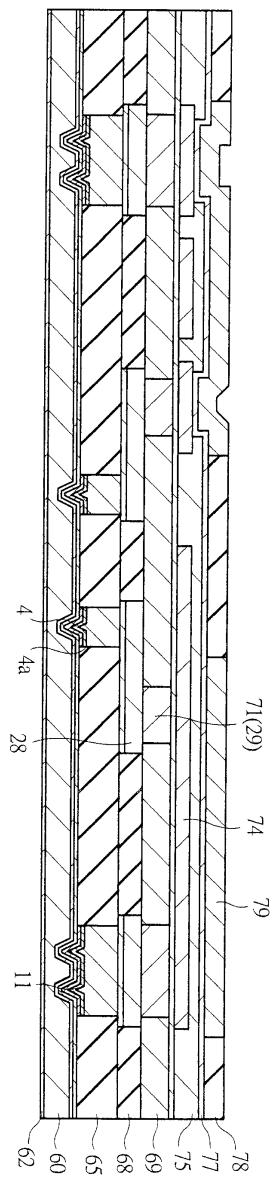
도면22



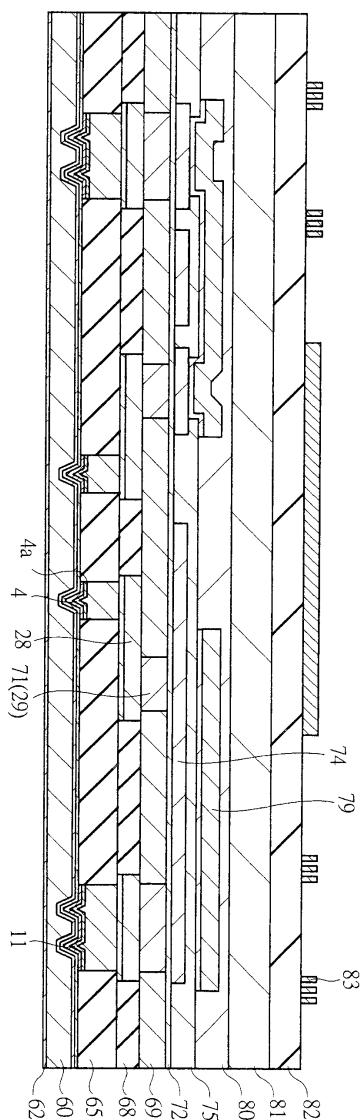
도면23



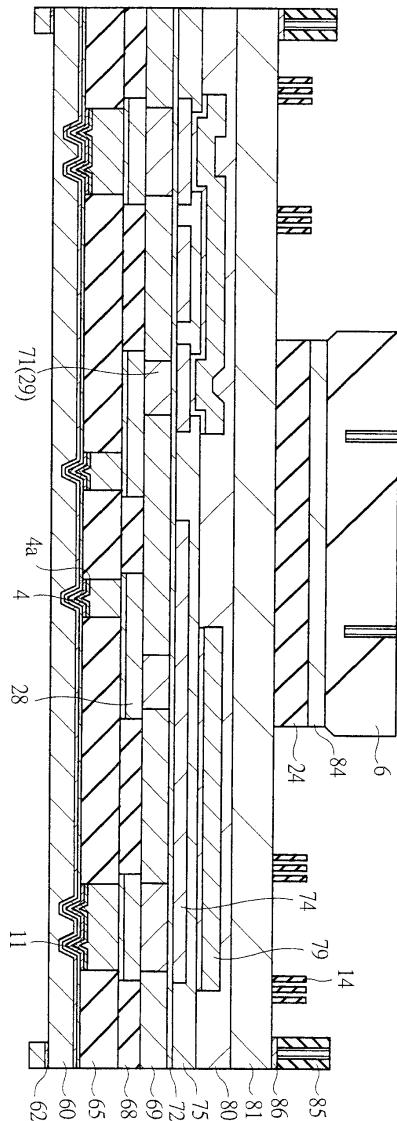
도면24



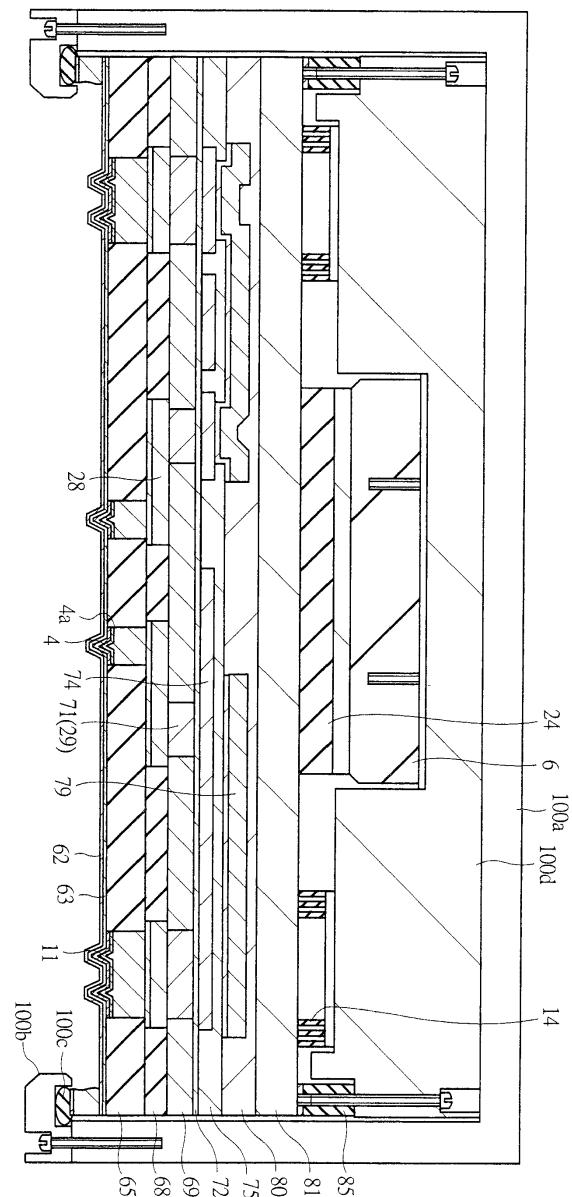
도면25



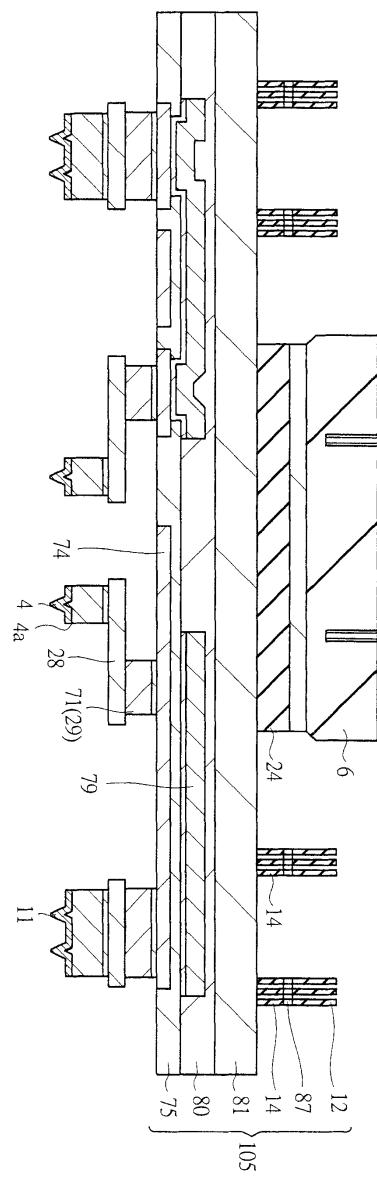
도면26



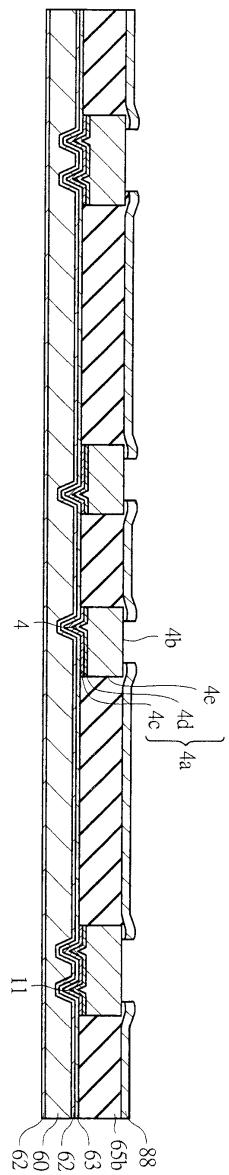
도면27



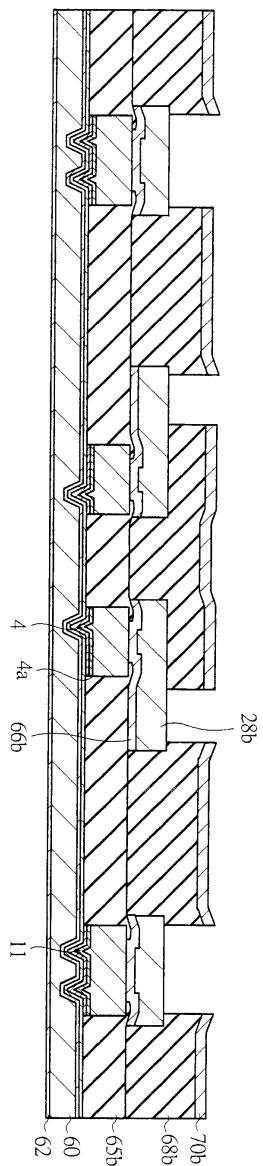
도면28



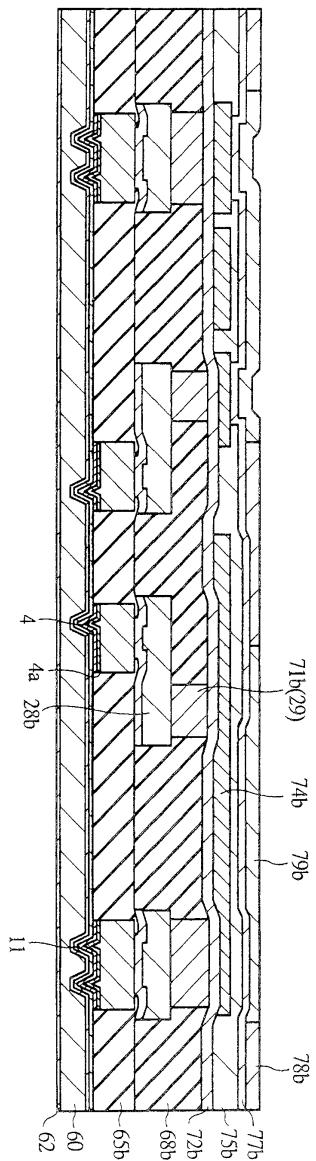
도면29



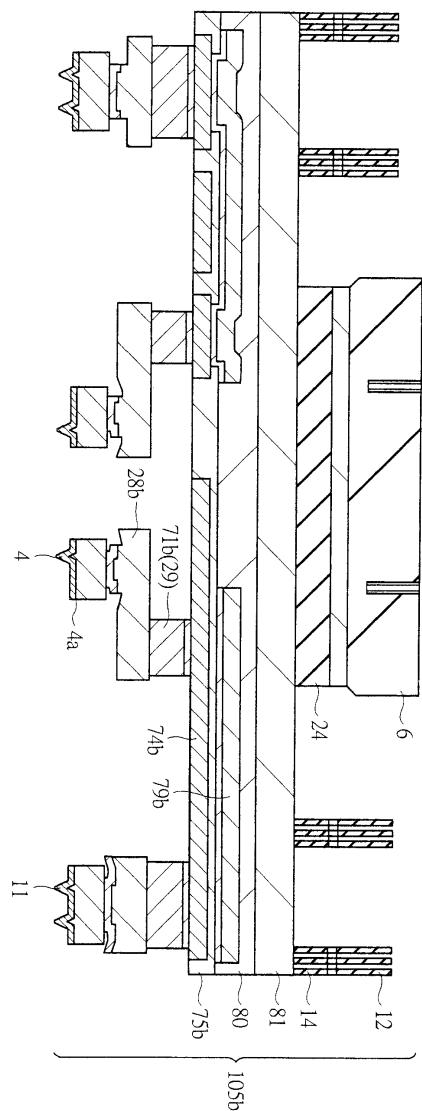
도면30



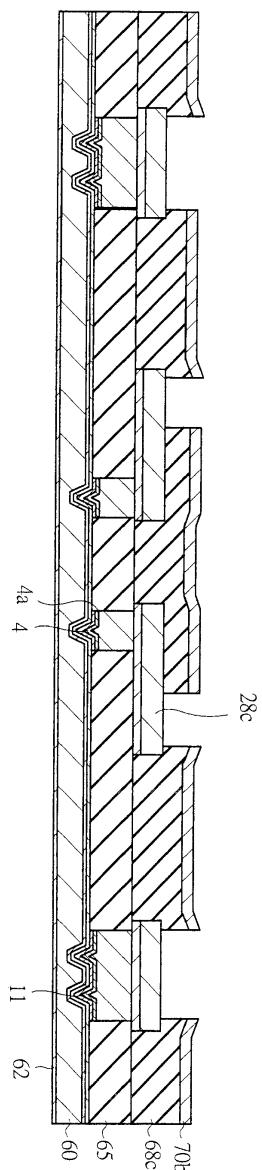
도면31



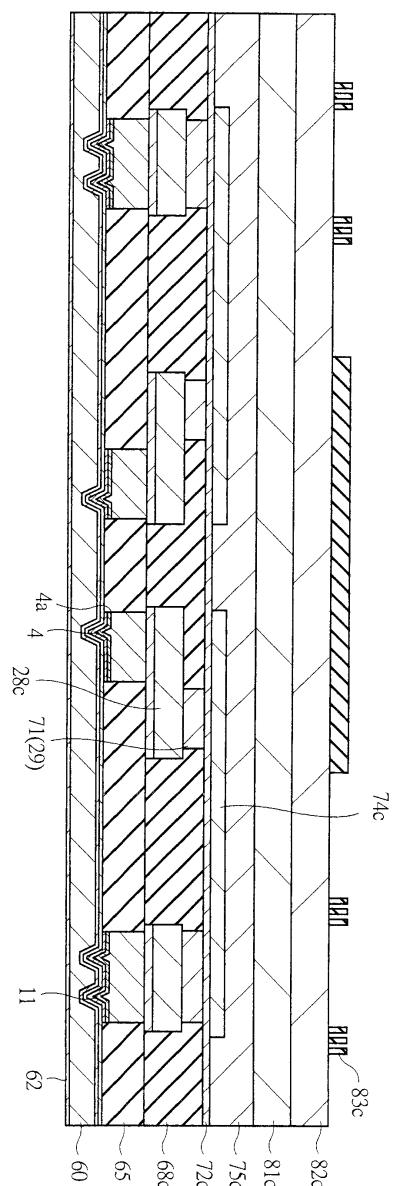
도면32



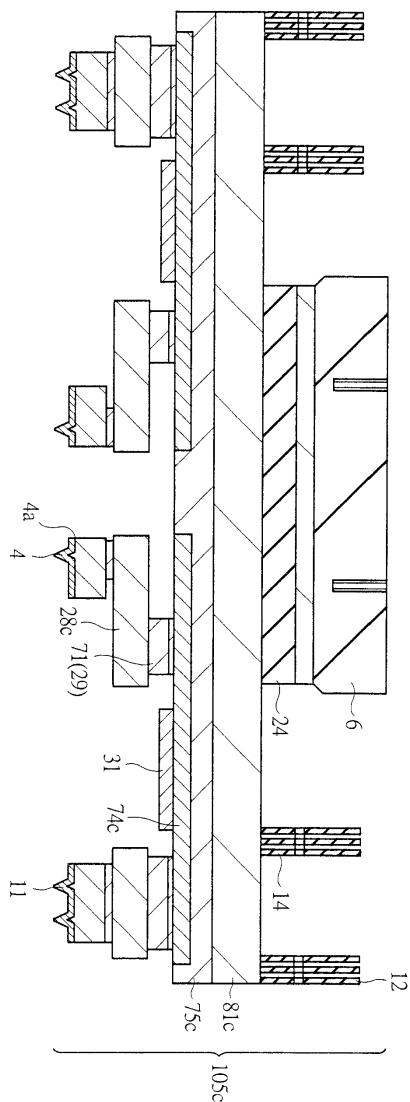
도면33



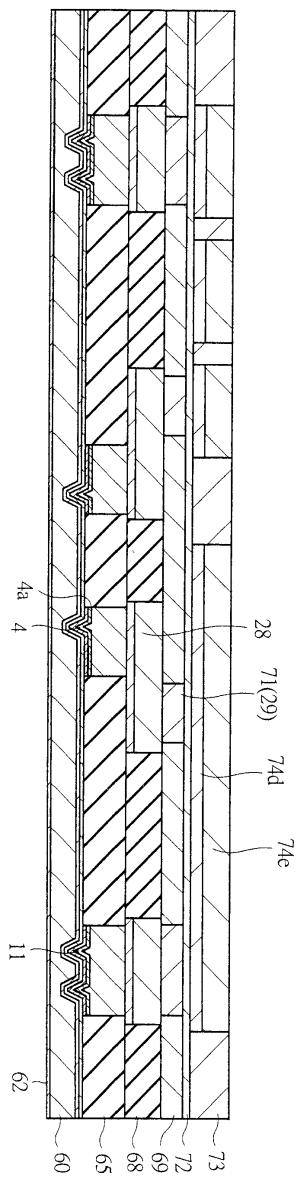
도면34



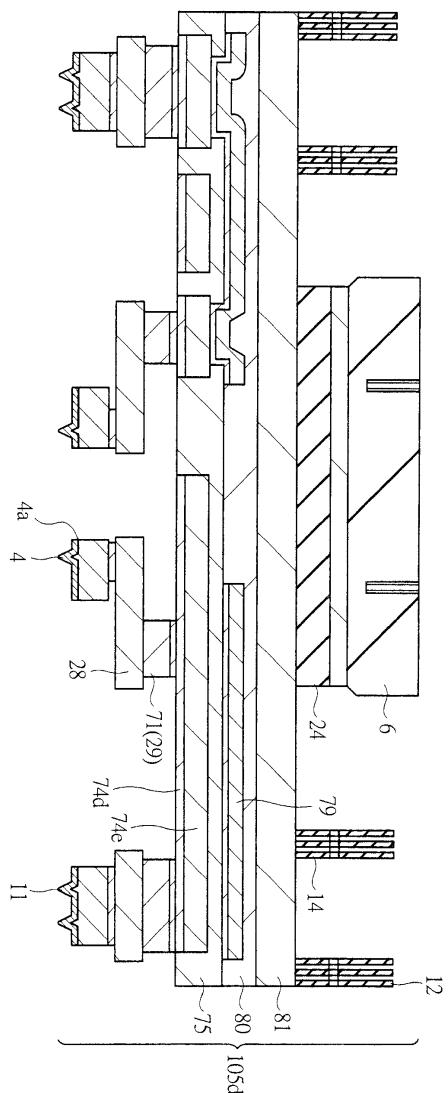
도면35



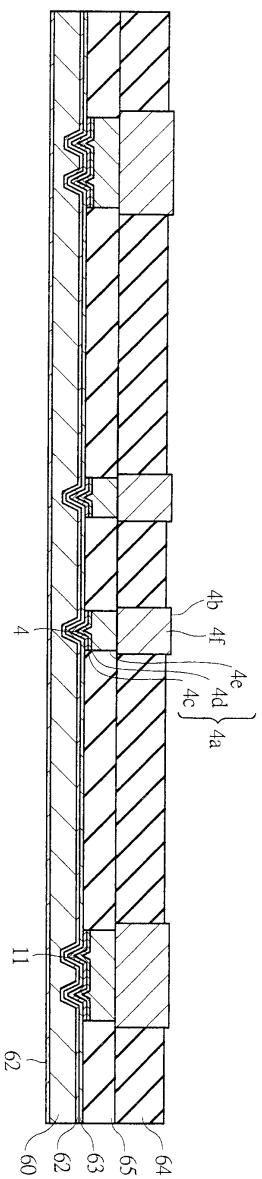
도면36



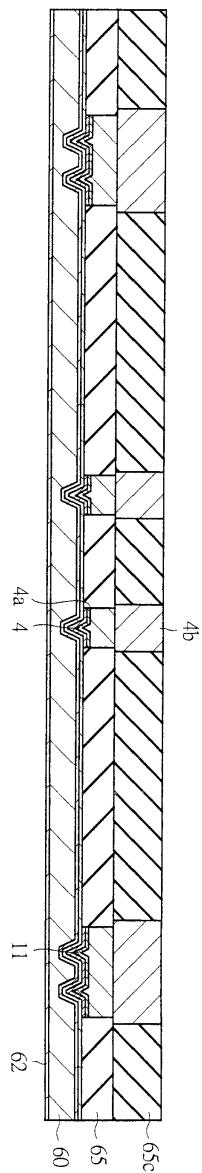
도면37



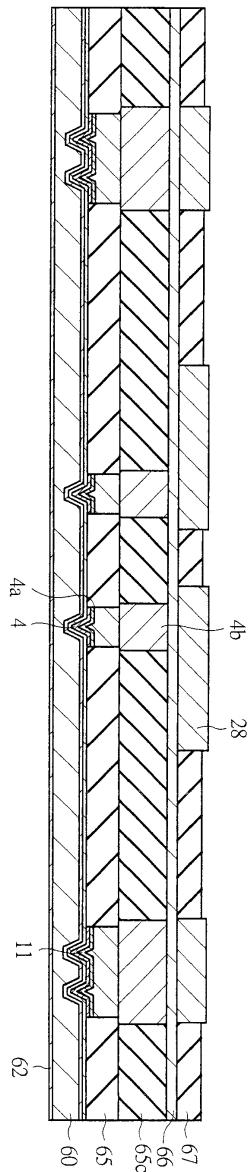
도면38



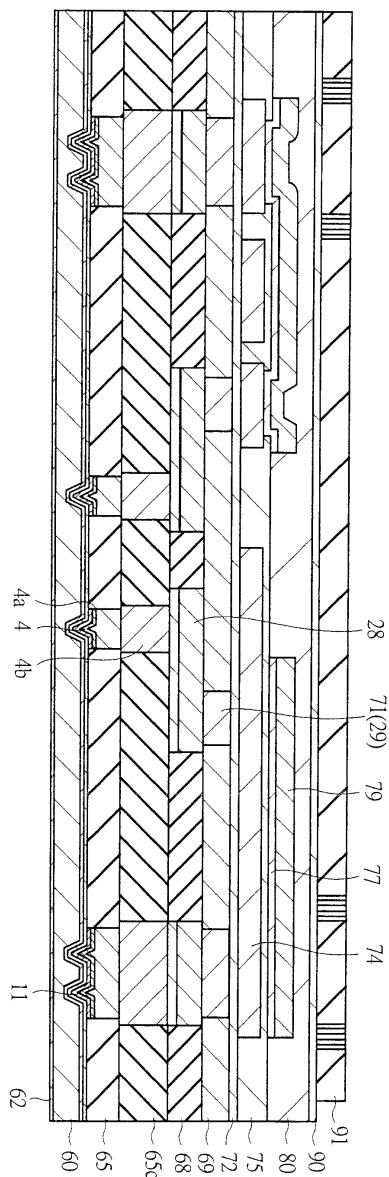
도면39



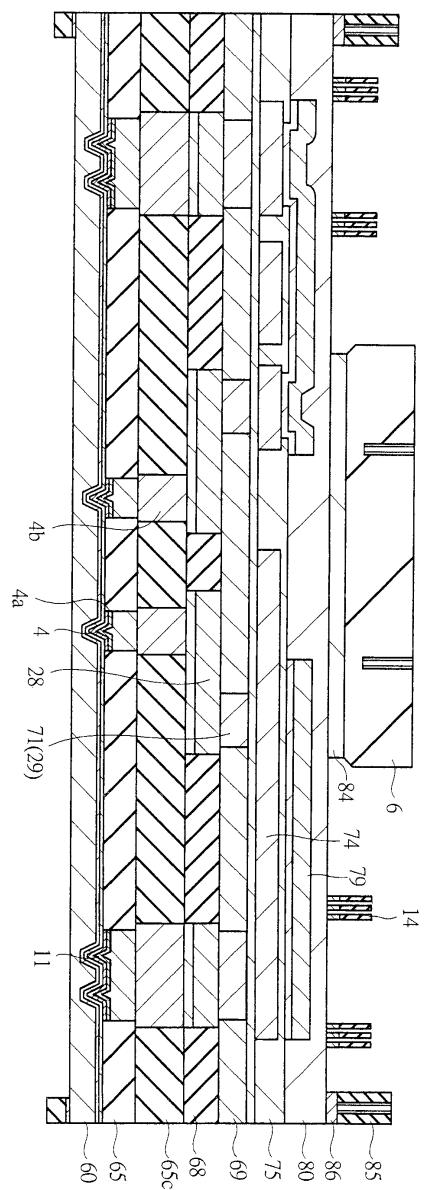
도면40



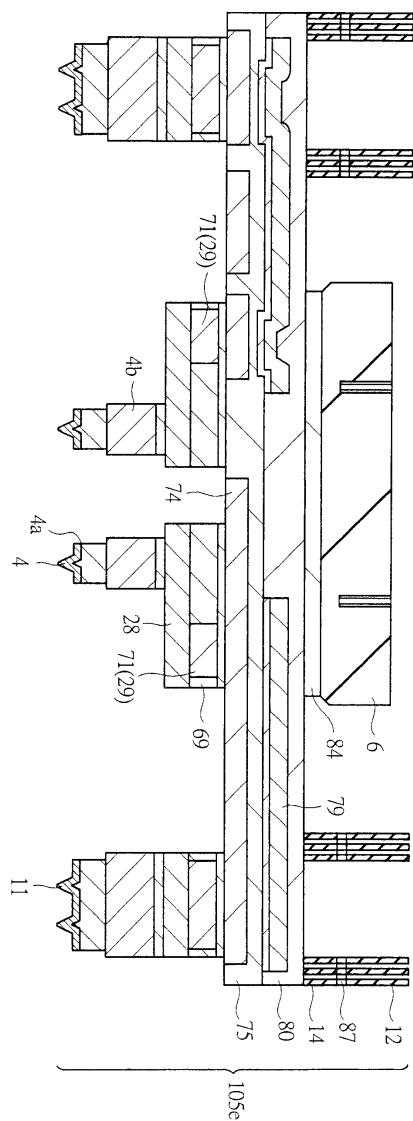
도면41



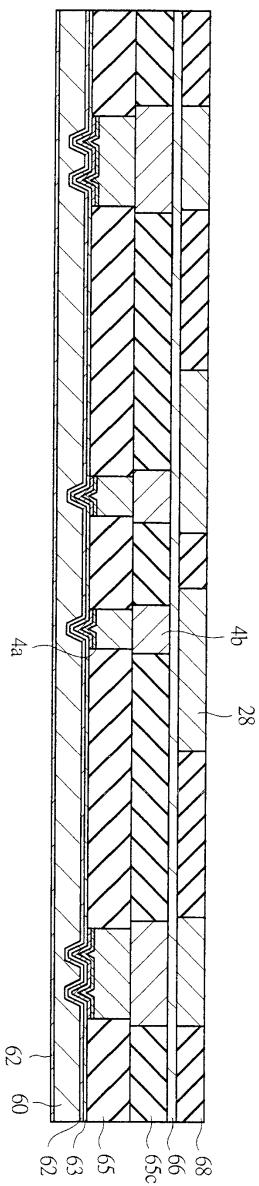
도면42



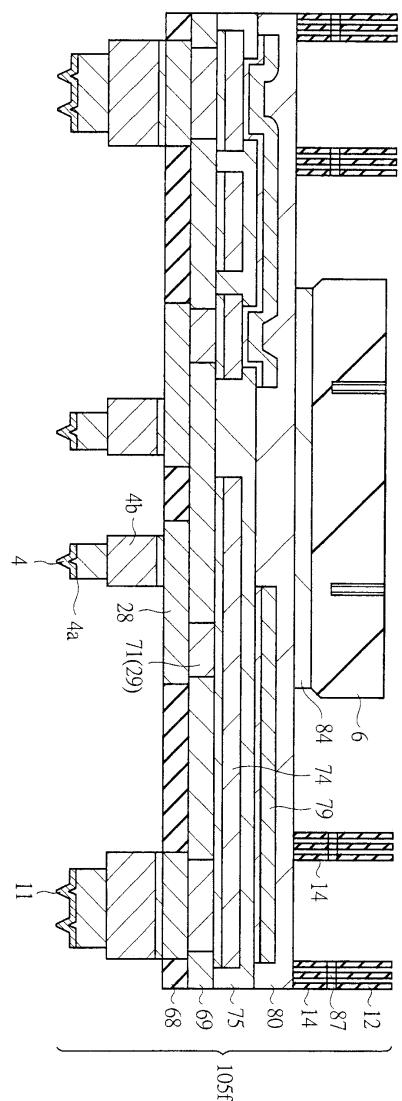
도면43



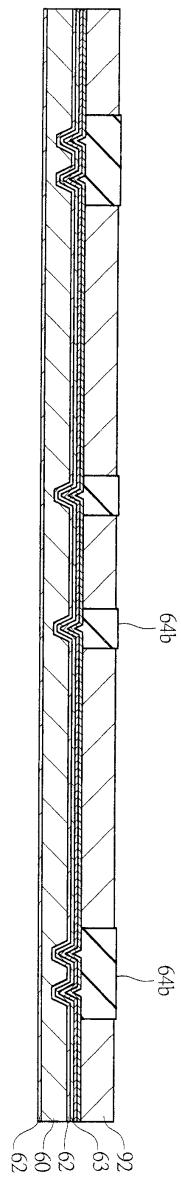
도면44



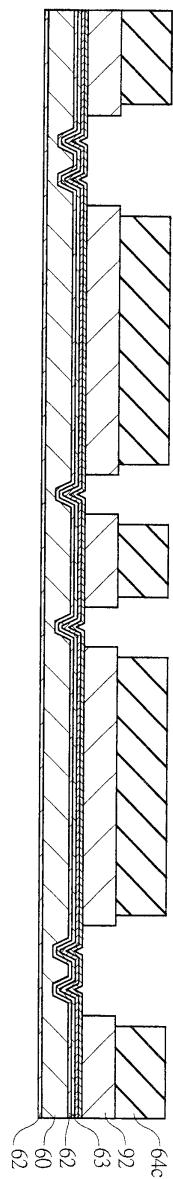
도면45



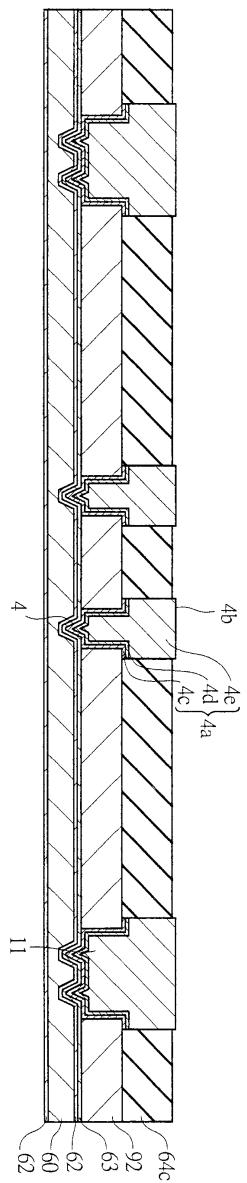
도면46



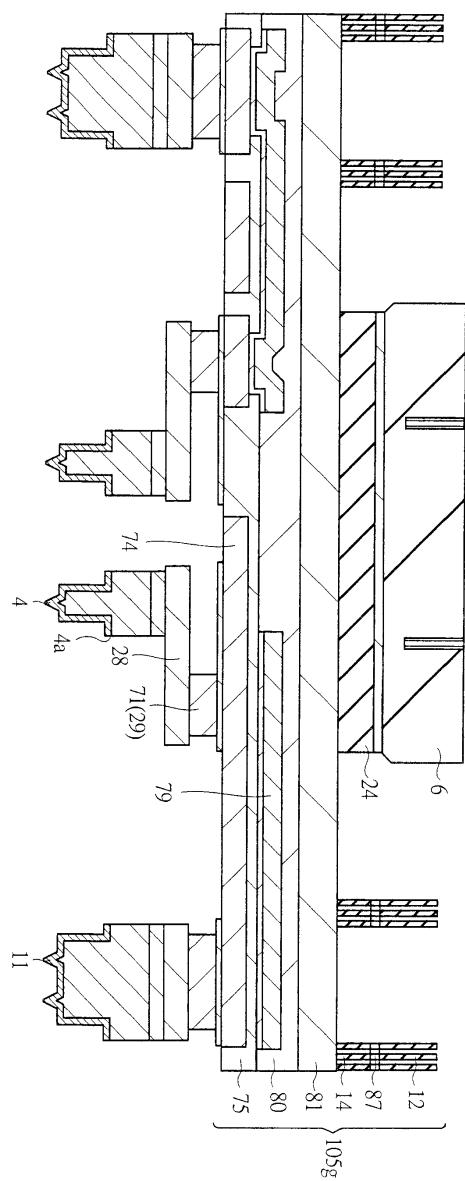
도면47



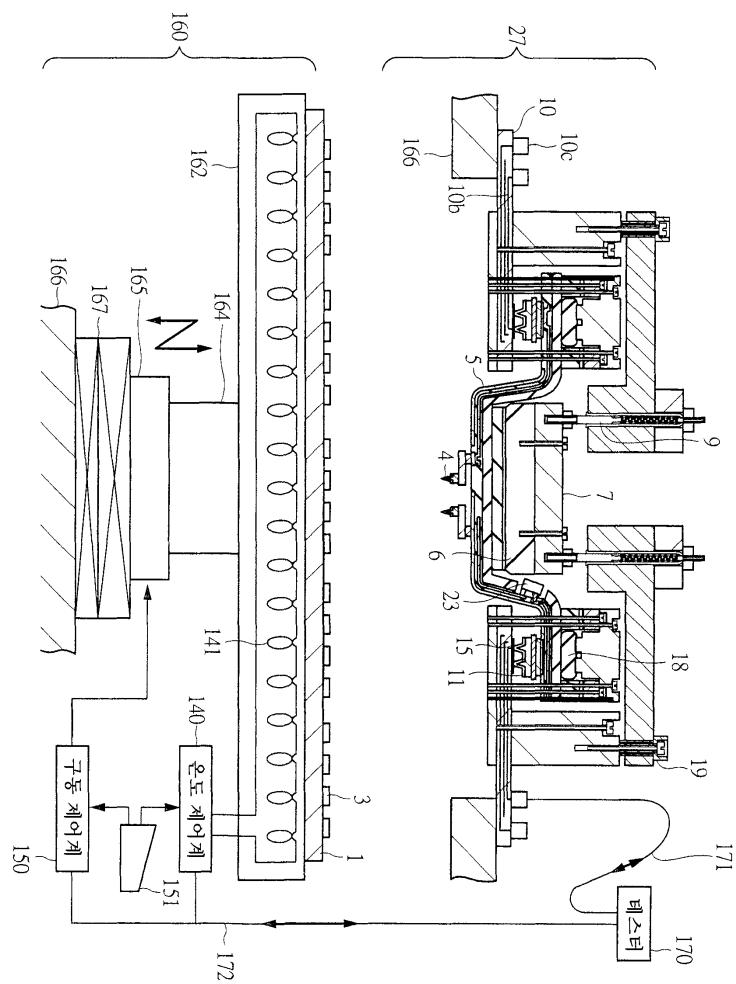
도면48



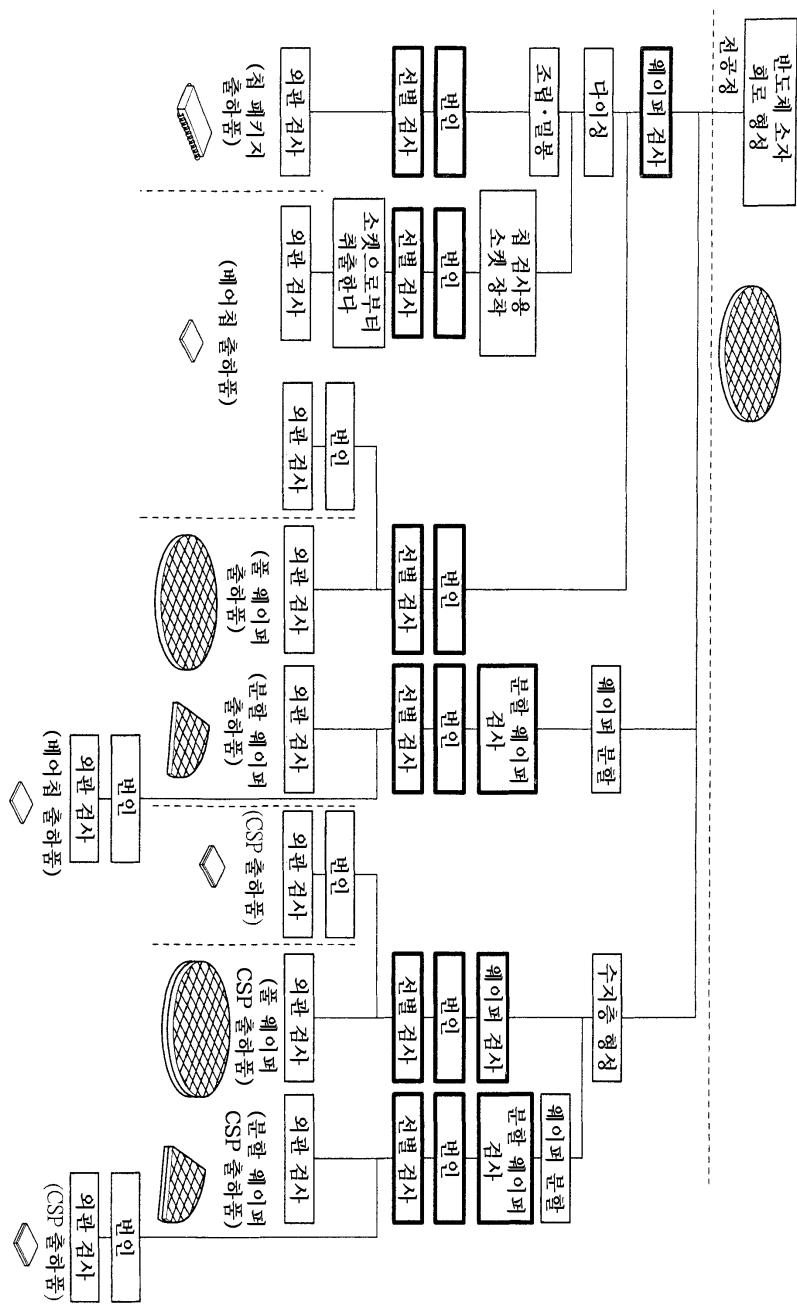
도면49



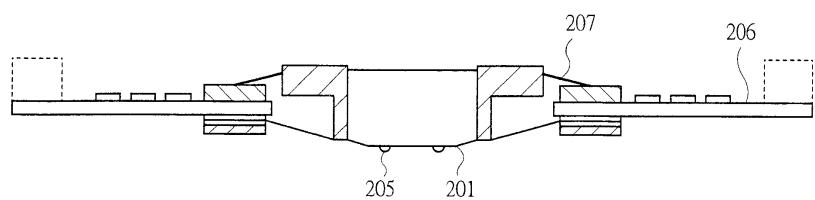
## 도면50



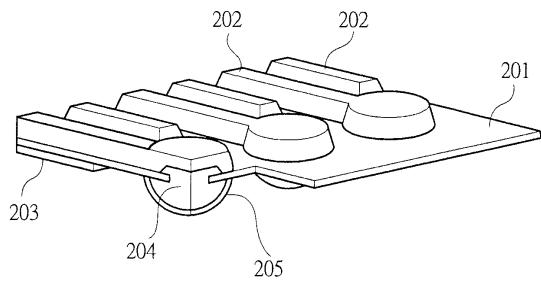
## 도면51



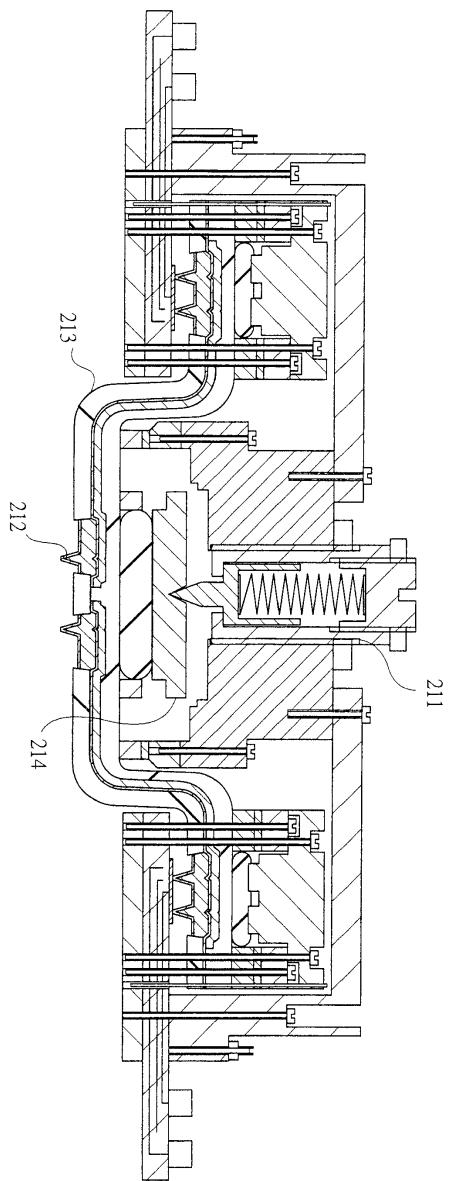
도면52



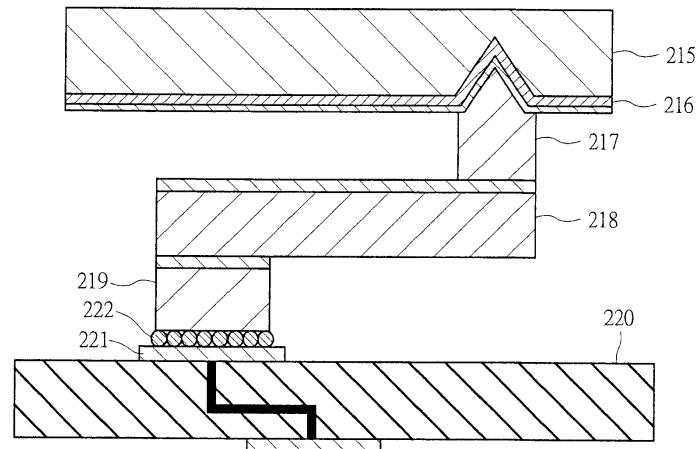
도면53



도면54



도면55



도면56

