

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁶
G06F 13/00

(11) 공개번호 특1999-022951
(43) 공개일자 1999년03월25일

(21) 출원번호	특1997-709421	(87) 국제공개번호	WO 97/00533
(22) 출원일자	1997년12월15일	(87) 국제공개일자	1997년01월03일
번역문제출일자	1997년12월15일		
(86) 국제출원번호	PCT/US 96/10466		
(86) 국제출원출원일자	1996년06월17일		
(81) 지정국	AP ARIPO특허 : 케냐 레소토 말라위 수단 스와질랜드 케냐 EA EURASIAN특허 : 아르메니아 아제르바이잔 벨라루스 키르기즈 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 핀란드 프랑스 영국 그리스 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 오스트리아 스위스 독일 덴마크 스페인 핀란드 영국 국내특허 : 아일랜드 알바니아 오스트레일리아 바베이도스 불가리아 브 라질 캐나다 중국 체코 에스토니아 그루지야 헝가리 이스라엘 아이 슬란드 일본 북한		
(30) 우선권주장	8/490,651 1995년06월15일 미국(US)		
(71) 출원인	인텔 코오퍼레이션 피터 엔. 데트킨 미합중국 캘리포니아 산타클라라 미션 칼리지 블러바드 2200		
(72) 발명자	데이비스 배리 미국 아리조나 85224 찬들러 웨스트 사라고사 스트리트 740 푸트럴 윌리엄 티 미국 오리건 97229 포트랜드 노스웨스트 엘크 런 드라이브 17715 가버스 엘리엇 미국 아리조나 85257 스코트즈델리 넘버 3106 노스 헤이던 로드 2700		
(74) 대리인	장용식, 정진상		

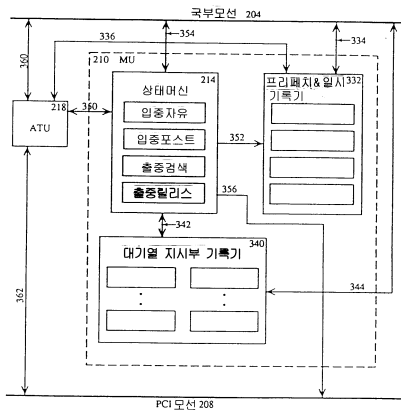
심사청구 : 있음

(54) 다중처리 시스템내의 처리기 사이에 메시지를 전송하는 장치 및방법

요약

I/O 플랫폼에서 I/O 작동을 조종하는 국부 처리기와 주처리기 사이에 하드웨어 대기열 인터페이스를 제공하는 메시지 유닛(210), 회로소자(214)는 입중 자유 대기열, 입중 포스트 대기열, 출중 자유 대기열, 그리고 출중 포스트 대기열의 선단 및 말단 지시부를 조정한다. 회로소자는 주처리기 또는 모션작동주가 입중 포트 기록기 또는 출중 포트 기록기를 판독하거나 기록함으로써 단일 모션 변동자료내의 이들 대기열에 접근하게 하도록 또한 제공된다. 그 대기열 요소는 메시지 버퍼의 행들을 포함하고 있다. 본 발명은 다음 요소를 대기열에 위치시키고, 그 요소를 바꾸고, 다음 대기열 접근에 대한 다음 요소를 지시하는 대기열 설명부(즉, 선단 및 말단 지시부)를 변경하는 특정 작업을 자동적으로 실행한다. 대기열이 주처리기, 모션작동주 또는 국부 처리기중 하나에 기록될 때 복수의 기록기는 주처리기나 국부 처리기중 하나를 선택적으로 인터럽트하는데 사용된다.

대표도



명세서

기술분야

본 발명은 다중처리 시스템 분야에 관한 것이다. 더 상세하게는 다중처리 시스템내의 처리기 사이에 메시지를 전송하는 장치 및 방법에 관한 것이다.

배경기술

메시지는 단순히 작동 파라미터와 데이터를 전달하는 데이터 구조이다. 메시지는 하나 또는 다수의 플랫폼을 실행하는 하나 또는 다수의 프로세스 (즉, 응용)에 의해 발생된다. 플랫폼은 처리기 또는 처리기의 클러스터, 대용 메모리, 그리고 국부 메모리 모선, 그리고 메모리 입력/출력 모선을 포함하고 있다. 플랫폼내의 이들 요소는 운용 환경을 만든다.

더욱이, 플랫폼은 운용 시스템의 단일 사례를 실행한다. 다른 말로, 그 컴퓨터 시스템은 단일 운용 시스템이 다중 처리기를 지원하는 분배된 처리 시스템이다. 메시지가 특정 플랫폼상의 하나의 프로세스에 의해 발생된 후에, 이것은 처리하는 다른 처리기 플랫폼에 보내진다.

메시지는 메모리내에 있고 정보의 추가 데이터 블록에 지시와 지시부를 포함하고 있는 제어블록에서 지시부에 의해 지시될 수 있다. 예를들어, 제어블록은 특정 주변 디바이스(즉, 하드디스크 드라이브)를 지정할 수 있고 그 디바이스의 지정된 섹터로부터 판독되는 그 데이터를 요구할 수 있다.

메시지 통과는 처리기가 타이트하게 결합되어 있는 (즉, 처리기가 단일 캐시를 공유하고 있는) 대칭 다중처리 시스템(SMP)과 처리기가 공통의 모선 구조에 의해 서로 느슨하게 결합되어 있는 비대칭 다중처리 시스템내의 처리기 사이에서 사용된다.

메시지가 제1플랫폼내의 제1처리기에서 제2플랫폼내의 제2처리기로 통과될 때, 그 메시지가 명령되는 처리기가 자원이 자유로울 때 그 메시지를 처리할 수 있도록 메시지를 대기열에 넣을 필요가 있다.

메시지를 대기열에 넣는 종래방법은 소프트웨어 기술을 사용하여 초기에 구현된다. 이 방법은 공유 대기열 구조에 다중원자 접근을 필요로 한다. 예를들어, 단일 처리기상에서 실행하는 복수의 프로세스는 그 처리기에 의해 공유된 메모리에 위치되어진 메시지의 하나의 대기열을 공유할 수 있다. 그 프로세스중 하나에 대하여 원자 접근을 얻기 위해서, 운용 시스템은 대기열에 접근을 요구하는 프로세스에서 그 프로세스에 배타적인 권리(즉, 원자접근)를 주는 수기신호를 대기열에 부여한다. 수기신호는 단순히 프로세스에 공유 데이터 구조(즉, 운용 시스템 환경의 부분)에의 배타적인 접근을 주는 운용 시스템 변수이다. 그러면, 그 프로세스는 대기열로부터 메시지를 제거하거나 추가할 것이다. 특정 프로세스가 수기신호를 제어할 때, 이것은 그 대기열에의 접근을 요구하는 다른 프로세스 밖에서 잠근다. 다른 프로세스는 그 공유구조에의 접근이 이용가능하기 전에 수기신호를 푸는 제1프로세스를 기다려야 한다.

다중처리 시스템에 있어서, 다수의 처리기는 동시에 그 수기신호에의 접근을 얻으려고 할 것이다. 그러므로, 모션잠금은 동기화(즉, 원자접근)에 필요하다. 하나의 처리기는 잠금된 모션을 가지고 있는 반면, 다른 처리기는 제1처리기가 그 모션을 풀때까지 메모리(즉, 메모리 블록)내의 같은 공유구조를 접근시킬 수 없다. 수기신호는 시스템 메모리에 있기 때문에, 나머지 처리기는 그들이 수기신호를 주장하지 않을지라도 잠금이 된다. 그러므로, 모션잠금은 중지될 수 있는 소프트웨어 모듈(즉, 다중작업 운용 시스템)에 결코 사용될 수 없다. 대신에, 운용 시스템 핵심에서의 콜은 그들 응용에서 수기신호를 풀고 얻을 때 요구된다.

상기 작동은 모션접근을 기다리거나 수기신호를 기다리는 동안에 각각의 프로세스가 무료하게 보내는 상당한 시간 때문에 매우 비효율적이다. 더욱이, 운용 시스템 핵심에서의 상기 콜은 비싼 환경 스위치의 원인이 된다.

환경은 단순히 응용에서 전용인 메모리 영역(즉, 응용 코드와 데이터)이다. 응용환경은 깃발, 변수 그리고 현재프로세스의 상태를 포함한다. 수기신호는 응용환경 보다 다른 환경(즉, 운용 시스템 환경)에서 운용 시스템 변수이기 때문에, 시스템 자원은 환경을 바꿀 필요가 있다. 예를들어, 환경 스위치 데이터에서, 지시부는 변화게 된다. 지시부는 스택상에 밀어넣고 프로세스 제어 파라미터는 또한 변경된다.

모션 잠금력을 가지고 있지 않는 종래 컴퓨터 시스템은 처리기 사이에 동기화를 제공하는 고도로 복잡한 알고리즘을 사용한다. 이 시스템에서, 성능은 더 감소된다.

그러므로, 수기신호 사용 없이 대기열에의 직접 접근이 효율적으로 가능한 장치 및 방법이 필요하다.

발명의 상세한 설명

다중 처리 시스템내의 처리기 사이에 메시지를 전송하는 장치 및 방법. 본 발명과 장치는 비대칭 다중처리 시스템내의 처리기 사이에서의 메시지 통신을 가능하게 한다. 비대칭 다중처리 시스템은 단순히 처리기가 상이한 운용시스템을 동시에 실행하는 시스템이다. 예를들어, 응용 플랫폼상의 응용처리는 윈도우 NT™과 같은 표준 응용 운용 시스템 소프트웨어를 작동하고 있다. 그러나, I/O 플랫폼상의 처리기는 I/O 작동에 적합한 특정 운용 시스템을 작동하고 있다(즉, 실시간 운용 시스템; RTOS). 특정하게, 본 발명은 국부처리를 포함하는 플랫폼에서 하나 또는 다수의 처리기 플랫폼상에서 실행하는 하나 또는 다수의 프로세스로부터 메시지를 대기열에 넣는 빠르고 직접의 장치를 제공한다.

본 발명은 나머지 플랫폼에 메시지 버퍼를 할당하는 임종 자유 대기열 및 I/O 플랫폼에서 외부에 있는 모션 동작주와 처리기로부터 메시지를 포스트하는 임종 작업 대기열을 제공한다. 더욱이, 본 발명은 다른 플랫폼상의 처리기가 이들 메시지를 검색하도록 국부처리기(즉 I/O 플랫폼에 대한 처리기)에서 다른 처리기 플랫폼(즉, 주 처리기)로 메시지를 포스트하는 출중 작업 대기열을 제공한다. 또한, 본 발명은 주처리기가 메시지 버퍼를 릴리스하는 임종 자유 대기열을 제공한다. 이 대기열은 주 처리기가 그 메시지를 처리한 후에 국부 처리기에 메시지 버퍼를 릴리스한다.

본 발명은 주 플랫폼과 I/O 플랫폼 사이에 매우 빠르고 효율적인 하드웨어 대기열 인터럽트를 제공하는 메시지 유니트로 이들 대기열을 관리한다. 본 발명은 단일 PCI 모션 변동자료 사이클에서 걸쳐 지시부 또는 자유 메시지 버퍼의 준비(즉, 메시지 유니트에서 기록기를 판독)가 가능하다. 더욱이, 본 발명은 단일 PCI 모션 변동자료에서 총만지시부 또는 메시지의 검색 또는 포스트(즉, 메시지 유니트에서 기록기에 기록)가 가능하다.

하드웨어 인터럽트로 대기열을 관리하는 것에 본 발명은 종래의 소프트웨어 대기열 관리기술을 넘는 일부 이점을 제공한다. 먼저, 본 발명은 프로세스가 총만 또는 걸쳐 대기열상에서 대기열 작동을 실행하고자 할 때 교착 또는 폐쇄를 피한다. 본 발명의 관리 유니트는 걸쳐 리스트 또는 대기열로부터 가져오려는 시도가 검출될 때 걸쳐지시를 급히 반환한다. 유사하게, 본 발명은 총만 대기열에 포스트하려는 시도가 검출될 때 특정 대기열이 총만하는 지시를 급히 반환한다. 본 발명은 최소 하드웨어 자원으로 효율적으로 구현될 수 있다.

더욱이, 본 발명은 단일 모션 변동 자료 사이클로 대기열 접근을 실행하기 때문에, 동기화에 대한 필요성(즉, 수기신호를 릴리스하고 획득)은 사라지고, 그 시스템의 성능은 상당히 향상된다. 대기열 접근은 단순히 대기열에 요소 추가 또는 대기열로부터 요소 제거이다. 대기열 접근은 다음 대기열 접근을 위해서 다음 요소를 지시하는 대기열 서술자를 변경하고 그 요소를 바꾸고 다음 요소를 위치시키는 특정 작업을 포함할 수 있다. 이들 작업은 본 발명에 의해 자동으로 실행된다. 이들 작업이 완성되는 시간 동안에 그 대기열은 다른 프로세스가 다른 메시지를 중복기록하거나 동일한 메시지 버퍼를 획득하지 못하도록 잠금되어야 한다. 본 발명은 하나의 모션 변동자료에서 대기열 접근을 제공하고 단일 PCI 모션변동 자료가 원래 원자인 사실을 이용한다(즉 변동자료를 실행하는 모션작동 주에 의한 배타적인 접근). 더욱이, 자동으로 본 발명은 준비와 재시도 신호를 통하여 동기화를 조정한다.

더욱이, 시스템 자원을 고정시키는 환경 스위치는 본 발명이 수기신호에 대한 필요성을 제거하기 때문에 더 이상 필요하지 않다. 수기신호는 판독 또는 기록이 하나의 모션변동 자료로 실행될 수 있고, 메시지 유니트내의 기록기에의 판독 또는 기록이 특정 대기열을 접근시키는데 필요한 것이기 때문에 더 이상 요구되지 않는다.

도면의 간단한 설명

본 발명은 같은 숫자부호는 유사한 요소를 지시하는 첨부한 도면의 그림에 제한이 없고 예로서 설명되어 있다.

도 1은 본 발명을 구현하는 비대칭 다중처리 컴퓨터 시스템의 블록도를 설명하고 있다;

도 2는 본 발명을 포함한 I/O 플랫폼을 설명하고 있다;

도 3은 본 발명의 일실시예를 설명하고 있다;

도 4는 본 발명의 순환 대기열을 설명하고 있다;

도 5는 본 발명의 순환 대기열 작동을 설명하고 있다;

도 6a는 본 발명의 임종 자유상태 머신을 설명하고 있다;

도 6b는 임종 자유상태 머신에 대한 상태도를 설명하고 있다;

도 7a는 본 발명의 임종 포스트 상태 머신을 설명하고 있다;

도 7b는 임종 포스트 상태 머신에 대한 상태를 설명하고 있다;

도 8a는 본 발명의 출중 검색 상태 머신을 설명하고 있다;

도 8b는 출중 검색 상태 머신에 대한 상태도를 설명하고 있다;

도 9a는 본 발명의 출중 릴리스 상태 머신을 설명하고 있다; 그리고

도 9b는 출중 릴리스 상태 머신에 대한 상태도를 설명하고 있다.

실시예

도 1은 본 발명을 구현하는 다중처리 컴퓨터 시스템의 블록도를 설명하고 있다. 다중처리 시스템(100)은 주처리기(102)를 포함하고 있다. 주처리기(102)는 복수의 처리기(즉, 타이트하게 결합된 처리기의 클러스터)를 포함할 수 있다. 주처리기(102)는 주모선(103)을 통해서 주메모리(104)에 결합된다. 또한, 메모리 모선(103)은 주처리기(102)와 메모리(104)를 주칩세트(105)에 결합시킨다. 주칩 세트(105)는 메모리 제어기, 캐시제어기, 그리고 메모리 모선(103)과 입력/출력(I/O) 모선(106) 사이의 인터럽트(예, PCI모선)를 포함하고 있다.

주칩세트(105)는 종래기술에 잘 알려져 있다. 예를들어, 주처리기(102)가 인텔에서 만든 펜티엄™ 처리기 일 때, 적합한 주칩세트(105)는 인텔에서 또한 만든 트라이던트™ 칩 세트이고, P6™ 처리기가 사용된다면, 적합한 칩세트(105)는 인텔에서 또한 만든 오리온™ 칩 세트이다. 주처리기(102), 메모리 모선(103), 주메모리(104), 그리고 주칩세트(105)는 이 다중처리 시스템(100)에서 주 플랫폼으로 명명될 것이다.

다중처리 시스템(100)은 제1 PCI 모선(106)에 결합되어 있는 I/O 플랫폼(108)을 더 포함하고 있다. 더욱이, I/O 플랫폼(108)은 I/O 플랫폼(108)에 포함되어 있는 처리기의 어드레스 공간과 제1 PCI 모선(106)의 어드레스 공간 사이에 인터럽트를 제공한다. I/O 플랫폼(108)은 제1 PCI 모선(106)을 제2 PCI 모선(도시생략)에 결합시키는 브리지를 또한 포함할 수 있다.

I/O 플랫폼(108)은 주 처리기 및 제1 PCI 모선(106)과 제2 PCI 모선에 결합된 디바이스(도시생략)에 I/O 자원을 더 제공한다. 도 2는 본 발명을 포함하는 I/O 플랫폼(200) 도 1에서 요소(108)로 앞서 명명을 더 상세히 설명하고 있다. I/O 플랫폼(200)은 국부모선(204)을 통해서 메모리 제어기를 경유하여 국부 메모리(206)에 결합되어 있는 국부 처리기(202)를 포함하고 있다. 그 국부 처리기(202)는 인텔 80960 JF 처리기가 될 수 있다.

어드레스 전환 유니트(ATU)(218)는 국부모선(204)과 제1 PCI 모선(208)(도 1에서 요소(106)로 앞서 명명)에 결합되어 있다. 그 어드레스 전환유닛(ATU)(218)는 PCI 모선(208)의 어드레스 국부에서의 어드레스를 역으로 처리기(202) 어드레스 국부에서의 어드레스로 전환시킨다. 그러므로, PCI 어드레스 국부에서의 어드레스를 가진 PCI 모선(268)상의 변동자료는 메모리 제어기(205)가 Mu(210)내의 적당한 기록기(212) 또는 국부메모리(206)내의 올바른 위치를 어드레스 하도록 국부 모선(204) 어드레스 국부로 전환되어야 한다.

ATU(218)는 국부 모선 변동자료를 PCI 모선 변동자료로 전환하기 위한 출중 모듈, PCI 모선 변동자료를 이 어드레스 전환을 관리하는 제어상태 머신과 국부 모선 변동자료로 전환하는 출중 모듈을 포함한다. 본 발명에 관하여, ATU(218)는 특정 PCI 모선 변동자료가 Mu(210)내의 기록기중 하나를 접근시키는 것을 검출하는 어드레스 디코더로서 보일 것이다. ATU(218)는 변동자료가 Mu(210)내의 기록기의 하나에의 접근이라는 것을 검출한 후에 MU(210)내의 제어상태 머신(214)을 개시하기 위해 데이터 경로(221)를 통해서 신호를 보내고, 이것은 아래에 설명될 것이다. 제어상태 머신(214)은 ATU(218)에 데이터 통로(221)를 통해서 복수의 신호를 보내고 MU(210)는 요구하는 프로세스에서 ATU(218)에 재시도 신호를 지시할 준비를 하거나 변동자료를 수신할 준비를 하도록 ATU(218)에 알린다.

국부모선 중재기(240)는 국부 모선 마스터의 하나(즉, MU(210), ATU(218)의 임중 모듈, 그리고 국부 처리기(202))에 국부모선(204)의 제어를 준다. 중재회로(240)는 종래기술에 잘 알려져 있다.

메모리 제어기(205)는 데이터 경로(224, 225)를 통해서 국부메모리(206)에의 접근이 제공된다. 국부모선(204)이 단일 데이터 경로로서 도시되었지만, 국부모선(204)은 어드레스부와 데이터부로 구성될 수 있다.

무선 작동주(201)는 주 처리기 또는 다른 I/O 플랫폼일 수 있다. 더욱이, 모선 작동주(201)는 도 1의 주 모선(103), 주메모리(104), 주처리기(102), 그리고 주칩 세트(105)를 포함할 수 있다. 다른 말로, 모선작동주(201)는 임의의 인공지능 모선 작동주 또는 서브시스템 자체일 수 있다.

메시지 유니트(MU)(210)는 국부모선(204)과 ATU(218)에 결합되어 있다. MU(210)는 본 발명의 기술을 구체화하고 복수의 기록기(212)와 복수의 상태 머신(214)을 포함하고 있다. 이들 기록기(212)와 상태 머신(214)은 도 3을 참조하여 더 설명될 것이다.

도 3은 MU(210)에서 구체화된 바와 같이 본 발명을 설명하고 있다. MU(210)는 제어경로(350)를 통해서 ATU(218)에 결합된 복수의 상태머신(214)을 포함하고 있다. 또한 MU(210)는 복수의 프리페치(prefetch)와 일시 기록기(332)를 포함하고 있다. 프리페치와 일시 기록기(332)는 데이터 경로(352)를 통해서 제어상태 머신(214)에 의해 또한 제어된다. 기록기(332)는 국부 메시지(266)에 접근하는 데이터 경로(334)를 통해서 국부모선(204)에 또한 결합되어 있다.

이 실시예에서, MU(210)는 4개의 순환 대기열을 사용하는 메시지 통과도를 포함하고 있다. 이 실시예에 4개의 프리페치와 일시 기록기(332)가 있다. 주 처리기가 순환 대기열에 데이터를 기록하도록 두 개의 기록기가 제공된다. 주 처리기가 순환 대기열중 하나로부터 데이터를 판독하도록 두 개의 기록기가 제공된다.

또한 MU(210)는 데이터 경로(342)를 통해서 제어상태 머신(214)에 결합되어 있는 복수의 대기열 지시부 기록기(340)를 포함하고 있다. 이 기록기(340)는 대기열(207)의 말단 지시부를 저장한다. 이 대기열은 도 4와 도 5에 관하여 더 상세히 설명될 것이다.

순환 대기열

MU(210)는 4개의 순환 대기열(207)에 모선작동주(201)에 대한 접근을 제공한다. 두 개의 입중 대기열과 두 개의 출중 대기열이 있다. 입중 그리고 출중은 작동 메시지의 흐름을 방향을 말한다. 입중 메시지는 프로세스에서 국부 처리기(202)에 대한 모선 작동주(201)에 의해 포스트되는 새로운 메시지중 하나이거나

모선 작동주(201)에 의해 사용이 가능한 결여 또는 자유 메시지 버퍼이다. 나옴 메시지는 프로세스에서 주 처리기(201)에 대한 국부 처리기(202)에 의해 포스트된 메시지중 하나이거나 국부 처리기(202)에 의해 사용이 가능한 자유 메시지 버퍼이다.

일시시에에서, 주 처리기/모선 작동주(201)와 국부 처리기(202) 사이에서 메시지를 통과시키는데 사용되는 4개의 순환 대기열이 있다. 입중 메시지를 조정하는데 사용되는 두 개의 입중 대기열이 있고 출중 메시지를 조정하는데 사용되는 두 개의 출중 대기열이 있다. 그 입중 대기열중 하나는 자유 대기열로서 표시되고, 입중 자유 메시지 핸들을 포함한다. 메시지 조정은 메시지 버퍼의 논리 또는 물리적인 어드레스이다. 나머지 입중 대기열은 포스트 또는 작업 대기열을 표시하고 입중 포스트된 메시지 핸들을 포함한다. 유사하게, 출중 대기열중 하나는 자유 대기열을 표시하고, 나머지 출중 대기열은 포스트 대기열을 표시한다.

두 개의 출중 대기열은 국부 처리기(202)가 포스트 대기열내의 출중 메시지를 포스트하게 하고 외부 주처리기(201)에서 출중 자유 대기열로 반환하는 자유 메시지를 수신하게 한다. 두 개의 입중 대기열은 모선 작동주(201)가 입중 자유 대기열로부터 자유 메시지 버퍼를 획득하게 하고 결과적으로 국부 처리기(202)에 의해 처리하는 입중 자유 대기열에 그 버퍼를 포스트한다.

순환 대기열(207)에 대한 데이터 저장소가 국부 메시지에 의해 제공된다. 이 특정 실행에서, 대기열에서의 각각의 엔트리는 메시지 핸들인 32비트 데이터 값이다. 더욱이, 대기열에 기록 또는 대기열로 부터의 판독은 정확하게 하나의 대기열 엔트리에 접근할 수 있다.

각각의 순환 대기열은 선단 지시부와 말단 지시부를 가지고 있다. 대기열에의 기록은 대기열의 선단에서 일어나고 판독을 말단으로부터 일어난다. 지시부의 선단과 말단은 국부 처리기(202)상에서 작동하는 소프트웨어에 의해 또는 메시지 유닛(210)에 의해 증대된다. 선단과 말단 지시부가 국부 처리기(202)와 MU(210)에 의해 증대되는 방법과 관련된 상세한 설명이 아래에 있다.

선단과 말단 지시부가 각각의 순환 대기열로 오프셋하고 0에서 순환 대기열 크기 마이너스 까지의 범위에 있다(즉, 0으로 지시부를 라벨 시작). 그 지시부는 각 대기열이 접근된 후에 증대된다. 선단과 말단 지시부 모두 순환 대기열 크기 0에 도달할 때의 주위에 감싸진다(즉, 대기열의 끝).

메시지 유닛(210)은 어떤 조건하에서 국부 처리기(202)에 인터럽트를 발생시키거나 PCI 모선 인터럽트(즉, 외부 처리기에서의 인터럽트)를 발생시킨다. 일반적으로, 포스트 대기열이 기록될 때, 인터럽트는 메시지가 포스트되는 타겟 처리기를 알리도록 발생된다.

일시시에에서, 각각의 순환 대기열의 크기는 16K 바이트(4096핸들)에서 256K바이트(65536핸들) 까지 변할 수 있다. 더욱이, 이 실시예에서, 4개의 대기열 모두 같은 크기이고 연속적이다. 그러므로 순환 대기열에 의해 필요한 국부 메모리의 총량은 64K 바이트에서 1M 바이트까지 변한다. 이 대기열은 국부 메모리(206)에 있고 그 대기열의 선단과 말단 지시부는 MU(210)내의 기록기에 있다. 그 대기열 크기는 메시지 유닛 구성 기록기내의 대기열 크기 필드에 의해 결정된다. MUCR의 한가지 가능한 포맷은 표 1에 도시되어 있다. 이 실시예에서, 4가지 대기열 모두에 대한 한가지 기초 어드레스가 또한 있다. 각각의 대기열의 시작 어드레스는 대기열 기초 어드레스와 대기열 크기 필드를 근거로 한다. 그 기초 어드레스는 MU(210)에 또한 있는 대기열 기초 어드레스 기록기(QBAR)에 저장된다. QBAR의 한가지 가능한 포맷은 표 2에 도시되어 있다. 도 6-9에서 설명될 실시예는 각각의 대기열에 대한 분리 기초 어드레스를 포함하고 있다.

[표 1]

MU 구성 기록기 - MUCR			
비트	디폴트	판독/기록	설명
31:05	0000000H	판독전용	보존
04:00	00000 ₂	판독/기록	대기열크기-이 필드는 각각의 순환 대기열의 크기를 결정한다. 4개의 대기열 모두는 같은 크기이다.

[표 2]

대기열 기초 어드레스 기록기 - QBAR			
비트	디폴트	판독/기록	설명
31:20	000H	판독/기록	대기열 기초 어드레스- 순환 대기열의 국부 메모리 어드레스
19:00	00000H	판독전용	보존

도 4는 본 발명의 4개의 순환 대기열을 설명하고 있다. 국부메모리(206)에 있는 두 개의 입중 대기열(430, 440)과 두 개의 출중 대기열(410, 420)이 있다.

국부 처리기(202)는 출중 포스트 대기열(420)의 선단에 기록함으로써 출중 메시지(422)를 포스트한다. 주 처리기(201)는 출중 포스트 대기열(420)의 말단으로부터 판독함으로써 출중 포스트 대기열(420)로 부터의 포스트된 메시지를 검색한다.

주처리기(201)는 출중 자유 대기열(410)의 선단에 기록함으로써 출중 메시지 버퍼(412)를 릴리스한다. 그 국부 처리기(202)는 출중 자유 대기열(410)의 말단으로부터 자유 메시지 버퍼(414)를 판독한다.

주 처리기 또는 모선 작동주(201)는 입중 포스트 대기열(430)의 선단에 기록함으로써 입중 메시지(432)를 입중 포스트 대기열(430)에 포스트한다. 국부 처리기(202)는 입중 포스트 대기열(430)의 말단으로부터 이 포스트된 메시지를 판독한다. 주 처리기가 입중 포스트 대기열(430)에 기록할 때, 인터럽트는 국부 처리

기(202)에 발생된다(436).

메시지가 국부 처리기(202)에 의해 출중 포트 대기열(420)에 포스트될 때 인터럽트(426)는 주 처리기(201)에 발생된다. PCI 모션 명세 개정 2.0에 의해 확인된 인터럽트는 여기에 사용될 것이다.

국부 처리기(202)는 이 대기열(440)의 선단에 기록함으로써 입중 자유 대기열(440)에 자유 메시지 버퍼(442)를 반환한다. 주 처리기/모션 작동주(201)는 데이터 경로(444)를 통해서 입중 자유 대기열(440)의 말단으로부터 판독함으로써 자유 메시지 버퍼를 얻는다.

도 5는 출중 자유 대기열(510), 출중 포트 대기열(520), 입중, 출중 포트 대기열(530), 그리고 입중 자유 대기열(540)을 설명하고 있다.

출중 자유 대기열

출중 자유 대기열(0FQ)(510)은 모션 작동주(201)에 의해 그곳에 놓여진(즉, 릴리스된) 결여 메시지에 대한 핸들을 사용하는 국부 처리기(202)에 대하여 유지한다. 주 처리기(201)는 출중 대기열 포트(516)내의 기록기에 기록함으로써 메시지 버퍼를 0FQ(510)에 릴리스한다. 0FQ(510)은 국부 처리기(202)에 의해 대기열 말단으로부터 판독하고, 주 처리기(201)에 의해 대기열 선단에 기록된다. 말단 지시부(0FHP)(512)는 메시지 유닛(210)에 의해 유지된다. 출중 자유 대기열 말단 지시부(0FTP)는 국부 처리기(202)상에서 작동하는 소프트웨어에 의해 유지된다.

출중 대기열 포트(516)에 접근하는 PCI 기록 변동자료에 대하여, MU(210)는 선단 지시부(0FHP)(512)에 의해 지시된 국부 메모리(206)내의 위치에 메시지 핸들(즉, 자유 메시지 버퍼에서의 어드레스)을 기록하고, 이것은 출중 자유 선단 지시부 기록기(0FHPR)(926)에 저장된다. 국부 메모리 어드레스는 대기열 기초 어드레스 기록기 + 3* 대기열 크기 + 출중 자유 선단 지시부 기록기(0FHPR)(926)이다. 0FHPR의 한가지 가능한 포맷은 표 3에 도시되어 있다.

출중 대기열 포트(516)에 기록되는 데이터가 국부 메모리(206)에 기록될 때, MU(210)는 0FHP(512)를 증대시킨다.

PCI 기록 변동자료가 MU(210)에 의해 수신되는 시간부터 데이터가 국부 메모리(206)에 기록될 때까지, 그리고 0FHP(512)가 증대되고, 입중 대기열 포트(516)에 접근을 시도하는 어떠한 PCI 변동자료도 대기 상태를 삽입함으로써 디레이된다. 대기상태를 삽입하는 동안에 PCI 대기 방해가 발생한다면, 외부 PCI 작동부(201)는 재시도의 신호를 보낸다.

국부 처리기(202)는 출중 자유 대기열 말단 지시부(0FTP)(514)에 의해 지정된 국부 메모리 위치를 판독함으로써 0FQ(510)로부터 메시지 버퍼 핸들을 검색한다. 국부 메모리 어드레스는 대기열 기초 어드레스 기록기 + 3* 대기열 크기 + 출중 자유 말단 지시부 기록기(0FTPR)(438)이다. 0FTPR의 한가지 가능한 포맷은 표 4에 도시되어 있다. 그 다음, 국부 처리기(202)는 출중 자유 말단 지시부 기록기(938)(도 9a에 도시)내의 0FTP(514)를 증대시킨다.

[표 3]

출중 자유 선단 지시부 기록기 - 0FHPR			
비트	디폴트	접근	설명
31:19	0000H	판독전용	보존
18:02	0000H	판독/기록	출중 자유 선단지시부-출중 포트 대기열에 대한 선단 지시부의 국부 메모리 오프셋
01:00	00 ₂	판독전용	보존

[표 4]

출중 자유 말단 지시부 기록기 - 0FTPR			
비트	디폴트	접근	설명
31:19	0000H	판독전용	보존
18:02	0000H	판독/기록	출중 자유 말단 지시부-출중 자유 대기열에 대한 말단 지시부의 국부 메모리 오프셋
01:00	00 ₂	판독전용	보존

출중 포트 대기열

출중 포트 대기열(0PQ)(520)은 검색하고 처리하는 주처리기(201)에 대하여 국부 처리기(202)에 의해 그곳에 위치한 포트 메시지의 핸들을 저장한다. 주처리기(201)는 출중 대기열 포트(516)내의 기록기를 판독함으로써 0PQ(520)로부터 메시지를 검색한다. 국부 처리기(202)는 대기열 선단에 기록함으로써 0PQ(520)에 추가된다. 선단 지시부(0PHP)(522)는 국부 처리기(202)에 의해 유지된다. 선단 지시부(0PTP)(524)는 메시지 유닛(210)에 의해 유지된다.

출중 대기열 포트(516)에 접근하는 PCI 판독 변동자료에 대하여, MU(210)는 0PTP(524)에 의해 지정된 국부 메모리 위치에서 데이터를 프리페치한다. 국부 메모리 어드레스는 대기열 기초 어드레스 지시부 + 2* 대기열 크기 + 출중 포트 말단 지시부 기록기(0PTPR)(826)(도 8a에 도시된 바와 같이)이다. 0PQ(520)가

비어 있지 않다면(즉, 선단(522)과 말단 지시부(524)가 같지 않음), 메시지 핸들은 요구 처리기(201)에 공급된다. OPQ(520)가 비어 있다면(즉, 선단(522)과 말단 지시부(524)가 같음), -1(FFFF. FFFFH)의 값은 요구 처리기에 공급된다. OPQ(520) 대기열이 비어 있지 않고 MU(210)이 말단에서 데이터를 프리페치하는 데 성공한다면, MU(210)는 OPTPR(826)내의 말단 지시부(OPTR)(524)를 증대시킨다.

지시된 바와 같이, 프리페치 기계는 선단(522)과 말단(524) 지시부가 같다면(즉, OPQ(520)가 비어 있다), -1(FFFF. FFFFH)의 값을 프리페치 기록기(806)(도 8a를 참조하여 추가 설명)에 넣는다. 메시지가 OPQ(520)에 추가되고 비결여가 될 때 ORR(806)를 갱신하기 위해서, MU(210)내의 프리페치 기계는 ORR(806)이 FFFF. FFFFH를 포함하고 출중 포스트 선단 지시부 기록기(OPHPR)(422)가 국부(202) 처리기에 의해 기록된다면 프리페치를 자동적으로 시작한다. OPHPR의 한가지 가능한 포맷이 표 5에 도시되어 있다. 국부 처리기(202)는 국부 처리기(202)가 OPQ(520)에 메시지를 추가할 때 OPHPR(422)을 갱신한다.

프리페치는 외부 모션 작동주(201)의 관점에서 원자적으로 보아야 한다. 프리페치가 시작될 때, 출중 대기열 포트(516)내의 출중 검색 기록기(806)(도 8a를 참조하여 설명)에 접근을 시도하는 어떠한 PCI 변동 자료도 그 프리페치가 완성될 때까지 대기상태를 삽입함으로써 디레이된다. 대기상태를 삽입하는 동안에 모션 대기 방해가 일어난다면, 외부 모션 작동주(201)는 재시도 신호로 통지된다.

PCI 인터럽트는 OPHP(522)는 OPTP(524)와 같지 않을 때 주처리기(201)에서 발생된다. OPHP(522)와 OPTP(524)가 같을 때, 인터럽트는 발생되지 않는다. 출중 도어벨(doorbell) 기록기내의 출력 포스트 대기열 인터럽트 비트는 OPHPR(838)과 OPTPR(828)내의 값의 비교상태를 지시한다. 그 인터럽트는 선단(522)과 말단(524) 지시부가 같을 때 제거된다. 이것은 주처리기(201)가 OPQ(520)를 비우기에 충분한 대기열 엔트리를 판독할 때 일어난다. 인터럽트는 출중 도어벨 마스크 기록기에 의해 마스크되고, 이것은 소프트웨어에 의해 제어된다.

국부 처리기(202)는 선단 지시부(OPHP)(522)에 의해 지정된 국부 메모리 위치에 데이터를 기록함으로써 메시지를 OPQ(520)에 놓을 수 있다. 국부메모리 어드레스는 대기열 기초 어드레스 기록기 + 출중 포스트 선단 지시부 기록기(838)이다. OPTPR의 한가지 가능한 포맷이 표 6에 도시되어 있다. 그다음, 국부 처리기(202)는 출중 포스트 선단 지시부 기록기내의 OPHP(522)를 증대시킨다.

[표 5]

출중 포스트 선단 지시부 기록기 - OPHPR			
비트	디폴트	접근	설명
31:19	0000H	판독전용	보존
18:02	0000H	판독/기록	출중 포스트 선단 지시부-출중 포스트 대기열에 대한 선단 지시부의 국부 메모리 오프셋
01:00	00 ₂	판독전용	보존

[표 6]

출중 포스트 말단 지시부 기록기 - OPTPR			
비트	디폴트	접근	설명
31:19	0000H	판독전용	보존
18:02	0000H	판독/기록	출중 포스트 말단 지시부-출중 포스트 대기열에 대한 말단 지시부의 국부 메모리 오프셋
01:00	00 ₂	판독전용	보존

입중 포스트 대기열

입중 포스트 대기열(IPQ)(530)은 모션 작동주(201)에 의해 그곳에 놓인 포스트된 메시지의 핸들을 처리하는 국부 처리기(202)에 대하여 유지한다. 주 처리기(201) 또는 모션 작동주는 입중 대기열 포트(536)내의 기록기에 기록함으로써 IPQ(530)에 메시지를 포스트한다. IPQ(530)는 국부 처리기(202)에 의해 대기열 말단으로부터 판독되고, 외부 모션 작동주(201)에 의해 대기열 선단에 기록된다. 말단 지시부(IPTP)(534)는 국부 처리기(202) 상에서 작동하는 소프트웨어에 의해 유지된다. 선단 지시부(IPHP)(532)는 MU(210)에 의해 유지된다.

입중 대기열 포트(IQP)(536)에 접근하는 PCI 기록 변동자료에 대하여, MU(210)는 입중 포스트 선단 지시부 기록기(IPHPR)(724)(도 7a에 도시)에 의해 지정된 국부 메모리 위치에 데이터를 기록한다. 국부 메모리 어드레스는 대기열 기초 기록기 + 대기열 크기 + 입중 포스트 선단 지시부 기록기(IPHPR)(724)이다. IPHPR의 한가지 가능한 포맷이 표 7에 도시되어 있다. IPTPR의 한가지 가능한 포맷이 표 8에 도시되어 있다.

입중 대기열 포트(536)에 기록된 데이터가 국부 메모리(206)에 기록될 때, MU(210)는 IPHPR(724)을 증대시킨다. 데이터가 국부 메모리(206)에 기록되고 IPHPR(724)는 증대될 때, MU(210)는 국부 처리기에 인터럽트를 발생시킨다. 이 인터럽트는 입중 도어벨 기록기의 입중 포스트 대기열 인터럽트 비트를 설정함으로써 기록된다. 그 인터럽트는 입중 도어벨 마스크 기록기에 의해 마스크되고, 이것은 소프트웨어에 의해 제어된다.

[표 7]

입중 포스트 선단 지시부 기록기 - IPHPR			
비트	디폴트	접근	설명
31:19	0000H	판독전용	보존
18:02	0000H	판독/기록	입중 포스트 선단 지시부-입중 포스트 대기열에 대한 선단 지시부의 국부 메모리 오프셋
01:00	00 ₂	판독전용	보존

[표 8]

입중 포스트 말단 지시부 기록기 - IPTPR			
비트	디폴트	접근	설명
31:19	0000H	판독전용	보존
18:02	0000H	판독/기록	입중 포스트 말단 지시부-입중 포스트 대기열에 대한 말단 지시부의 국부 메모리 오프셋
01:00	00 ₂	판독전용	보존

입중 자유 대기열

입중 자유 대기열(540)은 사용하는 모션 작동주(201)에 국부 처리기(202)에 의해 그곳에 놓인 결여 메시지 버퍼의 핸들을 포함한다. 주 처리기(202)는 입중 대기열 포트(536)내의 기록기를 판독함으로써 IFQ(540)로부터 메시지 버퍼를 할당한다. 입중 자유 대기열(540)은 외부 모션작동주(201)에 의해 대기열 말단으로부터 판독되고 국부 처리기(202)에 의해 대기열 말단에 기록된다. 선단 지시부(542)는 국부 처리기(202) 상에서 작동하는 소프트웨어에 의해 유지된다. 말단 지시부(IFTF)(544)는 MU(210)에 의해 유지된다.

입중 대기열 포트(IQP)(536)에 접근하는 PCI 판독 변동자료에 대하여, MU(210)는 IFTF(544)에 의해 지정된 국부 메모리 위치에서 데이터를 프리페치한다. 그 국부 메모리 어드레스는 대기열 기초 어드레스 기록기 + 말단 지시부를 저장하는 입중 자유 말단 기록기(IFTFPR)(626)이다. IFTFPR의 한가지 가능한 포맷이 표 10에 도시되어 있다. IFQ(540)이 비어 있지 않다면(즉, 선단과 말단 지시부가 같지 않다), IFTF(544)에 의해 지적된 데이터는 주 처리기 또는 모션작동주에 의해 다음 접근에 공급된다. IFQ(540)가 비어 있다면(즉, 선단과 말단 지시부가 같다), -1(FFFF, FFFFH)의 값은 요구 주 처리기 또는 모션작동주에 공급된다. IFQ(540)가 비어 있지 않고, MU(210)가 IFTF(544)에 의해 지정된 데이터를 프리페치한다면, MU(210)는 입중 자유 말단 지시부 기록기(IFTFPR)(626)(도 6a에 도시된 바와 같이)내의 기록기 값을 증대시킨다.

PCI 판독 접근에 대한 대기시간을 줄이기 위해서, MU(210)는 IFQ(540)에의 접근을 기대하는 프리페치 기계에 수단을 준다. MU(210)는 IFQ(540)의 말단에서 데이터를 먼저 꺼내고, 내부 프리페치 기록기에 넣는다. PCI 판독 접근이 일어날 때, 그 데이터는 프리페치 기록기에서 직접 판독될 수 있다.

그 프리페치 기계가 선단과 말단이 같다면(즉, IFQ(540)가 비어 있다) -1(FFFF, FFFFH)의 값을 프리페치 기록에 넣는다. 메시지가 IFQ(540)에 추가되고 비결여가 될 때 프리페치 기록기를 갱신하기 위해서, 프리페치 기록기가 FFFF, FFFFH를 포함한다면, 프리페치 기계가 자동적으로 프리페치를 시작하고 입중 자유 선단 지시부(IFHPR)(638)는 기록된다. IFHPR의 한가지 가능한 포맷이 표 9에 도시되어 있다. 국부 처리기 상에서 작동하는 소프트웨어는 IFQ(540)에 메시지를 추가할 때 IFHP(542)를 갱신한다.

프리페치는 외부 모션작동주(201)의 관점에서 원자적으로 보여야 한다. 프리페치가 시작될 때, 입중 대기열 포트(536)내의 입중 자유 기록기에 접근을 시도하는 어떠한 PCI 변동자료도 프리페치가 완성될 때까지 대기상태를 삽입함으로써 지연된다. 대기상태를 삽입하는 동안에 PCI 대기시간 방해가 일어난다면, 외부 모션작동부(201)는 MU(210)에 의해 재시도의 신호를 받는다.

국부 처리기(202)는 선단 지시부(IFHP)(542)에 의해 지적된 국부 메모리 위치에 데이터를 기록함으로써 메시지를 IFQ(540)에 놓을 수 있다. 국부 메모리 어드레스는 대기열 기초 어드레스 기록기 + 입중 자유 선단 지시부 기록기(IFHPR) (638)이다. 그 다음, 국부 처리기(202)상에서 작동하는 소프트웨어는 IFHPR(638)을 증대시킨다.

입중 자유 표

[표 9]

입중 자유 선단 지시부 기록기 - IFHPR			
비트	디폴트	접근	설명
31:19	0000H	판독전용	보존
18:02	0000H	판독/기록	입중 자유 선단 지시부-입중 자유 대기열에 대한 선단 지시부의 국부 메모리 오프셋
01:00	00 ₂	판독전용	보존

[표 10]

입중 자유 말단 지시부 기록기 - IFTPR			
비트	디폴트	접근	설명
31:19	0000H	판독전용	보존
18:02	0000H	판독/전용	입중 자유 말단 지시부 - 입중 자유 대기열에 대한 말단 지시부의 국부 메모리 오프셋
01:00	00 ₂	판독전용	보존

도 6a는 MU(210)에 구체화된 본 발명이 PCI 모션상의 모션작동주에 자유 메시지 버퍼를 할당하는 방법을 설명하고 있다. 데이터는 국부 데이터 모션을 통해서 국부 메모리(206)에 위치한 입중 자유 대기열(IFQ)(540)에서 입중 자유 기록기(IFR)(606)로 이동한다. 이 환경에서, 데이터는 메시지 버퍼의 어드레스(즉, 메세지 핸들)를 특별히 참조한다. 결과적으로, 그 데이터는 데이터 경로(608)를 통해서 입중 자유 기록기(606)에서 ATU(218)로, 이후에 데이터 경로(610)를 통해서 PCI 모션(208)상의 모션작동주로 이동한다.

MU(210)는 다수의 제어신호를 수신하고 발신하는 자유 메시지 버퍼를 할당하는 입중 자유 상태 머신을 포함하고 있다. 입중 자유 상태 머신(612)에 대한 상태도가 도 6b를 참조하여 더 설명될 것이다.

IFQ(602)에서 메시지 버퍼를 요구하기 위해, 모션작동주는 PCI 모션(208)과 데이터 경로를 통해서 판독 변동자료를 ATU(218)에 보낸다. 입중 자유 기록기(606)의 어드레스를 확인하는 판독 변동자료는 ATU(218)에 의해 검출된다. ATU(218)가 모션작동주는 입중 자유 기록기(606)를 판독하고자 하는 것을 검출할 때, 그 ATU는 IFR_준비신호(614)의 상태를 시험한다. IFR_준비신호(614)가 어서트(assert)되면, 그 ATU는 경로(608)를 통해서 IFR(606)내의 데이터를 ATU(218)에 제공하는 PCI 변동자료를 완성시키고, 판독_입중_자유신호(616)를 상태 머신(612)에서 발생시킨다.

IFR_준비신호(614)가 디어서트(deassert)되면 (즉, 상태머신(612)가 준비하지 않았다면), ATU(218)는 대기상태를 삽입하고 IFR_준비신호(614)가 어서트될 때까지 판독_IFR(616)을 보내지 않는다. IFR_준비신호(614)는 IFR(606)에 실효된 데이터가 있을 때 디어서트된다(즉, 상태머신(612)이 IFR(606)로 데이터의 프리페치를 아직 완성하지 못함).

상태머신(612)가 판독_IFR신호(616)를 수신할 때마다, 상태머신(612)은 메모리_판독_요구신호(618)를 국부 모션 중재기(240)에 보내고 IFR_준비신호(614)를 디어서트한다. 인가신호(632)상에서, MU(210)는 국부 어드레스 모션(630)상으로 IFQ (602)의 적당한 말단 어드레스를 단순히 어서트한다. 그러면 데이터는 국부 데이터 모션(604)을 통해서 국부메모리(206)에서 IFR(606)으로 이동된다(즉, IFQ(602)의 말단에서의 값을 판독). MU(210)는 IFQ(602)의 적절한 말단 어드레스를 계산하는 덧셈기(624)를 포함한다. 덧셈기(624)는 입중 자유 말단 지시부 기록기(IFTPR) (626)와 입중 자유 기초 기록기(IFBR)(628)의 내용의 합을 형성한다.

IFQ(540)의 말단 지시부에 의해 지적된 데이터가 국부 데이터 모션(604)상에 있는 후에, 상태머신(612)은 국부 데이터 모션(604)상의 데이터를 걸쇠하는 걸쇠신호(634)를 IFR(606)로 보내고 증대신호(644)를 IFTPR(626)에 보낸다. 그러므로, 다음 이용가능한 메시지 버퍼의 프리페치가 실행된다.

MU(210)는 입중 자유 말단 지시부 기록기(IFHPR)(638)의 값과 입중 자유 말단 지시부 기록기(IFTPR)(626)의 값을 비교하는 비교기(636)를 또한 포함하고 있다. 이 두 개의 값이 같다면, 비교기(636)는 결여신호(640)를 발생시킨다(즉, 대기열에 자유 메시지 버퍼가 없다). 이 결여신호(640)는 상태머신(612)에 보내지고 상태머신(612)이 프리셋(Preset) 신호(642)를 어서트하게 한다. 그 프리셋 신호(642)는 IFR(606)의 내용이 결여지시(즉 유효 버퍼 어드레스가 아님)에 대해 보류되는 소정된 값에서 설정되게 한다.

모션작동주는 IFR(606)을 판독할 때, IFR(606)에 저장되어 있는 프리페치된 데이터에 바로 접근하거나 프리셋 값이 IFQ(602)가 비어 있다는 것을 지시한다.

도 6b는 입중 자유 상태머신(612)에 대한 상태도를 설명하고 있다. 상태머신(612)은 3상태: 결여(650), 프리페치(652)와 프라임(656)을 가지고 있다. 상태머신(612)은 결여신호가 디어서트될 때까지(654) 결여상태(650)에 있다. 비_결여신호는 상태머신(650)을 결여상태(612)에서 프리페치 상태(652)로 전환시키고, 상태머신(612)은 메모리_판독_요구신호(618)를 유출하고 IFR_준비신호(614)를 디어서트한다.

상태머신(612)은 인가신호(632)상으로 프리페치 상태(652)에서 프라임상태(656)로 전환한다. 인가신호(632)를 수신하면, 상태머신(612)은 걸쇠_IFR신호(634)를, 증대_IFTPR신호(644) 출력하고 그리고 IFR_준비신호(614)를 어서트한다. 상태머신(612)은 판독_IFR신호(616)가 수신될 때 프라임 상태(656)에서 프리페치 상태(652)로 전환하고, 결여신호(654)는 어서트되지 않는다. 이 전환은 메모리_판독_요구신호(618)를 또한 발생시키고 IFR_준비신호(614)를 디어서트한다.

상태머신(612)은 판독_IFR신호(616)가 수신될 때 프라임 상태(656)에서 결여상태(650)로 전환하고, 결여신호(640)는 어서트된다. 이 전환은 프리셋 신호(642)를 발생시킨다.

도 7a는 본 발명이 모션작동주에 의해 발생된 메시지를 국부 메모리(206)에 위치한 입중 포스트 대기열(IPQ)(530)로 포스트하는 방법을 설명하고 있다.

모션작동주가 입중 포스트 기록기(IPR)(706)에 기록하고자 할 때, 데이터는 데이터 경로(702)를 통해서 PCI모션에서 ATU(218)로 그다음 데이터 경로(704)를 통해서 IPR(706)로 이동한다. 데이터가 IPR(706)로 걸쇠된 후에, 이것은 국부 데이터 모션(604)을 통해서 국부 메모리(206)내의 IPQ(530)로 이동된다.

ATU(218)는 IPR_준비신호(716)의 상태를 시험한다. IPR_준비신호(716)가 어서트된다면, ATU(218)는

IPR(706)에 데이터를 공급함으로써 그리고 기록_IPR 신호를 상태머신(712)에서 발생시킴으로써 PCI 변동 자료를 완성한다.

IPR_준비신호(716)가 어서트되지 않는다면, ATU(218)는 대기상태를 삼입하고 IPR_준비신호(716)가 어서트될 때 PCI 변동자료를 완성한다. 요구하는 프로세스를 완성한다. 요구하는 프로세스는 모선의 제어를 보류하고 PCI 변동자료는 PCI 대기시간롤이 방해되지 않는다면 완성된다.

ATU(218)는 IPR_재시도 신호(714)의 상태를 또한 시험한다. IPR_재시도 신호(714)가 어서트되고, PCI 변동자료가 완성되지 않고, 재시도가 요구하는 프로세스에서 신호화된다면 이것은 모선을 릴리스할 것이고 나중에 다시 시도할 것이다.

MU(210)의 입중 포스트 상태머신(712)은 도 7b에 설명된 상태도에 의해 더 설명된다. 상태머신(712)은 3 상태: 아이들 상태(750), 포스트상태(752)와 충만상태(754)를 가지고 있다. 상태머신(752)은 기록_입중_포스트신호(718)가 ATU(218)에 의해 어서트될 때 아이들 상태(750)에서 포스트상태(752)로 전환할 것이다. 기록_입중 포스트신호가 상태머신(712)에 의해 수신될 때, 상태머신(712)은 메모리_기록_요구신호(72)를 발생시키고 IPR_준비신호(716)를 디어서트한다. 상태머신(712)은 상태머신(712)이 국부 모선 중재기(240)로부터 인가신호(728)를 수신할 때 포스트상태(752)에서 뒤로 아이들 상태(750)로 전환한다. 인가신호(728)를 수신하고 IPR 데이터(604)를 메모리에 기록하면, 상태머신(712)은 증대신호(740)를 입중 포스트 선단 지시부 기록기(IPHPR)(724)에서 발생시키고 또한 IPR_준비신호(716)를 어서트한다.

상태머신(712)은 비교기(734)로부터 충만신호(738)를 수신할 때 아이들 상태(750)에서 충만상태(754)로 전환한다. 충만신호(738)는 입중 포스트 말단 지시부 기록기(IPTPR)(730)와 입중 포스트 선단 지시부 기록기(IPHPR)(724)의 내용이 입중 포스트 대기열(IPQ)(530)이 충만하다는 것을 지시할 때 비교기(734)에 의해 발생된다. 충만 신호(738)를 수신하면, 상태머신(712)은 IPR_재시도신호를 ATU(218)에서 어서트한다.

상태 머신(712)은 충만신호(756)가 디어서트된 충만신호(756)(즉, 비충만)일 때, 충만상태(754)에서 아이들 상태(756)로 전환한다. 비충만 신호를 수신하면, 상태머신(712)은 IPR_재시도 신호(714)를 디어서트한다.

비교기(734)는 I/O 처리기에 국부 인터럽트를 발생시키는 인터럽트 발생 로직(도시생략)에 비결여 신호를 또한 발생시킨다. 비결여신호(736)를 수신하면서 국부 인터럽트를 발생시키는 로직은 공지되어 있다. 이 로직은 인터럽트 기록기를 또한 포함할 수 있고 소프트웨어에 의해 제어되는 마스크 기록기를 또한 포함할 수 있고 선택적으로 인터럽트 밖으로 마스크한다.

증대신호(740)는 IPHPR(724)에 보내지고 입중 포스트 선단 지시부를 증대시킨다. 덧셈기(722)는 IPHPR(724)의 값(725)과 IPBR(726)의 값(727)을 사용함으로써 새로운 입중 선단 지시부(723)를 계산한다. 이 어드레스(723)는 메모리 제어기(205)에 보내지고 국부 모선(즉, 국부 어드레스 포선(630)을 통해서 국부 메모리에 접근한다.

앞서 설명된 바와 같이, MU(210)는 국부 어드레스 모선(630)상에 어드레스(723)를 어서트하고, IPR(706)에 걸쇠되어 있는 데이터(즉, 메시지 버퍼 어드레스)의 IPQ(530)의 선단의 전달을 가능하게 한다.

도 8a는 출중 검색상태 머신(812) 및 본 발명이 주 처리기 또는 모선작동주가 포스트된 메시지를 출중 포스트 대기열(520)(OPQ)로부터 검색하게 하는 방법을 설명하고 있다. 주처리기 또는 모선작동주가 우선된 메시지 핸들을 검색할 때, 그 데이터(즉, 메시지 버퍼의 어드레스)는 국부 메모리(206)에 위치한 OPQ(520)에서 국부 데이터 모선(604)을 통해서 출중 검색 기록기(ORR)로 이동한다. 그러면, 그 데이터는 데이터 경로(808)를 통해서 ORR(806)에서 ATU(218)의 출중으로 통과된다. 그러면 그 데이터는 데이터 경로(810)를 통하여 PCI 모선(208)을 통해서 각각의 주처리기 또는 모선작동주로 통과된다. 상태머신(812)은 ORR(806)에서 실효 데이터를 지시하는 ORR_준비(814)를 디어서트한다. ORR_준비신호(814)가 디어서트될 때, ORR_준비신호(814)가 어서트될 때까지 ATU(218)는 대기상태를 삼입할 것이고, 이것은 ORR(806)은 유효 데이터를 포함하는 것을 지시한다.

MU(210)의 출중 검색상태 머신(812)은 도 8b에 도시된 상태도에 의해 더 설명된다. 출중 검색상태 머신(812)은 3상태: 결여(850), 프리페치(852), 그리고 프라임(856)을 가지고 있다. 출중 검색 상태 머신은 결여신호(840)가 디어서트될 때 결여상태(850)에서 프리페치 상태(852)로 전환한다. 응답에 있어서, 출중 검색 상태 머신(812)은 국부 모선중재 유닛(240)에서 메모리_판독_요구(818)를 어서트하고 인가신호(832)를 기다리는 동안에 ORR_준비신호(814)를 디어서트한다. 인가신호(832)를 기다리는 동안에, 덧셈기(824)는 다음 메시지의 어드레스(즉, 말단 지시부)를 계산하고, 이 어드레스를 국부 어드레스 모선(630)상에 놓는다.

상태머신(812)은 인가신호(832)시 프리페치(852)에서 프라임 상태(856)으로 전환한다. 메모리 제어기(205)는 어드레스(825)를 사용하고 OPQ(520)로부터 적절한 메시지 핸들을 판독한다. 이 메시지 핸들(즉, 지시부)은 국부 데이터 모선(604)상에 놓여지고 ORR(806)에 이전된다. 그러면, 상태머신(812)은 OPQ(520)에서 ORR(806)로 데이터를 걸쇠하는 걸쇠_ORR(834)을 발생시키고 또한 OPTPR(826)에 저장되어 있는 OPQ(520)의 말단 지시부를 증대시키는 증대_OTPR신호(844)를 발생시킨다. 이 프리페치가 완성되고 새로운 데이터가 ORR(806)로 걸쇠된 후에, 상태 머신(812)은 ORR_준비신호(814)를 어서트하고 ATU(218)에게 PCI 모선(208)으로부터 다른 변동자료를 완성하는 준비가 있다는 것을 알린다.

상태 머신(812)은 판독 ORR신호(816)가 발생될 때 프라임상태(856)에서 프리페치상태(852)로 전환하고, 결여 신호(840)는 디어서트된다. 응답하여, 상태머신(812)은 메모리_판독-요구 신호(818)를 국부 모선 중재기(240)에 어서트하고 ORR_준비신호(814)를 ATU(218)에 디어서트하고, 나중 변동자료는 프리페치가 완성될 때까지 ORR(806)의 내용을 판독하지 않을 것이다.

상태머신(812)은 결여 신호(840)가 어서트될 때 어서트되는 판독_ORR신호를 검출하여 프라임상태(856)에서 결여 상태(850)로 전환한다. 응답하여, 상태머신(812)은 프리셋 신호(842)를 어서트한다. 그 프리셋 신호(842)는 ORR(806)의 내용이 결여 지시에 대하여 보존되는 값에서 설정되게 하고, OPQ(520)로부터 판

독을 요구하는 변동자료는 OPQ(520)가 비어 있다는 것을 알리게 될 것이다.

비교기(836)가 OPHPR(838)과 OPTPR(826)의 내용을 비교하고 그 값이 같을 때, 결여신호(840)는 어서트된다. 비결여 OPQ(520)(즉, 결여가 아님)는 주처리기(201)에 의해 처리 대신에 계류인 메시지가 있다는 것을 지시한다. 본 발명은 PCI 모션 명세 발표 2.0에 상술된 인터럽트 라인을 통해서 주처리기(201)에 인터럽트를 발생시키는 로직(도시생략)을 포함하고 있다.

도 9a와 도 9b는 출중 릴리스 상태머신(912)을 설명하고 있다. 주처리기(201)가 메시지를 처리한 후에, 데이터 경로(904)를 통해서 PCI 모션(208)을 매개로 하여 자유 메시지 버퍼 지시부를 ATU(218)에 반환하고, 출중 릴리스 기록기(ORLSR)(906)에 걸쇠된다. 그러면, 그 자유 메시지 버퍼 핸들을 국부 데이터 모션(604)을 통해서 출중 릴리스 기록기(ORLSR)(906)에서 출중 자유 대기열(OFQ)(510)에 보내진다. 자유 메시지 버퍼를 릴리스하기 위해서, 주처리기(201)는 그 자유 메시지 버퍼의 어드레스를 하나의 모션 변동자료내의 ORLSR(906)에 단순히 기록한다.

ATU(218)는 ORLSR_준비신호(916)와 ORLSR_재시도 신호(914)의 상태를 시험한다. ORLSR_재시도 신호(914)가 디어서트된다면, PCI 변동자료(즉, ORLSR(906)에 기록)는 완성되지 않는다. 요구하는 프로세스는 재시도를 신호화하고 모션의 제어를 릴리스하고 나중 시간에 다시 시도한다. ORLSR_준비신호(916)가 디어서트된다면, ATU(218)는 ORLSR_준비신호(916)가 어서트될 때까지 대기상태를 삽입한다. ORLSR_준비신호(916)가 어서트될 때, ATU(218)는 상태머신(912)에 기록_ORLSR신호(918)를 발생시키고 데이터를 ORLSR(906)로 걸쇠한다.

도 9b는 출중 릴리스 상태머신(912)에 대한 상태도를 설명하고 있다. 상태머신(912)은 3상태: 충만상태(954), 아이들 상태(950) 그리고 포스트 상태(952)를 가지고 있다. 그 상태머신(912)은 충만신호(940)가 비교기(936)에 의해 어서트될 때 아이들 상태(950)에서 충만상태(954)로 전환한다. 이 충만신호(940)에 응답하여, 상태머신(912)은 ORLSR_재시도 신호(914)를 ATU(218)에 어서트한다. ORLSR_재시도 신호(914)의 발생상에서, 기록 변동자료를 ORLSR(906)에 초기화하는 프로세스는 나중 시간에 다시 시도하도록 신호화된다.

상태머신(912)은 충만신호(940)가 디어서트될 때 충만상태(954)에서 아이들 상태(950)로 전환한다. 출중 자유 대기열(OFQ)(510)이 충만하지 않다면, 상태머신은 ORLSR_재시도신호(914)를 디어서트한다(즉, 추가 자유 메시지 핸들에 대하여 OFQ(510)에 국부이 있다).

상태머신(912)은 ATU(218)에서 기록_ORLSR 신호(918)를 수신할 때 아이들 상태(950)에서 포스트 상태(952)로 전환한다. 그 기록_ORLSR 신호(918)는 자유 메시지 핸들은 ORLSR(906)로 걸쇠하는데 역시 쓸모가 있다. 어서트되는 그 기록_ORLSR 신호에 응답하여, 상태머신(912)은 메모리_기록_요구신호(918)를 국부 모션 중재기(240)에 어서트하고 그 중재기로부터 인가신호(932)를 기다린다. 덧셈기(925)는 다음 자유 메시지 핸들이 기록될 OFQ(510)내의 다음 위치를 계산한다. 상태머신(912)은 ORLSR_준비신호(916)를 또한 디어서트하고 결과적인 변동자료가 ORLSR(906)에 현재 걸쇠되어 있는 데이터를 뒤엎는 것을 방지한다.

상태머신(912)은 국부 모션 중재기(240)에서 인가신호(932)를 수신할 때 포스트상태(952)에서 아이들 상태(950)로 전환한다. 응답하여, 출중 릴리스 상태머신(912)은 중대_OFHPR신호(944)를 통해서 OFHPR(926)내의 선단 지시부를 중대시킨다. 다음 자유 메시지 핸들이 저장되는 OFQ 어드레스를 계산하였고 그 ORLSR(906)의 내용을 이미 저장되었다는 것을 ATU(218)에 지시하면서 상태머신(912)은 ORLSR_준비신호(916)를 역시 어서트하고, ORLSR(906)에 다음 기록을 준비한다.

요약하면, 주 처리기는 ORLSR(906)에 자유 메시지 버퍼의 핸들을 기록함으로써 자유 메시지 버퍼를 OFQ(510)에 릴리스한다. OFQ(510)가 충만하다면, 요구하는 프로세스는 나중에 재시도하도록 통지된다. OFQ(510)가 충만하지 않다면, 자유 메시지 버퍼의 핸들은 ORLSR(906)로 걸쇠된다. 그러면, 상태머신(912)은 국부 모션에 접근을 얻기 위해 국부 모션 중재기로부터 인가신호(932)를 기다린다. 국부 모션의 제어가 인가되자마자, 상태머신(912)은 미리 계산된 선단 지시부/어드레스에 의해 지적된 위치에서 ORLSR(906)에 걸쇠된 데이터를 OFQ(510)에 이동시킨다.

그러므로, 모션의 잠금 또는 수신신호의 사용없이 원격 프로세스가 메시지 버퍼를 할당할 수 있고 그 메시지 버퍼를 작업 대기열에 포스트하는 장치 및 방법이 설명되었다.

더욱이, 작업 대기열로부터 메시지를 검색하고 메시지가 주처리기에 의해 처리된 후에 메시지를 자유 대기열에 릴리스하는 장치 및 방법이 설명되었다.

본 발명은 다른 플랫폼으로 비례축소가가능성, 유동성, 그리고 호환성을 또한 제공한다. 예를들어, 앞서 설명된 바와 같이 입중 메시지 대기열을 포함하고 있는 모든 플랫폼은 내부 처리기 메시지를 쉽게 보낼 수 있다. 입중 메시지 대기열을 실행하지 않는 다른 플랫폼으로의 호환성에 대하여, 출중 메시지 대기열은 플랫폼의 하드웨어를 개조하지 않고 동등한 기능을 플랫폼에 공급한다. 더욱이, 본 발명은 다른 처리기가 컴퓨터 시스템내에 존재한다는 전문 지식 없이도 다른 플랫폼이 하나의 플랫폼의 입중 대기열을 동시에 사용할 수 있다는 점에서 유추하게 한다.

그러므로, 본 발명은 비대칭 다중 처리 시스템내의 처리기에 하드웨어 개조를 요구하지 않고 처리기 사이에서 높은 효율방식으로 메시지를 직접 통과시키는 장치 및 방법을 제공한다.

전술한 명세서에서, 본 발명은 특정 실시예를 참조하여 설명되었다. 그러나, 첨부한 청구항에서 설명된 바와 같이 본 발명의 넓은 사상과 범위에서 벗어남이 없이 여러 수정과 변경을 할수 있다는 것이 분명해질 것이다. 따라서, 본 명세서와 도면은 제한적이기 보다 예시적이다.

(57) 청구의 범위

청구항 1

국부 모션을 통해서 국부 처리기와 메모리에 결합되고 제2모션을 통해서 주처리기에 더 결합되어 있는 메

시지 유닛에 있어서,

- a) 주처리기에 의해 판독하고 데이터를 저장하는 입중 자유 저장수단;
- b) 입중 자유 대기열내의 데이터에 작동하는 입중 자유수단에 결합되어 있는 입중 자유 회로소자 수단;
- c) 주처리기에 의해 기록된 데이터를 저장하는 입중 포스트 저장수단; 그리고
- d) 출중 자유 대기열내의 데이터에 작동하는 입중 포스트 저장수단에 결합되어 있는 입중 포스트 회로소자 수단; 으로 구성되어 있는 것을 특징으로 하는 메시지 유닛.

청구항 2

제 1 항에 있어서,

- a) 주처리기에 의해 판독하는 데이터를 저장하는 출중 검색 저장수단;
- b) 출중 포스트 대기열내의 데이터에 작동하는 출중 검색 저장수단에 결합되어 있는 출중 검색 회로소자 수단;
- c) 주처리기에 의해 기록된 데이터를 저장하는 출중 릴리스 저장수단; 그리고
- d) 출중 자유 대기열내의 데이터에 작동하는 출중 릴리스 저장수단에 결합되어 있는 출중 릴리스 회로소자 수단; 으로 더 구성되어 있는 것을 특징으로 하는 메시지 유닛.

청구항 3

제 1 항에 있어서, 입중 자유 회로소자 수단에 의한 데이터에의 작동은 입중 자유 대기열이 비어 있지 않으면 메모리에 저장된 입중 자유 대기열로부터 정보를 프리페치하는 단계, 입중 자유 대기열이 비어 있으면 입중 자유 저장수단에 소정된 값을 올리는 단계, 그리고 프리페치 작동이 완성되면 주처리기가 입중 자유 저장수단을 판독하게 하는 단계를 더 포함하고 있으며; 그리고

입중 자유 회로소자 수단에 의한 데이터에의 작동은 입중 포스트 대기열이 총만한지를 검출하는 단계, 입중 포스트 대기열이 총만하면 재시도 신호를 주처리기에 반환하는 단계, 그리고 입중 포스트 대기열이 총만하지 않고 입중 포스트 저장수단에 저장된 전류치가 입중 포스트 대기열로 저장되었다면 주처리기가 입중 포스트 저장수단을 기록하게 하는 단계를 더 포함하고 있는 것을 특징으로 하는 메시지 유닛.

청구항 4

제 2 항에 있어서, 출중 검색 회로소자 수단에 의한 데이터에의 작동은 출중 포스트 대기열이 비어 있지 않다면 출중 포스트 대기열로부터 데이터를 프리페치하는 단계, 출중 포스트 대기열이 비어 있으면, 출중 검색 저장수단에 소정된 값을 올리는 단계, 그리고 프리페치가 완성되면 주처리기가 출중 검색 저장수단을 판독하게 하는 단계를 더 포함하고 있으며; 그리고

출중 릴리스 회로소자 수단에 의한 데이터에의 작동은 출중 자유 대기열이 총만한지를 검출하는 단계, 출중 자유 대기열이 총만하면 재시도 신호를 주처리기에 반환하는 단계, 그리고 출중 자유 대기열이 총만하지 않고 출중 릴리스 저장수단내의 전류치가 출중 자유 대기열으로 저장되었다면 주처리기가 출중 릴리스 저장수단을 기록하게 하는 단계를 더 포함하고 있는 것을 특징으로 하는 메시지 유닛.

청구항 5

제 2 항에 있어서, 제2모선은 PCI모선인 것을 특징으로 하는 메시지 유닛.

청구항 6

제 2 항에 있어서, 저장수단은 기록기인 것을 특징으로 하는 메시지 유닛.

청구항 7

주처리기가 하나의 모선 변동자료내의 출중 포스트 대기열로부터 메시지 핸들을 검색하게 하는 방법에 있어서, 상기 대기열은 선단지시부와 말단 지시부에 의해 한정되고, 상기 방법은

- a) 대기열이 비어 있는지 아닌지를 검출하는 단계;
- b) 대기열이 비어 있다면, 결여 대기열을 지시하는 값을 주처리기에 반환하는 단계;
- c) 대기열이 비어 있지 않다면, 대기열의 말단에 의해 지정된 메시지 핸들을 반환하는 단계; 그리고
- d) 다음 메시지 핸들을 프리페치하는 단계; 로 구성되어 있는 것을 특징으로 하는 방법.

청구항 8

제 7 항에 있어서, 다음 메시지 핸들을 프리페치 하는 단계는

대기열의 말단 지시부를 증대시키는 단계;

대기열로부터 데이터를 판독하는 단계; 그리고

그 데이터를 프리페치 기록기에도 걸쇠하는 단계; 를 포함하고 있는 것을 특징으로 하는 방법.

청구항 9

주처리기가 하나의 모선변동자료내의 대기열에서 자유 메시지 핸들을 릴리스 하게 하는 방법에 있어서,

상기 대기열은 선단 지시부와 말단 지시부에 의해 한정되고, 상기 방법은

- a) 대기열이 총만한지 아닌지를 검출하는 단계;
- b) 대기열이 총만하지 않으면, 자유 메시지의 핸들을 대기열에 기록하는 단계; 그리고
- c) 대기열이 총만하면, 나중 시간에 재시도하는 주처리기에 신호하는 단계; 로 구성되어 있는 것을 특징으로 하는 방법.

청구항 10

제 9 항에 있어서, 자유 메시지 핸들을 대기열에 기록하는 단계는

자유 메시지 핸들을 걸쇠하는 단계;

대기열의 선단 지시부를 증대하는 단계; 그리고

걸쇠된 핸들을 메모리에 저장하는 단계; 로 더 구성되어 있는 것을 특징으로 하는 방법.

청구항 11

주처리기가 하나의 모션 변동자료내의 임종 자유 대기열로부터 메시지 핸들을 할당하게 하는 방법에 있어서, 상기 대기열은 선단지시부와 말단 지시부에 의해 한정되고, 상기 방법은

- a) 대기열이 비어 있는지 아닌지를 검출하는 단계;
- b) 대기열이 비어 있다면, 걸여 대기열을 지시하는 값을 주처리기에 반환하는 단계;
- c) 대기열이 비어 있지 않다면, 대기열의 말단에 의해 지정된 메시지 핸들을 반환하는 단계; 그리고
- d) 다음 메시지 핸들을 프리페치하는 단계; 로 구성되어 있는 것을 특징으로 하는 방법.

청구항 12

제 11 항에 있어서, 다음 메시지 핸들을 프리페치 하는 단계는

대기열의 말단 지시부를 증대하는 단계;

메모리로부터 데이터를 판독하는 단계; 그리고

그 데이터를 프리페치 기록기기로 걸쇠하는 단계; 를 포함하고 있는 것을 특징으로 하는 방법.

청구항 13

주처리기가 하나의 모션 변동자료내의 대기열에 자유 메시지 핸들을 포스트하게 하는 방법에 있어서, 상기 대기열은 선단 지시부와 말단 지시부에 의해 한정되고, 상기 방법은

- a) 대기열이 총만한지 아닌지를 검출하는 단계;
- b) 대기열이 총만하지 않으면, 자유 메시지의 핸들을 대기열에 기록하는 단계; 그리고
- c) 대기열이 총만하다면, 나중 시간에 재시도하는 주처리기에 신호하는 단계; 로 구성되어 있는 것을 특징으로 하는 방법.

청구항 14

제 13 항에 있어서, 메시지 핸들을 대기열에 기록하는 단계는

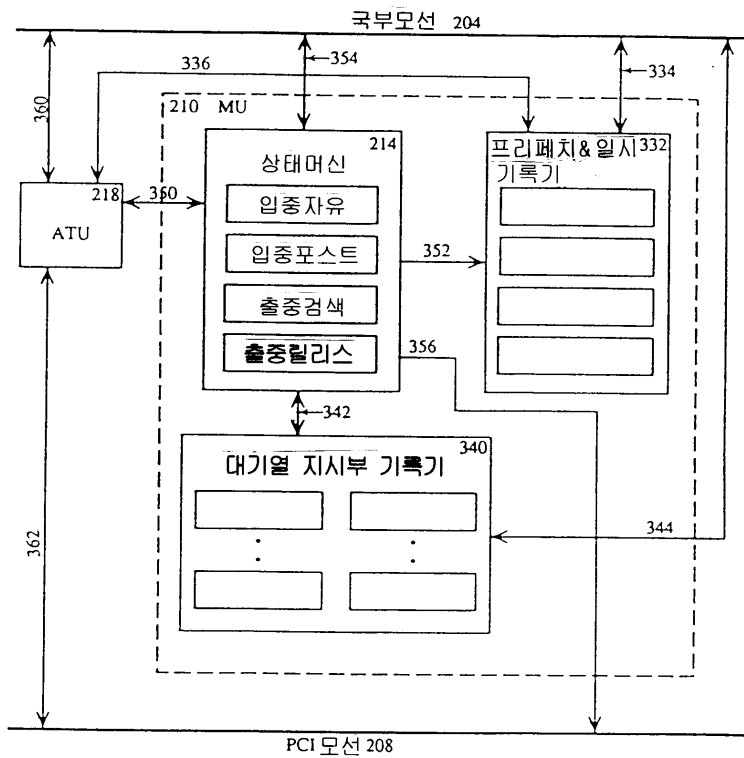
메시지 핸들을 걸쇠하는 단계;

대기열의 선단 지시부를 증대하는 단계; 그리고

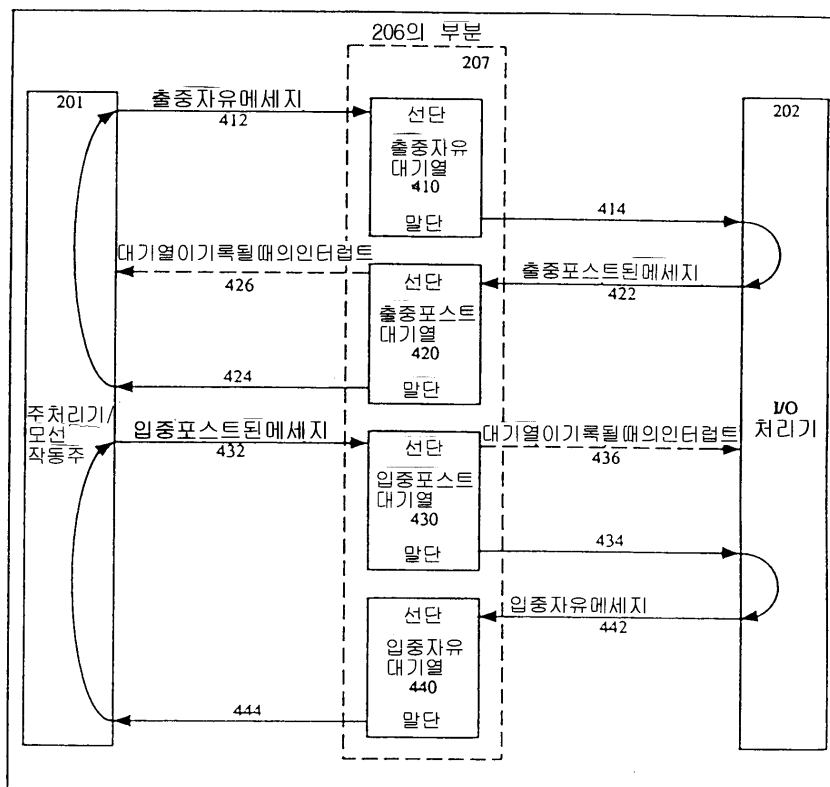
걸쇠된 핸들을 메모리에 저장하는 단계; 로 더 구성되어 있는 것을 특징으로 하는 방법.

도면

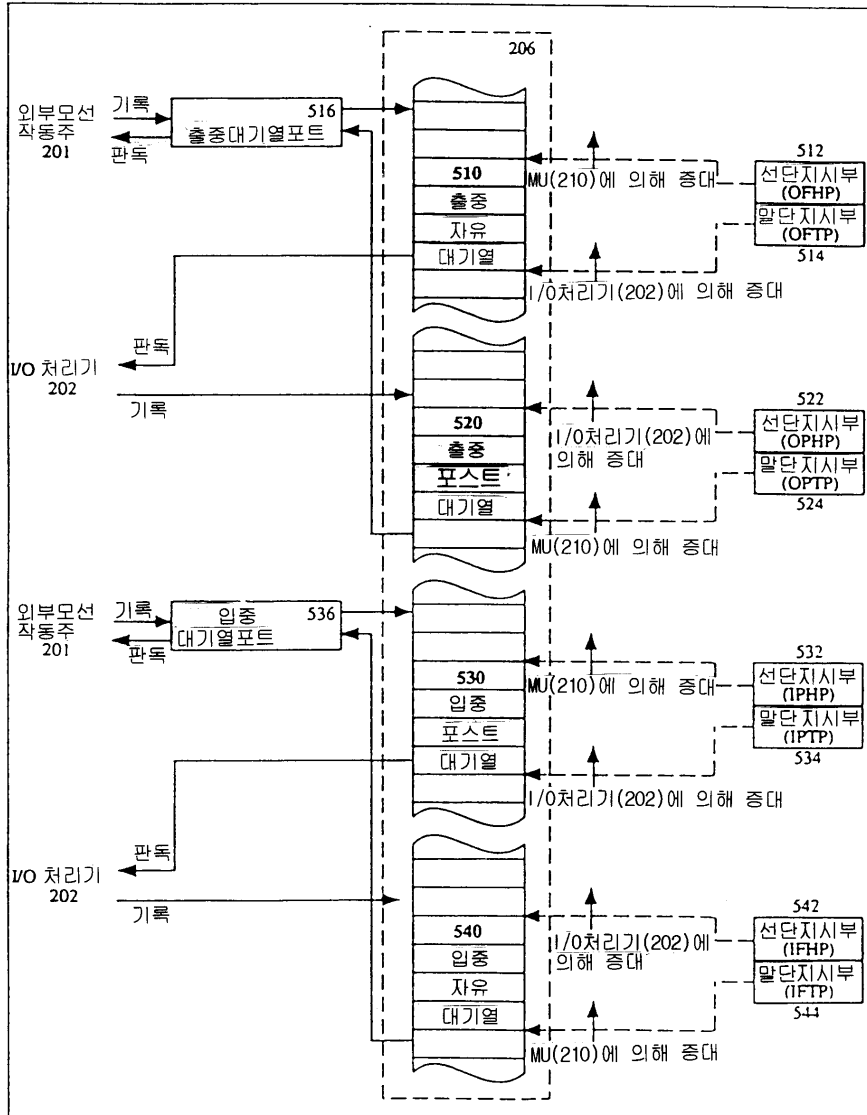
도면3



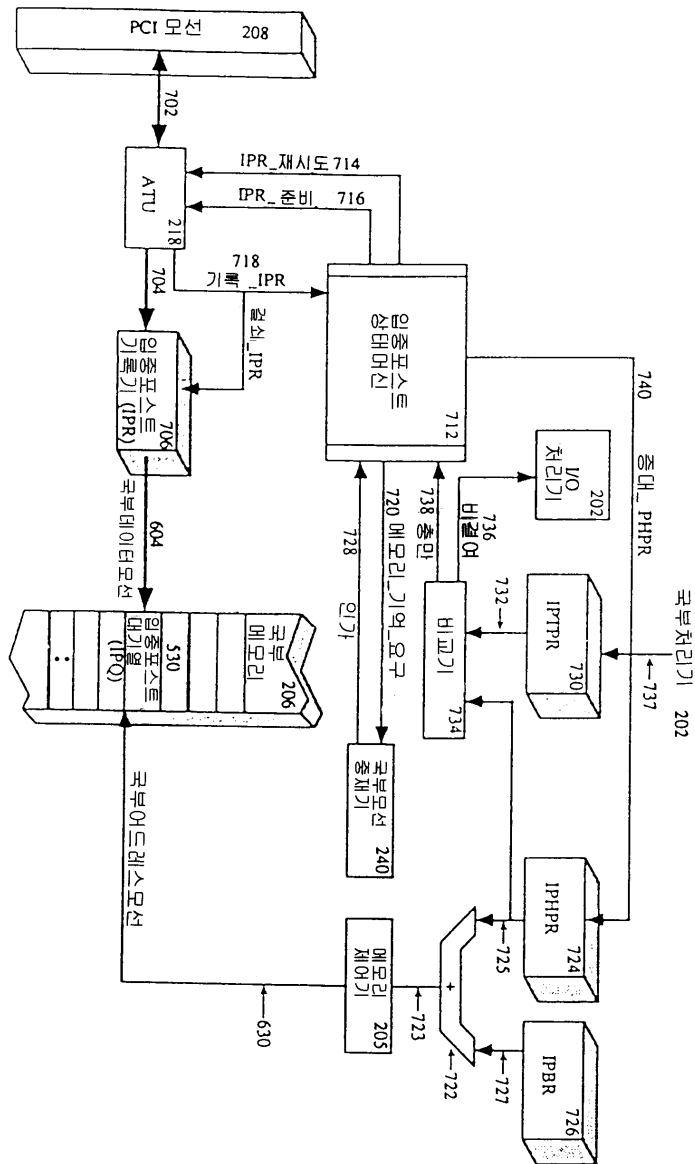
도면4



도면5

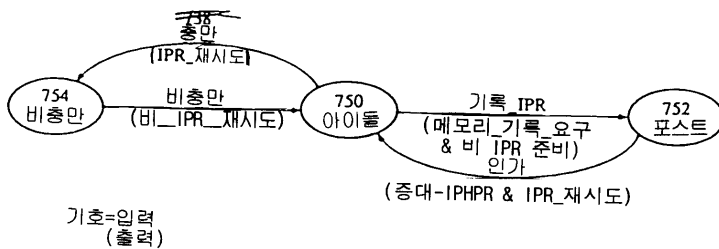


도면7a

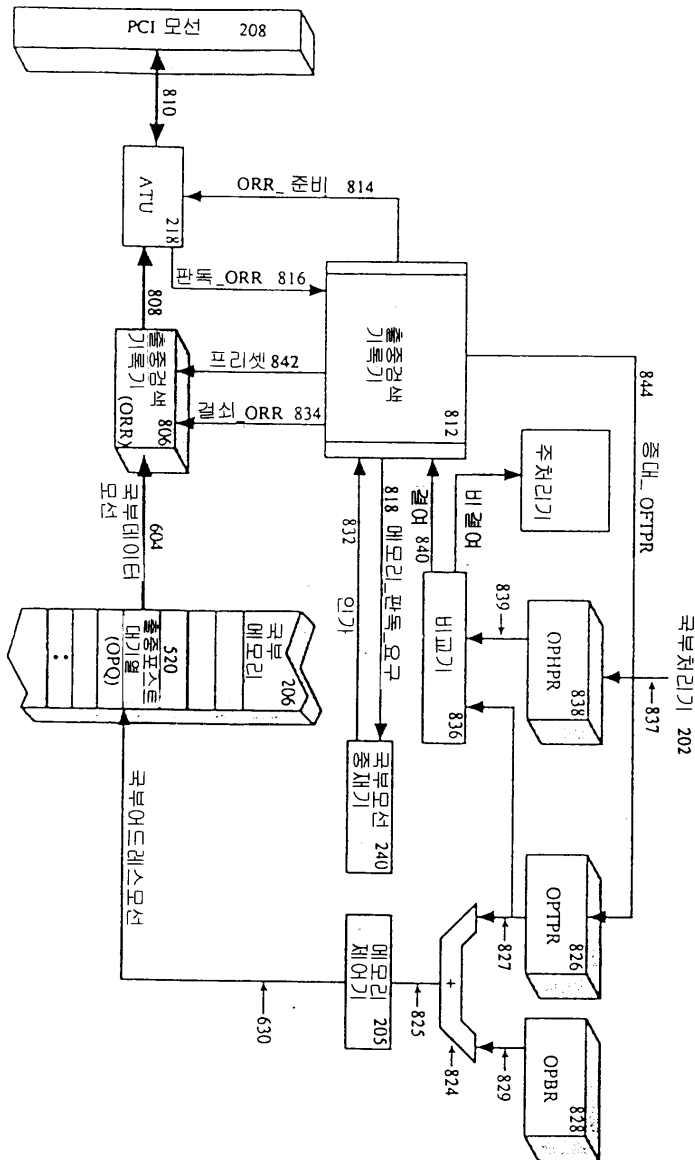


도면7b

임종포스트상태 머신에 대한 상태도



도면8a



도면8b

출중검색상태머신에 대한 상태도

