

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 7 月 2 日(02.07.2015)



(10) 国際公開番号
WO 2015/098377 A1

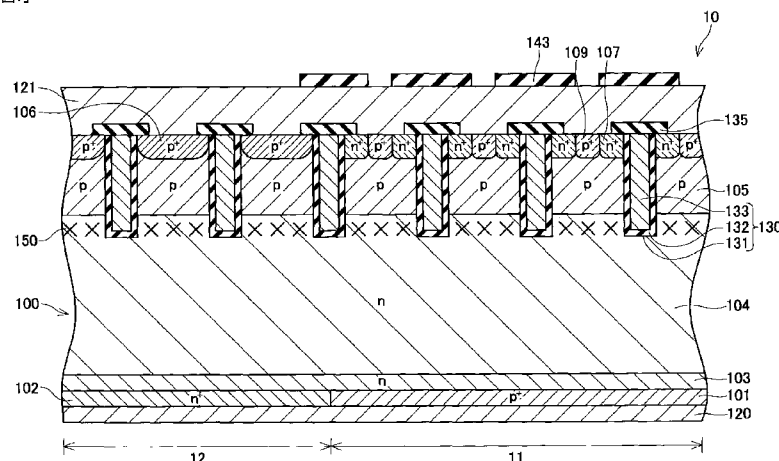
- (51) 国際特許分類:
H01L 29/78 (2006.01) H01L 21/324 (2006.01)
H01L 21/263 (2006.01) H01L 21/336 (2006.01)
H01L 21/28 (2006.01) H01L 27/04 (2006.01)
H01L 21/322 (2006.01) H01L 29/739 (2006.01)
- (21) 国際出願番号: PCT/JP2014/080677
- (22) 国際出願日: 2014 年 11 月 19 日(19.11.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-271726 2013 年 12 月 27 日(27.12.2013) JP
特願 2014-161668 2014 年 8 月 7 日(07.08.2014) JP
- (71) 出願人: トヨタ自動車株式会社 (TOYOTA JIDOSHA KABUSHIKI KAISHA) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町 1 番地 Aichi (JP).
- (72) 発明者: 岩崎 真也 (IWASAKI Shinya); 〒4718571 愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内 Aichi (JP). 亀山 悟 (KAMEYAMA Satoru); 〒4718571 愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内 Aichi (JP).
- (74) 代理人: 特許業務法人 快友国際特許事務所 (KAI-U PATENT LAW FIRM); 〒4516009 愛知県名古屋市中区牛島町 6 番 1 号 名古屋ルーセントタワー 9 階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置とその製造方法

[図1]



(57) Abstract: According to the present invention, an IGBT region is provided with: a collector layer; a first drift layer; a first body layer; an emitter layer; and a trench gate which penetrates through the first body layer from the surface side of a semiconductor substrate and reaches the first drift layer. A diode region is provided with: a cathode layer; a second drift layer; and a second body layer. A lifetime control region containing a peak of the crystal defect density is formed in the first drift layer and the second drift layer positioned between the surfaces of the first drift layer and the second drift layer and the depth of the lower end of the trench gate. A silicon nitride film layer is additionally provided above the trench gate on the surface side of the semiconductor substrate.

(57) 要約: IGBT領域は、コレクタ層と、第1ドリフト層と、第1ボディ層と、エミッタ層と、半導体基板の表面側から第1ボディ層を貫通して第1ドリフト層に達するトレンチゲートとを備えている。ダイオード領域は、カソード層と、第2ドリフト層と、第2ボディ層とを備えている。トレンチゲートの下端の深さと、第1ドリフト層および第2ドリフト層の表面の間に位置する第1ドリフト層および第2ドリフト層に、結晶欠陥密度のピークを含むライフタイム制御領域が形成されている。半導体基板の表面側のトレンチゲートの上方に、シリコン窒化膜層がさらに設けられている。



WO 2015/098377 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置とその製造方法

技術分野

[0001] 本出願は、2013年12月27日に出願された日本国特許出願第2013-271726号、および、2014年8月7日に出願された日本国特許出願第2014-161668号に基づく優先権を主張する。それらの出願の全ての内容はこの明細書中に参照により援用される。本明細書に記載の技術は、半導体装置とその製造方法に関する。

背景技術

[0002] 日本国特許公開公報第2011-238872号に、同一の半導体基板に、IGBT領域とダイオード領域が形成されている半導体装置が記載されている。この半導体装置では、IGBT領域とダイオード領域に亘って、ライフタイム制御領域が形成されている。ライフタイム制御領域は、IGBT領域に設けられたトレンチゲートの下端よりも深い位置のドリフト層内に結晶欠陥密度のピークを有する。ライフタイム制御領域によって、ダイオード領域の逆回復特性が改善される。

発明の概要

発明が解決しようとする課題

[0003] ダイオード領域の逆回復特性を改善するためには、ライフタイム制御領域は、ドリフト層内における、ボディ層とドリフト層との境界にできるだけ近い位置に形成することが好ましい。このような位置にライフタイム制御領域を形成すると、トレンチゲートが形成される位置と、ライフタイム制御領域が形成される位置が重複する。その結果、トレンチゲートのゲート絶縁膜とこれに接する半導体基板との間に界面準位ができる。界面準位によってキャリアが捕捉されるため、複数のトレンチゲートの閾値電圧が相違し、各トレンチゲートの閾値電圧のばらつきが大きくなる。

課題を解決するための手段

[0004] 本明細書が開示する第1の半導体装置は、IGBT領域と、ダイオード領域とが形成されている半導体基板と、半導体基板の表面に形成された層間絶縁膜および表面電極と、半導体基板の裏面に形成された裏面電極とを備えている。この半導体装置では、IGBT領域は、第1導電型のコレクタ層と、コレクタ層に対して半導体基板の表面側に設けられた第2導電型の第1ドリフト層と、第1ドリフト層に対して半導体基板の表面側に設けられ、その一部が半導体基板の表面に露出する第1導電型の第1ボディ層と、第1ボディ層の表面に設けられ、半導体基板の表面に露出する第2導電型のエミッタ層と、半導体基板の表面側から第1ボディ層を貫通して第1ドリフト層に達するトレンチゲートとを備えている。ダイオード領域は、第2導電型のカソード層と、カソード層に対して半導体基板の表面側に設けられており、カソード層よりも第2導電型の不純物濃度が低い第2導電型の第2ドリフト層と、第2ドリフト領域に対して半導体基板の表面側に設けられた第1導電型の第2ボディ層とを備えている。層間絶縁膜は、トレンチゲートと表面電極とを絶縁している。トレンチゲートの深さと、第1ドリフト層および第2ドリフト層の表面の間に位置する第1ドリフト層および第2ドリフト層に、結晶欠陥密度のピークを含むライフタイム制御領域が形成されている。半導体基板の表面側のトレンチゲートの上方に、シリコン窒化膜層がさらに設けられている。

[0005] なお、上記の第1ドリフト層の表面は、第1ドリフト層と第1ボディ層の境界面を意味する。また、上記の第2ドリフト層の表面は、第2ドリフト層と第2ボディ層の境界面を意味する。また、上記の「結晶欠陥密度のピーク」は、第1ドリフト層または第2ドリフト層内の深さ方向における結晶欠陥密度分布の極大値を意味する。また、上記の「結晶欠陥密度のピーク」は、前記結晶欠陥密度分布における最大値であることが好ましい。

[0006] 上記の第1の半導体装置によれば、半導体基板の表面側のトレンチゲートの上方に設けられているシリコン窒化膜層から水素原子が供給され、界面準位が水素によって終端されて低減するため、トレンチゲートの閾値電圧のば

らつきが抑制される。トレンチゲートの閾値電圧のばらつきが抑制することと、ダイオード領域の逆回復特性を改善することとを、両立できる。

[0007] 上記の半導体装置では、シリコン窒化膜層は、エミッタ層の上方に設けられていてもよい。さらに、シリコン窒化膜層は、第1ボディ層の上方において開口する開口部を備えていてもよい。

[0008] 本明細書が開示する第2の半導体装置は、IGBT領域と、ダイオード領域とが形成されている半導体基板と、半導体基板の表面に形成された層間絶縁膜および表面電極と、半導体基板の裏面に形成された裏面電極とを備えている。この半導体装置では、IGBT領域は、第1導電型のコレクタ層と、コレクタ層に対して半導体基板の表面側に設けられた第2導電型の第1ドリフト層と、第1ドリフト層に対して半導体基板の表面側に設けられ、その一部が半導体基板の表面に露出する第1導電型の第1ボディ層と、第1ボディ層の表面に設けられ、半導体基板の表面に露出する第2導電型のエミッタ層と、半導体基板の表面側から第1ボディ層を貫通して第1ドリフト層に達するトレンチゲートとを備えている。ダイオード領域は、第2導電型のカソード層と、カソード層に対して半導体基板の表面側に設けられており、カソード層よりも第2導電型の不純物濃度が低い第2導電型の第2ドリフト層と、第2ドリフト領域に対して半導体基板の表面側に設けられた第1導電型の第2ボディ層とを備えている。層間絶縁膜は、トレンチゲートと表面電極とを絶縁している。トレンチゲートの下端の深さと、第1ドリフト層および第2ドリフト層の表面の間に位置する第1ドリフト層および第2ドリフト層に、結晶欠陥密度のピークを含むライフタイム制御領域が形成されている。表面電極は、Al系電極層と、バリアメタル層と、を含んでおり、バリアメタル層は、第1ボディ層の半導体基板の表面に露出する部分とAl系電極層との間に設けられ、かつ、トレンチゲートとAl系電極層との間に設けられていない。

[0009] 上記の第2の半導体装置によれば、Al系電極層から水素原子が供給され、界面準位が終端されて低減するため、トレンチゲートの閾値電圧のばらつ

きが抑制される。また、水素原子を吸着し易いバリアメタル層が、水素原子の供給先であるトレンチゲートから比較的離れた位置にある第1ボディ層の半導体基板の表面に露出する部分とAⅠ系電極層との間に設けられ、かつ、水素原子の供給先であるトレンチゲートとAⅠ系電極層との間に設けられていない。このため、AⅠ系電極層からトレンチゲートへの水素原子の供給がバリアメタル層によって妨げられない。バリアメタル層を設けることによって得られる効果を確保しつつ、トレンチゲートに水素原子を供給することができ、トレンチゲートの閾値電圧のばらつきが抑制することと、ダイオード領域の逆回復特性を改善することとを、両立できる。

[0010] また、本明細書は、ⅠGBT領域と、ダイオード領域とが形成されている半導体基板と、半導体基板の表面に形成された層間絶縁膜および表面電極と、半導体基板の裏面に形成された裏面電極とを備えた半導体装置の製造方法を開示する。この半導体装置では、ⅠGBT領域は、第1導電型のコレクタ層と、コレクタ層に対して半導体基板の表面側に設けられた第2導電型の第1ドリフト層と、第1ドリフト層に対して半導体基板の表面側に設けられ、その一部が半導体基板の表面に露出する第1導電型の第1ボディ層と、第1ボディ層の表面に設けられ、半導体基板の表面に露出する第2導電型のエミッタ層と、半導体基板の表面側から第1ボディ層を貫通して第1ドリフト層に達するトレンチゲートとを備えている。ダイオード領域は、第2導電型のカソード層と、カソード層に対して半導体基板の表面側に設けられており、カソード層よりも第2導電型の不純物濃度が低い第2導電型の第2ドリフト層と、第2ドリフト領域に対して半導体基板の表面側に設けられた第1導電型の第2ボディ層とを備えている。層間絶縁膜は、トレンチゲートと表面電極とを絶縁している。トレンチゲートの下端の深さと、第1ドリフト層および第2ドリフト層の表面の間に位置する第1ドリフト層および第2ドリフト層に、結晶欠陥密度のピークを含むライフタイム制御領域が形成されている。この半導体装置の製造方法は、半導体基板にトレンチゲートを形成し、トレンチゲートの表面側にシリコン窒化膜層を形成し、シリコン窒化膜層が存

在する状態で、トレンチゲートの下端の深さから、第1ドリフト層および第2ドリフト層の表面の間に位置する領域に荷電粒子を照射し、荷電粒子を照射した後に、シリコン窒化膜層が存在する状態で半導体基板をアニールする。

[0011] 上記の半導体装置の製造方法では、トレンチゲートの表面側に、シリコン窒化膜層が存在する状態で、ライフタイム制御領域を形成する。シリコン窒化膜層から供給された水素原子による界面準位の終端化は、アニール時において特に効果的に進行するため、界面準位を効果的に低減できる。

[0012] また、本明細書は、IGBT領域と、ダイオード領域とが形成されている半導体基板と、半導体基板の表面に形成された層間絶縁膜および表面電極と、半導体基板の裏面に形成された裏面電極とを備えた半導体装置の製造方法を開示する。この半導体装置では、IGBT領域は、第1導電型のコレクタ層と、コレクタ層に対して半導体基板の表面側に設けられた第2導電型の第1ドリフト層と、第1ドリフト層に対して半導体基板の表面側に設けられ、その一部が半導体基板の表面に露出する第1導電型の第1ボディ層と、第1ボディ層の表面に設けられ、半導体基板の表面に露出する第2導電型のエミッタ層と、半導体基板の表面側から第1ボディ層を貫通して第1ドリフト層に達するトレンチゲートとを備えている。ダイオード領域は、第2導電型のカソード層と、カソード層に対して半導体基板の表面側に設けられており、カソード層よりも第2導電型の不純物濃度が低い第2導電型の第2ドリフト層と、第2ドリフト領域に対して半導体基板の表面側に設けられた第1導電型の第2ボディ層とを備えている。層間絶縁膜は、トレンチゲートと表面電極とを絶縁している。トレンチゲートの下端の深さと、第1ドリフト層および第2ドリフト層の表面の間に位置する第1ドリフト層および第2ドリフト層に、結晶欠陥密度のピークを含むライフタイム制御領域が形成されている。表面電極は、Al系電極層と、バリアメタル層と、を含んでいる。この半導体装置の製造方法は、半導体基板にトレンチゲートを形成し、半導体基板の表面側に、少なくとも第1ボディ層の半導体基板の表面に露出する部分に

設けられ、かつ、トレンチゲートの表面側において開口する、バリアメタル層を形成し、

バリアメタル層のさらに表面側にAⅠ系電極層を形成し、バリアメタル層およびAⅠ系電極層が存在する状態で、トレンチゲートの下端の深さから、第1ドリフト層および第2ドリフト層の表面の間に位置する領域に荷電粒子を照射し、荷電粒子を照射した後に、バリアメタル層およびAⅠ系電極層が存在する状態で半導体基板をアニールする。

[0013] 上記の半導体装置の製造方法では、トレンチゲートの表面側に、バリアメタル層およびAⅠ系電極層が存在する状態で、ライフタイム制御領域を形成する。AⅠ系電極層から供給された水素原子による界面準位の終端化は、アニール時において特に効果的に進行するため、界面準位を効果的に低減できる。また、水素原子を吸着し易いバリアメタル層は、水素原子の供給先であるトレンチゲートの表面側において開口しているため、AⅠ系電極層からトレンチゲートへの水素原子の供給がバリアメタル層によって妨げられない。

図面の簡単な説明

[0014] [図1]実施例1に係る半導体装置の縦断面図である。

[図2]実施例1に係る半導体装置の半導体基板の平面図である。

[図3]実施例1に係る半導体装置の平面図である。

[図4]実施例1に係る半導体装置の製造方法を説明する図である。

[図5]実施例1に係る半導体装置の製造方法を説明する図である。

[図6]実施例1に係る半導体装置の製造方法を説明する図である。

[図7]実施例1に係る半導体装置の製造方法を説明する図である。

[図8]実施例1に係る半導体装置の製造方法を説明する図である。

[図9]実施例1に係る半導体装置の製造方法を説明する図である。

[図10]実施例1に係る半導体装置の製造方法を説明する図である。

[図11]変形例に係る半導体装置の縦断面図である。

[図12]実施例2に係る半導体装置の縦断面図である。

[図13]実施例2に係る半導体装置の製造方法を説明する図である。

[図14]実施例2に係る半導体装置の製造方法を説明する図である。

[図15]実施例2に係る半導体装置の製造方法を説明する図である。

[図16]実施例2に係る半導体装置の製造方法を説明する図である。

[図17]実施例2に係る半導体装置の製造方法を説明する図である。

[図18]変形例に係る半導体装置の縦断面図である。

[図19]変形例に係る半導体装置の製造方法を説明する図である。

[図20]変形例に係る半導体装置の縦断面図である。

[図21]変形例に係る半導体装置の縦断面図である。

[図22]変形例に係る半導体装置の半導体基板の平面図である。

[図23]変形例に係る半導体装置の平面図である。

発明を実施するための形態

実施例 1

[0015] 本実施例に係る半導体装置10は、図1－図3に示すように、IGBT領域11と、ダイオード領域12とが形成されている半導体基板100と、半導体基板100の表面に形成された層間絶縁膜135、表面電極121、およびシリコン窒化膜層143と、半導体基板100の裏面に形成された裏面電極120とを備えている。表面電極121は、半導体基板100側から順に、Al-Si系電極層、Ni系電極層、はんだ接合層等が積層された複合電極層である。裏面電極120は、Al系電極層、Ti系電極層、Ni系電極層、はんだ接合層等が積層された複合電極層である。

[0016] IGBT領域11は、p型のコレクタ層101と、コレクタ層101の表面に接するn型のバッファ層103と、バッファ層103の表面に接するn型のドリフト層104と、ドリフト層104に対して半導体基板100の表面側に設けられたp型のボディ層105と、ボディ層105の表面に設けられ、半導体基板100の表面に露出するボディコンタクト層109と、ボディ層105の表面に設けられ、半導体基板100の表面に露出するn型のエミッタ層107と、半導体基板100の表面側からボディ層105を貫通し

てドリフト層 104 に達するトレンチゲート 130 とを備えている。図 2 に示すように、半導体基板 100 を平面視したときに、エミッタ層 107 は、トレンチゲート 130 の長手方向に沿って伸びる梯子形状を有し、ボディコンタクト層 109 は、エミッタ層 107 の梯子形状の間に嵌め込まれるように隣接している。エミッタ層 107 は、トレンチゲート 130 に沿って伸びる部分 107a と、トレンチゲート 130 の短手方向（長手方向に直交する方向）に伸びる部分 107b を有している。部分 107b は、その短手方向に隣接する 2 つのトレンチゲート 130 の間で、それぞれのトレンチゲート 130 に沿って伸びる 2 つの部分 107a の間を接続しており、部分 107a と、部分 107b とによって取り囲まれる領域にボディコンタクト層 109 が配置されている。なお、図 2 では、半導体基板 100 の表面を図示しており、その表面に形成された層間絶縁膜 135、表面電極 121、およびシリコン窒化膜層 143 は、図示を省略している。トレンチゲート 130 は、半導体基板 100 に形成されたトレンチ 131 と、トレンチ 131 の内壁に形成されたゲート絶縁膜 132 と、ゲート絶縁膜 132 に覆われた状態でトレンチ 131 内に充填されているゲート電極 133 とを含んでいる。層間絶縁膜 135 は、トレンチゲート 130 の表面と、エミッタ層 107 のトレンチゲート 130 に近い側の一部分を覆っており、ゲート電極 133 と表面電極 121 とを絶縁している。表面電極 121 は、エミッタ層 107 およびボディコンタクト層 109 の半導体基板 100 の表面に露出する部分に接している。図 1 および図 3 に示すように、シリコン窒化膜層 143 は、IGBT 領域 11 内の表面電極 121 の表面の一部に形成されている。シリコン窒化膜 143 は、トレンチゲート 130 の上方およびエミッタ層 107 の上方（ここで、上方とは、半導体基板 100 の厚み方向に沿って表面側となる位置を意味し、図 1 においては、鉛直上方である）に形成されており、ボディコンタクト層 109 の上方には形成されていない。シリコン窒化膜層 143 は、ボディコンタクト層 109 の上方において開口する開口部 145 を有している。開口部 145 においては、表面電極 121 が露出している。

[0017] ダイオード領域12は、n型のカソード層102と、カソード層102の表面に接するn型のバッファ層103と、バッファ層103の表面に接するn型のドリフト層104と、ドリフト層104に対して半導体基板100の表面側に設けられたp型のボディ層105と、ボディ層105の表面に設けられ、半導体基板100の表面に露出するアノード層106とを備えている。図2に示すように、アノード層106は、その長手方向に隣接するトレンチゲートの間を占めるように半導体基板100の表面に設けられている。ダイオード領域12においても、IGBT領域11と同様に、半導体基板100の表面側からボディ層105を貫通してドリフト層104に達するトレンチゲート130が設けられている。図1～図3に示すように、ダイオード領域12内においては、シリコン窒化膜層143は、最もIGBT領域11に近いアノード層106のうち、その表面が層間絶縁膜135によって覆われている部分にのみ形成されている。表面電極121は、アノード層106の半導体基板100の表面に露出する部分に接している。なお、ドリフト層104のn型の不純物濃度は、カソード層102のn型の不純物濃度よりも低い。ドリフト層104のn型の不純物濃度は、 $1 \times 10^{14} \text{ atoms/cm}^3$ 未満であることが好ましい。

[0018] バッファ層103、ドリフト層104、ボディ層105は、IGBT領域11とダイオード領域12との双方に亘って、それぞれ1つの層として形成されている。バッファ層103とドリフト層104のうち、IGBT領域11に含まれる部分は第1ドリフト層の一例であり、ダイオード領域12に含まれる部分は第2ドリフト層の一例である。ボディ層105のIGBT領域に含まれる部分およびボディコンタクト層109は、第1ボディ層の一例である。ボディ層105のダイオード領域12に含まれる部分およびアノード層106は、第2ボディ層の一例である。

[0019] IGBT領域11とダイオード領域12とに亘って、ドリフト層104内にライフタイム制御領域150が形成されている。ライフタイム制御領域150は、その周囲に比べて結晶欠陥密度が高い領域である。ライフタイム制

御領域 150 は、結晶欠陥密度のピークを有している。すなわち、ドリフト層 104 内の深さ方向における結晶欠陥密度分布を測定したときに、その結晶欠陥密度分布の極大値（好ましくは最大値）が存在している領域が、ライフタイム制御領域 150 である。ライフタイム制御領域 150 は、トレンチゲート 130 の下端の深さとドリフト層 104 とボディ層 105 との境界との間に位置するドリフト層 104（すなわち、トレンチゲート 130 の下端の深さよりも浅い位置に存在するドリフト層 104）内に形成されている。すなわち、トレンチゲート 130 の下端の深さよりも浅い位置に存在するドリフト層 104 における結晶欠陥密度の平均値は、トレンチゲート 130 の下端の深さよりも深い位置に存在するドリフト層 104 における結晶欠陥密度の平均値よりも高い。ライフタイム制御領域 150 内では、効果的にキャリアのライフタイムが減衰される。これによって、ダイオード領域 12 の逆回復特性が良好となる。半導体装置 10 では、ライフタイム制御領域 150 は、ドリフト層 104 内において、ボディ層 105 とドリフト層 104 との境界に近い位置に形成されているため、特に効果的にダイオード領域 12 の逆回復特性が良好となる。また、半導体装置 10 では、トレンチゲート 130 が形成される深さと、ライフタイム制御領域 150 が形成される深さが一部重複しており、トレンチゲート 130 のゲート絶縁膜 132 とこれに接する半導体基板 100 との間に界面準位が発生し易くなる。一般に、この界面準位が発生すると、IGBT のゲートの閾値電圧が安定せず、IGBT の量産時に閾値電圧のばらつきが大きくなる。しかしながら、後に詳述するが、半導体装置 10 の製造時には、シリコン窒化膜層 143 から供給された水素原子によって、この界面準位が終端されて低減する。このため、トレンチゲート 130 の閾値電圧のばらつきが抑制される。半導体装置 10 によれば、トレンチゲート 130 の閾値電圧のばらつきが抑制することと、ダイオード領域 12 の逆回復特性を改善することとを、両立できる。

[0020] 半導体装置 10 の製造方法の一例を説明する。なお、従来公知の半導体装置の製造方法を利用できる工程については、詳細な説明を省略する。

[0021] まず、図4に示すように、原料ウェハ90を準備する。例えば、n型のシリコンウェハの表面側に、イオン注入およびアニール等の従来公知の方法を用いて、ボディ層105、アノード層106、エミッタ層107、ボディコンタクト層109を形成する。n層904は、n型のシリコンウェハのイオン注入されていない部分であり、半導体装置10のドリフト層104となる層である。その後で、エッチング、熱酸化、CVD等の従来公知の方法を用いて、トレンチゲート130、層間絶縁膜135を形成する。これによって、図4に示す原料ウェハ90を製造できる。なお、ゲート絶縁膜132を形成する熱酸化工程においては、酸化種として水蒸気を用いる、パイロジェニック酸化法を好適に用いることができる。これによって、パイロジェニック酸化法を用いて形成すると、水を多く含むゲート絶縁膜を形成することができる。

[0022] 次に、図5に示すように、原料ウェハ90の表面に表面電極121を形成する。表面電極121は、トレンチゲート130の表面に形成された層間絶縁膜135の表面をさらに覆う程度の厚さに形成される。次に、図6に示すように、CVD等の従来公知の成膜方法を用いて、表面電極121の表面にシリコン窒化膜層943を形成する。シリコン窒化膜層943は、表面電極121全体を覆う程度に形成される。

[0023] 次に、図7に示すように、原料ウェハ90の裏面を切削して、その厚さを薄くした後に、裏面に対してイオン注入を行う。これによって、原料ウェハ90の裏面側に、p型のイオン注入層901、n型のイオン注入層902、n型のイオン注入層903を形成する。

[0024] 次に、図8に示すように、シリコン窒化膜層943が表面電極121の表面に存在する状態で、結晶欠陥を形成するために、原料ウェハ90の裏面側から、ドリフト層104内に荷電粒子を照射する。荷電粒子を照射する位置は、トレンチゲート130の下端の深さから、ドリフト層104とボディ層105との境界までの間の領域に結晶欠陥密度のピークが含まれるように調整する。このように荷電粒子を照射すると、一部の荷電粒子がゲート絶縁膜

132に注入される。このため、イオン注入を行うと、ゲート絶縁膜132とこれに接する半導体基板100との間に界面準位が発生し易い。なお、結晶欠陥は、表面側からトレンチゲートを通しドリフト層内に照射をすることによって形成してもよい。

[0025] 次に、図9のように、シリコン窒化膜層943がその表面に存在する状態で、結晶欠陥を安定化させるためのアニールを行い、ライフタイム制御領域150を形成する。このアニール工程において、p型のイオン注入層901、n型のイオン注入層902、n型のイオン注入層903もアニールされ、それぞれ、p型のコレクタ層101、n型のカソード層102、n型のバッファ層103が形成される。また、このようにシリコン窒化膜層943が存在する状態でアニール工程を行うと、シリコン窒化膜層943から半導体基板100中に水素原子が供給される。供給された水素原子によって、ゲート絶縁膜132と半導体基板100との境界に存在する界面準位の終端化が効果的に進行し、界面準位を効果的に低減することができる。なお、パイロジェニック酸化法を用いて、ゲート絶縁膜132を形成した場合には、水を多く含むゲート絶縁膜132から供給された水素原子によっても界面準位が終端化され、より効果的に界面準位を低減することができる。

[0026] 次に、図10に示すように、シリコン窒化膜層943をエッチング等の従来公知の方法によって一部除去する。アノード層106の上方およびボディコンタクト層109の上方に形成されていたシリコン窒化膜層943が除去され、図1と同様の形状にパターニングされたシリコン窒化膜層143となる。さらに、図10に示す原料ウェハ90の表面に裏面に裏面電極120を形成することによって、図1－図3に示す半導体装置10を製造することができる。

[0027] (変形例)

実施例1においては、結晶欠陥を安定化させるためのアニールを行った後で、シリコン窒化膜層943を一部除去する製造方法について説明したが、シリコン窒化膜層943を全部除去しても、シリコン窒化膜層943から供

給された水素原子による界面準位の低減の効果を得ることはできる。この場合、図1－図3に示す半導体装置10から、シリコン窒化膜層143を除去した構成を有する半導体装置が製造される。また、実施例1では、表面電極121がバリアメタル層を含まない複合電極である場合を例示して説明したが、これに限定されない。表面電極121に替えて、半導体基板100との境界面の全体もしくは一部に形成されたバリアメタル層を含む複合電極層を用いることもできる。水素原子を吸着し易いバリアメタル層を用いた場合であっても、シリコン窒化膜層から水素原子が供給されて補われるため、トレンチゲートの閾値電圧のばらつきを抑制できる。

[0028] また、シリコン窒化膜は、トレンチゲート130の上方およびエミッタ層107の上方に形成されていればよく、表面電極121の上方に形成されている必要はない。シリコン窒化膜が表面電極121の下方や内部に配置されていても、本願発明の効果を得ることはできる。例えば、図11に示す半導体装置10aのように、表面電極121の下方にシリコン窒化膜143aを配置してもよい。シリコン窒化膜143aは、表面電極121の下方であって、トレンチゲート130の上方およびエミッタ層107の上方に形成されており、ボディコンタクト層109の上方には形成されていない。シリコン窒化膜143aは、IGBT領域11内に設けられた層間絶縁膜135の表面および側面を覆っており、エミッタ層107の表面のうち、層間絶縁膜135に覆われていない部分を覆っている。IGBT領域11内においては、シリコン窒化膜層143aは、ボディコンタクト層109の表面に形成されておらず、ボディコンタクト層109の表面側において開口する開口部145aを有している。ダイオード領域12内においては、シリコン窒化膜層143aは、最もIGBT領域11に近いアノード層106のうち、その表面が層間絶縁膜135によって覆われている部分にのみ形成されている。表面電極121は、シリコン窒化膜層143aのさらに表面を覆っており、シリコン窒化膜層143aの開口部145aを貫通して、ボディコンタクト層109の表面に接している。また、表面電極121は、アノード層106の半

導体基板 100 の表面に露出する部分に接している。裏面電極 120 は、コレクタ層 101 に接している。

実施例 2

[0029] 図 12 に示す半導体装置 20 は、半導体基板 100 の表面および層間絶縁膜 135 の表面に、シリコン窒化膜層 143 が形成されていない点、および、表面電極が、Al 系電極層 221 と、バリアメタル層 244 とを含んでいる点において、半導体装置 10 と相違している。なお、図示していないが、表面電極の一部として、Al 系電極層の表面には、Ni 系電極層およびはんだ接合層がさらに積層されている。

[0030] Al 系電極層 221 は、半導体分野で通常用いられている、Al、Al-Si 合金等のアルミニウムを主成分とする電極材料によって形成されており、これらの電極材料は、水素原子の供給性が高いことで知られている。

[0031] バリアメタル層 244 は、ダイオード領域 12 内において、半導体基板 100 の表面および層間絶縁膜 135 の表面を覆う位置に形成されている。バリアメタル層 244 は、IGBT 領域 11 内において、ボディコンタクト層 109 の表面を覆う位置に形成されており、エミッタ層 107 の表面および層間絶縁膜 135 の表面を覆う位置には形成されていない。すなわち、バリアメタル層 244 は、第 1 ボディ層（ダイオード領域 12 内のボディ層 105）の半導体基板 100 の表面に露出する部分と Al 系電極層 221 との間に設けられ、かつ、IGBT 領域 11 内のトレンチゲート 130 と Al 系電極層 221 との間には設けられていない。バリアメタル層 244 の材料は、チタン (Ti)、チタン窒化物 (TiN)、チタタングステン (TiW) 等の従来公知のバリアメタルとして用いられる材料を用いることができる。その他の構成は、半導体装置 10 と同様であるため、説明を省略する。

[0032] 実施例 2 の半導体装置 20 でも、トレンチゲート 130 の下端近傍にライフタイム制御領域 150 が形成されている。しかしながら、後に詳述するように、半導体装置 20 の製造工程においては、Al 系電極層 221 から水素原子が供給され、ゲート絶縁膜 132 と半導体基板 100 との境界に存在す

る界面準位が終端されて低減する。このため、トレンチゲート130の閾値電圧のばらつきが抑制される。

[0033] また、水素原子を吸着し易いバリアメタル層244が、IGBT領域11内においては、ボディコンタクト層109の半導体基板100の表面に露出する部分とA1系電極層221との間に設けられ、かつ、トレンチゲート130とA1系電極層221との間に設けられていない。すなわち、バリアメタル層244は、水素原子の供給先であるIGBT領域11内に設けられたトレンチゲート130から比較的離れた位置にのみ形成されている。このため、IGBT領域11内において、A1系電極層221からトレンチゲート130への水素原子の供給がバリアメタル層244によって妨げられない。

[0034] 半導体装置20によれば、バリアメタル層244を設けることによって得られる効果（A1スパイクの防止等）を確保しつつ、IGBT領域11内に設けられたトレンチゲート130に水素原子を供給することができ、IGBT領域11の動作時におけるトレンチゲート130の閾値電圧のばらつきを抑制することができる。

[0035] 半導体装置20の製造方法の一例を説明する。なお、従来公知の半導体装置の製造方法を利用できる工程については、詳細な説明を省略する。

[0036] まず、実施例1と同様の方法で、図4に示す原料ウェハ90を準備する。これに、図13に示すように、スパッタリング等によってバリアメタル層244を形成する。バリアメタル層244は、アノード層106の表面およびボディコンタクト層109の表面に接するとともに、トレンチゲート130の表面側において開口するようにパターニングされる。

[0037] 次に、図14に示すように、バリアメタル層244のさらに表面に、スパッタリング等によってA1系電極層221を形成する。

[0038] 次に、図15に示すように、原料ウェハ90の裏面を切削して、その厚さを薄くした後に、裏面に対してイオン注入を行う。これによって、原料ウェハ90の裏面側に、p型のイオン注入層901、n型のイオン注入層902、n型のイオン注入層903を形成する。

[0039] 次に、図16に示すように、バリアメタル層244およびA1系電極層221がその表面に存在する状態で、結晶欠陥を形成するために、原料ウェハ90の裏面側から、ドリフト層104内に荷電粒子を照射する。荷電粒子を照射する位置は、トレンチゲート130の下端の深さから、ドリフト層104とボディ層105との境界までの間の領域に結晶欠陥密度のピークが含まれるように調整する。このように荷電粒子を照射すると、一部の荷電粒子がゲート絶縁膜132に注入される。このため、イオン注入を行うと、ゲート絶縁膜132とこれに接する半導体基板100との間に界面準位が発生し易い。

[0040] 次に、図17のように、バリアメタル層244およびA1系電極層221がその表面に存在する状態で、結晶欠陥を安定化させるためのアニールを行い、ライフタイム制御領域150を形成する。実施例1と同様に、このアニール工程において、p型のコレクタ層101、n型のカソード層102、n型のバッファ層103が形成される。また、このようにA1系電極層221が存在する状態でアニール工程を行うと、A1系電極層221から半導体基板100中に水素原子が供給される。供給された水素原子によって、ゲート絶縁膜132と半導体基板100との境界に存在する界面準位の終端化が効果的に進行し、界面準位を効果的に低減することができる。また、水素原子を吸着し易いバリアメタル層244は、水素原子の供給先であるトレンチゲート130の表面側において開口しているため、A1系電極層221からトレンチゲート130への水素原子の供給がバリアメタル層244によって妨げられない。

[0041] (変形例)

なお、半導体装置20に、実施例1で説明したシリコン窒化膜層143をさらに設けることもできる。シリコン窒化膜143によってから供給された水素原子によっても界面準位が終端化され、より効果的に界面準位を低減することができる。

[0042] また、図18に示す半導体装置20aのように、表面電極は、バリアメタ

ル層 244a と A 1 系電極層 221 との間に設けられているコンタクトプラグ層 254 をさらに含んでもよい。コンタクトプラグ層 254 は、I G B T 領域 11 内に設けられたバリアメタル層 244a の表面側に、バリアメタル層 244a の凹部に埋め込まれるように形成されており、その表面は、A 1 系電極層 221 によって覆われている。コンタクトプラグ層 254 の材料としては、タングステン等を好適に用いることができる。バリアメタル層 244 の凹部にコンタクトプラグ層 254 が埋め込まれ、バリアメタル層 244a と、コンタクトプラグ層 254 と、層間絶縁膜 135 の表面が平坦化され、これらの層と A 1 系電極層 221 との密着性を向上させることができる。

[0043] 半導体装置 20a は、半導体装置 20 の製造工程におけるバリアメタル層 224 を形成する工程と同様の工程によってバリアメタル層 224a を形成した後で、コンタクトプラグ層 254 を形成する工程を行い、次いで、半導体装置 20 の製造工程における A 1 系電極層 221 を形成する工程を行うことで、製造することができる。具体的には、図 19 に示すようにバリアメタル層 224a を形成した後の原料ウェハ 90b の表面に、コンタクトプラグ層 254 の材料となる金属膜（例えば、タングステン膜）をスパッタリング等によって成膜した後、パターニングして、バリアメタル層 224a の表面の凹部に埋め込まれた部分以外の金属膜を除去し、コンタクトプラグ層 254 を形成する。次に、バリアメタル層 224a の表面にコンタクトプラグ層 254 が成膜された状態で、図 14 と同様に、原料ウェハ 90b の表面にスパッタリング等によって、A 1 系電極層 221 を形成する。その後、図 15-17 を用いて実施例 2 において説明した工程と同様の工程を行うことによって、半導体装置 20a を製造することができる。

[0044] また、上記の実施例および変形例で説明した I G B T 領域およびダイオード領域の構造は、例示に過ぎず、本願に記載の技術は、上記以外の I G B T 領域の構造、ダイオードの構造を有する半導体装置に適用することができる。例えば、図 20 に示す半導体装置 10b のように、ドリフト層 104 より

も表面側の構造が、ＩＧＢＴ領域１１とダイオード領域１２で同様であってもよい。半導体装置１０ｂのダイオード領域１２は、ダイオードエミッタ層１５７と、ダイオードボディコンタクト層１５９とを備えている。半導体基板１００を平面視したときに、ダイオードエミッタ層１５７、ダイオードボディコンタクト層１５９は、それぞれ、エミッタ層１０７、ボディコンタクト層１０９と同様にパターニングされている。半導体装置１０ｂは、ドリフト層１０４よりも表面側の構造が、ＩＧＢＴ領域１１とダイオード領域１２で同様にパターニングされているため、製造工程が簡略化される。さらには、半導体装置１０ｂでは、シリコン窒化膜層１４３はＩＧＢＴ領域１１の上方にのみ形成されているが、ダイオード領域１２のトレンチゲート１３０の上方およびダイオードエミッタ層１５７の上方に形成されていてもよい（図示していない）。

[0045] また、例えば、図２１－２３に示す半導体装置１０ｃのようにパターニングされた半導体基板１００ｃを備えていてもよい。半導体基板１００ｃを平面視すると、図２２に示すように、ＩＧＢＴ領域１１のエミッタ層１６７とボディコンタクト層１６９とは、トレンチゲート１３０の長手方向に沿って、交互に配置されている。半導体装置１０ｃをトレンチゲート１３０の長手方向に垂直に切断すると、その断面の位置によって、図２１に示すように、ＩＧＢＴ領域１１の隣接するトレンチゲート１３０の間に、エミッタ層１６７のみが現れる場合と、ボディコンタクト層１６９のみが現れる場合（図示していない）がある。

[0046] また、半導体装置１０ｃでは、図２３に示すように、シリコン窒化膜層１４３ｃは、ＩＧＢＴ領域１１内の表面電極１２１の表面に形成されており、隣接するトレンチゲート１３０の間の中央位置付近において開口する開口部１４５ｃを有している。開口部１４５ｃの下方には、エミッタ層１６７の一部およびボディコンタクト層１６９の一部が位置している。半導体装置１０ｃのように、シリコン窒化膜層１４３ｃが、一部のエミッタ層１６７の鉛直上方に形成されていなくてもよく、また、一部のボディコンタクト層１６９

の鉛直上方に形成されていてもよい。

[0047] 以上、本発明の実施例について詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々に変形、変更したものが含まれる。

[0048] 本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的有用性を持つものである。

請求の範囲

- [請求項1] I G B T 領域と、ダイオード領域とが形成されている半導体基板と、
- 、
- 前記半導体基板の表面に形成された層間絶縁膜および表面電極と、
- 前記半導体基板の裏面に形成された裏面電極とを備えた半導体装置であって、
- 前記 I G B T 領域は、
- 第 1 導電型のコレクタ層と、
- 前記コレクタ層に対して前記半導体基板の表面側に設けられた第 2 導電型の第 1 ドリフト層と、
- 前記第 1 ドリフト層に対して前記半導体基板の表面側に設けられ、その一部が前記半導体基板の表面に露出する第 1 導電型の第 1 ボディ層と、
- 前記第 1 ボディ層の表面に設けられ、前記半導体基板の表面に露出する第 2 導電型のエミッタ層と、
- 前記半導体基板の表面側から前記第 1 ボディ層を貫通して前記第 1 ドリフト層に達するトレンチゲートとを備えており、
- 前記ダイオード領域は、
- 第 2 導電型のカソード層と、
- 前記カソード層に対して前記半導体基板の表面側に設けられており、前記カソード層よりも第 2 導電型の不純物濃度が低い第 2 導電型の第 2 ドリフト層と、
- 前記第 2 ドリフト領域に対して前記半導体基板の表面側に設けられた第 1 導電型の第 2 ボディ層とを備えており、
- 前記層間絶縁膜は、前記トレンチゲートと前記表面電極とを絶縁しており、
- 前記トレンチゲートの下端の深さと、前記第 1 ドリフト層および前記第 2 ドリフト層の表面の間に位置する前記第 1 ドリフト層および前

記第2ドリフト層に、結晶欠陥密度のピークを含むライフタイム制御領域が形成されており、

前記半導体基板の表面側の前記トレンチゲートの上方に、シリコン窒化膜層がさらに設けられている、半導体装置。

[請求項2] 前記シリコン窒化膜層は、前記エミッタ層の上方に設けられており、

前記シリコン窒化膜層は、前記第1ボディ層の上方において開口する開口部を備えている請求項1に記載の半導体装置。

[請求項3] IGBT領域と、ダイオード領域とが形成されている半導体基板と、

前記半導体基板の表面に形成された層間絶縁膜および表面電極と、
前記半導体基板の裏面に形成された裏面電極とを備えた半導体装置であって、

前記IGBT領域は、

第1導電型のコレクタ層と、

前記コレクタ層に対して前記半導体基板の表面側に設けられた第2導電型の第1ドリフト層と、

前記第1ドリフト層に対して前記半導体基板の表面側に設けられ、その一部が前記半導体基板の表面に露出する第1導電型の第1ボディ層と、

前記第1ボディ層の表面に設けられ、前記半導体基板の表面に露出する第2導電型のエミッタ層と、

前記半導体基板の表面側から前記第1ボディ層を貫通して前記第1ドリフト層に達するトレンチゲートとを備えており、

前記ダイオード領域は、

第2導電型のカソード層と、

前記カソード層に対して前記半導体基板の表面側に設けられており、前記カソード層よりも第2導電型の不純物濃度が低い第2導電型の

第2ドリフト層と、

前記第2ドリフト領域に対して前記半導体基板の表面側に設けられた第1導電型の第2ボディ層とを備えており、

前記層間絶縁膜は、前記トレンチゲートと前記表面電極とを絶縁しており、

前記トレンチゲートの下端の深さと、前記第1ドリフト層および前記第2ドリフト層の表面の間に位置する前記第1ドリフト層および前記第2ドリフト層に、結晶欠陥密度のピークを含むライフタイム制御領域が形成されており、

前記表面電極は、AⅠ系電極層と、バリアメタル層と、を含んでおり、

前記バリアメタル層は、前記第1ボディ層の前記半導体基板の表面に露出する部分と前記AⅠ系電極層との間に設けられ、かつ、前記トレンチゲートと前記AⅠ系電極層との間に設けられていない、半導体装置。

[請求項4]

ⅠGBT領域と、ダイオード領域とが形成されている半導体基板と、

前記半導体基板の表面に形成された層間絶縁膜および表面電極と、

前記半導体基板の裏面に形成された裏面電極とを備えた半導体装置の製造方法であって、

前記ⅠGBT領域は、

第1導電型のコレクタ層と、

前記コレクタ層に対して前記半導体基板の表面側に設けられた第2導電型の第1ドリフト層と、

前記第1ドリフト層に対して前記半導体基板の表面側に設けられ、その一部が前記半導体基板の表面に露出する第1導電型の第1ボディ層と、

前記第1ボディ層の表面に設けられ、前記半導体基板の表面に露出

する第2導電型のエミッタ層と、

前記半導体基板の表面側から前記第1ボディ層を貫通して前記第1ドリフト層に達するトレンチゲートとを備えており、

前記ダイオード領域は、

第2導電型のカソード層と、

前記カソード層に対して前記半導体基板の表面側に設けられており、前記カソード層よりも第2導電型の不純物濃度が低い第2導電型の第2ドリフト層と、

前記第2ドリフト領域に対して前記半導体基板の表面側に設けられた第1導電型の第2ボディ層とを備えており、

前記層間絶縁膜は、前記トレンチゲートと前記表面電極とを絶縁しており、

前記トレンチゲートの下端の深さから、前記第1ドリフト層および前記第2ドリフト層の表面の間に位置する前記第1ドリフト層および前記第2ドリフト層に、結晶欠陥密度のピークを含むライフタイム制御領域が形成されており、

前記半導体装置の製造方法は、

前記半導体基板に前記トレンチゲートを形成し、

前記トレンチゲートの表面側にシリコン窒化膜層を形成し、

前記シリコン窒化膜層が存在する状態で、前記トレンチゲートの下端の深さから、前記第1ドリフト層および前記第2ドリフト層の表面の間に位置する領域に荷電粒子を照射し、

前記荷電粒子を照射した後に、前記シリコン窒化膜層が存在する状態で前記半導体基板をアニールする、

半導体装置の製造方法。

[請求項5]

I G B T領域と、ダイオード領域とが形成されている半導体基板と

、

前記半導体基板の表面に形成された層間絶縁膜および表面電極と、

前記半導体基板の裏面に形成された裏面電極とを備えた半導体装置の製造方法であって、

前記 IGBT 領域は、

第 1 導電型のコレクタ層と、

前記コレクタ層に対して前記半導体基板の表面側に設けられた第 2 導電型の第 1 ドリフト層と、

前記第 1 ドリフト層に対して前記半導体基板の表面側に設けられ、その一部が前記半導体基板の表面に露出する第 1 導電型の第 1 ボディ層と、

前記第 1 ボディ層の表面に設けられ、前記半導体基板の表面に露出する第 2 導電型のエミッタ層と、

前記半導体基板の表面側から前記第 1 ボディ層を貫通して前記第 1 ドリフト層に達するトレンチゲートとを備えており、

前記ダイオード領域は、

第 2 導電型のカソード層と、

前記カソード層に対して前記半導体基板の表面側に設けられており、前記カソード層よりも第 2 導電型の不純物濃度が低い第 2 導電型の第 2 ドリフト層と、

前記第 2 ドリフト領域に対して前記半導体基板の表面側に設けられた第 1 導電型の第 2 ボディ層とを備えており、

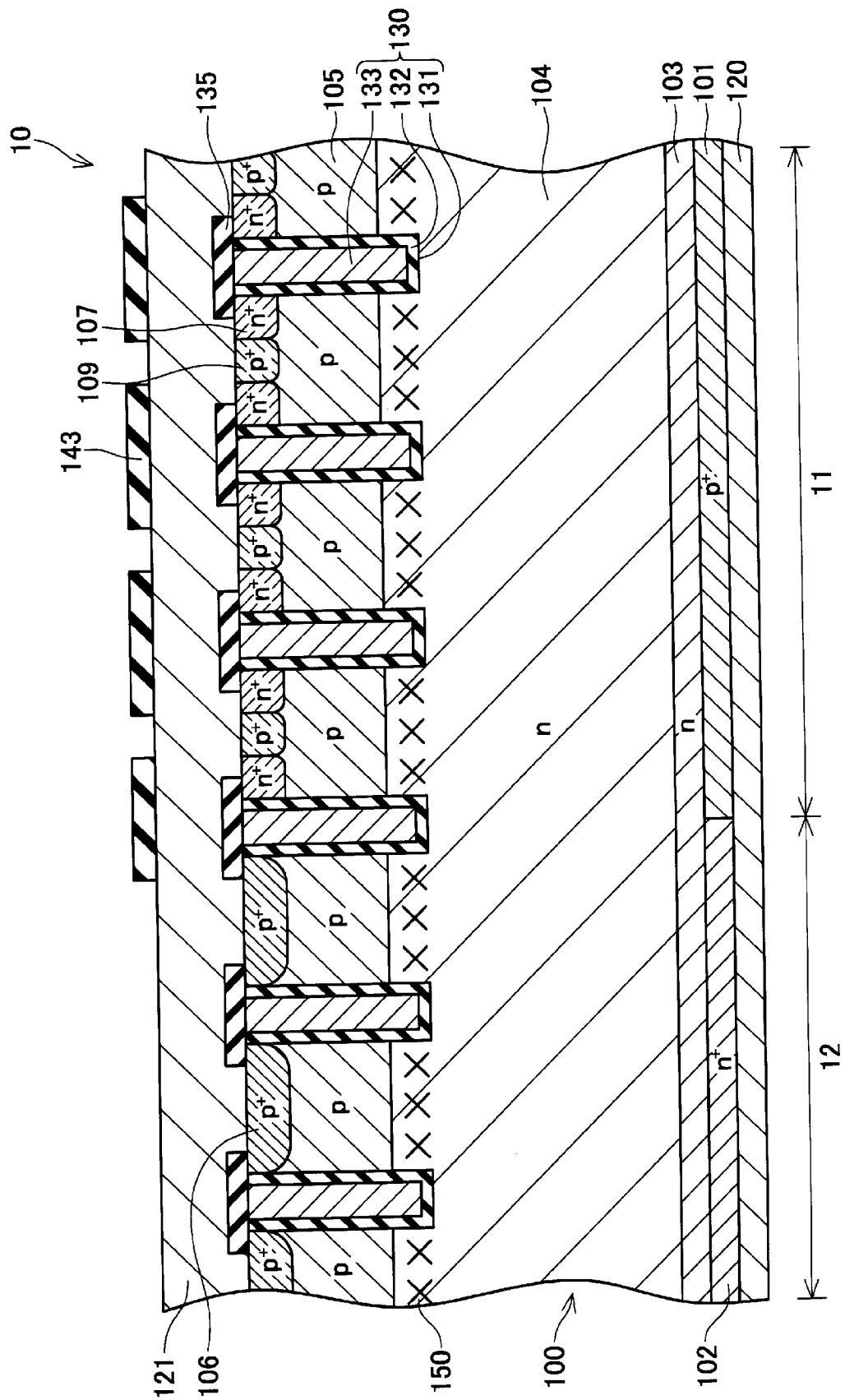
前記層間絶縁膜は、前記トレンチゲートと前記表面電極とを絶縁しており、

前記トレンチゲートの下端の深さと、前記第 1 ドリフト層および前記第 2 ドリフト層の表面の間に位置する前記第 1 ドリフト層および前記第 2 ドリフト層に、結晶欠陥密度のピークを含むライフタイム制御領域が形成されており、

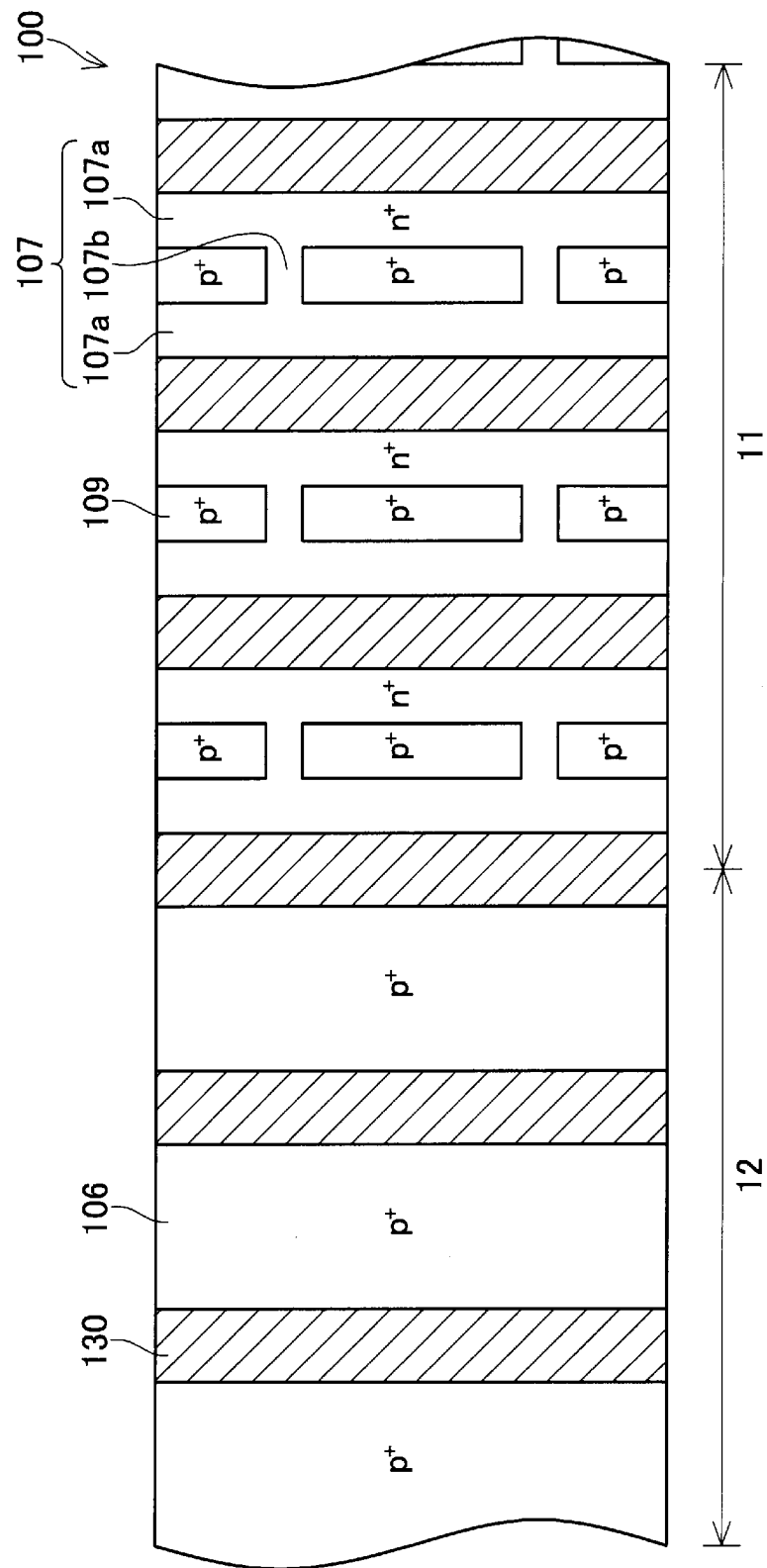
前記表面電極は、Al 系電極層と、バリアメタル層と、を含んでおり、

前記半導体装置の製造方法は、
前記半導体基板に前記トレンチゲートを形成し、
前記半導体基板の表面側に、少なくとも前記第1ボディ層の前記半導体基板の表面に露出する部分に設けられ、かつ、前記トレンチゲートの表面側において開口する、バリアメタル層を形成し、
前記バリアメタル層のさらに表面側にAⅠ系電極層を形成し、
前記バリアメタル層および前記AⅠ系電極層が存在する状態で、前記トレンチゲートの下端の深さから、前記第1ドリフト層および前記第2ドリフト層の表面の間に位置する領域に荷電粒子を照射し、
前記荷電粒子を照射した後に、前記バリアメタル層および前記AⅠ系電極層が存在する状態で前記半導体基板をアニールする、
半導体装置の製造方法。

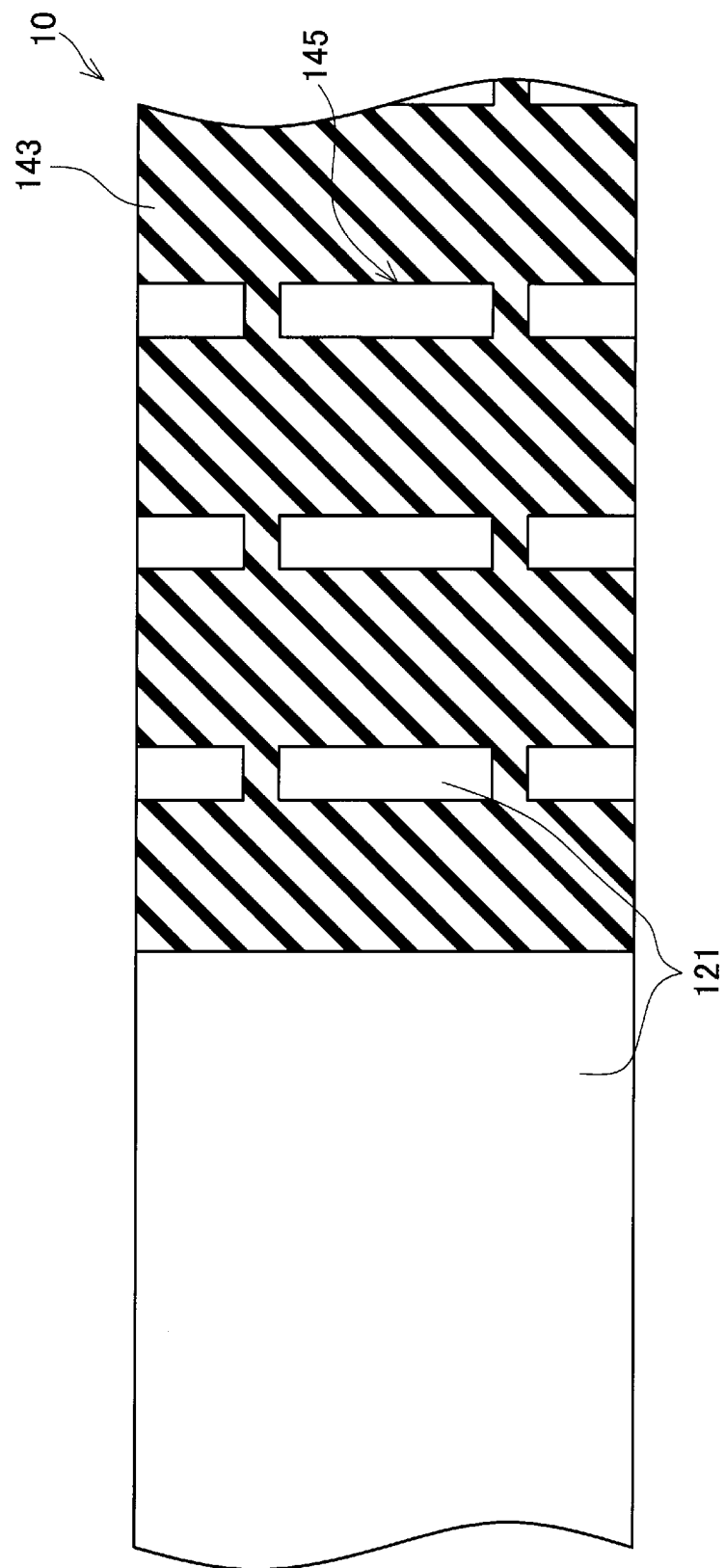
[図1]



[図2]



[図3]



90

135

105

130

904

109 107

106

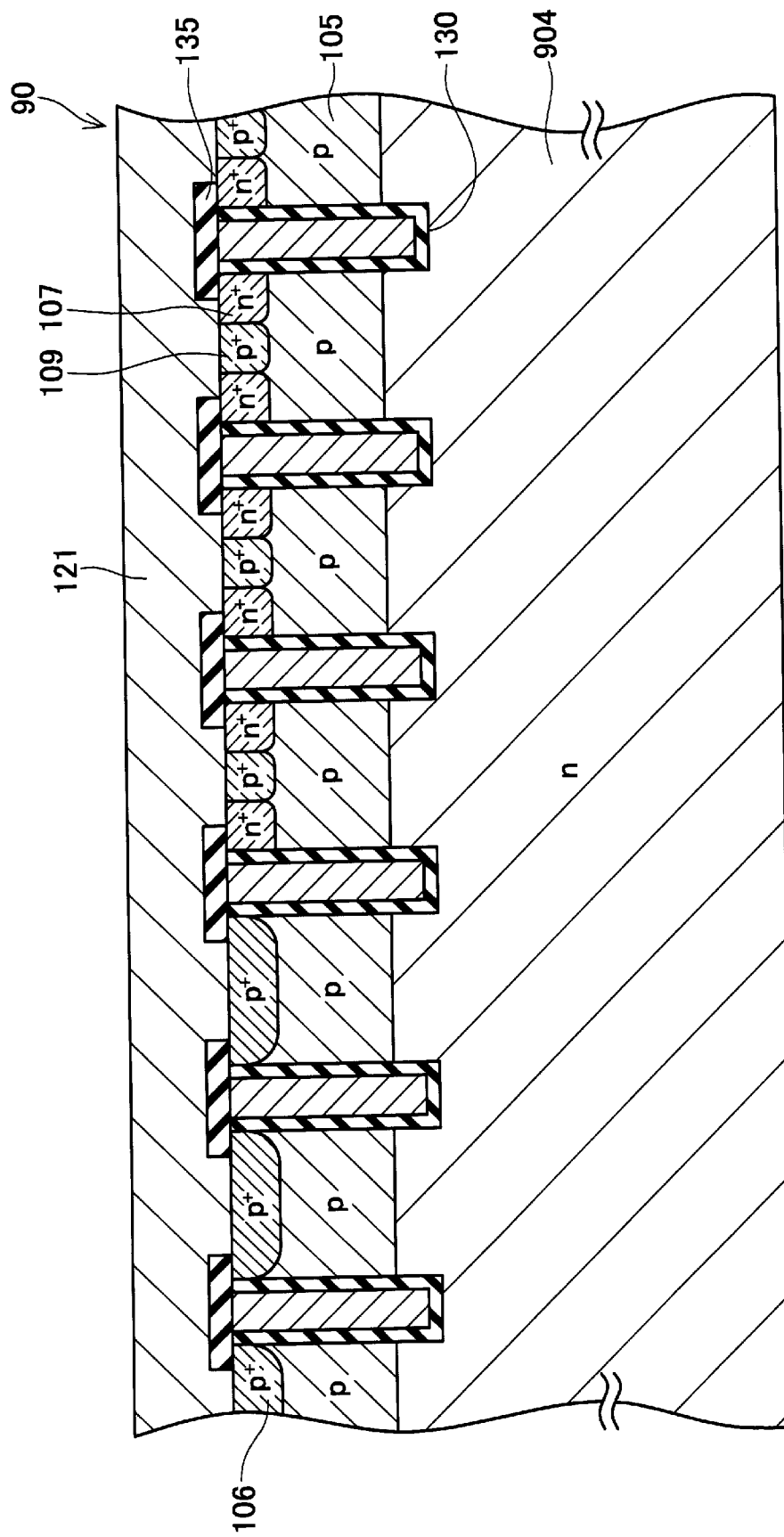
p

p⁺

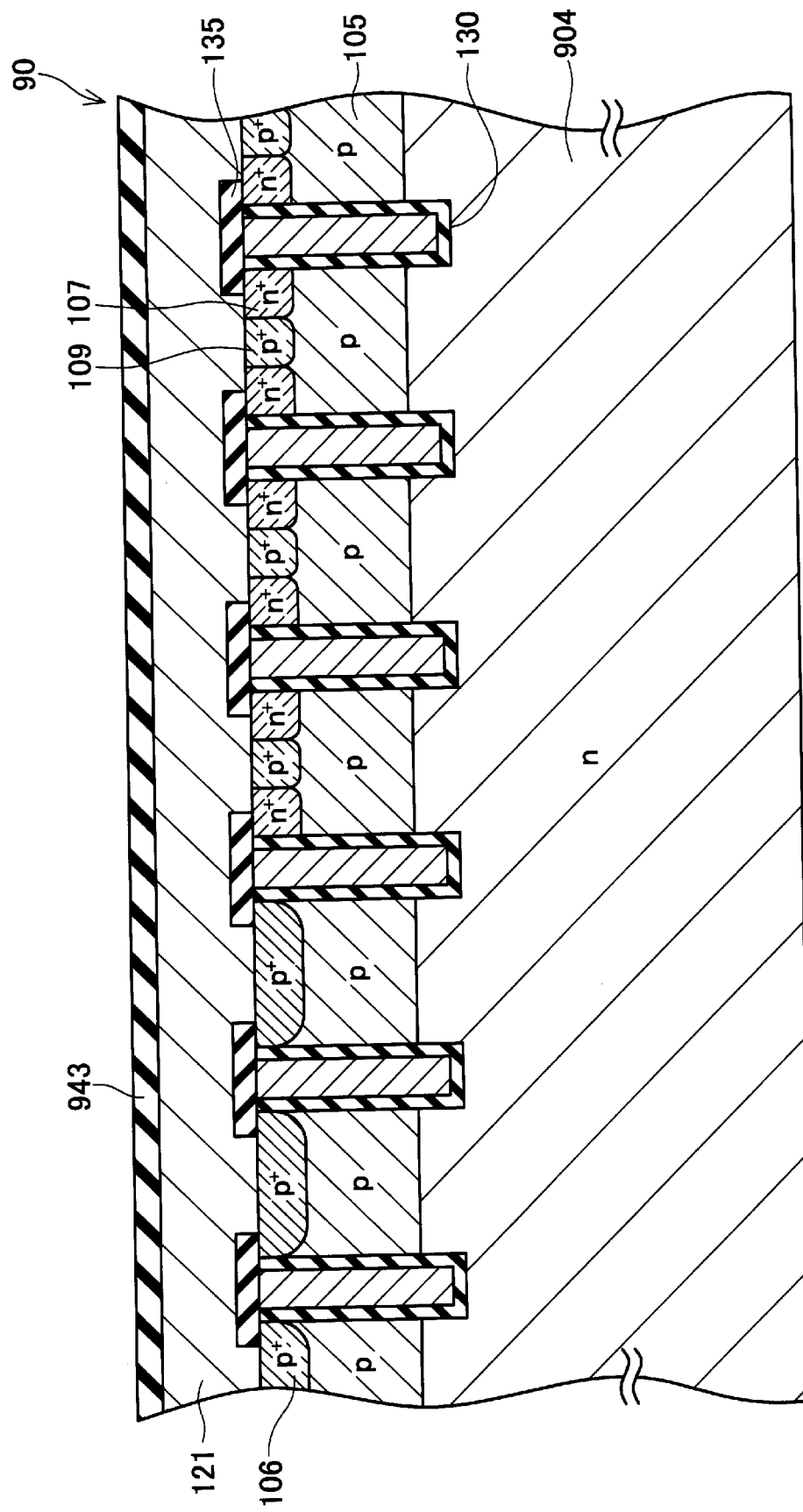
n⁺

n

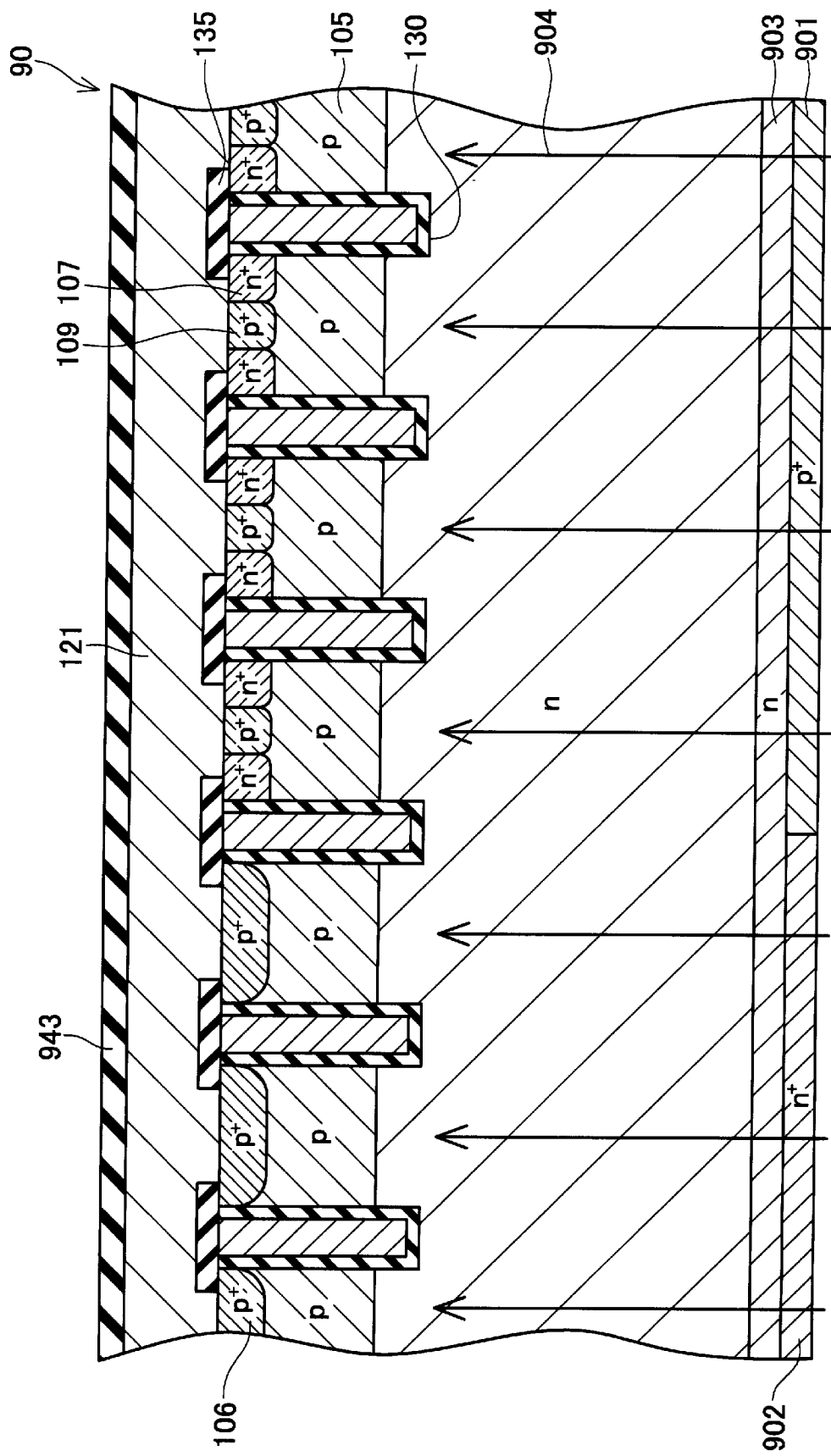
[図5]



[図6]

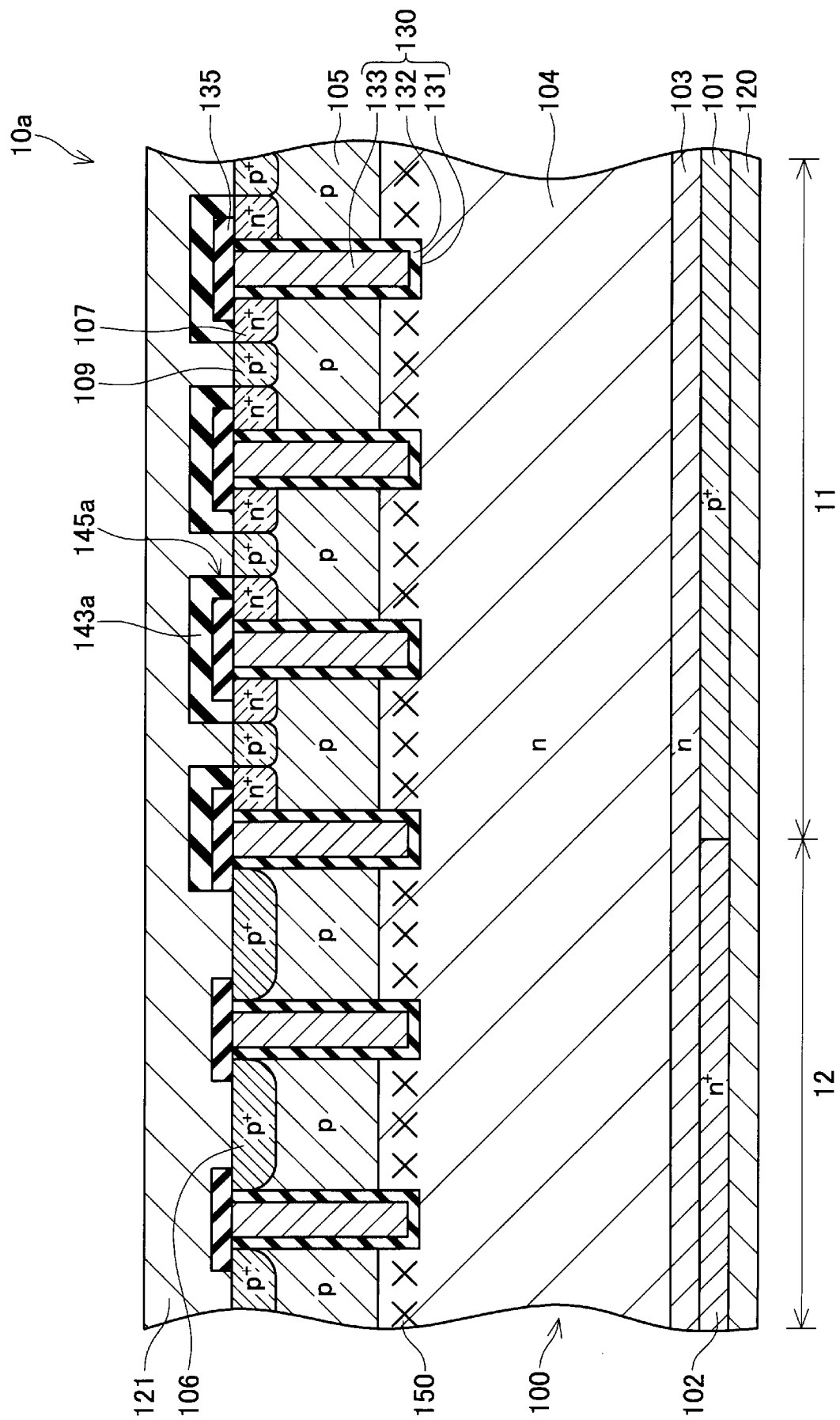


[図8]



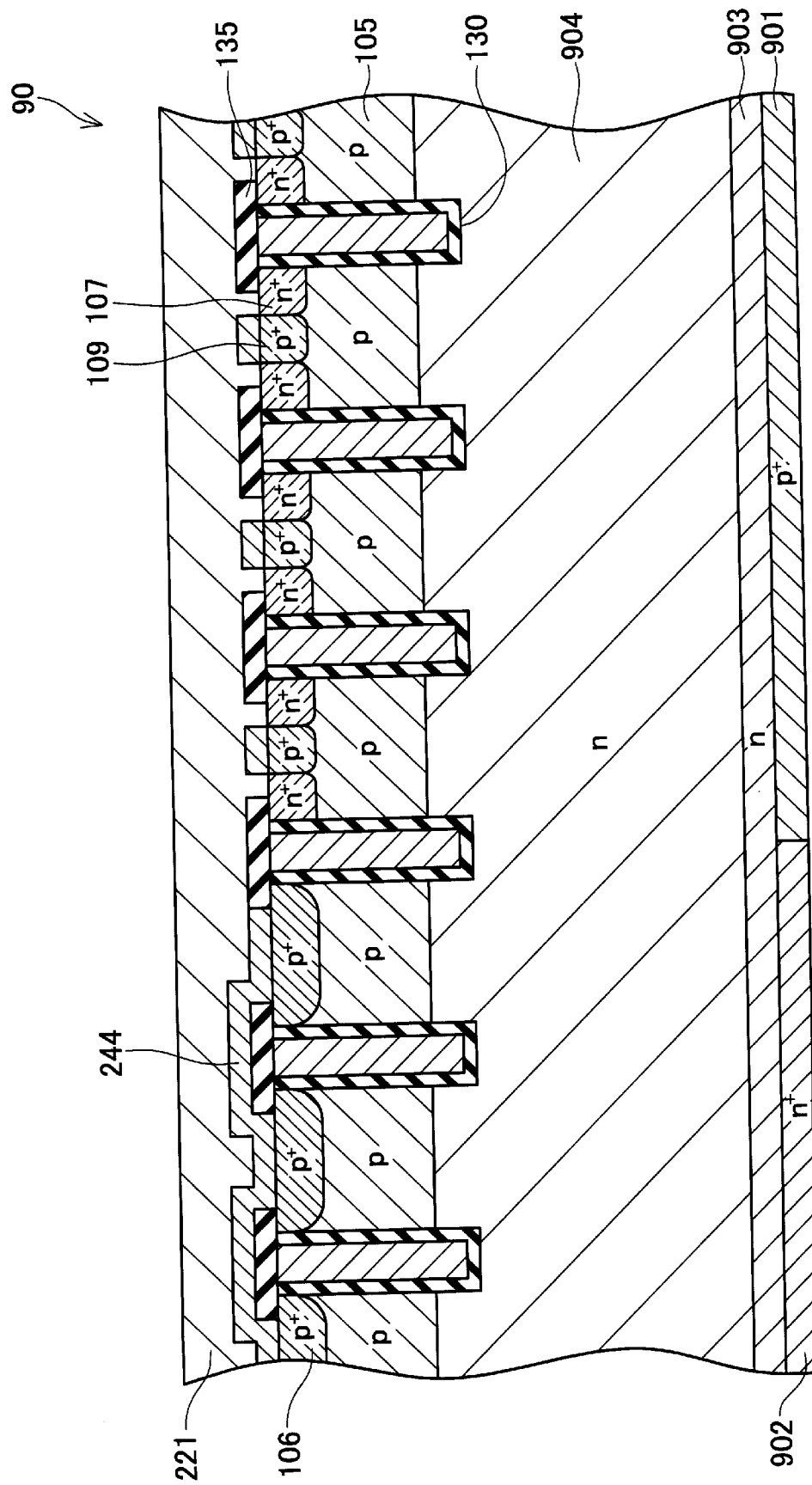
[illegible]

[図11]

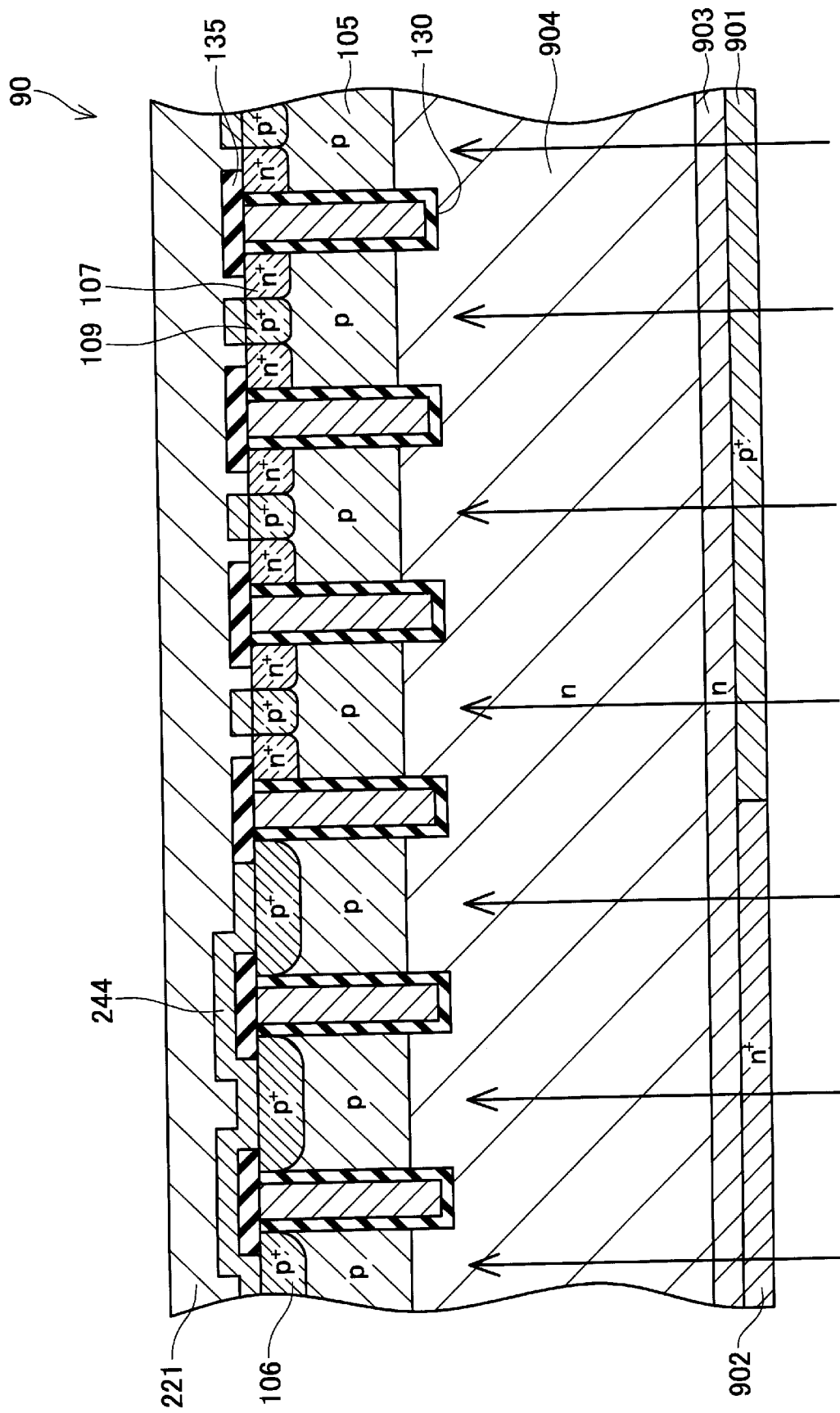


[illegible]

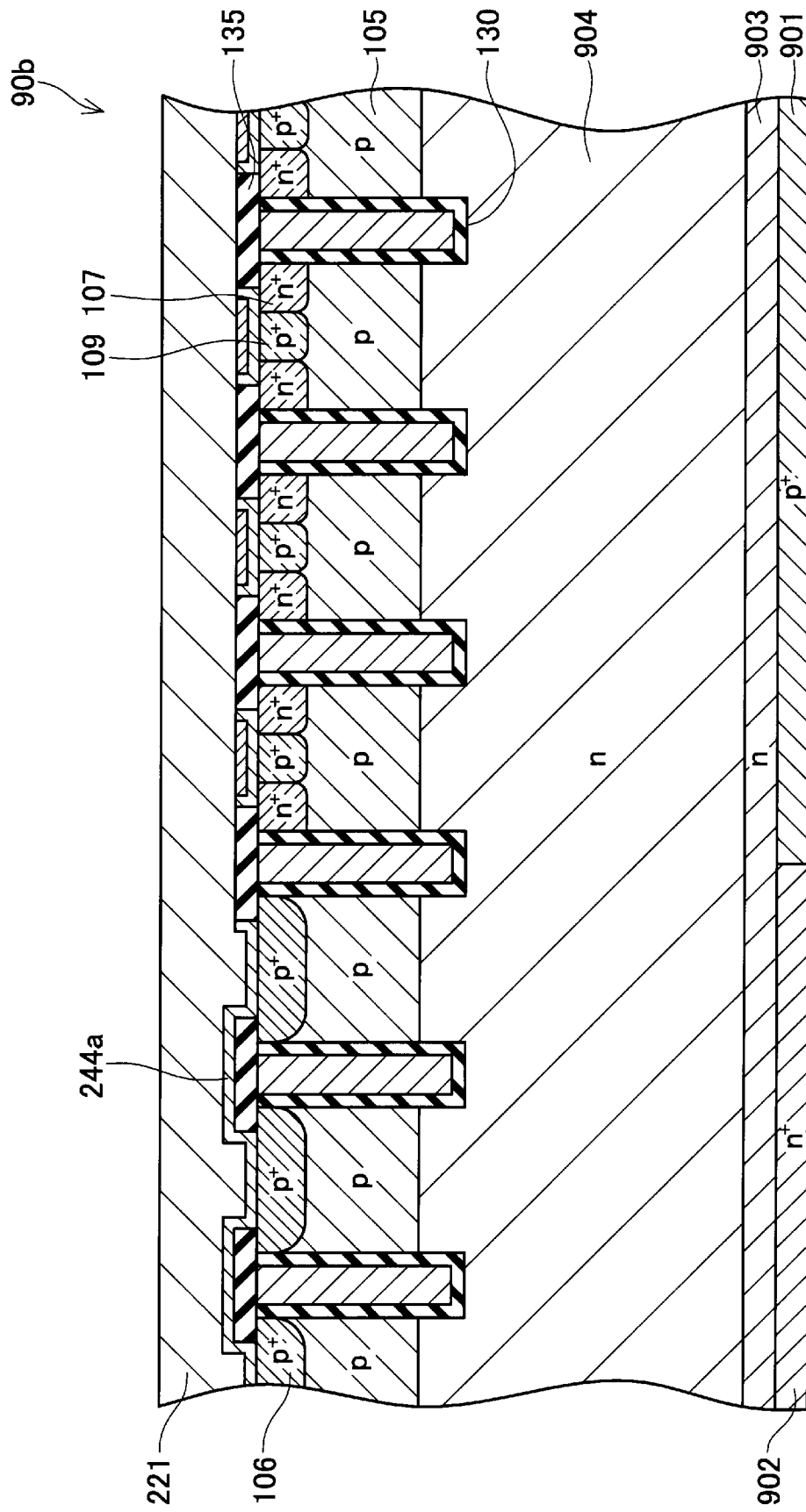
[図15]



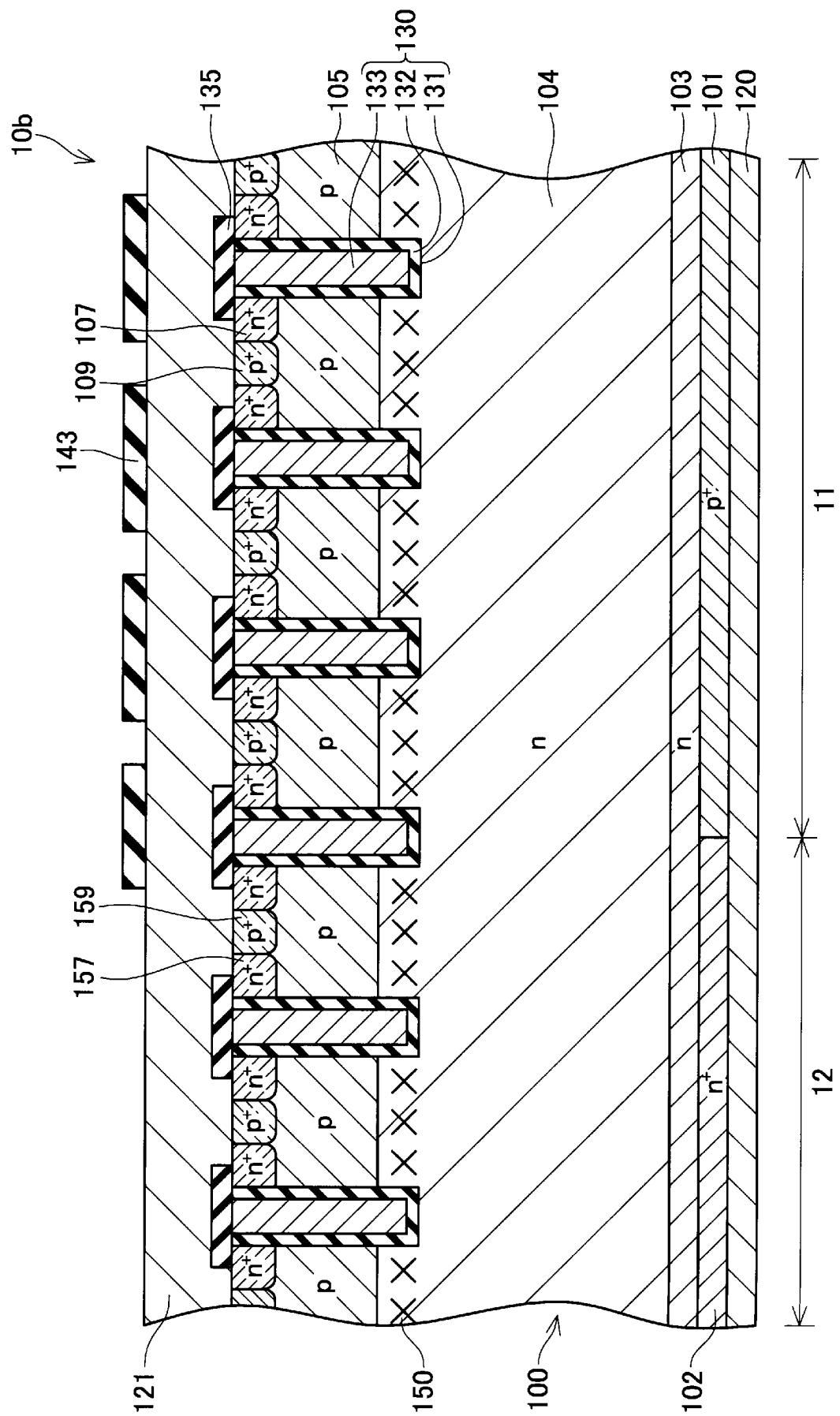
[図16]

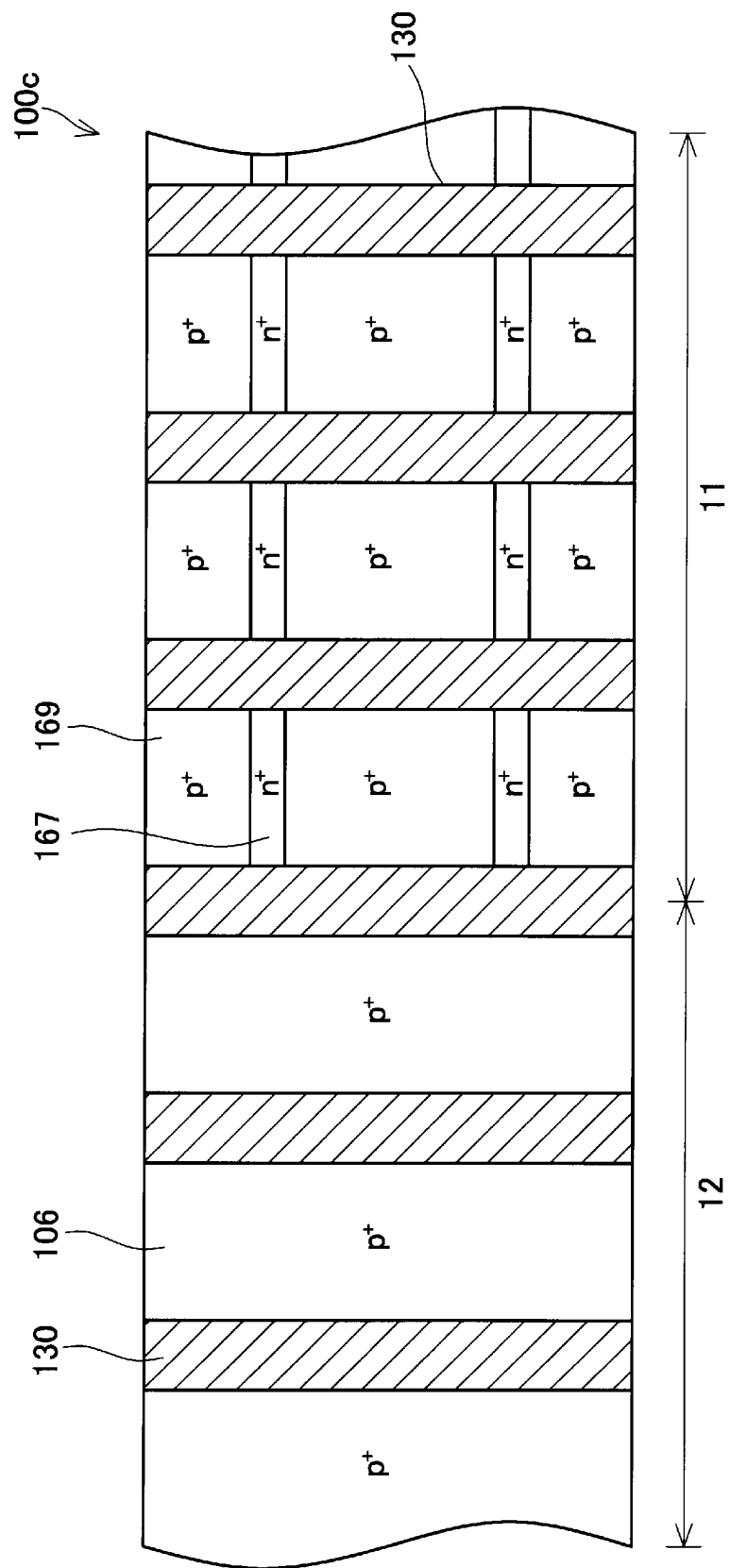


[図19]



[図20]





A cross-sectional view of a multi-layered structure 10c. The structure consists of a stack of alternating layers. The top layer is a solid white layer labeled 143c. Below it is a hatched layer labeled 145c. This is followed by a white layer labeled 167, which contains a dashed line labeled 169. Below this is another hatched layer labeled 145c. This is followed by another white layer labeled 167, which also contains a dashed line labeled 169. The bottom layer is a hatched layer labeled 145c. The entire stack is labeled 121. The top surface of the stack is labeled 10c. The bottom surface of the stack is labeled 167. The hatched layers are labeled 145c. The white layers are labeled 167. The dashed lines are labeled 169.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/080677

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01)i, H01L21/263(2006.01)i, H01L21/28(2006.01)i, H01L21/322(2006.01)i, H01L21/324(2006.01)i, H01L21/336(2006.01)i, H01L27/04(2006.01)i, H01L29/739(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78, H01L21/263, H01L21/28, H01L21/322, H01L21/324, H01L21/336, H01L27/04, H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-267394 A (Denso Corp.), 12 November 2009 (12.11.2009), paragraphs [0043] to [0069]; fig. 10 & US 2009/0242931 A1 & DE 102009015726 A1	1-2
Y	JP 08-227895 A (Rohm Co., Ltd.), 03 September 1996 (03.09.1996), paragraphs [0031] to [0034]; fig. 3 & US 5808352 A & EP 756757 A1 & WO 1996/026536 A1 & DE 69621385 T1 & CN 1146826 A & KR 10-0394393 B	1-2
Y	JP 2013-012530 A (Renesas Electronics Corp.), 17 January 2013 (17.01.2013), paragraph [0034]; fig. 1 & US 2013/0001677 A1 & CN 102856381 A & TW 201308603 A	1-2

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
03 December 2014 (03.12.14)

Date of mailing of the international search report
16 December 2014 (16.12.14)

Name and mailing address of the ISA/
Japan Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/080677

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-272550 A (Toyota Motor Corp.), 19 November 2009 (19.11.2009), paragraph [0024]; fig. 1 & US 2009/0278166 A1 & DE 102009002944 A1	1-2
A	JP 2013-175707 A (Denso Corp.), 05 September 2013 (05.09.2013), paragraphs [0004], [0010] & WO 2013/111568 A1	3-5
A	JP 2010-157592 A (Panasonic Corp.), 15 July 2010 (15.07.2010), paragraphs [0035], [0041]; fig. 5 (Family: none)	3-5
A	JP 2011-049300 A (Toyota Motor Corp.), 10 March 2011 (10.03.2011), paragraphs [0039] to [0043] (Family: none)	3-5
A	JP 2011-181840 A (Denso Corp.), 15 September 2011 (15.09.2011), paragraph [0042]; fig. 2 (Family: none)	3-5

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/78(2006.01)i, H01L21/263(2006.01)i, H01L21/28(2006.01)i, H01L21/322(2006.01)i,
H01L21/324(2006.01)i, H01L21/336(2006.01)i, H01L27/04(2006.01)i, H01L29/739(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/78, H01L21/263, H01L21/28, H01L21/322, H01L21/324, H01L21/336, H01L27/04, H01L29/739

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-267394 A（株式会社デンソー） 2009. 11. 12, [0043]-[0069]、 図 10 & US 2009/0242931 A1 & DE 102009015726 A1	1-2
Y	JP 08-227895 A（ローム株式会社） 1996. 09. 03, [0031]-[0034], 図 3 & US 5808352 A & EP 756757 A1 & WO 1996/026536 A1 & DE 69621385 T1 & CN 1146826 A & KR 10-0394393 B	1-2

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 3 . 1 2 . 2 0 1 4

国際調査報告の発送日

1 6 . 1 2 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

大橋 達也

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

5 F

4 6 8 8

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-012530 A (ルネサスエレクトロニクス株式会社) 2013.01.17, [0034], 図 1 & US 2013/0001677 A1 & CN 102856381 A & TW 201308603 A	1-2
Y	JP 2009-272550 A (トヨタ自動車株式会社) 2009.11.19, [0024], 図 1 & US 2009/0278166 A1 & DE 102009002944 A1	1-2
A	JP 2013-175707 A (株式会社デンソー) 2013.09.05, [0004], [0010] & WO 2013/111568 A1	3-5
A	JP 2010-157592 A (パナソニック株式会社) 2010.07.15, [0035], [0041], 図 5 (ファミリーなし)	3-5
A	JP 2011-049300 A (トヨタ自動車株式会社) 2011.03.10, [0039]-[0043] (ファミリーなし)	3-5
A	JP 2011-181840 A (株式会社デンソー) 2011.09.15, [0042], 図 2 (フ ァミリーなし)	3-5