(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년01월27일
(11) 등록번호 10-2208216
(24) 등록일자 2021년01월21일

(51) 국제특허분류(Int. Cl.)
H04N 5/369 (2011.01) *H04N 5/374* (2011.01)
(52) CPC특허분류
H04N 5/3692 (2013.01)
H04N 17/002 (2013.01)
(21) 출원번호 10-2018-0009704
(22) 출원일자 2018년01월26일
심사청구일자 2019년07월25일
(65) 공개번호 10-2020-0067246
(43) 공개일자 2020년06월12일
(30) 우선권주장
JP-P-2017-014846 2017년01월30일 일본(JP)
(56) 선행기술조사문헌
JP2016103780 A*
KR1020120088570 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
캐논 가부시끼가이샤
일본 도쿄도 오오따꾸 시모마루꼬 3쪼메 30방 2고
(72) 발명자
시키나 노리유키
일본 도쿄도 오오따꾸 시모마루꼬 3쪼메 30방 2고 캐논 가부시끼가이샤 내
(74) 대리인
장수길, 이중희

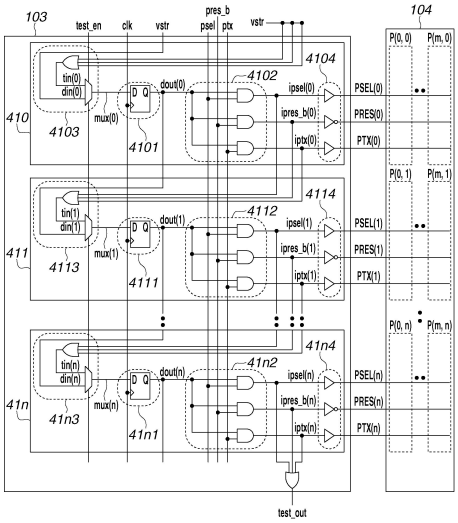
전체 청구항 수 : 총 18 항 심사관 : 양정미

(54) 발명의 명칭 **이미징 장치, 이미징 시스템, 및 이동체**

(57) 요 약

실시예는, 제1 행 및 제2 행을 포함하는 행을 형성하도록 배열된 화소, 상기 제1 행의 화소에 접속된 제1 제어선, 상기 제2 행의 화소에 접속된 제2 제어선, 및 상기 제1 제어선에 공급되는 제1 제어 신호를 생성하는 제1 행 구동 유닛 및 상기 제2 제어선에 공급되는 제2 제어 신호를 생성하는 제2 행 구동 유닛을 적어도 포함하는 주사 유닛으로서, 주사 신호에 기초하여 상기 화소를 행 단위로 구동하도록 구성되는 주사 유닛을 구비하는 이미징 장치를 제공한다. 상기 제1 행 구동 유닛에 의해 생성된 제1 제어 신호는 제2 행 구동 유닛에 입력된다. 제2 행 구동 유닛은 제1 제어 신호 및 주사 신호를 선택하며, 선택된 신호에 기초하여 제2 제어 신호를 생성한다.

대 표 도 - 도3



(52) CPC특허분류
H04N 5/3741 (2013.01)

명 세 서

청구범위

청구항 1

이미징 장치이며,

제1 행 및 제2 행을 포함하는 복수의 행을 형성하도록 배열된 복수의 화소;

상기 제1 행의 화소에 접속된 복수의 제1 제어선;

상기 제2 행의 화소에 접속된 복수의 제2 제어선; 및

상기 복수의 제1 제어선에 공급되는 복수의 제1 제어 신호를 생성하도록 구성되는 제1 행 구동 유닛 및 상기 복수의 제2 제어선에 공급되는 복수의 제2 제어 신호를 생성하도록 구성되는 제2 행 구동 유닛을 적어도 포함하는 주사 유닛으로서, 주사 신호에 기초하여 행별 단위로 상기 복수의 화소를 구동하도록 구성된, 주사 유닛을 포함하고,

상기 제1 행 구동 유닛에 의해 생성된 상기 복수의 제1 제어 신호는 상기 제2 행 구동 유닛에 입력되며,

상기 제2 행 구동 유닛은, 상기 주사 신호와 상기 복수의 제1 제어 신호로부터 하나를 선택하고, 선택된 신호에 기초하여 상기 복수의 제2 제어 신호를 생성하고,

상기 제1 행 구동 유닛 및 상기 제2 행 구동 유닛의 각각은 제1 유지 유닛과 상기 제1 유지 유닛의 출력 노드에 접속된 제2 유지 유닛을 포함하며,

상기 제1 행 구동 유닛에 의해 생성된 상기 복수의 제1 제어 신호는 상기 제2 행 구동 유닛의 상기 제1 유지 유닛에 입력되는, 이미징 장치.

청구항 2

제1항에 있어서,

상기 복수의 화소의 각각은 광전 변환 소자, 전송 트랜지스터 및, 리셋 트랜지스터를 포함하며,

상기 복수의 제1 제어선은 상기 전송 트랜지스터에 접속된 제어선 및 상기 리셋 트랜지스터에 접속된 제어선을 포함하는, 이미징 장치.

청구항 3

제1항에 있어서,

상기 제1 행 구동 유닛은 복수의 버퍼 회로를 포함하고,

상기 복수의 버퍼 회로의 각각의 출력 노드는 상기 복수의 제1 제어선 중 대응하는 하나의 제1 제어선에 접속되며,

상기 복수의 버퍼 회로의 각각의 입력 노드는 상기 제2 행 구동 유닛에 접속되는, 이미징 장치.

청구항 4

삭제

청구항 5

제1항에 있어서, 상기 제1 유지 유닛은 SR 래치 회로를 포함하며, 상기 제2 유지 유닛은 D 래치 회로를 포함하는, 이미징 장치.

청구항 6

제1항에 있어서, 상기 복수의 제1 제어 신호에 대하여 논리 연산을 행하고, 상기 논리 연산의 결과를 상기 제2

행 구동 유닛에 출력하도록 구성되는 논리 회로를 더 포함하는, 이미징 장치.

청구항 7

이미징 장치이며,

제1 행 및 제2 행을 포함하는 복수의 행을 형성하도록 배열된 복수의 화소;

상기 제1 행의 화소에 접속된 제1 제어선;

상기 제2 행의 화소에 접속된 제2 제어선; 및

상기 제1 제어선에 공급되는 제1 제어 신호를 생성하도록 구성되는 제1 행 구동 유닛 및 상기 제2 제어선에 공급되는 제2 제어 신호를 생성하도록 구성되는 제2 행 구동 유닛을 적어도 포함하는 주사 유닛으로서, 주사 신호에 기초하여 상기 복수의 화소를 행별 단위로 구동하도록 구성되는 주사 유닛을 포함하고,

상기 제1 행 구동 유닛 및 상기 제2 행 구동 유닛의 각각은 제1 유지 유닛과 상기 제1 유지 유닛의 출력 노드에 접속된 제2 유지 유닛을 포함하고,

상기 제1 행 구동 유닛에 의해 생성되고 상기 제1 행 구동 유닛의 상기 제2 유지 유닛으로부터 출력된 상기 제1 제어 신호는 상기 제2 행 구동 유닛의 상기 제1 유지 유닛에 입력되며,

상기 제2 행 구동 유닛은 상기 제1 제어 신호와 상기 주사 신호로부터 하나를 선택하고, 선택된 신호에 기초하여 상기 제2 제어 신호를 출력하는, 이미징 장치.

청구항 8

제7항에 있어서, 상기 제1 유지 유닛은 SR 래치 회로를 포함하며, 상기 제2 유지 유닛은 D 래치 회로를 포함하는, 이미징 장치.

청구항 9

제7항에 있어서,

상기 제1 행 구동 유닛은 복수의 버퍼 회로를 포함하고,

상기 복수의 버퍼 회로의 출력 노드는 상기 제1 제어선에 접속되며,

상기 복수의 버퍼 회로의 입력 노드는 상기 제2 행 구동 유닛에 접속되는, 이미징 장치.

청구항 10

제7항에 있어서,

상기 복수의 화소의 각각은 광전 변환 소자, 전송 트랜지스터 및, 리셋 트랜지스터를 포함하며,

상기 제1 제어선은 상기 전송 트랜지스터 또는 상기 리셋 트랜지스터에 접속되는, 이미징 장치.

청구항 11

제1항에 있어서, 상기 주사 유닛에 상기 주사 신호를 공급하도록 구성되는 어드레스 디코더를 더 포함하는, 이미징 장치.

청구항 12

제1항에 있어서, 상기 제1 행 구동 유닛 및 상기 제2 행 구동 유닛의 각각은 상기 주사 신호를 유지 및 출력하도록 구성되는 플립-플롭 회로를 포함하는, 이미징 장치.

청구항 13

제1항에 있어서, 상기 복수의 화소의 각각은 발광 소자를 포함하는, 이미징 장치.

청구항 14

이미징 시스템이며,

제1항에 따른 이미징 장치; 및

상기 이미징 장치로부터 출력된 신호를 처리하여 화상 신호를 취득하도록 구성되는 처리 장치를 포함하는, 이미징 시스템.

청구항 15

이동체이며,

제1항에 따른 이미징 장치와,

상기 이미징 장치로부터 출력된 신호에 대하여 처리를 행하도록 구성되는 처리 장치; 및

상기 처리의 결과에 기초하여 상기 이동체를 제어하도록 구성되는 제어 유닛을 포함하는, 이동체.

청구항 16

제7항에 있어서, 상기 주사 유닛에 상기 주사 신호를 공급하도록 구성되는 어드레스 디코더를 더 포함하는, 이미징 장치.

청구항 17

제7항에 있어서, 상기 제1 행 구동 유닛 및 상기 제2 행 구동 유닛의 각각은 상기 주사 신호를 유지 및 출력하도록 구성되는 플립-플롭 회로를 포함하는, 이미징 장치.

청구항 18

제7항에 있어서, 상기 복수의 화소의 각각은 발광 소자를 포함하는, 이미징 장치.

청구항 19

이동체이며,

제7항에 따른 이미징 장치;

상기 이미징 장치로부터 출력된 신호에 대하여 처리를 행하도록 구성되는 처리 장치; 및

상기 처리의 결과에 기초하여 상기 이동체를 제어하도록 구성되는 제어 유닛을 포함하는, 이동체.

청구항 20

삭제

발명의 설명

기 술 분 야

[0001] 본 발명은 이미징 장치, 이미징 시스템 및 이동체에 관한 것이다.

배 경 기 술

[0002] 디지털 카메라, 프로젝터, 및 디스플레이 등의 복수의 화소를 구비하는 이미징 장치가 알려져 있다. 일본 특허 공개 제2016-103780호는, XY 어드레스형의 촬상 소자인 상보성 금속 산화물 반도체(CMOS) 이미지 센서를 구비한 촬상 장치를 개시하고 있다. 촬상 장치 내의 각 기능 블록은 출하 전에 테스트된다. 일본 특허 출원 공개 제2016-103780호는 테스트 대상으로 되는 기능 블록의 하나로서 수직 주사 유닛을 개시하고 있다.

[0003] 일본 특허 출원 공개 제2016-103780호에 개시된 수직 주사 유닛은 제0 행으로부터 제n 행까지의 복수의 행에 대응하는 (n+1) 조의 유지 유닛, 세트/리셋 유닛 및 신호 생성 유닛을 구비한다. 제L 행(L은 1 내지 n의 정수)의 세트/리셋 유닛은, 제(L-1) 행에서의 신호 생성 유닛의 출력 신호가 리셋된 것에 따라 제L 행의 유지 유닛을 리셋한다. 이 동작을 반복함으로써, 리셋 동작이 복수의 행에서 순차적으로 행하여져 간다. 마지막 행의 리셋 동작이 행하여진 것을 확인하는 것으로, 전달 경로에 포함되는 회로가 검사될 수 있다.

발명의 내용

해결하려는 과제

과제의 해결 수단

[0004] 본 발명의 양태에 따르면, 이미징 장치는, 제1 행 및 제2 행을 포함하는 복수의 행을 형성하도록 배열된 복수의 화소, 상기 제1 행의 화소에 접속된 복수의 제1 제어선, 상기 제2 행의 화소에 접속된 복수의 제2 제어선, 및 상기 복수의 제1 제어선에 공급되는 복수의 제1 제어 신호를 생성하도록 구성되는 제1 행 구동 유닛 및 상기 복수의 제2 제어선에 공급되는 복수의 제2 제어 신호를 생성하도록 구성되는 제2 행 구동 유닛을 적어도 포함하는 주사 유닛으로서, 주사 신호에 기초하여 행 단위로 상기 복수의 화소를 구동하도록 구성되는 주사 유닛을 포함하고, 상기 제1 행 구동 유닛에 의해 생성된 상기 복수의 제1 제어 신호는 상기 제2 행 구동 유닛에 입력되며, 상기 제2 행 구동 유닛은, 상기 복수의 제1 제어 신호와 상기 주사 신호를 선택하고, 선택된 신호에 기초하여 상기 복수의 제2 제어 신호를 생성한다.

[0005] 본 발명의 다른 양태에 따르면, 이미징 장치는, 제1 행 및 제2 행을 포함하는 복수의 행을 형성하도록 배열된 복수의 화소, 상기 제1 행의 화소에 접속된 제1 제어선, 상기 제2 행의 화소에 접속된 제2 제어선, 및 상기 제1 제어선에 공급되는 제1 제어 신호를 생성하도록 구성되는 제1 행 구동 유닛, 및 상기 제2 제어선에 공급되는 제2 제어 신호를 생성하도록 구성되는 제2 행 구동 유닛을 적어도 포함하는 주사 유닛으로서, 주사 신호에 기초하여 상기 복수의 화소를 행 단위로 구동하도록 구성되는 주사 유닛을 포함하고, 상기 제1 행 구동 유닛 및 상기 제2 행 구동 유닛 각각은 제1 유지 유닛과 상기 제1 유지 유닛의 출력 노드에 접속된 제2 유지 유닛을 포함하고, 상기 제1 행 구동 유닛에 의해 생성되고, 상기 제1 행 구동부의 상기 제2 유지 유닛으로부터 출력된 상기 제1 제어 신호는 상기 제2 행 구동 유닛의 상기 제1 유지 유닛에 입력되며, 상기 제2 행 구동 유닛은 상기 제1 제어 신호와 상기 주사 신호를 선택하고, 선택된 신호에 기초하여 상기 제2 제어 신호를 출력한다.

[0006] 본 발명의 추가적인 특징은 첨부된 도면을 참고한 예시적인 실시예에 대한 이하의 설명으로부터 명확해질 것이다.

도면의 간단한 설명

[0007] 도 1은 제1 예시적인 실시예에 따른 촬상 장치의 구성예를 개략적으로 도시하는 블록도이다.

도 2a는 제1 예시적인 실시예에 따른 화소 유닛의 구성을 개략적으로 도시하는 도면이다. 도 2b는 제1 예시적인 실시예에 따른 촬상 장치의 화소의 등가 회로를 도시하는 개략도이다.

도 3은 제1 예시적인 실시예에 따른 수직 주사 유닛의 구성예를 개략적으로 도시하는 블록도이다.

도 4는 제1 예시적인 실시예에 따른 광전 변환 소자의 판독 동작의 일례를 도시하는 타이밍 차트이다.

도 5는 제1 예시적인 실시예에 따른 수직 주사 유닛의 테스트 동작의 일례를 도시하는 타이밍 차트이다.

도 6은 제2 예시적인 실시예에 따른 수직 주사 유닛의 구성예를 개략적으로 도시하는 블록도이다.

도 7은 제2 예시적인 실시예에 따른 광전 변환 소자의 판독 동작의 일례를 도시하는 타이밍 차트이다.

도 8은 제2 예시적인 실시예에 따른 수직 주사 유닛의 테스트 동작의 일례를 도시하는 타이밍 차트이다.

도 9는 제3 예시적인 실시예에 따른 수직 주사 유닛의 구성예를 개략적으로 도시하는 블록도이다.

도 10은 제3 예시적인 실시예에 따른 광전 변환 소자의 판독 동작의 일례를 도시하는 타이밍 차트이다.

도 11은 제3 예시적인 실시예에 따른 수직 주사 유닛의 테스트 동작의 일례를 도시하는 타이밍 차트이다.

도 12는 제4 예시적인 실시예에 따른 수직 주사 유닛의 테스트 동작의 일례를 도시하는 타이밍 차트이다.

도 13은 제5 예시적인 실시예에 따른 수직 주사 유닛의 구성예를 개략적으로 도시하는 블록도이다.

도 14는 제7 예시적인 실시예에 따른 표시 장치의 화소의 등가 회로도이다.

도 15는 이미징 시스템의 예시적인 실시예의 블록도이다.

도 16a 및 도 16b는 이동체의 예시적인 실시예의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0008] 본 발명자들은, 이미징 장치의 테스트에서 테스트 커버리지율을 향상시키는 것이 바람직하다고 하는 지견을 새롭게 발견했다. 그러나, 일본 특허 출원 공개 제2016-103780호에 개시된 촬상 장치에서는, 수직 주사 유닛의 각 행에 포함되는 복수의 신호 생성 유닛 중 1개의 신호 생성 유닛만이 검사될 수 있다. 혹은, 수직 주사 유닛의 각 행의 유지 유닛이 복수의 기억 소자를 포함하는 경우, 모든 기억 소자를 검사하기가 어렵다. 결과적으로, 테스트 커버리지율이 저하되는 과제가 발생한다. 몇몇 예시적인 실시예에서, 테스트 커버리지율이 향상될 수 있다.

[0009] [전체 블록도]

[0010] 도 1은 제1 예시적인 실시예에 따른 촬상 장치의 구성예를 개략적으로 도시하는 블록도이다. 촬상 장치는, CPU(101), 제어 유닛(102), 수직 주사 유닛(103), 화소 유닛(104), 열 회로(105), 수평 주사 유닛(106) 및, 신호 출력 유닛(107)을 포함한다. CPU(101)는 장치 전체를 제어한다. 제어 유닛(102)은, CPU(101)로부터의 동기 신호를 받고, 촬상 장치의 각 유닛을 제어한다. 수직 주사 유닛(103)은 제어 유닛(102)으로부터 제어 신호를 받아서 동작한다. 화소 유닛(104)은, 복수의 행을 형성하도록 배열된 복수의 화소를 포함한다. 열 회로(105)는 화소 유닛(104)으로부터의 신호를 처리한다. 수평 주사 유닛(106)은, 열 회로(105)로부터 순차적으로 신호 출력 유닛(107)에 신호를 판독한다. 열 회로(105)와 수평 주사 유닛(106)은 제어 유닛(102)의 제어 신호를 받아서 동작한다. 도 1에서는, 각 화소를 부호 P(x, y)로 나타낸다. 각 부호에서, x 및 y는 각각 화소의 열 번호 및 행 번호를 나타낸다.

[0011] [열 구성]

[0012] 도 2a 및 도 2b는 본 예시적인 실시예에 따른 화소 유닛(104) 및 열 회로(105)의 구성예를 모식적으로 도시한 개략도이다. 1개의 열을 형성하는 복수의 화소(201)는 1개의 수직 출력선(202)에 접속된다. 본 예시적인 실시예에서는, 복수의 화소(201)가 복수의 열 및 복수의 행을 포함하는 행렬을 형성하도록 배열된다. 그로 인해, 복수의 수직 출력선(202)이 배치된다. 또한, 수직 출력선(202)은 정전류원(203)에 접속된다. 또한, 수직 출력선(202)은 열 증폭기(204)에 접속된다. 정전류원(203) 및 열 증폭기(204)는 열 회로(105)에 포함된다.

[0013] [화소 회로]

[0014] 도 2b는, 본 예시적인 실시예에 따른 화소(201)의 등가 회로를 도시하는 도면이다. 예로서, 제n 행에 배치된 화소(201)를 설명하지만, 본 예시적인 실시예에서는 모든 화소가 동일한 회로 구성을 갖고 있다. 화소(201)는, 광전 변환 소자(301), 전하 전송 유닛(302), 플로팅 디퓨전부(이하, FD라 칭함), 리셋 유닛(303), 신호 증폭 유닛(304), 및 행 선택 유닛(305)을 갖는다. 광전 변환 소자(301)는, 광전 변환의 입사 광량에 대응하는 전하를 생성하는 포토다이오드 등의 소자를 갖는다.

[0015] 전하 전송 유닛(302)은, 광전 변환 소자(301)와 FD 사이에 접속되어 있다. 전하 전송 유닛(302)은, 예를 들어 광전 변환 소자(301)에 축적된 전하를 FD에 전송하기 위한 전송 트랜지스터이다. 화소 전송 신호(PTX(n))에 의해, 전하 전송 유닛(302)의 도통/비도통(온/오프)이 제어된다.

[0016] 리셋 유닛(303)은, 전원 전압(VDD)와 FD 사이에 접속된다. 리셋 유닛(303)은, 예를 들어 FD에 전원 전압(VDD)을 공급하고, FD의 전압을 리셋하는 리셋 트랜지스터이다. 화소 유닛 리셋 신호(PRES(n))에 의해, 리셋 유닛(303)의 도통/비도통(온/오프)이 제어된다.

[0017] 신호 증폭 유닛(304)의 게이트 단자에는 FD가 접속된다. 신호 증폭 유닛(304)의 드레인 단자 및 소스 단자에는, 각각, 전원 전압(VDD) 및 행 선택 유닛(305)이 접속된다. 신호 증폭 유닛(304)은, 예를 들어 FD에 축적된 전하를 전압으로 변환해서 그 전압을 증폭하고, 전압을 전압 신호로서 수직 출력선(202)에 출력하는 증폭 트랜지스터이다. 본 예시적인 실시예에서는, 당해 증폭 트랜지스터와 정전류원(203)이 소스 팔로워 회로를 구성하고 있다.

[0018] 행 선택 유닛(305)은, 신호 증폭 유닛(304)의 소스 단자와 수직 출력선(202) 사이에 접속된다. 행 선택 유닛(305)은, 예를 들어 화소 신호를 출력하는 행을 선택하는 선택 트랜지스터이다. 행 선택 신호(PSEL(n))에 의해, 행 선택 유닛(305)의 도통/비도통(온/오프)이 제어된다.

[0019] 화소 전송 신호(PTX(n)), 화소 유닛 리셋 신호(PRES(n)), 및 행 선택 신호(PSEL(n))는, 각각, 화소(201)의 구

동을 제어하는 제어 신호이다. 본 예시적인 실시예에서는 1개의 화소(201)에 복수의 제어 신호가 공급된다. 제어 신호에 대한 부호에서, (n)은 제어 신호가 제n 행의 화소(201)에 공급되는 것을 의미한다.

[0020] [주사 회로]

[0021] 도 3은, 본 예시적인 실시예에 따른 수직 주사 유닛(103)의 구성예를 도시하는 블록도이다. 수직 주사 유닛(103)은 행 구동 유닛(410 내지 41n)을 구비한다. 본 예시적인 실시예의 수직 주사 유닛(103)은 시프트 레지스터의 형태이다.

[0022] 제1 행의 행 구동 유닛(411)의 구성을 예로서 설명한다. 다른 행의 행 구동 유닛에 대해서도 마찬가지이다. 행 구동 유닛(411)은, 유지 유닛(4111)과, 신호 생성 유닛(4112)과, 주사 신호 선택 유닛(4113)과, 레벨 시프트 유닛(4114)을 구비한다. 행 구동 유닛(411)은, 대응하는 1 행의 화소에 접속된 복수의 제어선에 제어 신호를 공급한다.

[0023] 유지 유닛(4111)은 플립-플롭 회로를 구비한다. 유지 유닛(4111)은, 제어 유닛(102)에 의해 생성되는 클럭 신호(clk)가 High 레벨이 되는 타이밍에서, 주사 신호 선택 유닛(4113)의 출력 신호(mux(1))의 레벨을 기억한다.

[0024] 신호 생성 유닛(4112)은, 유지 유닛(4111)의 출력 신호(dout(1))와 제어 유닛(102)으로부터 공급되는 펄스(psel)의 논리 연산을 행하여, 제어 신호(ipsel(1))를 생성한다. 또한, 신호 생성 유닛(4112)은, 출력 신호(dout(1))와 제어 유닛(102)으로부터 공급되는 펄스(pres_b)의 논리 연산을 행하여, 제어 신호(ipres_b(1))를 생성한다. 또한, 신호 생성 유닛(4112)은, 출력 신호(dout(1))와 제어 유닛(102)으로부터 공급되는 펄스(ptx)의 논리 연산을 행하여, 제어 신호(iptx(1))를 생성한다.

[0025] 레벨 시프트 유닛(4114)은, 입력된 신호의 레벨을 시프트하는 버퍼 회로이다. 레벨 시프트 유닛(4114)은, 필요에 따라 입력 신호를 반전시킨다. 제어 신호(ipsel(1))는, 레벨 시프트 유닛(4114)에 의해, 행 선택 신호(PSEL(1))로서, 화소에 접속된 제어선에 출력된다. 마찬가지로, 제어 신호(ipres_b(1)) 및 제어 신호(iptx(1))는, 각각, 화소 유닛 리셋 신호(PRES(1)) 및 화소 전송 신호(PTX(1))로서, 화소에 접속된 제어선에 출력된다. 버퍼 회로의 출력 노드는 화소의 제어선에 접속된다. 한편, 버퍼 회로의 입력 노드는 인접한 행 구동 유닛(412)에 접속되고 있다.

[0026] 제1 행의 행 구동 유닛(411)에는, 제0 행의 행 구동 유닛(410)의 유지 유닛(4101)의 출력 신호(dout(0))가 입력된다. 편의적으로, 제1 행의 행 구동 유닛(411)에 입력된 출력 신호(dout(0))를, 입력 신호(din(1))라 칭한다. 출력 신호(dout(0))와 입력 신호(din(1))는 동일한 신호이다. 또한, 제1 행의 행 구동 유닛(411)에는, 제0 행의 신호 생성 유닛(4102)이 생성한 제어 신호(ipsel(0)), 제어 신호(ipres_b(0)), 및 제어 신호(iptx(0))가 입력된다. 이들 제어 신호의 논리합(OR)을 연산함으로써 입력 신호(tin(1))가 생성된다.

[0027] 주사 신호 선택 유닛(4113)은, 입력 신호(din(1)) 및 입력 신호(tin(1)) 중 하나를 선택하고, 선택된 것을 출력 신호(mux(1))로서 후단의 유지 유닛(4111)에 출력한다. 제어 유닛(102)에 의해 생성되는 신호(test_en)가 Low 레벨에 있는 경우에는, 입력 신호(din(1))가 출력 신호(mux(1))로서 출력된다. 입력 신호(din(1))는, 제0 행의 유지 유닛(4101)의 출력 신호(dout(0))이기 때문에, 신호(test_en)가 Low 레벨에 있는 경우, 수직 주사 유닛(103)은 시프트 레지스터로서 동작한다. 환언하면, 출력 신호(dout(0)) 및 입력 신호(din(1))는 수직 주사 유닛(103)에 부여되는 주사 신호이다.

[0028] 또한, 신호(test_en)가 High 레벨에 있는 경우에는, 입력 신호(tin(1))가 출력 신호(mux(1))로서 출력된다. 여기서, 입력 신호(tin(1))는, 제0 행의 신호 생성 유닛(4102)에 의해 생성된 제어 신호에 기초하고 있다. 즉, 입력 신호(tin(1))는, 선단의 제0 행의 행 구동 유닛(410)이 정상적으로 동작하고 있을지를 나타내는 검사 신호이다.

[0029] 도 3에 도시된 주사 신호 선택 유닛(4113)은 일례이며, 주사 신호 선택 유닛(4113)의 회로 구성은 변경될 수 있다. 예를 들어, 제어 신호의 논리합(OR)을 연산하는 대신, 배타적 논리합(EXOR) 등의 논리 연산을 사용해도 된다. 혹은, 논리 연산을 행하는 대신, 멀티플렉서를 사용해도 된다.

[0030] [구동 방법(1-1):광전 변환 소자의 판독 동작]

[0031] 이하에, 본 예시적인 실시예에 따른 촬상 장치의 구동 방법에 대해서 설명한다. 먼저, 광전 변환 소자(301)에서 발생한 전하에 기초하는 신호를 판독하기 위한 구동에 대해서 설명한다. 도 4는, 도 3에서 나타낸 수직 주사 유닛(103) 및 화소 유닛(104)의 동작의 일례를 나타내는 타이밍 차트이다.

[0032] 먼저, 전체 기간 동안에 신호(test_en)는 Low이다. 따라서, 각 행의 주사 신호 선택 유닛(41k3)의 제어에 의해, 입력 신호(din(k))(= 출력 신호(dout(k-1)))가 선택되어, 출력 신호(mux(k))로서 출력된다(k는 다음 식을 만족시키는 임의의 정수이다:1≤k≤n). 제0 행의 주사 신호 선택 유닛(4103)에는 수직 주사 개시 신호(vstr)가 입력된다.

[0033] 시각 T00에서, 광전 변환 소자(301)의 판독 동작을 개시한다. CPU(101)는, 제어 유닛(102)에 대하여, 수직 동기 신호(VD)와 수평 동기 신호(HD)를 입력한다. 동시에, 수직 주사 개시 신호(vstr)를 입력한다.

[0034] 다음에, 시각 T00a에서, 클럭 신호(clk)가 High로 천이하고, 유지 유닛(4101)은 수직 주사 개시 신호(vstr)의 High를 기억한다. 이 동작에 의해, 출력 신호(dout(0))가 High로 천이하고, 시각 T01a까지 유지된다. 동일한 기간 중에, 다른 행의 출력 신호(dout(k))는 Low를 유지한다. 따라서, 출력 신호(dout(0))를 받는 신호 생성 유닛(4102)만이, 제어 신호를 생성할 수 있다.

[0035] 유사한 시간 영역, 즉 시각 T00a로부터 시각 T01a까지의 화소 구동 펄스에 대해서 설명한다. 복수의 제어 신호(ipsel(k)) 중 제0 행의 제어 신호(ipsel(0))만이 펄스(psel)의 파형에 따라서 천이한다. 따라서, 화소 P(0, 0) 내지 (m, 0)에서, 열 선택 유닛(305)이 도통되고, 화소 P(0, 0) 내지 (m, 0)이 수직 출력선(202)에 접속한다. 또한, 다른 행의 화소는 수직 출력선(202)에 접속되지 않는다.

[0036] 마찬가지로, 복수의 제어 신호(ipres_b(k)) 중 제어 신호(ipres_b(0))만이 펄스(pres_b)의 파형에 따라서 천이한다. 화소 유닛 리셋 신호(PRES(k))는 제어 신호(ipres_b(k))의 반전 파형을 갖는다. 그로 인해, 화소 P(0, 0) 내지 (m, 0)에서는, 제어 신호(ipres_b(0))가 High인 동안에, FD의 리셋이 해제된다. 즉, FD가 플로팅 상태에 있다. 또한, 다른 행의 화소에서는, FD는 리셋 상태로 유지된다.

[0037] 마찬가지로, 복수의 제어 신호(iptx(k)) 중 제어 신호(iptx(0))만이 펄스(ptx)의 파형에 따라서 천이한다. 따라서, 화소 P(0, 0) 내지 (m, 0)의 광전 변환 소자(301)의 전하에 기초하는 신호를, 수직 출력선(202)을 통해서 판독할 수 있다.

[0038] 다음에, 시각 T01a에서, 클럭 신호(clk)가 High로 천이하고, 유지 유닛(4101)은 수직 주사 개시 신호(vstr)의 Low를 기억한다. 동시에, High 레벨의 출력 신호(dout(0))가, 입력 신호(din(1))로서, 주사 신호 선택 유닛(4113)에 입력되고 있다. 또한, 주사 신호 선택 유닛(4113)은 입력 신호(din(1))를 선택하고 있다. 그로 인해, 유지 유닛(4111)은 출력 신호(mux(1))의 High를 기억한다. 이 동작에 의해, 출력 신호(dout(0))가 Low로 천이하고, 출력 신호(dout(1))가 High로 천이하며, 시각 T02a까지 High 상태가 유지된다. 동일한 기간 동안에, 다른 행의 출력 신호(dout(k))는 Low로 유지된다.

[0039] 시각 T01a로부터 시각 T02a까지, 화소 구동 펄스는, 선택된 행이 상이한 것을 제외하고는, 시각 T00a로부터 시각 T01a까지의 동작과 마찬가지의 동작을 행한다. 결과적으로, 화소 P(0, 1) 내지 (m, 1)의 광전 변환 소자(301)의 전하에 기초하는 신호가 판독된다.

[0040] 그후, 마찬가지 방식으로, 선택된 행을 바꾸면서, 광전 변환 소자(301)의 전하에 기초하는 신호를 판독해 간다. 최종적으로는, 화소 P(0, n) 내지 (m, n)의 광전 변환 소자(301)의 전하에 기초하는 신호가 판독된다. 이와 같이, 수직 주사 유닛(103)은, 유지 유닛(4111)의 출력 신호(dout(1))를 주사 신호로서, 복수의 화소를 행 단위로 구동하고 있다. 즉, 주사 유닛(103)은 행별 단위로 주사 신호에 기초하여 복수의 화소를 구동하도록 구성된다.

[0041] [구동 방법(1-2): 수직 주사 유닛의 테스트 동작]

[0042] 이어서, 수직 주사 유닛(103)의 테스트 동작에 대해서 설명한다. 도 5는, 도 3에서 나타낸 수직 주사 유닛(103) 및 화소 유닛(104)의 동작의 일례를 나타내는 타이밍 차트이다. 도 5의 타이밍 차트에서 나타내는 예에서는, 유지 유닛(41k1) 및 신호 생성 유닛(41k2)을 검사할 수 있다. 특히, 본 예시적인 실시예에서는, 1개의 신호 생성 유닛(41k2)이 복수의 제어 신호를 생성한다. 복수의 제어 신호가 정확하게 생성되는 것을 확인하기 위해 검사가 행해질 수 있다.

[0043] 먼저, 전체 기간 동안에 신호(test_en)는 High이다. 따라서, 각 행의 주사 신호 선택 유닛(41k3)의 제어에 의해, 입력 신호(tin(k))가 선택되고, 출력 신호(mux(k))로서 출력된다. 입력 신호(tin), 즉 제어 신호(ipsel(k-1)), 제어 신호(ipres_b(k-1)), 및 제어 신호(iptx(k-1))의 논리합(OR)이 출력 신호(mux(k))이다(k는 다음 식을 만족시키는 임의의 정수이다:0≤k≤n). 단, 제0 행의 출력 신호(mux(0))로서는, 수직 주사 개시 신호(vstr)가 선택되고 있다.

[0044] 시각 T00에서, 테스트 동작을 개시한다. CPU(101)는, 제어 유닛(102)에 대하여, 수직 동기 신호(VD)와 수평 동

기 신호(HD)를 입력한다. 동시에, 수직 주사 개시 신호(vstr)를 입력한다.

[0045] 다음에, 시각 T00a에서, 클럭 신호(clk)가 High로 천이하고, 유지 유닛(4101)는 입력 신호(tin(0))(= 수직 주사 개시 신호(vstr))의 High를 기억한다. 이 동작에 의해, 출력 신호(dout(0))가 High로 천이하고, 시각 T01a까지 유지된다. 동일한 기간 동안에, 다른 행의 출력 신호(dout(k))는 Low로 유지된다. 따라서, 출력 신호(dout(0))를 받는 신호 생성 유닛(4102)만이, 제어 신호를 생성할 수 있다.

[0046] 유사한 시간 영역, 즉 시각 T00a로부터 시각 T01a까지의 화소 구동 펄스에 대해서 설명한다. 복수의 제어 신호(ipsel(k)) 중 제어 신호(ipsel(0))만이 펄스(psel)의 파형에 따라서 천이한다. 또한, 이 예에서는, 제어 신호(ipsel(k))를 생성하는 논리 회로를 검사하므로, 제어 신호(ipsel(k))만을 전달시키면 된다. 따라서, 펄스(pres_b)와 펄스(ptx)를 상시 Low에 고정하고, 제어 신호(ipres_b(k))와 제어 신호(iptx(k))를 상시 Low에 고정한다.

[0047] 다음에, 시각 T01a에서, 클럭 신호(clk)가 High로 천이하고, 유지 유닛(4101)은 수직 주사 개시 신호(vstr)의 Low를 기억한다. 동시에, 유지 유닛(4111)은 입력 신호(tin(1))(= 제어 신호(ipsel(0)))의 High를 기억한다. 이 동작에 의해, 출력 신호(dout(0))가 Low로 천이하고, 출력 신호(dout(1))가 High로 천이하며, Low 및 High가 시각 T02a까지 유지된다. 동일한 기간 동안에, 다른 행의 출력 신호(dout(k))는 Low로 유지된다.

[0048] 시각 T01a로부터 시각 T02a까지, 화소 구동 펄스는, 선택된 행이 상이한 것을 제외하고는, 시각 T00a로부터 시각 T01a까지의 동작과 마찬가지의 동작을 행한다. 이후, 마찬가지로, 선택된 행을 바꾸면서, 제어 신호(ipsel(k-1))를 사용해서 유지 유닛((41k1))을 재기입한다.

[0049] 최종적으로는, 제(n-1) 행의 행 구동 유닛(41(n-1))에 의해 생성된 제어 신호(ipsel(n-1))가, 제n 행의 행 구동 유닛(41n)의 유지 유닛(41n1)에 입력된다. 따라서, 시각 T0na로부터 시각 T0(n+1)a까지, 제어 신호(ipsel(n))의 파형이 출력 단자(test_out)에서 관측될 수 있다. 여기서, 출력 단자(test_out)에 출력된 신호의 파형이 예상한 파형에 일치하지 않는 경우에는, 행 중 어느 것에서 고장이 발생했다고 판정할 수 있다.

[0050] 이상과 같이 하여, 유지 유닛(41k1)과 신호 생성 유닛(41k2)의 제어 신호(ipsel(k))를 생성하는 논리 회로를 검사할 수 있다. 마찬가지로, 제어 신호(ipres_b(k))를 생성하는 논리 회로를 검사하는 경우에는, 펄스(pres_b)만을 동작시키고, 펄스(psel) 및 펄스(ptx)를 Low에 고정한다. 마찬가지로, 제어 신호(iptx(k))를 생성하는 논리 회로를 검사할 경우에는, 펄스(ptx)만을 동작시키고, 펄스(psel) 및 펄스(pres_b)를 Low에 고정한다. 이상과 같이 하여, 전체 행의 유지 유닛(41k1)과 신호 생성 유닛(41k2)을 검사할 수 있다.

[0051] 이와 같이, 본 예시적인 실시예에 따르면, 주사 회로의 테스트 커버리지율을 향상시킬 수 있다.

[0052] 본 발명에 따른 이미징 장치의 제2 예시적인 실시예에 대해서, 제1 예시적인 실시예와의 차이점을 중심으로 설명한다. 본 예시적인 실시예의 이미징 장치는 촬상 장치이다. 본 예시적인 실시예에서, 수직 주사 유닛(103)은 어드레스 디코더에 의해 제어를 행한다. 전체 블록도, 열 구성, 및 화소 회로는 제1 예시적인 실시예의 것과 마찬가지이다. 즉, 도 1 및 도 2a 및 도 2b의 개시, 및 그 설명은 모두 제2 예시적인 실시예에 적용된다.

[0053] [주사 회로]

[0054] 도 6은 본 예시적인 실시예에 따른 수직 주사 유닛(103)의 구성예를 도시하는 블록도이다. 수직 주사 유닛(103)은 어드레스 디코더 유닛(701)과 행 구동 유닛(710 내지 71n)을 구비한다. 어드레스 디코더 유닛(701)은 제어 유닛(102)에 의해 생성된 어드레스 신호(vaddr)를 주사 신호(addr_bit(0) 내지 (n))에 디코드한다. 본 예시적인 실시예의 수직 주사 유닛(103)은, 주사 신호(addr_bit(0) 내지 (n))에 기초하여 복수의 화소를 행 단위로 구동한다. 즉, 주사 유닛(103)은 행별 단위로 주사 신호에 기초하여 복수의 화소를 구동하도록 구성된다.

[0055] 제1 행의 행 구동 유닛(711)의 구성을 예로서 설명한다. 다른 행의 행 구동 유닛에 대해서도 마찬가지이다. 행 구동 유닛(711)은, 유지 유닛(7111), 신호 생성 유닛(7112), 주사 신호 선택 유닛(7113), 및 레벨 시프트 유닛(7114)을 구비한다. 행 구동 유닛(711)은 대응하는 1 행의 화소에 접속된 복수의 제어선에 제어 신호를 공급한다.

[0056] 유지 유닛(7111)은 D 래치 회로를 포함한다. 유지 유닛(7111)은, 제어 유닛(102)에 의해 생성된 래치 신호(lat_d2)가 High 레벨이 되는 타이밍에서 출력 신호(mux(1))의 레벨을 기억한다. 짝수 행의 유지 유닛(7101, 7121, 7141, ...)은 래치 신호(lat_d1)를 받는다. 홀수 행의 유지 유닛(7111, 7131, 7151, ...)은 래치 신호(lat_d2)를 받는다.

[0057] 신호 생성 유닛(7112)은, 유지 유닛(7111)의 출력 신호(dout(1))와 제어 유닛(102)에 의해 생성되는 펄스(psel) 사이의 논리 연산을 행하여, 제어 신호(ipsel(1))을 생성한다. 또한, 신호 생성 유닛(7112)은, 출력 신호(dout(1))와 펄스(pres_b) 사이의 논리 연산을 행하여, 제어 신호(ipres_b(1))를 생성한다. 또한, 마찬가지로 하여, 신호 생성 유닛(7112)은 출력 신호(dout(1))와 펄스(ptx)의 논리 연산을 행하여, 제어 신호(iptx(1))를 생성한다.

[0058] 레벨 시프트 유닛(7114)의 구성은 제1 예시적인 실시예의 것과 마찬가지이다. 레벨 시프트 유닛(7114)은 입력된 신호의 레벨을 시프트하는 버퍼 회로이다. 레벨 시프트 유닛(7114)은 필요에 따라 입력 신호를 반전시킨다. 제어 신호(ipsel(1))는, 레벨 시프트 유닛(7114)에 의해, 행 선택 신호 PSEL(1)로서, 화소에 접속된 제어선에 출력된다. 마찬가지로, 제어 신호(ipres_b(1)) 및 제어 신호(iptx(1))는, 각각, 화소 유닛 리셋 신호(PRES(1)) 및 화소 전송 신호(PTX(1))로서, 화소에 접속된 제어선에 출력된다.

[0059] 제1 행의 행 구동 유닛(711)에는, 주사 신호(addr_bit(1))가 입력된다. 편의적으로, 제1 행의 행 구동 유닛(711)에 입력된 주사 신호(addr_bit(1))를 입력 신호(din(1))라 칭한다. 다른 행에 대해서도 마찬가지이다. 또한, 제1 행의 행 구동 유닛(711)에는, 제0 행의 신호 생성 유닛(7102)에 의해 생성된 제어 신호(ipsel(0)), 제어 신호(ipres_b(0)), 및 제어 신호(iptx(0))가 입력된다. 이들 제어 신호의 논리합(OR)을 연산함으로써 입력 신호(tin(1))가 생성된다.

[0060] 주사 신호 선택 유닛(7113)은, 입력 신호(din(1)) 및 입력 신호(tin(1)) 중 하나를 선택하고, 선택된 것을 출력 신호(mux(1))로서 후단의 유지 유닛(7111)에 출력한다. 제어 유닛(102)에 의해 생성되는 신호(test_en)가 Low 레벨에 있는 경우에는, 입력 신호(din(1))가 출력 신호(mux(1))로서 출력된다. 이 경우, 행 구동 유닛(711)은, 어드레스 디코더 유닛(701)으로부터 공급되는 주사 신호(addr_bit(1))에 기초하여 동작한다.

[0061] 또한, 신호(test_en)가 High 레벨에 있는 경우에는, 입력 신호(tin(1))가 출력 신호(mux(1))로서 출력된다. 여기서, 입력 신호(tin(1))는, 제0 행의 신호 생성 유닛(7102)에 의해 생성된 제어 신호에 기초하고 있다. 즉, 입력 신호(tin(1))는, 선단의 제0 행의 행 구동 유닛(710)이 정상적으로 동작하고 있는지를 나타내는 검사 신호이다.

[0062] 도 6에 도시된 주사 신호 선택 유닛(7113)은 일례이며, 주사 신호 선택 유닛(7113)의 회로 구성은 변경될 수 있다. 예를 들어, 제어 신호의 논리합(OR)을 연산하는 대신, 배타적 논리합(EXOR) 등의 논리 연산을 사용해도 된다. 혹은, 논리 연산을 행하는 대신, 멀티플렉서를 사용해도 된다. 또한, 본 예시적인 실시예의 유지 유닛은 D 래치 회로를 사용하고 있지만, 본 발명은 D 래치 회로의 사용으로 한정되는 것은 아니고, 다른 기억 소자를 사용해도 된다. 예를 들어, D 래치 회로 대신에 플립-플롭 회로를 사용해도 된다.

[0063] [구동 방법(2-1):광전 변환 소자의 판독 동작]

[0064] 이하에, 본 예시적인 실시예에 따른 촬상 장치의 구동 방법에 대해서 설명한다. 먼저, 광전 변환 소자(301)에서 발생한 전하에 기초하는 신호를 판독하기 위한 구동에 대해서 설명한다. 도 7은, 도 6에서 나타낸 수직 주사 유닛(103) 및 화소 유닛(104)의 동작의 일례를 나타내는 타이밍 차트이다.

[0065] 먼저, 전체 기간 동안에 신호(test_en)는 Low이다. 따라서, 각 행의 주사 신호 선택 유닛(71k3)의 제어에 의해, 입력 신호(din(k))(= 주사 신호(addr_bit(k)))가 선택되고, 출력 신호(mux(k))로서 출력된다(k는 다음 식을 만족시키는 임의의 정수이다:0≤k≤n).

[0066] 시각 T00에서, 광전 변환 소자(301)의 판독 동작을 개시한다. CPU(101)는, 제어 유닛(102)에 대하여, 수직 동기 신호(VD)와 수평 동기 신호(HD)를 입력한다. 또한, 어드레스 신호(vaddr=0)를 입력함으로써, 주사 신호(addr_bit(0))는 High 레벨로 천이하고, 다른 주사 신호(addr_bit(k))는 Low 레벨로 천이한다.

[0067] 다음에, 시각 T00a에서, 래치 신호(lat_d1) 및 래치 신호(lat_d2)가 High로 천이하고, 유지 유닛(7101)은 주사 신호(addr_bit(0))의 High 레벨을 기억한다. 이 동작에 의해, 출력 신호(dout(0))가 High로 천이하고, 시각 T01a까지 유지된다. 또한, 동일한 기간 동안, 다른 행의 주사 신호(addr_bit(k))는 Low 레벨에 있으므로, 출력 신호(dout(k))는 Low를 유지한다. 따라서, 출력 신호(dout(0))를 받는 신호 생성 유닛(7102)만이 신호를 생성할 수 있다.

[0068] 유사한 시간 영역, 즉 시각 T00a로부터 시각 T01a까지의 화소 구동 펄스에 대해서 설명한다. 복수의 제어 신호(ipsel(k)) 중 제0 행의 제어 신호(ipsel(0))만이 펄스(psel)의 파형에 따라서 천이한다. 따라서, 화소 P(0, 0) 내지 (m, 0)에서, 열 선택 유닛(305)이 도통되고, 화소 P(0, 0) 내지 (m, 0)이 수직 출력선(202)에 접속한

다. 또한, 다른 행의 화소는 수직 출력선(202)에 접속되지 않는다.

[0069] 마찬가지로, 복수의 제어 신호(ipres_b(k)) 중 제어 신호(ipres_b(0))만이 펄스(pres_b)의 파형에 따라서 천이한다. 화소 유닛 리셋 신호(PRES(k))는 제어 신호(ipres_b(k))의 반전 파형을 갖는다. 그로 인해, 화소 P(0, 0) 내지 (m, 0)에서는, 제어 신호(ipres_b(0))가 High인 동안에, FD의 리셋이 해제된다. 즉, FD가 플로팅 상태에 있다. 또한, 다른 행의 화소에서는, FD는 리셋 상태로 유지된다.

[0070] 마찬가지로, 복수의 제어 신호(iptx(k)) 중 제어 신호(iptx(0))만이 펄스(ptx)의 파형에 따라서 천이한다. 따라서, 화소 P(0, 0) 내지 (m, 0)의 광전 변환 소자(301)의 전하에 기초하는 신호를, 수직 출력선(202)을 통해 판독할 수 있다.

[0071] 다음에, 시각 T01에서, 어드레스 신호(vaddr=1)를 입력함으로써, 주사 신호(addr_bit(1))는 High 레벨로 천이하고, 다른 주사 신호(addr_bit(k))는 Low 레벨로 천이한다.

[0072] 다음에, 시각 T01a에서, 래치 신호(lat_d1) 및 래치 신호(lat_d2)가 High로 천이하고, 유지 유닛(7101)은 주사 신호(addr_bit(0))의 Low를 기억한다. 동시에, 유지 유닛(7111)은 주사 신호(addr_bit(1))의 High를 기억한다. 이 동작에 의해, 출력 신호(dout(0))가 Low로 천이하고, 출력 신호(dout(1))가 High로 천이하며, Low 및 High가 시각 T02a까지 유지된다. 동일한 기간 동안에, 다른 행의 출력 신호(dout(k))는 Low로 유지된다.

[0073] 시각 T01a로부터 시각 T02a까지, 화소 구동 펄스는, 선택된 행이 상이한 것을 제외하고는, 시각 T00a로부터 시각 T01a까지의 동작과 마찬가지의 동작을 행한다. 결과적으로, 화소 P(0, 1) 내지 (m, 1)의 광전 변환 소자(301)의 전하에 기초하는 신호가 판독된다.

[0074] 그후, 마찬가지 방식으로, 선택된 행을 바꾸면서, 광전 변환 소자(301)의 전하에 기초하는 신호를 판독해 간다. 최종적으로는, 화소 P(0, n) 내지 (m, n)의 광전 변환 소자(301)의 전하에 기초하는 신호가 판독된다. 이와 같이, 수직 주사 유닛(103)은, 어드레스 신호(vaddr) 및 주사 신호(addr_bit(0) 내지 (n))에 기초하여, 복수의 화소를 행 단위로 구동하고 있다. 즉, 주사 유닛(103)은 행별 단위로 주사 신호에 기초하여 복수의 화소를 구동하도록 구성된다.

[0075] [구동 방법(2-2): 수직 주사 유닛의 테스트 동작]

[0076] 이어서, 수직 주사 유닛(103)의 테스트 동작에 대해서 설명한다. 도 8은, 도 6에서 나타낸 수직 주사 유닛(103) 및 화소 유닛(104)의 동작의 일례를 나타내는 타이밍 차트이다. 도 8의 타이밍 차트에서 나타내는 예에서는, 유지 유닛(71k1) 및 신호 생성 유닛(71k2)을 검사할 수 있다. 특히, 본 예시적인 실시예에서는, 1개의 신호 생성 유닛(71k2)이 복수의 제어 신호를 생성한다. 복수의 제어 신호가 정확하게 생성되는 것을 확인하기 위해 검사가 행해질 수 있다.

[0077] 먼저, 전체 기간 동안에 신호(test_en)는 High이다. 따라서, 각 행의 주사 신호 선택 유닛(71k3)의 제어에 의해, 입력 신호(tin(k))이 선택되고, 출력 신호(mux(k))로서 출력된다. 더 구체적으로는, 제어 신호(ipsel(k-1)), 제어 신호(ipres_b(k-1)), 및 제어 신호(iptx(k-1))의 논리합(OR)이 출력 신호(mux(k))이다(여기서, k는 다음 식을 만족시키는 임의의 정수이다:0≤k≤n). 단, 제0 행의 출력 신호(mux(0))로서는, 수직 주사 개시 신호(vstr)가 선택되고 있다. 한편, 어떠한 주사 신호(addr_bit(k))도 유지 유닛(71k1)에는 입력되지 않는다.

[0078] 시각 T00에서, 테스트 동작을 개시한다. CPU(101)는, 제어 유닛(102)에 대하여, 수직 동기 신호(VD)와 수평 동기 신호(HD)를 입력한다. 동시에, 수직 주사 개시 신호(vstr)를 입력한다.

[0079] 다음에, 시각 T00a에서, 래치 신호(lat_d1)가 펄스 방식으로 High로 천이하고, 유지 유닛(7101)은 입력 신호(tin(0))(= 수직 주사 개시 신호(vstr))의 High를 기억한다. 이 동작에 의해, 출력 신호(dout(0))가 High로 천이하고, 래치 신호(lat_d1)가 High가 되는 다음 타이밍(T02a)까지 유지된다. 따라서, 시각 T00a로부터 시각 T02a까지의 기간 동안에, 출력 신호(dout(0))를 받는 신호 생성 유닛(7102)은 신호를 생성할 수 있다.

[0080] 유사한 시간 영역, 즉 시각 T00a로부터 시각 T02a까지의 화소 구동 펄스에 대해서 설명한다. 이 시간 영역 동안에, 제어 신호(ipsel(0))는 펄스(psel)의 파형에 따라서 천이한다. 또한, 이 예에서는, 제어 신호(ipsel(k))를 생성하는 논리 회로를 검사하므로, 제어 신호(ipsel(k))만을 전달시키면 된다. 따라서, 펄스(pres_b)와 펄스(ptx)를 상시 Low에 고정하고, 제어 신호(ipres_b(k))와 제어 신호(iptx(k))를 상시 Low에 고정한다.

[0081] 다음에, 시각 T01a에서, 래치 신호(lat_d2)가 펄스 방식으로 High로 천이하고, 유지 유닛(7111)은 입력 신호

(tin(1))(= 제어 신호(ipsel(0)))의 High를 기억한다. 이 동작에 의해, 출력 신호(dout(1))가 High로 천이하고, 래치 신호(lat_d2)가 High가 되는 다음 타이밍(T03a)까지 유지된다.

[0082] 시각 T01a로부터 시각 T03a까지, 화소 구동 펄스는, 선택된 행이 상이한 것 이외에는, 시각 T00a로부터 시각 T02a까지의 동안의 동작과 마찬가지의 동작을 행한다.

[0083] 다음에, 시각 T02a에서, 래치 신호(lat_d1)가 High로 천이하고, 유지 유닛(7101)은 입력 신호(tin(0))(= 수직 주사 개시 신호(vstr))의 Low를 기억한다. 동시에, 유지 유닛(7111)은 입력 신호(tin(2))(= 제어 신호(ipsel(1)))의 High를 기억한다. 이 동작에 의해, 출력 신호(dout(2))가 High로 천이하고, 래치 신호(lat_d1)가 High가 되는 다음 타이밍(T04a)까지 유지된다.

[0084] 시각 T02a로부터 시각 T04a까지, 화소 구동 펄스는, 선택된 행이 상이한 것 이외에는, 시각 T00a로부터 시각 T02a까지의 동안의 동작과 마찬가지의 동작을 행한다. 이후, 마찬가지 방식으로, 유지 유닛(71k1)은 선택된 행을 바꾸면서 제어 신호(ipsel(k-1))를 사용하여 재기입된다.

[0085] 최종적으로는, 제(n-1) 행의 행 구동 유닛(71(n-1))에 의해 생성된 제어 신호(ipsel(n-1))가 제n 행의 행 구동 유닛(71n)의 유지 유닛(71n1)에 입력된다. 또한, 시각 T0na로부터 시각 T0(n+2)a에서, 제어 신호(ipsel(n))의 파형이 출력 단자(test_out)에서 관측될 수 있다. 여기서, 출력 단자(test_out)에 출력된 신호의 파형이 예상한 파형에 일치하지 않는 경우에는, 행 중 어느 것에서 고장이 발생했다고 판정할 수 있다.

[0086] 이상과 같이 하여, 유지 유닛(71k1)과, 신호 생성 유닛(71k2)의 제어 신호(ipsel(k))를 생성하는 논리 회로를 검사할 수 있다. 마찬가지로, 제어 신호(ipres_b(k))를 생성하는 논리 회로를 검사하는 경우에는, 펄스(pres_b)만을 동작시키고, 펄스(psel) 및 펄스(ptx)를 Low에 고정한다. 마찬가지로, 제어 신호(iptx(k))를 생성하는 논리 회로를 검사할 경우에는, 펄스(ptx)만을 동작시키고, 펄스(psel) 및 펄스(pres_b)를 Low에 고정한다. 이상과 같이 하여, 전체 행의 유지 유닛(71k1)과 신호 생성 유닛(71k2)을 검사할 수 있다.

[0087] 이와 같이, 본 예시적인 실시예에 따르면, 주사 회로의 테스트 커버리지율을 향상시킬 수 있다.

[0088] 본 발명에 따른 이미징 장치의 제3 예시적인 실시예를 제1 및 제2 예시적인 실시예와의 차이점에 집중하여 설명한다. 본 예시적인 실시예의 이미징 장치는 촬상 장치이다. 본 예시적인 실시예에서, 수직 주사 유닛(103)은 어드레스 디코더에 의해 제어를 행한다. 또한, 수직 주사 유닛(103)의 각각의 유지 유닛은 SR 래치 회로 및 D 래치 회로를 포함한다. 전체 블록도, 열 구성, 및 화소 회로는 제1 예시적인 실시예의 것과 마찬가지이다. 즉, 도 1 및 도 2a 및 도 2b의 개시 및 그에 대한 설명은 모두 제3 예시적인 실시예 적용된다. 즉, 주사 수단(103)은 행별 단위로 주사 신호에 기초하여 복수의 화소를 구동하도록 구성된다.

[0089] [주사 회로]

[0090] 도 9는, 본 예시적인 실시예에 따른 수직 주사 유닛(103)의 구성예를 도시하는 블록도이다. 수직 주사 유닛(103)은, 어드레스 디코더 유닛(1001)과 행 구동 유닛(1010 내지 101n)을 구비한다. 어드레스 디코더 유닛(1001)은 제어 유닛(102)에 의해 생성된 어드레스 신호(vaddr)를 주사 신호(addr_bit(0) 내지(n))에 디코드한다. 본 예시적인 실시예의 수직 주사 유닛(103)은, 주사 신호(addr_bit(0) 내지 (n))에 기초하여 복수의 화소를 행 단위로 구동한다.

[0091] 제1 행의 행 구동 유닛(1011)의 구성을 예로서 설명한다. 다른 행의 행 구동 유닛에 대해서도 마찬가지이다. 행 구동 유닛(1011)은, 유지 유닛(10111)과, 신호 생성 유닛(10112)과, 주사 신호 선택 유닛(10113)과, 레벨 시프트 유닛(10114)을 구비한다. 행 구동 유닛(1011)은 대응하는 1 행의 화소에 접속된 복수의 제어선에 제어 신호를 공급한다.

[0092] 유지 유닛(10111)은, 출력 신호(mux(1))와 래치 신호(lat_s)의 논리곱(AND)을 연산하는 AND 게이트와, 제1 유지 유닛인 SR 래치 회로(10111a)와, 제2 유지 유닛인 D 래치 회로(10111b)를 구비한다. 제어 유닛(102)에 의해 생성되는 래치 신호(lat_res)가 High일 때에, SR 래치 회로(10111a)는 리셋되고, SR 래치 회로(10111a)의 Q 단자로부터 출력되는 출력 신호(srq(1))는 Low로 천이한다. 제어 유닛(102)에 의해 생성되는 래치 신호(lat_s)가 High이며, 출력 신호(mux(1))의 레벨이 High일 때에, SR 래치 회로(10111a)는 세트되고, 출력 신호(srq(1))가 High로 천이한다. 제어 유닛(102)에 의해 생성되는 래치 신호(lat_d)가 High일 때에, D 래치 회로(10111b)는 SR 래치 회로(10111a)의 출력 레벨(출력 신호(srq(1))의 레벨)을 기억한다.

[0093] 신호 생성 유닛(10112)은, 유지 유닛(10111)의 출력 신호(dout(1))와 제어 유닛(102)에 의해 생성되는 펄스(psel) 사이의 논리 연산을 행하여, 제어 신호(ipsel(1))를 생성한다. 또한, 신호 생성 유닛(10112)은, 출력

신호(dout(1))와 펄스(pres_b) 사이의 논리 연산을 행하여, 제어 신호(ipres_b(1))를 생성한다. 또한, 마찬가지로 하여, 신호 생성 유닛(10112)은, 출력 신호(dout(1))와 펄스(ptx) 사이의 논리 연산을 행하여, 제어 신호(iptx(1))를 생성한다.

[0094] 레벨 시프트 유닛(10114)의 구성은 제1 및 제2 예시적인 실시예의 것과 동일하다. 레벨 시프트 유닛(10114)은 입력된 신호의 레벨을 시프트하는 버퍼 회로이다. 레벨 시프트 유닛(10114)은 필요에 따라 입력 신호를 반전시킨다. 제어 신호(ipsel(1))는, 레벨 시프트 유닛(10114)에 의해, 행 선택 신호(PSEL(1))로서, 화소에 접속된 제어선에 출력된다. 마찬가지로, 제어 신호(ipres_b(1)) 및 제어 신호(iptx(1))는, 각각, 화소 유닛 리셋 신호(PRES(1)) 및 화소 전송 신호(PTX(1))로서, 화소에 접속된 제어선에 출력된다.

[0095] 제1 행의 행 구동 유닛(1011)에는 주사 신호(addr_bit(1))가 입력된다. 편의상, 제1 행의 행 구동 유닛(1011)에 입력된 주사 신호(addr_bit(1))를 입력 신호(din(1))라 칭한다. 다른 행에 대해서도 마찬가지이다. 또한, 제1 행의 행 구동 유닛(1011)에는, 제0 행의 신호 생성 유닛(10102)에 의해 생성된 제어 신호(ipsel(0)), 제어 신호(ipres_b(0)), 및 제어 신호(iptx(0))가 입력된다. 이들 제어 신호의 논리합(OR)을 연산함으로써 입력 신호(tin(1))가 생성된다.

[0096] 주사 신호 선택 유닛(10113)은, 입력 신호(din(1)) 및 입력 신호(tin(1)) 중 하나를 선택하고, 선택된 것을 출력 신호(mux(1))로서 후단의 유지 유닛(10111)에 출력한다. 제어 유닛(102)에 의해 생성되는 신호(test_en)가 Low 레벨에 있는 경우에는, 입력 신호(din(1))가 출력 신호(mux(1))로서 출력된다. 이 경우, 행 구동 유닛(1011)은, 어드레스 디코더 유닛(1001)으로부터 공급되는 주사 신호(addr_bit(1))에 기초하여 동작한다.

[0097] 또한, 신호(test_en)가 High 레벨에 있는 경우에는, 입력 신호(tin(1))가 출력 신호(mux(1))로서 출력된다. 여기서, 입력 신호(tin(1))는, 제0 행의 신호 생성 유닛(10102)에 의해 생성된 제어 신호에 기초하고 있다. 즉, 입력 신호(tin(1))는, 전단의 제0 행의 행 구동 유닛(1010)이 정상적으로 동작하고 있는지를 나타내는 검사 신호이다.

[0098] 도 9에 나타난 주사 신호 선택 유닛(10113)은 일례이며, 주사 신호 선택 유닛(10113)의 회로 구성은 변경될 수 있다. 예를 들어, 제어 신호의 논리합(OR)을 연산하는 대신, 배타적 논리합(EXOR) 등의 논리 연산을 사용해도 된다. 혹은, 논리 연산을 행하는 대신, 멀티플렉서를 사용해도 된다. 또한, 유지 유닛(10111)의 일례로서, SR 래치 회로와 D 래치 회로의 조합을 나타냈다. 그러나, 유지 유닛(10111)의 구성은 변경될 수 있다. 예를 들어, SR 래치 회로 및 D 래치 회로 중 하나 또는 그 양자 모두를 플립-플롭 회로로 치환해도 된다.

[0099] [구동 방법(3-1):광전 변환 소자의 판독 동작]

[0100] 이하에, 본 예시적인 실시예에 따른 촬상 장치의 구동 방법에 대해서 설명한다. 먼저, 광전 변환 소자(301)에서 발생한 전하에 기초하는 신호를 판독하기 위한 구동에 대해서 설명한다. 도 10은, 도 9에서 나타낸 수직 주사 유닛(103) 및 화소 유닛(104)의 동작의 일례를 나타내는 타이밍 차트이다.

[0101] 먼저, 전체 기간 동안에 신호(test_en)는 Low이다. 따라서, 각 행의 주사 신호 선택 유닛(101k3)의 제어에 의해, 입력 신호(din(k))(= 주사 신호(addr_bit(k)))가 선택되고, 출력 신호(mux(k))로서 출력된다(k는 다음 식을 만족시키는 임의의 정수이다:0≤k≤n).

[0102] 시각 T00에서, 광전 변환 소자(301)의 판독 동작을 개시한다. CPU(101)는, 제어 유닛(102)에 대하여, 수직 동기 신호(VD)와 수평 동기 신호(HD)를 입력한다. 또한, 어드레스 신호(vaddr=0)를 입력함으로써, 주사 신호(addr_bit(0))는 High 레벨로 천이하고, 다른 주사 신호(addr_bit(k))는 Low 레벨로 천이한다.

[0103] 다음에, 시각 T00a에서, 래치 신호(lat_res)가 일시적으로 High로 천이한다. 따라서, 전체 행의 SR 래치 회로(101k1a)는 리셋되고, SR 래치 회로(101k1a)의 출력 신호(srq(k))는 Low로 천이한다.

[0104] 다음에, 시각 T00b에서, 래치 신호(lat_s)가 일시적으로 High로 천이한다. 이때, 주사 신호(addr_bit(0))만이 High이므로, 제0 행의 SR 래치 회로(10101a) 만이 세트되고, 제0 행의 SR 래치 회로(10101a)의 출력 신호(srq(0))는 High로 천이한다. 다른 행의 SR 래치 회로(101k1a)는 세트되지 않으므로, SR 래치 회로(101k1a)의 출력 신호(srq(k))는 Low로 유지된다.

[0105] 다음에, 시각 T00c에서, 래치 신호(lat_d)가 일시적으로 High로 천이한다. 이때, D 래치 회로(10101b)는 출력 신호(srq(0))의 High 레벨을 기억한다. 이 동작에 의해, 출력 신호(dout(0))가 High로 천이하고, 시각 T01c까지 유지된다. 또한, 동일한 기간 중에, 다른 행의 SR 래치 회로(101k1a)의 출력 신호(srq(k))는 Low 레벨이므로, 제0 행 이외의 행의 출력 신호(dout(k))는 Low를 유지한다. 따라서, 출력 신호(dout(0))를 받는 신호 생성

유닛(10102)만이 신호를 생성할 수 있다.

[0106] 같은 시간 영역, 즉 시각 T00c로부터 시각 T01c에서의 화소 구동 펄스에 대해서 설명한다. 복수의 제어 신호(ipsel(k)) 중 제0 행의 제어 신호(ipsel(0))만이 펄스(psel)의 파형에 따라서 천이한다. 따라서, 화소 P(0, 0) 내지 (m, 0)에서, 열 선택 유닛(305)이 도통되고, 화소 P(0, 0) 내지 (m, 0)이 수직 출력선(202)에 접속한다. 또한, 다른 행의 화소는 수직 출력선(202)에 접속되지 않는다.

[0107] 마찬가지로, 복수의 제어 신호(ipres_b(k)) 중 제어 신호(ipres_b(0))만이 펄스(pres_b)의 파형에 따라서 천이한다. 화소 유닛 리셋 신호(PRES(k))는 제어 신호(ipres_b(k))의 반전 파형을 갖는다. 그로 인해, 화소 P(0, 0) 내지 (m, 0)에서는, 제어 신호(ipres_b(0))가 High인 동안에, FD의 리셋이 해제된다. 즉, FD가 플로팅 상태에 있다. 또한, 다른 행의 화소에서는, FD는 리셋 상태로 유지된다.

[0108] 마찬가지로, 복수의 제어 신호(iptx(k)) 중 제어 신호(iptx(0))만이 펄스(ptx)의 파형에 따라서 천이한다. 따라서, 화소 P(0, 0) 내지 (m, 0)의 광전 변환 소자(301)의 전하에 기초하는 신호를, 수직 출력선(202)을 통해 판독할 수 있다.

[0109] 다음에, 시각 T01에서, 어드레스 신호(vaddr=1)를 입력함으로써, 주사 신호(addr_bit(1))는 High 레벨로 천이하고, 다른 주사 신호(addr_bit(k))는 Low 레벨로 천이한다.

[0110] 다음에, 시각 T01a에서, 래치 신호(lat_res)가 일시적으로 High로 천이한다. 따라서, 전체 행의 SR 래치 회로(101k1a)는 리셋되고, SR 래치 회로(101k1a)의 출력 신호(srq(k))는 Low로 천이한다.

[0111] 다음에, 시각 T01b에서, 래치 신호(lat_s)가 일시적으로 High로 천이한다. 이때, 주사 신호(addr_bit(1))만이 High이므로, SR 래치 회로(10111a)만이 세트되고, SR 래치 회로(10111a)의 출력 신호(srq(1))는 High로 천이한다. 다른 행의 SR 래치 회로(101k1a)는 세트되지 않으므로, SR 래치 회로(101k1a)의 출력 신호(srq(k))는 Low로 유지된다.

[0112] 다음에, 시각 T01c에서, 래치 신호(lat_d)가 일시적으로 High로 천이한다. 이때, D 래치 회로(10111b)는 출력 신호(srq(1))의 High 레벨을 기억한다. 이 동작에 의해, 출력 신호(dout(1))가 High로 천이하고, 시각 T02c까지 유지된다. 또한, 동일한 기간 중에, 다른 행의 SR 래치 회로(101k1a)의 출력 신호(srq(k))는 Low 레벨이므로, 제1 행 이외의 행의 출력 신호(dout(k))는 Low로 유지된다. 따라서, 출력 신호(dout(1))를 받는 신호 생성 유닛(10112)만이 신호를 생성할 수 있다.

[0113] 시각 T01c로부터 시각 T02에서, 화소 구동 펄스는, 선택된 행이 상이한 것 이외에는, 시각 T00c로부터 시각 T01까지의 동안의 동작과 마찬가지의 동작을 행한다. 결과적으로, 화소 P(0, 1) 내지 (m, 1)의 광전 변환 소자(301)의 전하에 기초하는 신호가 판독된다.

[0114] 이후, 마찬가지로, 선택된 행을 바꾸면서, 광전 변환 소자(301)를 판독해 간다. 최종적으로는, 화소 P(0, n) 내지(m, n)의 광전 변환 소자(301)를 판독한다.

[0115] [구동 방법(3-2): 수직 주사 유닛의 테스트 동작]

[0116] 이어서, 수직 주사 유닛(103)의 테스트 동작에 대해서 설명한다. 도 11은, 도 9에서 나타낸 수직 주사 유닛(103) 및 화소 유닛(104)의 동작의 일례를 나타내는 타이밍 차트이다. 도 11의 타이밍 차트에서 나타내는 예에서는, 유지 유닛(101k1)과 신호 생성 유닛(101k2)을 검사할 수 있다. 특히, 본 예시적인 실시예에서는, 1개의 신호 생성 유닛(101k2)이 복수의 제어 신호를 생성한다. 복수의 제어 신호가 정확하게 생성되는 것을 확인하기 위해 검사가 행해질 수 있다.

[0117] 먼저, 전체 기간 동안에 신호(test_en)는 High이다. 따라서, 각 행의 주사 신호 선택 유닛(101k3)의 제어에 의해, 입력 신호(tin(k))가 선택되고, 출력 신호(mux(k))로서 출력된다. 더 구체적으로는, 제어 신호(ipsel(k-1)), 제어 신호(ipres_b(k-1)), 및 제어 신호(iptx(k-1))의 논리합(OR)이 출력 신호(mux(k))이다(여기서, k는 다음 식을 만족시키는 임의의 정수이다:0≤k≤n). 단, 제0 행의 출력 신호(mux(0))로서 수직 주사 개시 신호(vstr)가 선택된다. 한편, 어느 쪽의 주사 신호(addr_bit(k))도 유지 유닛(101k1)에는 입력되지 않는다.

[0118] 시각 T00에서, 테스트 동작을 개시한다. CPU(101)는, 제어 유닛(102)에 대하여, 수직 동기 신호(VD)와 수평 동기 신호(HD)를 입력한다. 동시에, 수직 주사 개시 신호(vstr)를 입력한다.

[0119] 다음에, 시각 T00a에서, 래치 신호(lat_res)가 펄스 방식으로 High로 천이한다. 따라서, 전체 행의 SR 래치 회로(101k1a)는 리셋되고, SR 래치 회로(101k1a)의 출력 신호(srq(k))는 Low로 천이한다.

[0120] 다음에, 시각 T00b에서, 래치 신호(lat_s)가 펄스 방식으로 High로 천이한다. 이때, 제0 행의 입력 신호 tin(0)만이 High이므로, 제0 행의 SR 래치 회로(10101a)만이 세트되고, SR 래치 회로(10101a)의 출력 신호 srq(0)는 High로 천이한다. 다른 행의 SR 래치 회로(101k1a)는 세트되지 않으므로, SR 래치 회로(101k1a)의 출력 신호(srq(k))는 Low로 유지된다.

[0121] 다음에, 시각 T00c에서, 래치 신호(lat_d)는 펄스 방식으로 High로 천이한다. 이때, D 래치 회로(10101b)는 출력 신호(srq(0))의 High 레벨을 기억한다. 이 동작에 의해, 출력 신호(dout(0))는 High로 천이하고, 시각 T01c까지 유지된다. 또한, 동일한 기간 중에, 다른 행의 SR 래치 회로(101k1a)의 출력 신호(srq(k))는 Low 레벨이므로, 제0 행 이외의 행의 출력 신호(dout(k))는 Low를 유지한다. 따라서, 출력 신호(dout(0))를 받는 신호 생성 유닛(10102)만이 제어 신호를 생성할 수 있다.

[0122] 같은 시간 영역, 즉 시각 T00c로부터 시각 T01c에서의 화소 구동 펄스에 대해서 설명한다. 복수의 제어 신호(ipsel(k)) 중 제어 신호(ipsel(0))만이 펄스(psel)의 파형에 따라서 천이한다. 또한, 이 예에서는, 제어 신호(ipsel(k))를 생성하는 논리 회로를 검사하므로, 제어 신호(ipsel(k))만을 전달시키면 된다. 따라서, 펄스(pres_b)와 펄스(ptx)를 상시 Low에 고정하고, 제어 신호(ipres_b(k))와 제어 신호(iptx(k))를 상시 Low에 고정한다.

[0123] 다음에, 시각 T01a에서, 래치 신호(lat_res)가 펄스 방식으로 High로 천이한다. 따라서, 전체 행의 SR 래치 회로(101k1a)는 리셋되고, SR 래치 회로(101k1a)의 출력 신호(srq(k))는 Low로 천이한다.

[0124] 다음에, 시각 T01b에서, 래치 신호(lat_s)가 펄스 방식으로 High로 천이한다. 이때, 입력 신호(tin(1))(= 제어 신호(ipsel(0))만이 High이므로, SR 래치 회로(10111a)만이 세트되고, SR 래치 회로(10111a)의 출력 신호(srq(1))는 High로 천이한다. 다른 행의 SR 래치 회로(101k1a)는 세트되지 않으므로, SR 래치 회로(101k1a)의 출력 신호(srq(k))는 Low로 유지된다.

[0125] 다음에, 시각 T01c에서, 래치 신호(lat_d)가 펄스 방식으로 High로 천이한다. 이때, D 래치 회로(10111b)는 출력 신호(srq(1))의 High 레벨을 기억한다. 이 동작에 의해, 출력 신호(dout(1))가 High로 천이하고, 시각 T02c까지 유지된다. 또한, 동일한 기간 중에, 다른 행의 SR 래치 회로(101k1a)의 출력 신호(srq(k))는 Low 레벨이므로, 제1 행 이외의 행의 출력 신호(dout(k))는 Low로 유지된다. 따라서, 출력 신호(dout(1))를 받는 신호 생성 유닛(10112)만이 신호를 생성할 수 있다.

[0126] 시각 T01c로부터 시각 T02에서, 화소 구동 펄스는, 선택된 행이 상이한 것을 제외하고, 시각 T00c로부터 시각 T01까지의 동작과 마찬가지의 동작을 행한다. 이후, 마찬가지로, 선택된 행을 바꾸면서, 제어 신호(ipsel(k-1))를 사용해서 유지 유닛(101k1)을 재기입해 간다.

[0127] 최종적으로는, 제(n-1) 행의 행 구동 유닛(101)(n-1))에 의해 생성된 제어 신호(ipsel(n-1))가, 제n 행의 행 구동 유닛(101n)의 유지 유닛(101n1)에 입력된다. 또한, 시각 T0nc로부터 시각 T0(n+1)c에서, 제어 신호(ipsel(n))의 파형이 출력 단자(test_out)에서 관측될 수 있다. 여기서, 출력 단자(test_out)에 출력된 신호의 파형이 예상한 파형에 일치하지 않는 경우에는, 행 중 어느 것에서 고장이 발생했다고 판정할 수 있다.

[0128] 이상과 같이 하여, 유지 유닛(101k1)의 SR 래치 회로(101k1a) 및 D 래치 회로(101k1b), 및 신호 생성 유닛(101k2)의 제어 신호(ipsel(k))를 생성하는 논리 회로를 검사할 수 있다. 마찬가지로, 제어 신호(ipres_b(k))를 생성하는 논리 회로를 검사하는 경우에는, 펄스(pres_b)만을 동작시키고, 펄스(psel) 및 펄스(ptx)를 Low에 고정한다. 마찬가지로, 제어 신호(iptx(k))를 생성하는 논리 회로를 검사할 경우에는, 펄스(ptx)만을 동작시키고, 펄스(psel) 및 펄스(pres_b)를 Low에 고정한다. 이상과 같이 하여, 전체 행의 유지 유닛(101k1)과 신호 생성 유닛(101k2)을 검사할 수 있다.

[0129] 이와 같이, 본 예시적인 실시예에 따르면, 주사 회로의 테스트 커버리지율을 향상시킬 수 있다.

[0130] 본 발명에 따른 이미징 장치의 제4 예시적인 실시예에 대해서 제3 예시적인 실시예와의 차이점에 집중하여 설명한다. 본 예시적인 실시예의 이미징 장치는 촬상 장치이다. 제3 예시적인 실시예에서는, 수직 주사 유닛(103)에 포함되는 유지 유닛(101k1) 및 신호 생성 유닛(101k2)의 검사 방법에 대해서 설명했다. 거기에 첨가하여, 본 예시적인 실시예에서는, 어드레스 디코더 유닛(1001)과 주사 신호 선택 유닛(101k3)도 검사할 수 있다. 전체 블록도, 열 구성, 화소 회로, 및 수직 주사 유닛은 제3 예시적인 실시예의 것과 마찬가지이다. 즉, 도 1 및 도 2a 및 도 2b의 개시 및 그에 대한 설명은 모두 제4 예시적인 실시예에 적용된다. 또한, 본 예시적인 실시예의 수직 주사 유닛(103)은 도 9에 나타나고 있다. 도 9에 관한 설명은 모두 제4 예시적인 실시예에 적용된다.

[0131] [구동 방법(4-1):광전 변환 소자의 판독 동작]

[0132] 이하에, 본 예시적인 실시예에 따른 촬상 장치의 구동 방법에 대해서 설명한다. 광전 변환 소자(301)에서 발생한 전하에 기초하는 신호를 판독하는 동작은 제3 예시적인 실시예와 마찬가지이다. 더 구체적으로는, 도 10의 타이밍 차트에 기초하여, 광전 변환 소자(301)에서 발생한 전하에 기초하는 신호가 판독된다. 그로 인해, 상세한 설명은 생략한다.

[0133] [구동 방법(4-2): 수직 주사 유닛의 테스트 동작]

[0134] 이어서, 수직 주사 유닛(103)의 테스트 동작에 대해서 설명한다. 도 12는, 도 9에서 나타낸 수직 주사 유닛(103) 및 화소 유닛(104)의 동작의 일례를 나타내는 타이밍 차트이다. 도 12의 타이밍 차트에서 나타내는 예에서는, 유지 유닛(101k1)과 신호 생성 유닛(101k2)을 검사할 수 있다. 또한, 어드레스 디코더 유닛(1001)과 주사 신호 선택 유닛(101k3)을 검사할 수 있다.

[0135] 먼저, 시각 T00로부터 시각 T10에서, SR 래치 회로(101k1a)에의 세트 동작이 행하여진다. 이 기간 중에, 펄스(psel, pres_b, 및 ptx)의 어느 것도 동작시킬 필요는 없다. 즉, 이들 펄스는 Low에 유지된다.

[0136] 시각 T00로부터 시각 T10의 기간에서 신호(test_en)는 Low로 설정된다. 따라서, 각 행의 주사 신호 선택 유닛(101k3)의 제어에 의해, 입력 신호(din(k))(= 주사 신호(addr_bit(k)))가 선택되고, 출력 신호(mux(k))로서 출력된다(k는 다음 식을 만족시키는 임의의 정수이다 :$0 \leq k \leq n$).

[0137] 시각 T00에서, SR 래치 회로(101k1a)에의 세트 동작을 개시한다. CPU(101)는, 제어 유닛(102)에 대하여, 수직 동기 신호(VD)와 수평 동기 신호(HD)를 입력한다. 또한, 어드레스 신호(vaddr=0)를 입력함으로써, 주사 신호(addr_bit(0))는 High 레벨로 천이하고, 다른 주사 신호(addr_bit(k))는 Low 레벨로 천이한다.

[0138] 다음에, 시각 T00a에서, 래치 신호(lat_res)가 펄스 방식으로(일시적으로) High로 천이한다. 따라서, 전체 행의 SR 래치 회로(101k1a)는 리셋되고, SR 래치 회로(101k1a)의 출력 신호(srq(k))는 Low로 천이한다.

[0139] 다음에, 시각 T00b에서, 래치 신호(lat_s)가 펄스 방식으로 High로 천이한다. 이때, 주사 신호(addr_bit(0))만이 High이므로, 제0 행의 SR 래치 회로(10101a)만이 세트되고, 제0 행의 SR 래치 회로(10101a)의 출력 신호(srq(0))는 High로 천이한다. 다른 행의 SR 래치 회로(101k1a)는 세트되지 않으므로, SR 래치 회로(101k1a)의 출력 신호(srq(k))는 Low로 유지된다.

[0140] 다음에, 시각 T01b에서, 래치 신호(lat_s)가 펄스 방식으로 High로 천이한다. 이때, 어드레스 신호(vaddr)에는 비선택 신호가 입력되고, 모든 주사 신호(addr_bit(k))는 Low 레벨이다. 따라서, 추가로 세트되는 SR 래치 회로(101k1a)는 없다.

[0141] 다음에, 시각 T02b에서, 래치 신호(lat_s)가 펄스 방식으로 High로 천이한다. 이때, 어드레스 신호(vaddr=2)가 입력되고, 주사 신호(addr_bit(2))만이 High 레벨이다. 따라서, 제2 행의 SR 래치 회로(10121a)가 추가로 세트되고, 제2 행의 SR 래치 회로(10121a)의 출력 신호(srq(2))는 High로 천이한다.

[0142] 이후, 마찬가지로, 짝수 행의 SR 래치 회로(10141a), SR 래치 회로(10161a) ...가 추가로 세트되고, 대응하는 출력 신호(srq(4), srq(6), ...)가 High로 천이한다.

[0143] 시각 T10에서, 모든 짝수 행의 SR 래치 회로의 출력 신호(srq(2j))는 High이며, 모든 홀수 행의 SR 래치 회로의 출력 신호(srq(2j+1))는 Low이다. 더 구체적으로는, 행의 순서로 보면, High 레벨의 출력 신호(srq(k))와 Low 레벨의 출력 신호(srq(k))가 교대로 출력된다.

[0144] 다음에, 시각 T10 또는 그 이후에, 검사 신호 판독 동작, 즉 테스트 동작이 행하여진다. 본 예시적인 실시예에서는, 각 행의 SR 래치 회로(101k1a)로부터 출력되는 출력 신호(sr1(k))가 D 래치 회로(101k1b) 및 신호 생성 유닛(101k2)을 통해 인접하는 행의 행 구동 유닛(101(k+1))에 순차적으로 전달된다. 회로가 정상적으로 동작하고 있으면, 결과적으로, 마지막 행(제n 행)으로부터 High 레벨과 Low 레벨이 교대로 출력된다.

[0145] 시각 T10에서, 검사 신호의 판독 동작을 개시한다. CPU(101)는, 제어 유닛(102)에 대하여, 수직 동기 신호(VD)와 수평 동기 신호(HD)를 입력한다. 이때, 신호(test_en)는 High로 천이한다. 따라서, 각 행의 주사 신호 선택 유닛(101k3)의 제어에 의해, 입력 신호(tin(k))가 선택되고, 출력 신호(mux(k))로서 출력된다. 더 구체적으로는, 제어 신호(ipsel(k-1)), 제어 신호(ipres_b(k-1)), 및 제어 신호(iptx(k-1))의 논리합(OR)이 출력 신호(mux(k))이다(여기서, k는 다음 식을 만족시키는 임의의 정수이다:$0 \leq k \leq n$). 단, 제0 행의 출력 신호(mux(0))로서 수직 주사 개시 신호(vstr)가 선택된다. 한편, 어느 쪽의 주사 신호(addr_bit(k))도 유지 유닛

(101k1)에는 입력되지 않는다.

[0146] 다음에, 시각 T10a에서, 래치 신호(lat_d)가 펄스 방식으로 High로 천이한다. 이때, D 래치 회로(101k1b)는, SR 래치 회로(101k1a)의 출력 신호(srq(k))의 레벨을 기억한다. 이때, 짝수 행의 SR 래치 회로의 출력 신호(srq(2j))는 High이며, 홀수 행의 SR 래치 회로의 출력 신호(srq(2j+1))는 Low이다(0≤j). 그로 인해, 짝수 행에서, 출력 신호(dout(2j))가 High로 천이하고, 시각 T11a까지 유지된다. 또한, 동일한 기간 중에, 홀수 행의 출력 신호(srq(2j+1))는 Low 레벨이므로, 출력 신호(dout(2j+1))는 Low를 유지한다.

[0147] 같은 시간 영역, 즉 시각 T10a로부터 시각 T11a에서의 화소 구동 펄스에 대해서 설명한다. 복수의 제어 신호(ipsel(k)) 중 짝수 행의 제어 신호(ipsel(2j))만이 펄스(psel)의 파형에 따라 천이한다. 또한, 이 예에서는, 제어 신호(ipsel(k))를 생성하는 논리 회로를 검사하므로, 제어 신호(ipsel(k))만을 전달시키면 된다. 따라서, 펄스(pres_b)와 펄스(ptx)를 상시 Low에 고정하고, 제어 신호(ipres_b(k))와 제어 신호(iptx(k))를 상시 Low에 고정한다.

[0148] 다음에, 시각 T10b에서, 래치 신호(lat_res)가 펄스 방식으로 High로 천이한다. 따라서, 전체 행의 SR 래치 회로(101k1a)는 리셋되고, SR 래치 회로(101k1a)의 출력 신호(srq(k))는 Low로 천이한다.

[0149] 다음에, 시각 T10c에서, 래치 신호(lat_s)가 펄스 방식으로 High로 천이한다. 이때, 홀수 행의 입력 신호(tin(2j+1))(= 제어 신호(ipsel(2j))) 만이 High이다. 그로 인해, 홀수 행의 SR 래치 회로(101(2j+1)1a)만이 세트되고, 당해 SR 래치 회로(101(2j+1)1a)의 출력 신호(srq(2j+1))는 High로 천이한다. 짝수 행의 SR 래치 회로(101(2j)1a)는 세트되지 않으므로, 짝수 행에서 출력 신호(srq(2j))는 Low를 유지한다.

[0150] 다음에, 시각 T11a에서, 래치 신호(lat_d)가 펄스 방식으로 High로 천이한다. 이때, D 래치 회로(101k1b)는 출력 신호(srq(k))의 레벨을 기억한다. 이때, 홀수 행의 출력 신호(srq(2j+1))는 High이며, 짝수 행의 출력 신호(srq(2j))는 Low이다. 그로 인해, 홀수 행에서 출력 신호(dout(2j+1))는 High로 천이하고, 시각 T12a까지 유지된다. 한편, 짝수 행의 출력 신호(srq(2j))는 Low 레벨이므로, 짝수 행의 출력 신호(dout(2j))는 Low로 천이한다.

[0151] 시각 T11a로부터 시각 T12a에서, 화소 구동 펄스는, 선택된 행이 상이한 것을 제외하고, 시각 T10a로부터 시각 T11a까지의 동작과 마찬가지의 동작을 행한다. 이후, 마찬가지로, 각 행의 제어 신호(ipsel(k-1))는 다음 행의 유지 유닛(101k1)에 입력되어 간다.

[0152] 이어서, 출력 단자(test_out)에 출력되는 신호의 파형에 대해서 설명한다. 시각 T10 이후, 출력 단자(test_out)에는, 각 행의 시각 T10에서 SR 래치 회로(101k1a)에 유지된 정보에 따른 파형이 순차적으로 출력된다. 더 구체적으로는, 시각 T10a로부터 시각 T11a의 기간 동안, 출력 단자(test_out)로부터는, 시각 T10의 시점에서 SR 래치 회로(101n1a)에 유지된 정보에 따른 파형이 출력된다. 이어서, 시각 T11a로부터 시각 T12a의 기간 동안, 출력 단자(test_out)로부터는, 시각 T10의 시점에서 SR 래치 회로(101(n-1)1a)에 유지된 정보에 따른 파형이 출력된다. 이후의 기간에 대해서도 마찬가지이다. 여기서, 어드레스 디코더 유닛(1001) 및 주사 신호 선택 유닛(101k3)이 정상적으로 동작하고 있지 않은 경우, SR 래치 회로(101k1a)가 의도한 정보를 유지할 수 없다. 따라서, 출력 단자(test_out)에 출력된 파형은 예상된 파형에 일치하지 않는다. 이와 같이 하여, 행 중 임의의 것 혹은 어드레스 디코더 유닛(1001)이 정상적으로 동작하고 있는지 여부를 판정할 수 있다.

[0153] 이상과 같이 하여, 본 예시적인 실시예에서는, 유지 유닛(101k1)의 SR 래치 회로(101k1a) 및 D 래치 회로(101k1b) 및 신호 생성 유닛(101k2)을 검사할 수 있다. 이에 첨가하여, 본 예시적인 실시예에서는, 어드레스 디코더 유닛(1001) 및 주사 신호 선택 유닛(101k3)을 검사할 수 있다. 결과로서, 주사 회로의 테스트 커버리지율을 향상시킬 수 있다.

[0154] 어드레스 디코더 유닛(1001)의 주사 신호(addr_bit(2j+1))를 출력하는 부분을 검사할 경우에는, 적어도 제(2j+1) 행의 SR 래치 회로에 대하여 세트 동작을 실시해야 한다. 또한, 제1 내지 제3 예시적인 실시예에서의 방식과 마찬가지 방식으로, 제어 신호(ipres_b(k)) 및 제어 신호(iptx(k))를 검사할 수 있다.

[0155] 본 발명에 따른 이미징 장치의 제5 예시적인 실시예에 대해서 제3 예시적인 실시예와의 차이점에 집중하여 설명한다. 본 예시적인 실시예의 이미징 장치는 촬상 장치이다. 제3 예시적인 실시예에서는, 수직 주사 유닛(103)이 판독된 주사에 사용하는 1 계통의 유지 유닛만을 포함하는 예를 설명했다. 본 예시적인 실시예에서는, 수직 주사 유닛(103)은 2 계통의 유지 유닛, 즉 판독 주사용 및 셔터 주사용의 유지 유닛을 구비한다. 전체 블록도, 열 구성, 및 화소 회로는 제3 예시적인 실시예와 마찬가지이다. 즉, 도 1 및 도 2a 및 도 2b의 개시 및 그

에 대한 설명은 모두 제4 예시적인 실시예에 적용된다.

[0156] [주사 회로]

[0157] 도 13은, 본 예시적인 실시예에 따른 수직 주사 유닛(103)의 구성예를 도시하는 블록도이다. 수직 주사 유닛(103)은 어드레스 디코더 유닛(1401)과 행 구동 유닛(1410 내지 141n)을 구비한다. 어드레스 디코더 유닛(1401)은 제어 유닛(102)에 의해 생성된 어드레스 신호(vaddr)를 주사 신호(addr_bit(0) 내지(n))에 디코드한다. 본 예시적인 실시예의 수직 주사 유닛(103)은, 주사 신호(addr_bit(0) 내지 (n))에 기초하여 복수의 화소를 행 단위로 구동한다. 즉, 주사 유닛(103)은 행별 단위로 주사 신호에 기초하여 복수의 화소를 구동하도록 구성된다.

[0158] 본 예시적인 실시예에서는, 도 9에 나타낸 제3 예시적인 실시예의 수직 주사 유닛(103)에는 셔터 주사용의 유지 유닛이 추가된다. 그에 수반하여, 제3 예시적인 실시예의 다양한 신호선이 1 계통으로부터 2 계통으로 증가하고 있다.

[0159] 본 예시적인 실시예의 래치 신호(lat_s_rd)와 래치 신호(lat_s_sh)가 제3 예시적인 실시예의 래치 신호(lat_s)의 기능을 담당하고 있다. 본 예시적인 실시예의 래치 신호(lat_res_rd)와 래치 신호(lat_res_sh)가 제3 예시적인 실시예의 래치 신호(lat_res)의 기능을 담당하고 있다. 본 예시적인 실시예의 래치 신호(lat_d_rd)와 래치 신호(lat_d_sh)가 제3 예시적인 실시예의 래치 신호(lat_d)의 기능을 담당하고 있다. 본 예시적인 실시예의 펄스(pres_rd_b)와 펄스(pres_sh_b)가 제3 예시적인 실시예의 펄스(pres_b)의 기능을 담당하고 있다.

[0160] 본 예시적인 실시예의 펄스(ptx_rd)와 펄스(ptx_sh)가 제3 예시적인 실시예의 펄스(ptx)의 기능을 담당하고 있다. 부호의 말미에 "rd"가 첨부된 신호는 판독 주사시에 사용된다. 부호의 말미에 "sh"가 첨부된 신호는 셔터 동작 시에 사용된다.

[0161] 제1 행의 행 구동 유닛(1411)의 구성을 일례로서 설명한다. 다른 행의 행 구동 유닛에 대해서도 마찬가지이다. 행 구동 유닛(1411)은, 판독 주사용의 유지 유닛(14111), 신호 생성 유닛(14112), 주사 신호 선택 유닛(14113), 및 레벨 시프트 유닛(14114)을 구비한다. 이들 구성은 제3 예시적인 실시예의 것과 마찬가지이다. 행 구동 유닛(1411)은 또한 셔터 주사용 유지 유닛(14115)을 구비한다. 행 구동 유닛(1411)은 대응하는 1 행의 화소에 접속된 복수의 제어선에 제어 신호를 공급한다.

[0162] 판독 주사용의 유지 유닛(14111)은, 출력 신호(mux(1))와 래치 신호(lat_s_rd)의 논리곱(AND)을 연산하는 AND 게이트와, 제1 유지 유닛인 SR 래치 회로(14111a)와 제2 유지 유닛인 D 래치 회로(14111b)를 갖는다.

[0163] 셔터 주사용의 유지 유닛(14115)은, 출력 신호(mux(1))와 래치 신호(lat_s_sh)의 논리곱(AND)을 연산하는 AND 게이트와, 제1 유지 유닛인 SR 래치 회로(14115a)와 제2 유지 유닛인 D 래치 회로(14115b)를 갖는다.

[0164] 신호 생성 유닛(14112)은, 유지 유닛(14111)의 출력 신호(dout(1))와 제어 유닛(102)에 의해 생성되는 펄스(psel) 사이의 논리 연산을 행하여, 제어 신호(ipsel(1))를 생성한다. 또한, 셔터 주사에서는, 광전 변환 소자(301)를 리셋하면 충분하므로, 화소를 수직 출력선(202)에 접속할 필요는 없다. 따라서, 제어 신호(ipsel(1))의 제어에서는, 셔터 주사용의 유지 유닛(14115)의 출력 신호(sout(1))는 관계되지 않는다.

[0165] 신호 생성 유닛(14112)은, 유지 유닛(14111)의 출력 신호(dout(1))와, 유지 유닛(14115)의 출력 신호(sout(1))와, 펄스(pres_rd_b)와, 펄스(pres_sh_b)에 대하여 논리 연산을 행하여, 제어 신호(ipres_b(1))를 생성한다.

[0166] 신호 생성 유닛(14112)은, 유지 유닛(14111)의 출력 신호(dout(1))와, 유지 유닛(14115)의 출력 신호(sout(1))와, 제어 유닛(102)에 의해 생성된 펄스(ptx_rd)와 펄스(ptx_sh)에 대해 논리 연산을 행하여, 제어 신호(iptx(1))를 생성한다.

[0167] 레벨 시프트 유닛(14114)의 구성은 제1 내지 제4 예시적인 실시예의 것과 마찬가지이다. 그로 인해, 상세한 설명은 생략한다.

[0168] 주사 신호 선택 유닛(14113)의 구성은 제2 내지 제4 예시적인 실시예의 것과 마찬가지이다. 단, 주사 신호 선택 유닛(14113)의 출력 신호(mux(1))는 신호 판독용의 유지 유닛(14111) 및 셔터 주사용의 유지 유닛(14115)에 입력된다. 입력 신호(din(1)) 및 입력 신호(tin(1)), 및 이들의 신호의 선택은 제2 내지 제4 예시적인 실시예의 것과 동일하므로, 그에 대한 설명은 생략한다.

[0169] 도 13에 나타난 주사 신호 선택 유닛(14113)은 일례이며, 주사 신호 선택 유닛(14113)의 회로 구성은 변경될 수

있다. 예를 들어, 0 제어 신호의 논리합(OR)을 연산하는 대신, 배타적 논리합(EXOR) 등의 논리 연산을 사용해도 된다. 혹은, 논리 연산을 행하는 대신, 멀티플렉서를 사용해도 된다. 또한, 유지 유닛(14111)의 일례로서, SR 래치 회로와 D 래치 회로의 조합을 나타냈다. 그러나, 유지 유닛(14111)의 구성은 변경될 수 있다. 예를 들어, SR 래치 회로 및 D 래치 회로 중 하나 또는 그 양자 모두를 플립-플롭 회로로 치환해도 된다. 유지 유닛(14115)에 대해서도 마찬가지이다.

[0170] [구동 방법(5-1):광전 변환 소자의 판독 동작]

[0171] 이어서, 본 예시적인 실시예에 따른 촬상 장치의 구동 방법에 대해서 설명한다. 본 예시적인 실시예에서는, 먼저 셔터 주사로 광전 변환 소자(301)를 리셋한다. 이어서, 판독 주사에 의해 광전 변환 소자(301)에 축적된 전하에 기초하는 신호를 판독한다. 축적 시간은, 광전 변환 소자(301)가 리셋된 시각으로부터 광전 변환 소자(301)의 전하가 전송된 시각까지의 기간다.

[0172] 먼저, 셔터 주사에 대해서 설명한다. 셔터 주사의 동작에서는, 제3 예시적인 실시예의 광전 변환 소자(301)에서 발생한 전하에 기초하는 신호의 판독 동작과 마찬가지인 주사가 행하여진다. 선택된 행을 바꾸면서, 화소 P(0, n) 내지 (m, n)의 광전 변환 소자(301)를 순차적으로 리셋해 간다.

[0173] 각 신호의 타이밍 차트는 도 10에 도시되어 있다. 단, 본 예시적인 실시예의 셔터 주사에서는, 제어 신호의 할당은 하기와 같이 된다. 도 10의 래치 신호(lat_s)가 본 예시적인 실시예의 래치 신호(lat_s_sh)에 사용된다. 도 10의 래치 신호(lat_res)가 본 예시적인 실시예의 래치 신호(lat_res_sh)에 사용된다. 도 10의 래치 신호(lat_d)가 본 예시적인 실시예의 래치 신호(lat_d_sh)에 사용된다. 도 10의 펄스(pres_b)가 본 예시적인 실시예의 펄스(pres_sh_b)에 사용된다. 도 10의 펄스(ptx)가 본 예시적인 실시예의 펄스(ptx_sh)에 사용된다. 도 10에 관한 전체 설명은 대응하는 부호를 치환하는 것으로 본 예시적인 실시예에 적용된다. 여기에서는 상세한 설명은 생략한다.

[0174] 이어서, 판독 주사에 대해서 설명한다. 판독 주사의 동작에서는, 제3 예시적인 실시예의 광전 변환 소자(301)에서 발생한 전하에 기초하는 신호의 판독 동작과 마찬가지인 주사가 행하여진다. 선택된 행을 바꾸면서, 화소 P(0, n) 내지 (m, n)의 광전 변환 소자(301)로부터의 신호를 순차적으로 판독해 간다.

[0175] 각 신호의 타이밍 차트는 도 10에 도시되어 있다. 단, 본 예시적인 실시예의 판독 주사에서는, 제어 신호의 할당은 하기와 같이 된다. 도 10의 래치 신호(lat_s)가 본 예시적인 실시예의 래치 신호(lat_s_rd)에 사용된다. 도 10의 래치 신호(lat_res)가 본 예시적인 실시예의 래치 신호(lat_res_rd)에 사용된다. 도 10의 래치 신호(lat_d)가, 본 예시적인 실시예의 래치 신호(lat_d_rd)에 사용된다. 도 10의 펄스(pres_b)가 본 예시적인 실시예의 펄스(pres_rd_b)에 사용된다. 도 10의 펄스(ptx)가 본 예시적인 실시예의 펄스(ptx_rd)에 사용된다. 도 10에 관한 전체 설명은 대응하는 부호를 치환하는 것으로 본 예시적인 실시예에 적용된다. 여기에서는 상세한 설명은 생략한다.

[0176] [구동 방법(5-2): 수직 주사 유닛의 테스트 동작]

[0177] 이어서, 수직 주사 유닛(103)을 검사하기 위한 테스트 동작에 대해서 설명한다. 본 예시적인 실시예에서는, 셔터 주사용의 유지 유닛(141k5)과 신호 생성 유닛(141k2)의 출력 신호(sout(k))를 받는 논리 회로를 검사한다. 이어서, 판독 주사용의 유지 유닛(141k1)과 신호 생성 유닛(141k2)의 출력 신호(dout(k))를 받는 논리 회로를 검사한다.

[0178] 먼저, 셔터 주사에 관련하는 회로의 테스트 동작에 대해서 설명한다. 셔터 주사에 관련하는 회로의 테스트 동작은 제3 예시적인 실시예의 수직 주사 유닛(103)의 테스트 동작과 마찬가지이다. 더 구체적으로는, 각 제어 신호의 타이밍 차트는 도 11에 도시된다. 단, 제어 신호의 할당은 하기와 같이 된다.

[0179] 도 11의 래치 신호(lat_s)가 본 예시적인 실시예의 래치 신호(lat_s_sh)에 사용된다. 도 11의 래치 신호(lat_res)가 본 예시적인 실시예의 래치 신호(lat_res_sh)에 사용된다. 도 11의 래치 신호(lat_d)의 기능이 본 예시적인 실시예의 래치 신호(lat_d_sh)에 사용된다. 도 11의 펄스(pres_b)의 기능은 본 예시적인 실시예의 펄스(pres_sh_b)에 사용된다. 도 11의 펄스(ptx)의 기능은 본 예시적인 실시예의 펄스(ptx_sh)에 사용된다. 도 11에 관한 설명 전체는 대응하는 부호를 치환하는 것으로 본 예시적인 실시예에 적용된다. 여기에서는 상세한 설명은 생략한다.

[0180] 이상과 같이 하여, 셔터 주사용의 유지 유닛(141k5)과 신호 생성 유닛(141k2)의 출력 신호(sout(k))를 받는 논리 회로를 검사할 수 있다.

[0181] 이어서, 판독 주사에 관련하는 회로의 테스트 동작에 대해서 설명한다. 판독 주사에 관련하는 회로의 테스트 동작은 제3 예시적인 실시예의 수직 주사 유닛(103)의 테스트 동작과 마찬가지이다. 더 구체적으로는, 각 제어 신호의 타이밍 차트는 도 11에 도시된다. 단, 제어 신호의 할당은 하기와 같이 된다.

[0182] 도 11의 래치 신호(lat_s)가 본 예시적인 실시예의 래치 신호(lat_s_rd)에 사용된다. 도 11의 래치 신호(lat_res)가 본 예시적인 실시예의 래치 신호(lat_res_rd)에 사용된다. 도 11의 래치 신호(lat_d)가 본 예시적인 실시예의 래치 신호(lat_d_rd)에 사용된다. 도 11의 펄스(pres_b)가 본 예시적인 실시예의 펄스(pres_rd_b)에 사용된다. 도 11의 펄스(ptx)가 본 예시적인 실시예의 펄스(ptx_rd)에 사용된다. 도 11에 관한 설명 전체는 대응하는 부호를 치환하는 것으로 본 예시적인 실시예에 적용된다. 여기에서는 상세한 설명은 생략한다.

[0183] 이상과 같이 하여, 판독 주사용 유지 유닛(141k1)과 신호 생성 유닛(141k2)의 출력 신호(dout(k))를 받는 논리 회로를 검사할 수 있다.

[0184] 본 예시적인 실시예에 의하면, 주사 회로의 테스트 커버리지율을 향상시킬 수 있다.

[0185] 본 발명에 따른 이미징 장치의 제6 예시적인 실시예에 대해서 제5 예시적인 실시예와의 차이점에 집중하여 설명한다. 본 예시적인 실시예의 이미징 장치는 촬상 장치이다. 제5 예시적인 실시예에서는, 판독 주사용의 유지 유닛(141k1), 셔터 주사용의 유지 유닛(141k5), 및 신호 생성 유닛(141k2)을 검사하는 방법에 대해서 나타냈다. 거기에 첨가하여, 본 예시적인 실시예에서는, 어드레스 디코더 유닛(1401)과 주사 신호 선택 유닛(141k3)을 검사할 수 있다.

[0186] 본 예시적인 실시예의 전체 블록도, 열 구성, 화소 회로, 및 수직 주사 유닛(103)은 제5 예시적인 실시예와 마찬가지이다. 즉, 도 1 및 도 2a 및 도 2b의 개시 및 그에 대한 설명은 모두 제6 예시적인 실시예에 적용된다. 또한, 본 예시적인 실시예의 수직 주사 유닛(103)은 도 13에 나타나고 있다. 도 13에 관한 설명은 모두 제6 예시적인 실시예에 적용된다.

[0187] 이어서, 본 예시적인 실시예에 따른 촬상 장치의 구동 방법에 대해서 설명한다. 본 예시적인 실시예에서는, 제4 예시적인 실시예에서 설명된 것과 동일한 방법으로, 어드레스 디코더 유닛(1401) 및 주사 신호 선택 유닛(141k3)을 검사한다. 더 구체적으로는, 본 예시적인 실시예에 사용되는 각 신호의 타이밍 차트는 도 12에 나타나고 있다. 단, 제5 예시적인 실시예에서 설명한 바와 같이, 각 신호의 부호의 말미에 "sh" 또는 "rd"가 부여된다. 셔터 주사에 관한 부분을 검사할 경우에는, "sh"가 부여된다. 판독 주사에 관한 부분을 검사할 경우는, "rd"가 부여된다. 다른 동작은 제5 예시적인 실시예와 동일하기 때문에, 그에 대한 설명은 생략한다.

[0188] 이상에서 설명한 바와 같이, 본 예시적인 실시예에 의하면, 주사 회로의 테스트 커버리지율을 향상시킬 수 있다.

[0189] 제1 내지 제6 예시적인 실시예에서는, 광전 변환 소자(301)를 포함하는 화소를 구비한 촬상 장치에 대해서 설명했다. 본 발명에 따른 이미징 장치는 촬상 장치에 한정되는 것은 아니다. 제7 예시적인 실시예에 따른 이미징 장치는 발광 소자를 포함하는 화소를 구비한 표시 장치이다.

[0190] 도 14는 발광 소자를 포함하는 화소(150)의 일례를 나타낸다. 화소(150)는 발광 소자로서 유기 전기루미네선스(EL) 소자(151)를 구비하고 있다. 또한, 화소(150)는 신호선(PA(n), PB(n), PC(n))을 구비하고 있다. 여기서, 신호선(PA(n), PB(n), PC(n))은, 제1 내지 제6 예시적인 실시예의 행 선택 신호(PSEL(n)), 화소 유닛 리셋 신호(PRES_B(n)), 및 화소 전송 신호(PTX(n))를 공급하는 제어선에 대응한다. 그로 인해, 제1 내지 제6 예시적인 실시예에서 설명한 수직 주사 유닛(103)은 본 예시적인 실시예의 표시 장치에 사용된다. 또한, 화소의 동작 및 수직 주사 유닛의 테스트 동작도 마찬가지로 적용될 수 있다.

[0191] 따라서, 본 예시적인 실시예에 의하면, 표시 장치의 주사 회로의 테스트 커버리지율을 향상시킬 수 있다.

[0192] 제8 예시적인 실시예로서의 이미징 시스템의 예시적인 실시예에 대해서 설명한다. 이미징 시스템의 예는, 디지털 스틸 카메라, 디지털 캠코더, 카메라 헤드, 복사기, 팩시밀리, 휴대 전화, 차량 탑재 카메라, 및 관측 위성을 포함한다. 도 15는 이미징 시스템의 예로서 디지털 스틸 카메라의 블록도이다.

[0193] 도 15에서, 배리어(10010)는 렌즈를 보호한다. 렌즈(1002)는 피사체의 광학 상을 촬상 장치(1004)에 결상시킨다. 조리개(1003)는 렌즈(1002)을 통과한 광량을 변화시킨다. 촬상 장치(1004)에는, 상기 제1 내지 6 예시적인 실시예 중 하나에서 설명한 촬상 장치가 사용된다.

[0194] 신호 처리 유닛(1007)은 촬상 장치(1004)로부터 출력된 화소 신호에 대하여 보정 및 데이터 압축 등의 처리를

행하여, 화상 신호를 취득한다. 또한, 도 15에서, 타이밍 생성 유닛(1008)은 촬상 장치(1004) 및 신호 처리 유닛(1007)에 각종 타이밍 신호를 출력하고, 전체 제어 유닛(1009)은 디지털 스틸 카메라 전체를 제어한다. 프레임 메모리 유닛(10100)은 화상 데이터를 일시적으로 기억한다. 인터페이스 유닛(10110)은 기록 매체에 대한 기록 또는 판독을 행한다. 반도체 메모리 등의 착탈가능 기록 매체(1012)는 화상 데이터를 기록 또는 판독한다. 인터페이스 유닛(1013)은 외부 컴퓨터 등과 통신한다.

[0195] 이미징 시스템은 적어도 촬상 장치(1004)와 촬상 장치(1004)로부터 출력된 화소 신호를 처리하는 신호 처리 유닛(1007)을 갖는다. 그 경우, 다른 구성은 시스템의 외부에 배치된다.

[0196] 상술한 바와 같이, 이미징 시스템의 예시적인 실시예에서, 제1 내지 제6 예시적인 실시예의 촬상 장치 중 하나가 촬상 장치(1004)로서 사용된다. 이러한 구성에 의하면, 이미징 시스템의 테스트 커버리지율을 향상시킬 수 있다.

[0197] 이동체의 예시적인 실시예에 대해서 설명한다. 제9 예시적인 실시예의 이동체는 차량 탑재 카메라를 구비한 자동차이다. 도 16a는, 자동차(2100)의 외관과 주된 내부 구조를 모식적으로 도시한다. 자동차(2100)는, 촬상 장치(2102), 촬상 시스템용 주문형 집적 회로(ASIC)(2103), 경보 장치(2112), 및 주 제어 유닛(2113)을 구비한다.

[0198] 촬상 장치(2102)에는, 상술한 각 예시적인 실시예에서 설명한 촬상 장치가 사용된다. 경보 장치(2112)는, 촬상 시스템, 차량 센서, 제어 유닛 등으로부터 이상을 나타내는 신호를 받았을 때에, 운전자에게 경고를 행한다. 주 제어 유닛(2113)은, 촬상 시스템, 차량 센서, 제어 유닛 등의 동작을 통괄적으로 제어한다. 자동차(2100)는 주 제어 유닛(2113)을 구비하지 않아도 된다. 이 경우, 촬상 시스템, 차량 센서, 및 제어 유닛은 개별적으로 통신 인터페이스를 갖고, 각각 통신 네트워크를 통해서 제어 신호를 송신 및 수신한다(예를 들어, 제어기 영역 네트워크(controller area network)(CAN) 규격).

[0199] 도 16b는 자동차(2100)의 시스템 구성을 도시하는 블록도이다. 자동차(2100)는 제1 촬상 장치(2102)와 제2 촬상 장치(2102)를 포함한다. 더 구체적으로는, 본 예시적인 실시예의 차량 탑재 카메라는 스테레오 카메라이다. 촬상 장치(2102)에는, 광학 유닛(2114)에 의해 피사체 상이 결상된다. 촬상 장치(2102)로부터 출력된 화소 신호는, 화상 전처리 유닛(2115)에 의해 처리되고, 촬상 시스템용 ASIC(2103)에 전달된다. 화상 전처리 유닛(2115)은 SN 연산 및 동기 신호의 부가 등의 처리를 행한다.

[0200] 촬상 시스템용 ASIC(2103)는, 화상 처리 유닛(2104), 메모리(2105), 광학 거리 측정 유닛(2106), 시차 연산 유닛(2107), 물체 인지 유닛(2108), 이상 검출 유닛(2109) 및 외부 인터페이스(I/F) 유닛(2116)을 구비한다. 화상 처리 유닛(2104)은 화소 신호를 처리해서 화상 신호를 생성한다. 또한, 화상 처리 유닛(2104)은 화상 신호를 보정하고 이상 화소를 보완한다. 메모리(2105)는 화상 신호를 일시적으로 유지한다. 또한, 메모리(2105)는, 기지의 촬상 장치(2102)의 이상 화소의 위치를 기억하고 있어도 된다. 광학 거리 측정 유닛(2106)은 화상 신호를 사용해서 피사체의 포커싱 또는 거리 측정을 행한다. 시차 연산 유닛(2107)은 시차 화상의 피사체 조합(스테레오 매칭)을 행한다. 물체 인지 유닛(2108)은, 화상 신호를 해석하고, 자동차, 인물, 표지, 및 도로 등의 피사체를 인지한다. 이상 검출 유닛(2109)은 촬상 장치(2102)의 고장 혹은 오동작을 검지한다. 이상 검출 유닛(2109)은, 고장이나 오동작을 검지한 경우에는, 주 제어 유닛(2113)에 이상을 검지한 것을 나타내는 신호를 보낸다. 외부 I/F 유닛(2116)은, 촬상 시스템용 ASIC(2103)의 각 유닛과, 주 제어 유닛(2113) 혹은 각종 제어 유닛 등 사이에서의 정보의 수수를 중개한다.

[0201] 자동차(2100)는 차량 정보 취득 유닛(2110) 및 운전 지원 유닛(2111)을 포함한다. 차량 정보 취득 유닛(2110)은, 속도/가속도 센서, 각 속도 센서, 조향 각도 센서, 거리 측정 레이더, 및 압력 센서 등의 차량 센서를 포함한다.

[0202] 운전 지원 유닛(2111)은 충돌 판정 유닛을 포함한다. 충돌 판정 유닛은, 광학 거리 측정 유닛(2106), 시차 연산 유닛(2107), 및 물체 인지 유닛(2108)으로부터의 정보에 기초하여, 물체와의 충돌 가능성을 판정한다. 광학 거리 측정 유닛(2106) 및 시차 연산 유닛(2107)은 대상물까지의 거리 정보를 취득하는 거리 정보 취득 유닛의 일례이다. 더 구체적으로는, 거리 정보는 시차, 디포커스량, 대상물까지의 거리 등에 관한 정보를 의미한다. 충돌 판정 유닛은 이들 거리 정보 중 어느 하나를 사용하여 충돌 가능성을 판정할 수 있다. 거리 정보 취득 유닛은 전용으로 설계된 하드웨어에 의해 또는 소프트웨어 모듈에 의해 실현될 수 있다.

[0203] 운전 지원 유닛(2111)이 다른 물체와 충돌하지 않도록 자동차(2100)를 제어하는 예를 설명했지만, 운전 지원 유닛(2111)은 다른 차량에 추종해서 자동차(2100)를 자동 운전하는 제어, 차선으로부터 벗어나지 않도록 자동차

(2100)를 자동 운전하는 제어 등에도 적용가능하다.

[0204] 자동차(2100)는, 또한, 에어백, 액셀러레이터, 브레이크, 스티어링, 및 트랜스미션 등의 주행에 사용되는 구동 유닛을 구비한다. 또한, 자동차(2100)는 이들 구동 유닛의 제어 유닛을 포함한다. 제어 유닛은, 주제어 유닛(2113)의 제어 신호에 기초하여, 대응하는 구동 유닛을 제어한다.

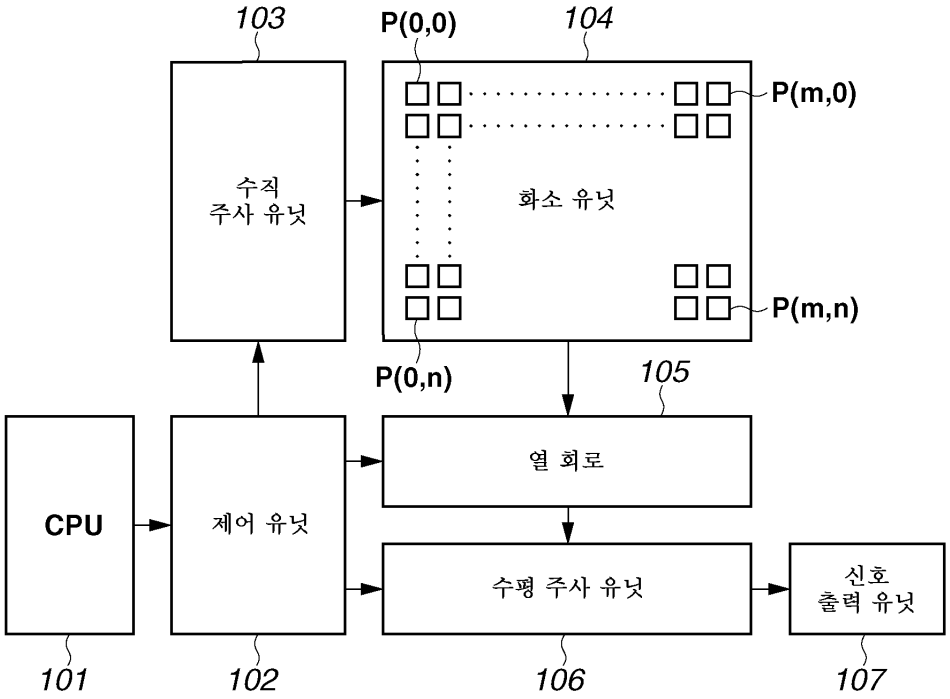
[0205] 본 예시적인 실시예에 사용된 촬상 시스템은, 자동차에 한하지 않고, 선박, 항공기 및 산업용 로봇 등의 이동체(이동 장치)에도 적용할 수 있다. 또한, 이미징 시스템은 이동체에 한하지 않고, 광범위하게는 지능형 교통 시스템(ITS) 등의 물체 인식을 이용하는 기기에도 적용할 수 있다.

[0206] 이상에서 설명한 바와 같이, 자동차의 예시적인 실시예에서, 촬상 장치(2102)에는 제1 내지 제6 예시적인 실시예의 촬상 장치 중 하나가 사용된다. 이러한 구성에 의하면, 테스트 커버리지율을 향상시킬 수 있다.

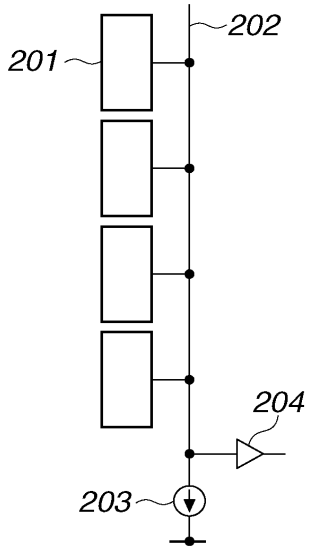
[0207] 본 발명을 예시적인 실시예를 참고하여 설명하였지만, 본 발명은 개시된 예시적인 실시예로 한정되지 않음을 이해해야 한다. 이하의 청구항의 범위는 이러한 모든 변형과 동등한 구조 및 기능을 포함하도록 최광의로 해석되어야 한다.

도면

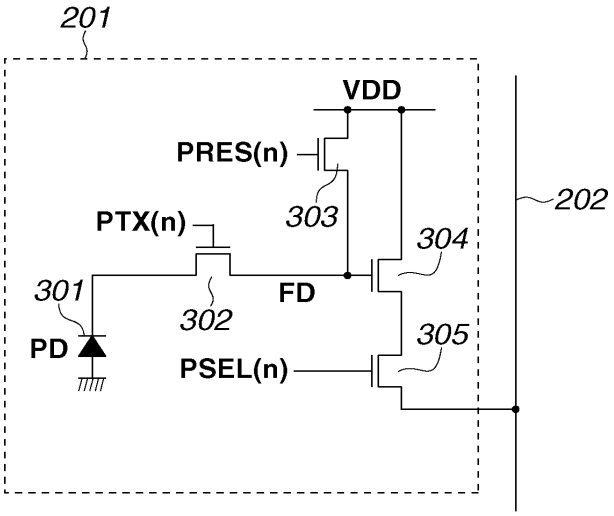
도면1



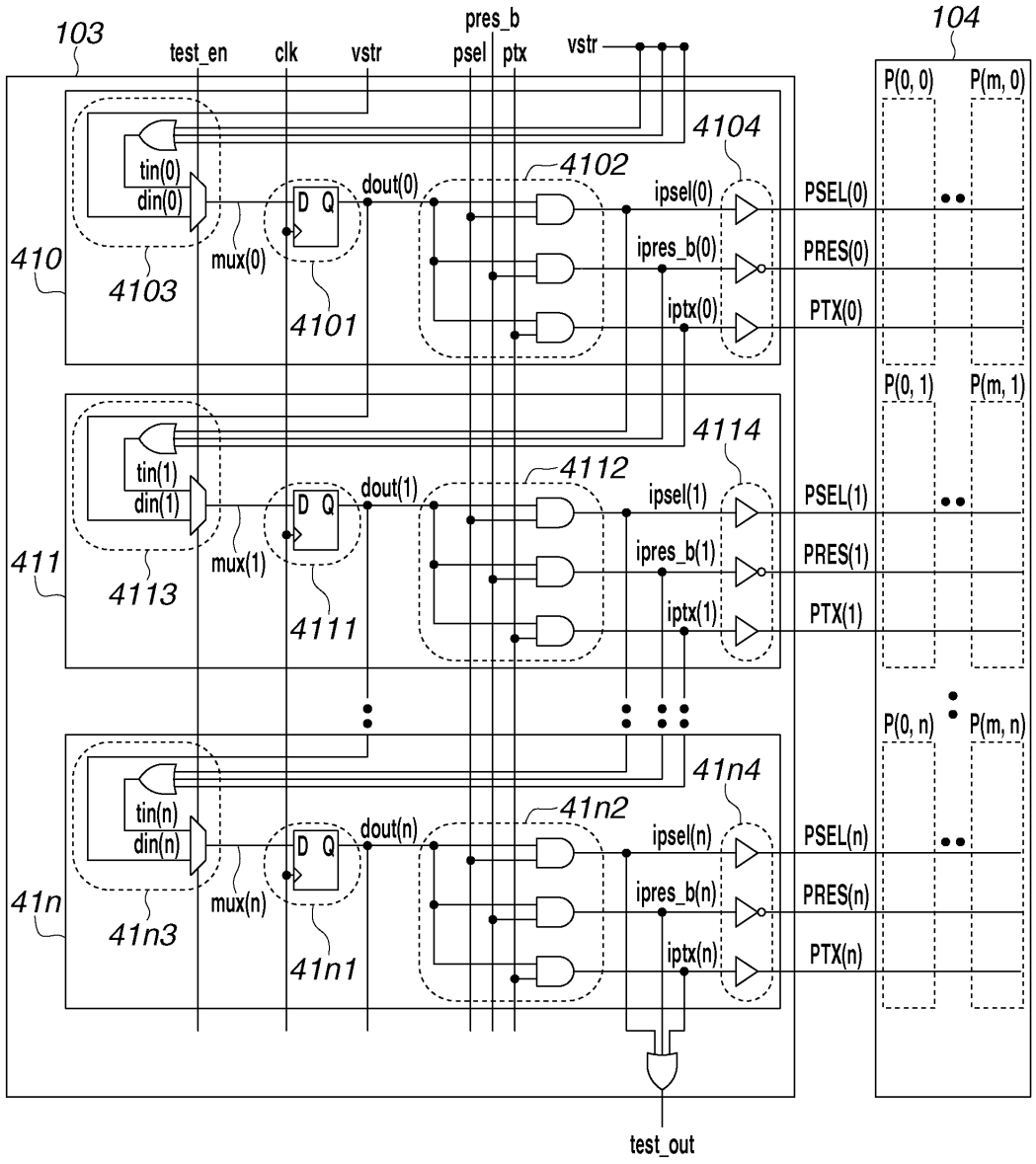
도면2a


201
202
204
203

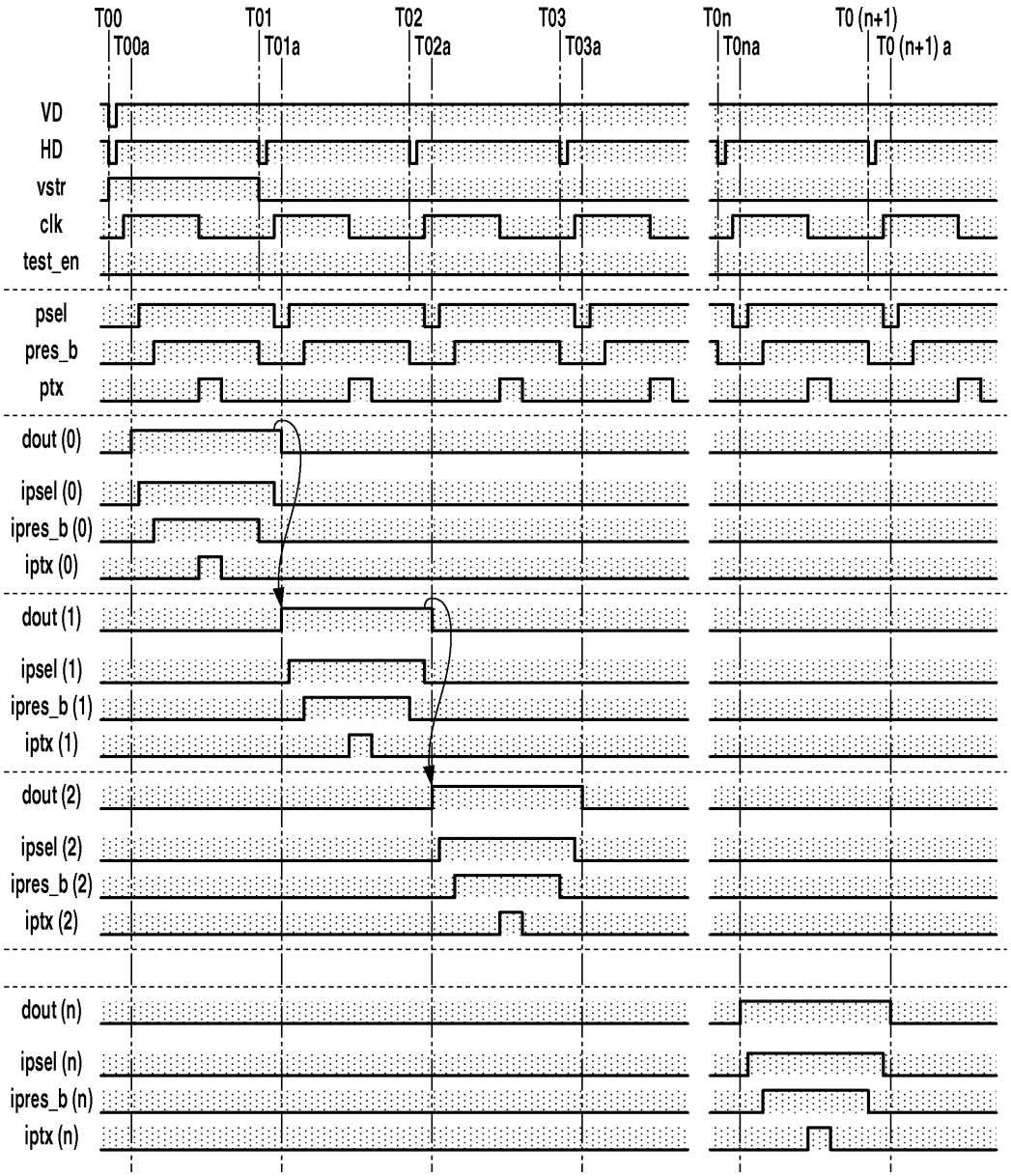
도면2b


201
VDD
PRES(n)
303
PTX(n)
304
202
301
302
FD
PD
305
PSEL(n)

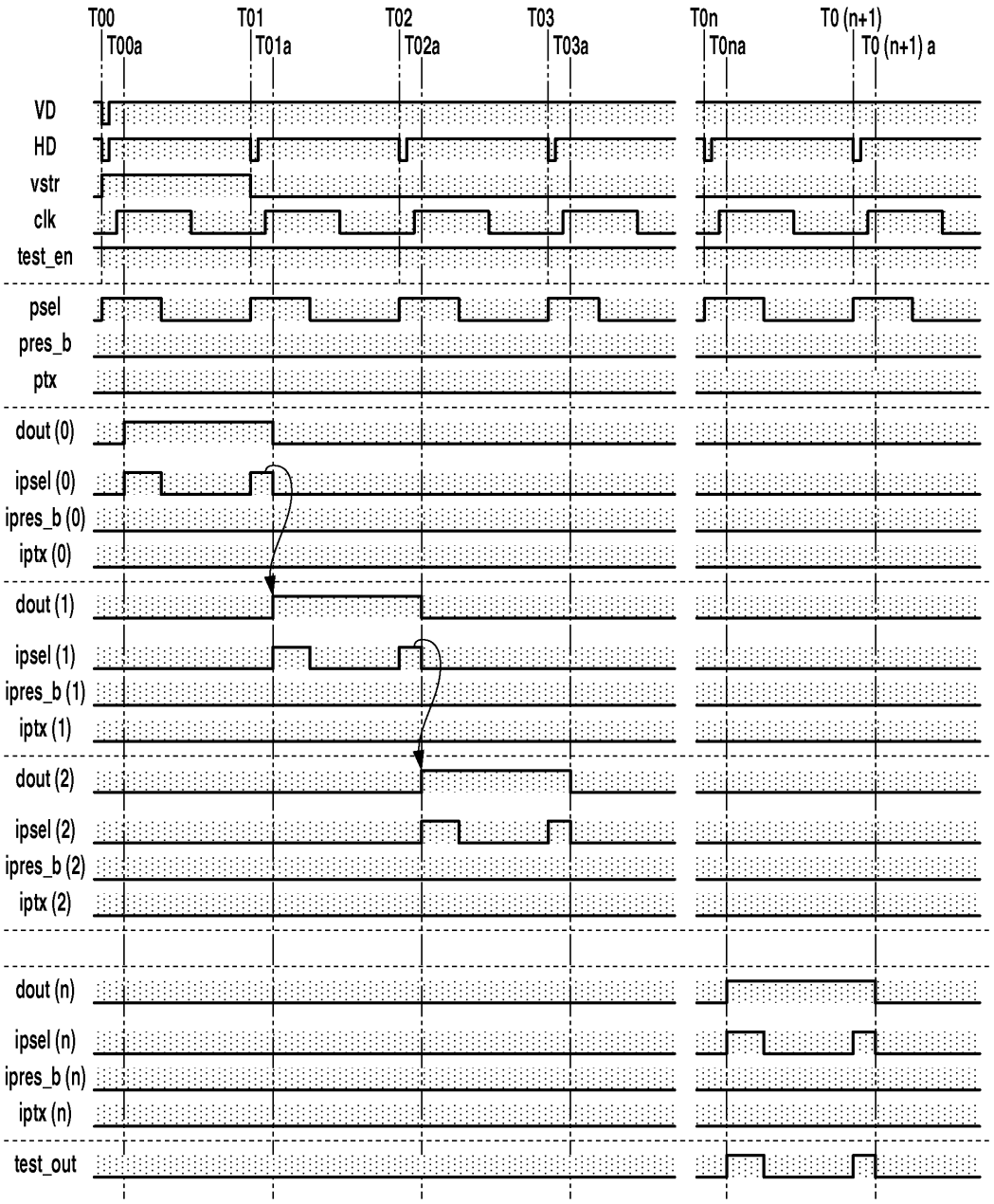
도면3


103
test_en
clk
vstr
pres_b
psel
ptx
vstr
104
P(0, 0)
P(m, 0)
4104
4102
tin(0)
din(0)
dout(0)
ipsel(0)
PSEL(0)
ipres_b(0)
PRES(0)
iptx(0)
PTX(0)
410
4103
mux(0)
4101
P(0, 1)
P(m, 1)
4114
4112
tin(1)
din(1)
dout(1)
ipsel(1)
PSEL(1)
ipres_b(1)
PRES(1)
iptx(1)
PTX(1)
411
4113
mux(1)
4111
P(0, n)
P(m, n)
41n4
41n2
tin(n)
din(n)
dout(n)
ipsel(n)
PSEL(n)
ipres_b(n)
PRES(n)
iptx(n)
PTX(n)
41n
41n3
mux(n)
41n1
test_out

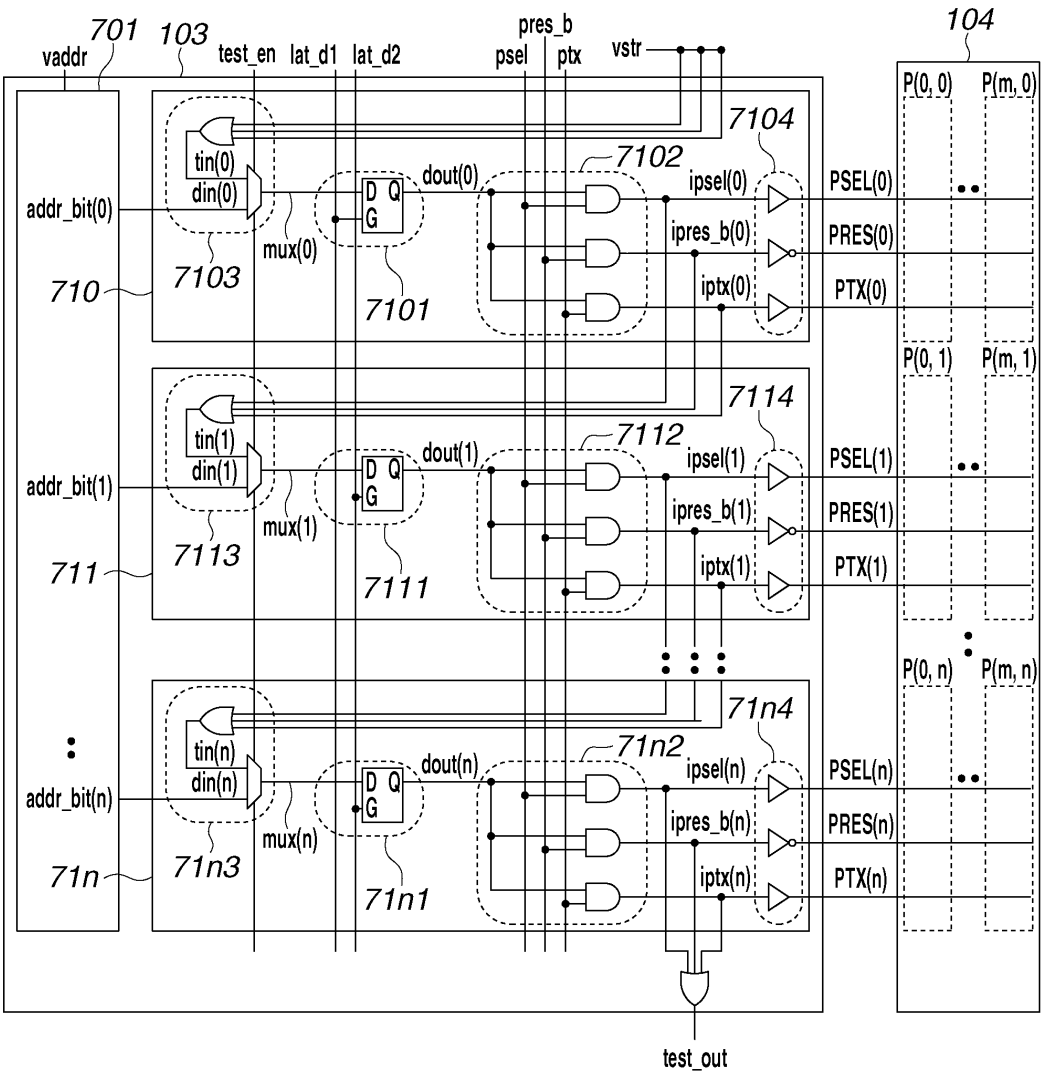
도면4


T00
T00a
T01
T01a
T02
T02a
T03
T03a
T0n
T0na
T0 (n+1)
T0 (n+1) a
VD
HD
vstr
clk
test_en
psel
pres_b
ptx
dout (0)
ipsel (0)
ipres_b (0)
iptx (0)
dout (1)
ipsel (1)
ipres_b (1)
iptx (1)
dout (2)
ipsel (2)
ipres_b (2)
iptx (2)
dout (n)
ipsel (n)
ipres_b (n)
iptx (n)

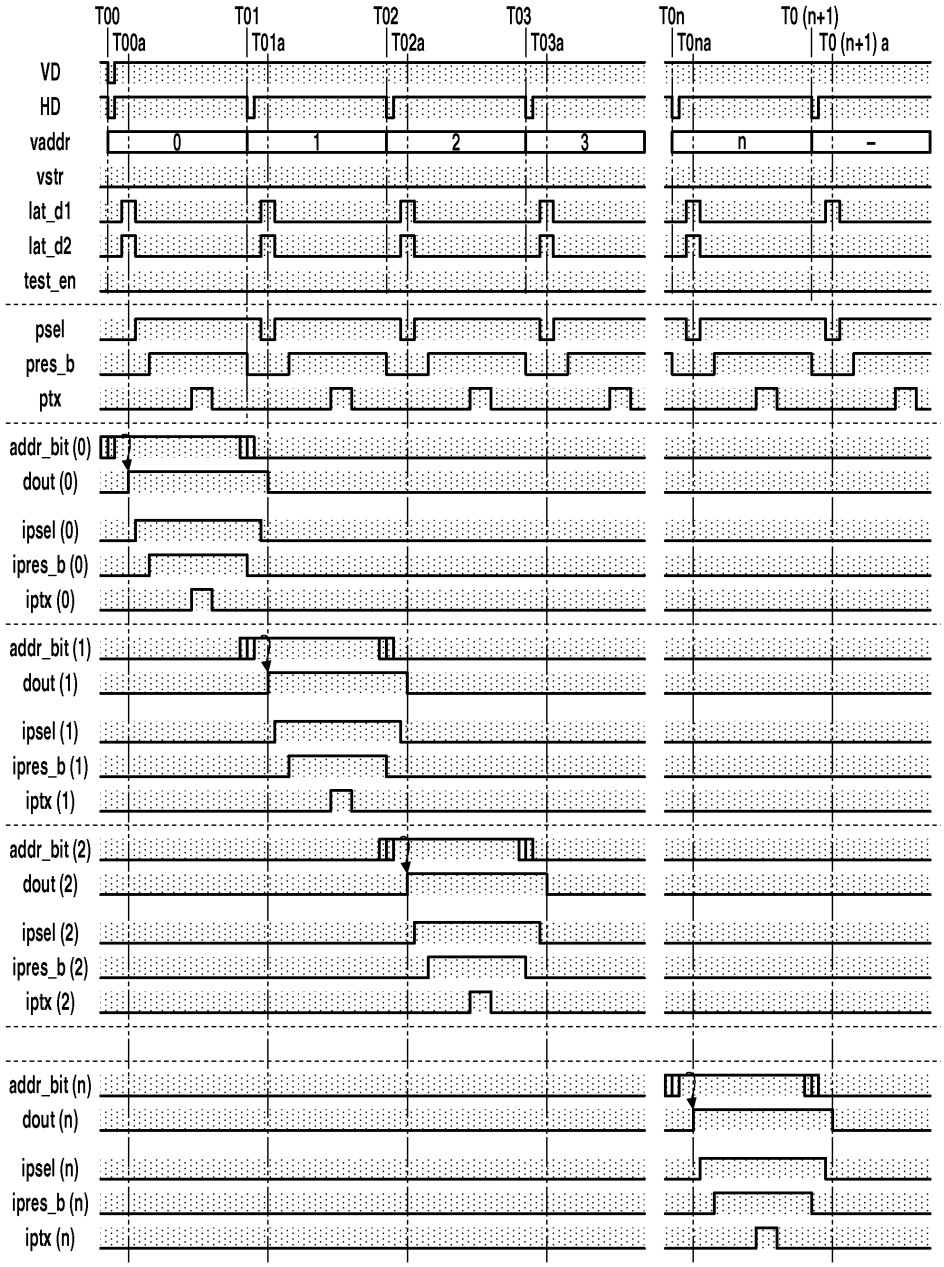
도면5


T00
T00a
T01
T01a
T02
T02a
T03
T03a
T0n
T0na
T0 (n+1)
T0 (n+1) a
VD
HD
vstr
clk
test_en
psel
pres_b
ptx
dout (0)
ipsel (0)
ipres_b (0)
iptx (0)
dout (1)
ipsel (1)
ipres_b (1)
iptx (1)
dout (2)
ipsel (2)
ipres_b (2)
iptx (2)
dout (n)
ipsel (n)
ipres_b (n)
iptx (n)
test_out

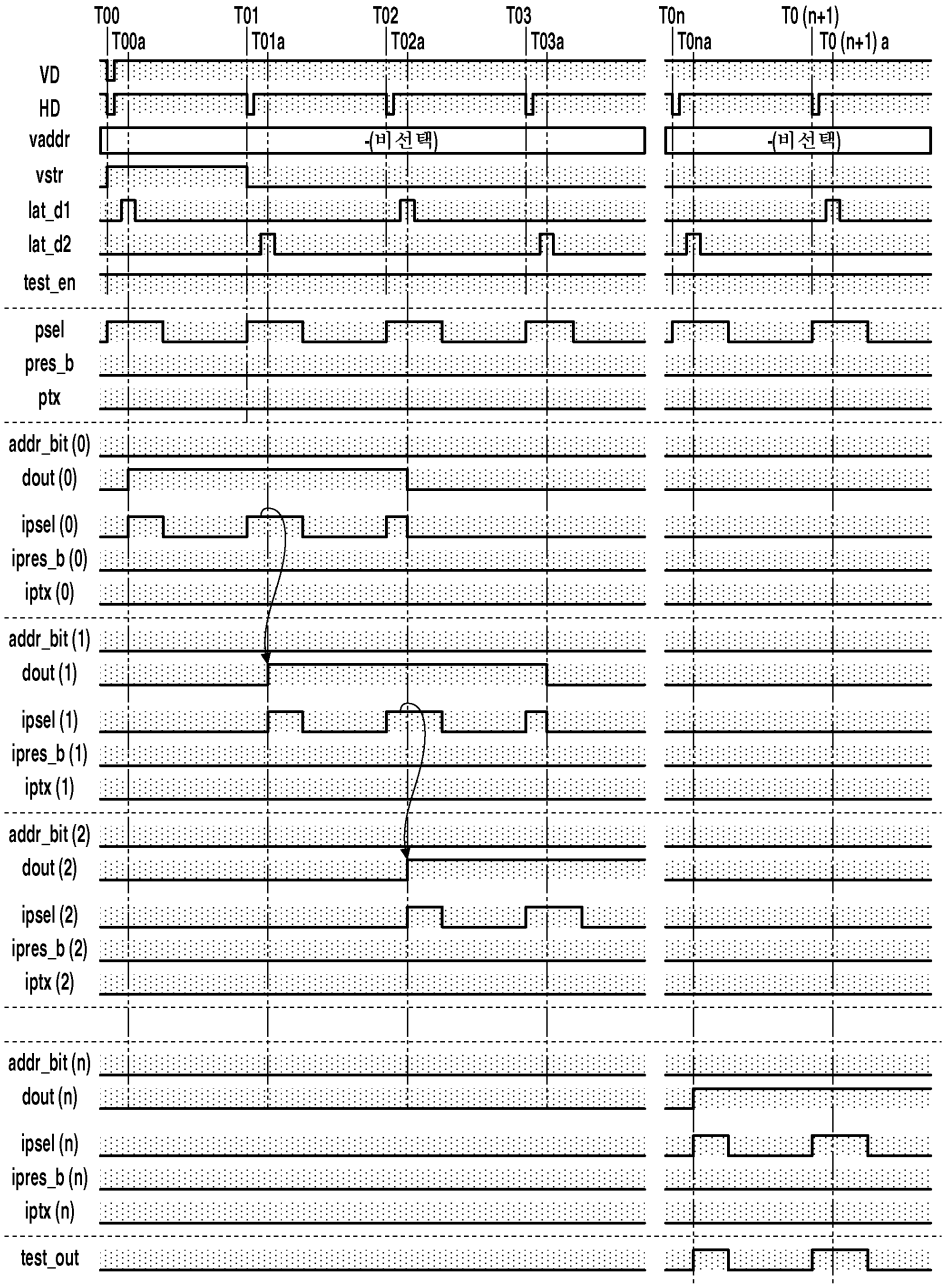
도면6


701
103
104
vaddr
test_en
lat_d1
lat_d2
pres_b
psel
ptx
vstr
addr_bit(0)
addr_bit(1)
addr_bit(n)
710
711
71n
tin(0)
din(0)
tin(1)
din(1)
tin(n)
din(n)
7103
7113
71n3
mux(0)
mux(1)
mux(n)
D Q
G
7101
7111
71n1
dout(0)
dout(1)
dout(n)
7102
7112
71n2
ipsel(0)
ipsel(1)
ipsel(n)
ipres_b(0)
ipres_b(1)
ipres_b(n)
iptx(0)
iptx(1)
iptx(n)
7104
7114
71n4
PSEL(0)
PSEL(1)
PSEL(n)
PRES(0)
PRES(1)
PRES(n)
PTX(0)
PTX(1)
PTX(n)
P(0, 0)
P(m, 0)
P(0, 1)
P(m, 1)
P(0, n)
P(m, n)
test_out

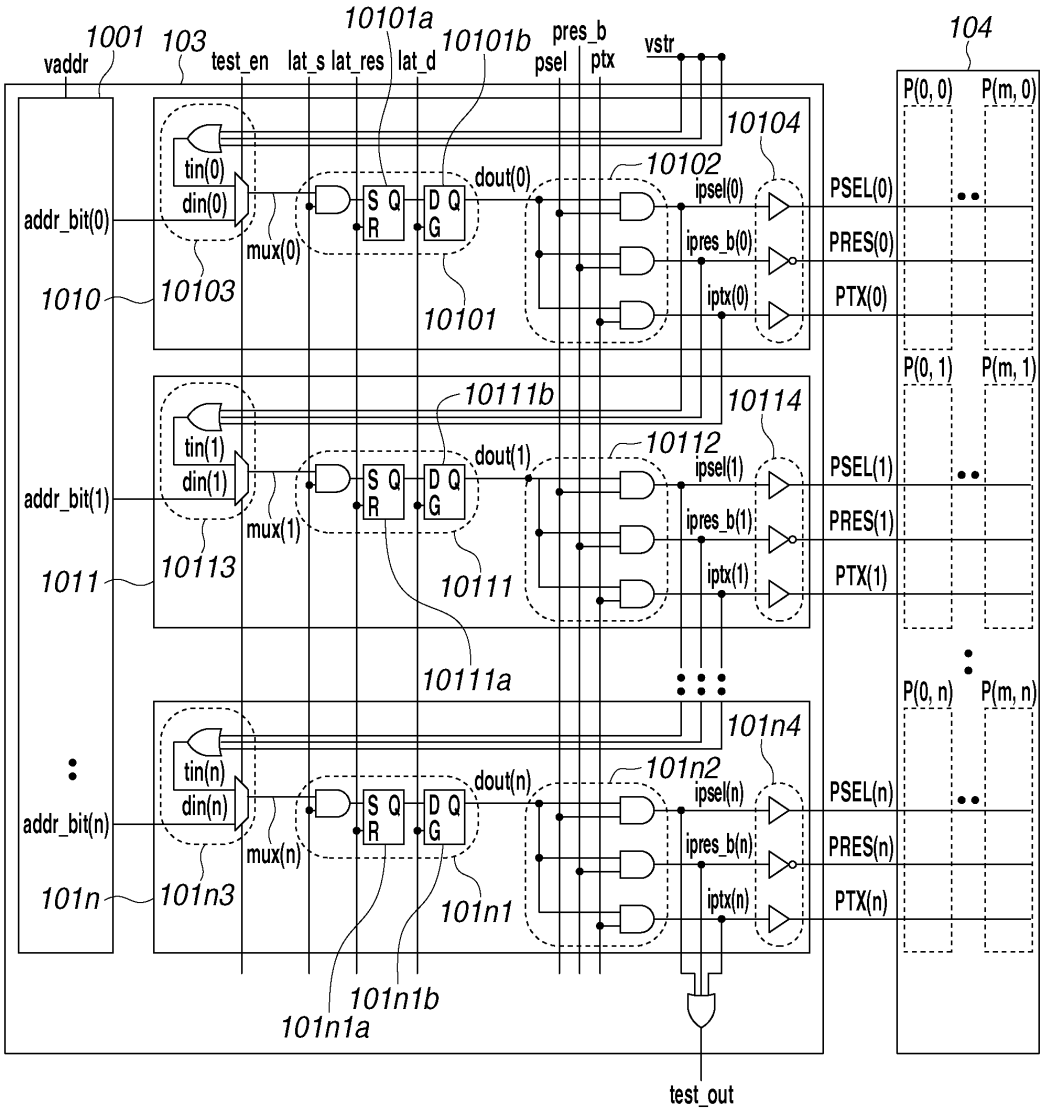
도면7


T00
T00a
T01
T01a
T02
T02a
T03
T03a
T0n
T0na
T0 (n+1)
T0 (n+1) a
VD
HD
vaddr
0
1
2
3
n
–
vstr
lat_d1
lat_d2
test_en
psel
pres_b
ptx
addr_bit (0)
dout (0)
ipsel (0)
ipres_b (0)
iptx (0)
addr_bit (1)
dout (1)
ipsel (1)
ipres_b (1)
iptx (1)
addr_bit (2)
dout (2)
ipsel (2)
ipres_b (2)
iptx (2)
addr_bit (n)
dout (n)
ipsel (n)
ipres_b (n)
iptx (n)

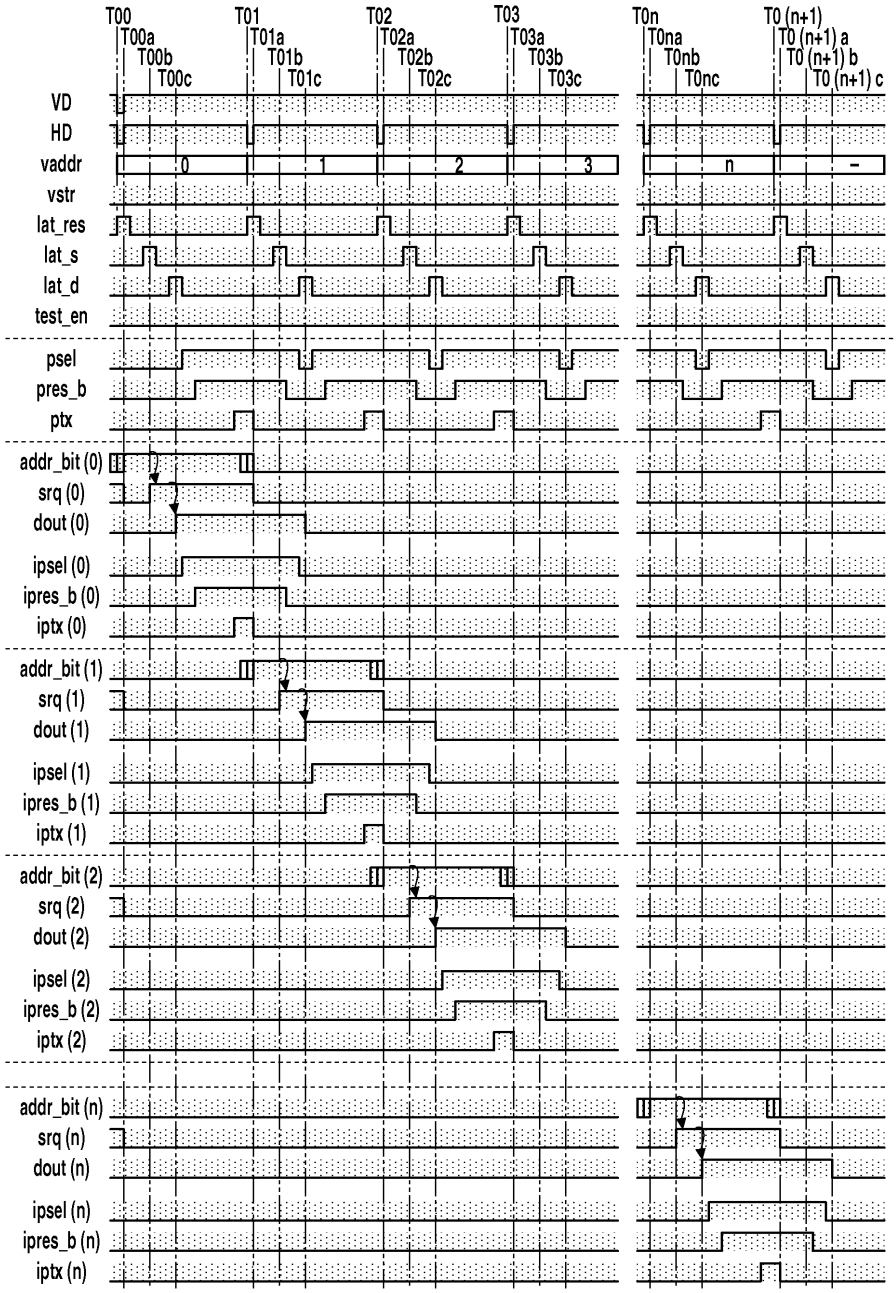
도면8


T00
T00a
T01
T01a
T02
T02a
T03
T03a
T0n
T0na
T0 (n+1)
T0 (n+1) a
VD
HD
vaddr
-(비선택)
-(비선택)
vstr
lat_d1
lat_d2
test_en
psel
pres_b
ptx
addr_bit (0)
dout (0)
ipsel (0)
ipres_b (0)
iptx (0)
addr_bit (1)
dout (1)
ipsel (1)
ipres_b (1)
iptx (1)
addr_bit (2)
dout (2)
ipsel (2)
ipres_b (2)
iptx (2)
addr_bit (n)
dout (n)
ipsel (n)
ipres_b (n)
iptx (n)
test_out

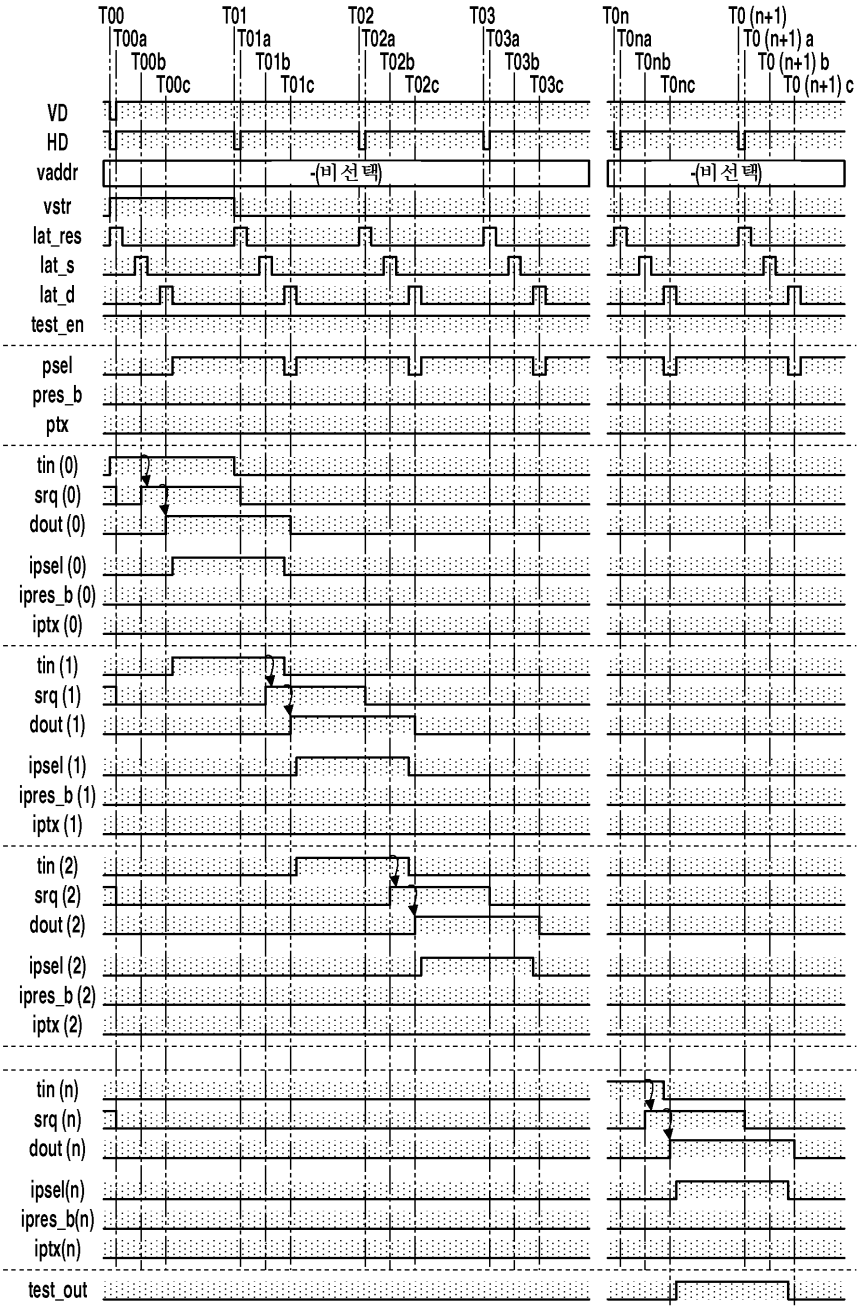
도면9


1001
103
10101a
10101b
pres_b
vstr
104
vaddr
test_en
lat_s
lat_res
lat_d
psel
ptx
P(0, 0)
P(m, 0)
10104
10102
tin(0)
din(0)
dout(0)
ipsel(0)
PSEL(0)
addr_bit(0)
S Q
R
D Q
G
ipres_b(0)
PRES(0)
mux(0)
iptx(0)
PTX(0)
1010
10103
10101
P(0, 1)
P(m, 1)
10111b
10114
10112
tin(1)
din(1)
dout(1)
ipsel(1)
PSEL(1)
addr_bit(1)
ipres_b(1)
PRES(1)
mux(1)
iptx(1)
PTX(1)
1011
10113
10111
10111a
P(0, n)
P(m, n)
101n4
101n2
tin(n)
din(n)
dout(n)
ipsel(n)
PSEL(n)
addr_bit(n)
ipres_b(n)
PRES(n)
mux(n)
iptx(n)
PTX(n)
101n
101n3
101n1
101n1b
101n1a
test_out

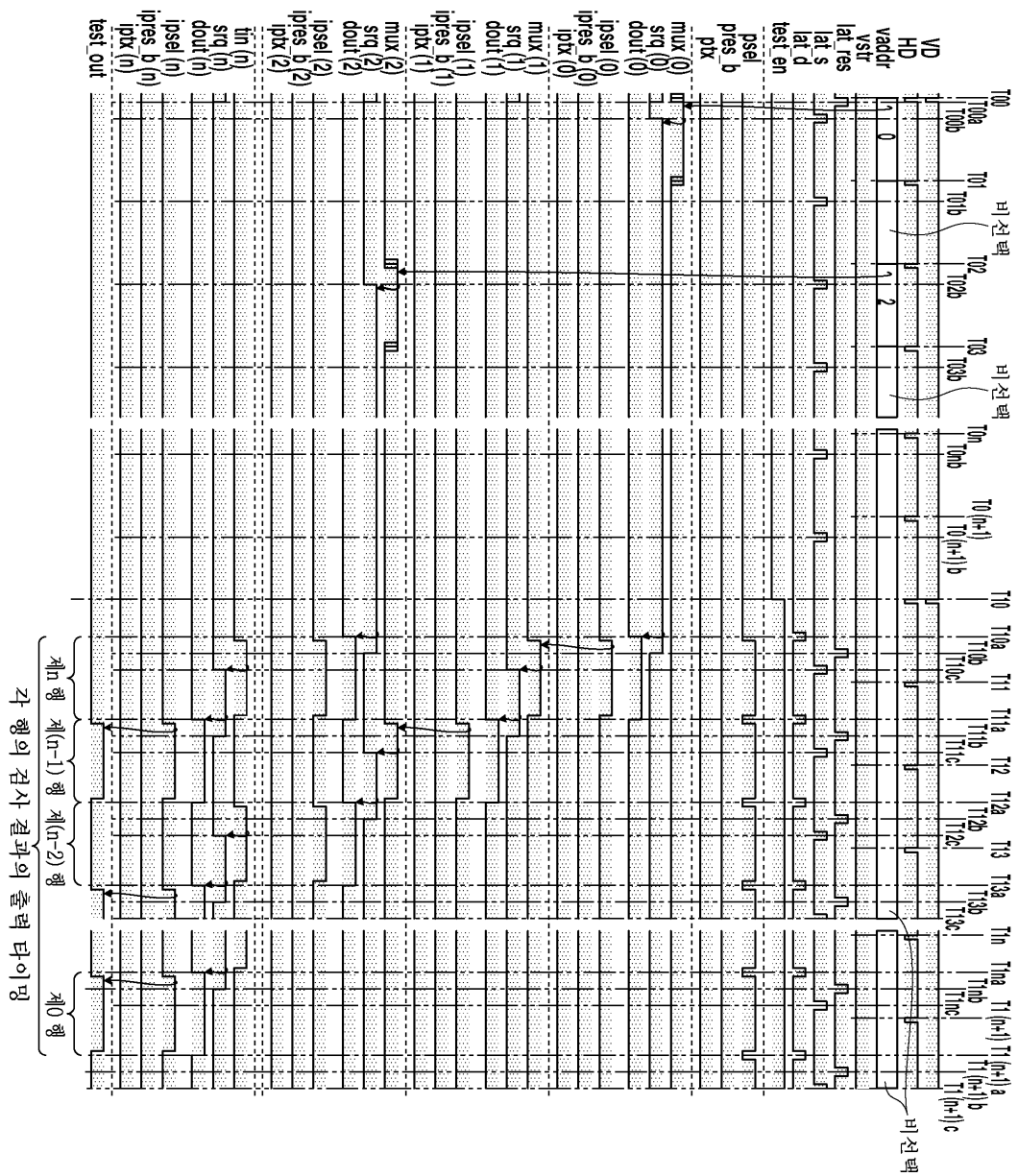
도면10


T00
T00a
T00b
T00c
T01
T01a
T01b
T01c
T02
T02a
T02b
T02c
T03
T03a
T03b
T03c
T0n
T0na
T0nb
T0nc
T0 (n+1)
T0 (n+1) a
T0 (n+1) b
T0 (n+1) c
VD
HD
vaddr
0
1
2
3
n
–
vstr
lat_res
lat_s
lat_d
test_en
psel
pres_b
ptx
addr_bit (0)
srq (0)
dout (0)
ipsel (0)
ipres_b (0)
iptx (0)
addr_bit (1)
srq (1)
dout (1)
ipsel (1)
ipres_b (1)
iptx (1)
addr_bit (2)
srq (2)
dout (2)
ipsel (2)
ipres_b (2)
iptx (2)
addr_bit (n)
srq (n)
dout (n)
ipsel (n)
ipres_b (n)
iptx (n)

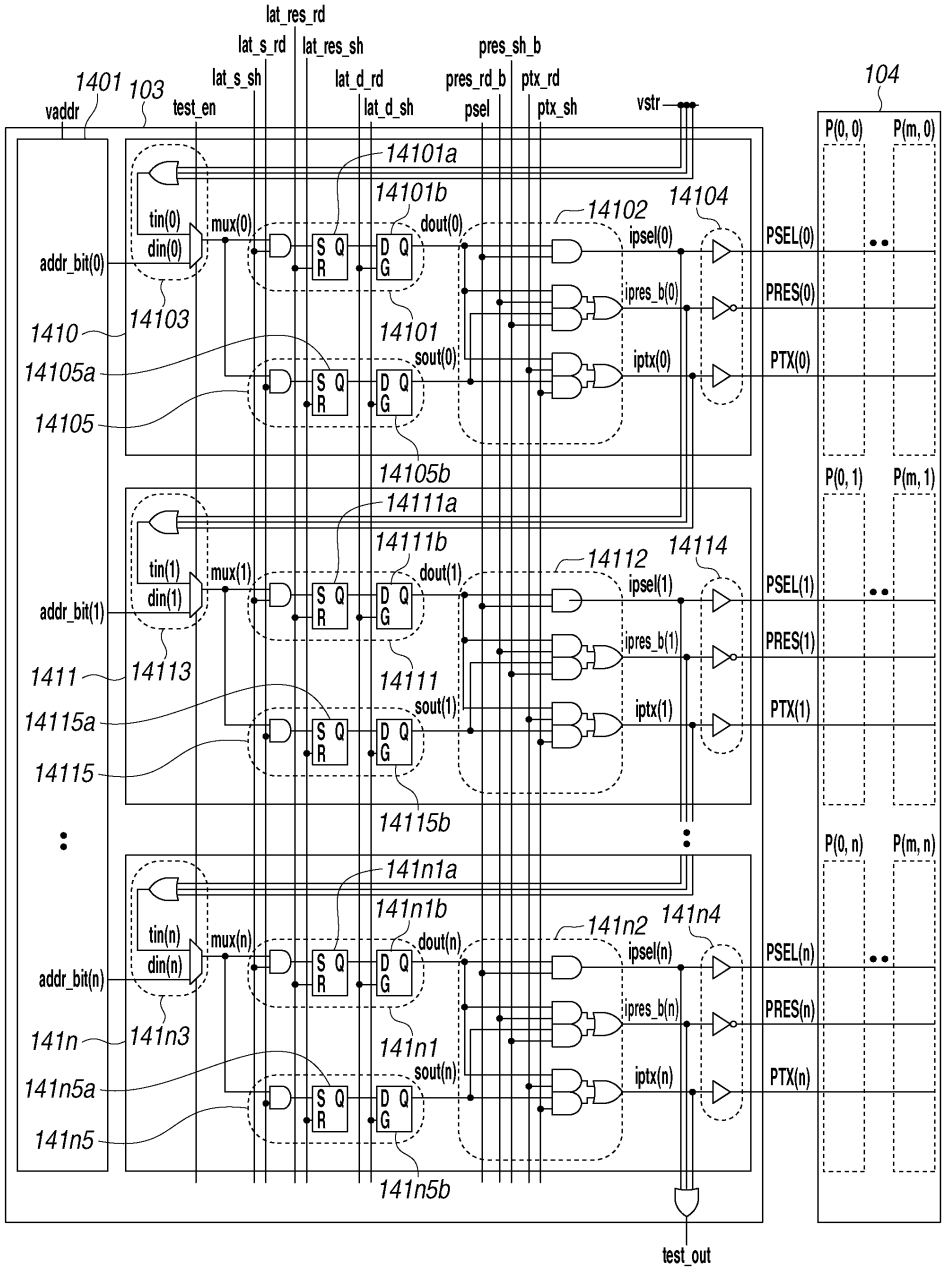
도면11


T00
T00a
T00b
T00c
T01
T01a
T01b
T01c
T02
T02a
T02b
T02c
T03
T03a
T03b
T03c
T0n
T0na
T0nb
T0nc
T0 (n+1)
T0 (n+1) a
T0 (n+1) b
T0 (n+1) c
VD
HD
vaddr
-(비 선 택)
-(비 선 택)
vstr
lat_res
lat_s
lat_d
test_en
psel
pres_b
ptx
tin (0)
srq (0)
dout (0)
ipsel (0)
ipres_b (0)
iptx (0)
tin (1)
srq (1)
dout (1)
ipsel (1)
ipres_b (1)
iptx (1)
tin (2)
srq (2)
dout (2)
ipsel (2)
ipres_b (2)
iptx (2)
tin (n)
srq (n)
dout (n)
ipsel(n)
ipres_b(n)
iptx(n)
test_out

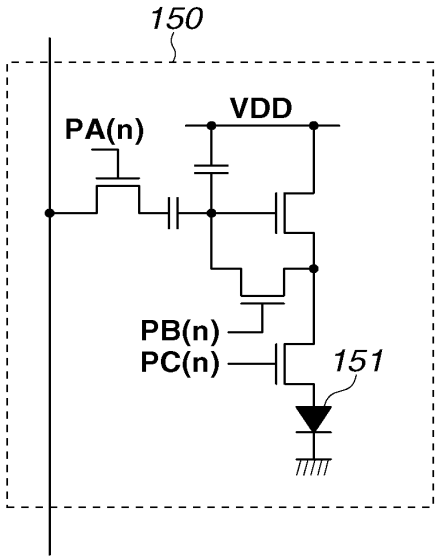
도면12


T00
T00a
T00b
T01
T01b
T02
T02b
T03
T03b
비선택
비선택
T0n
T0nb
T0(n+1)
T0(n+1)b
T10
T10a
T10b
T10c
T11
T11a
T11b
T11c
T12
T12a
T12b
T12c
T13
T13a
T13b
T13c
T1n
T1na
T1nb
T1nc
T1(n+1)
T1(n+1)a
T1(n+1)b
T1(n+1)c
비선택
VD
HD
vaddr
vstr
lat_res
lat_s
lat_d
test_en
psel
pres_b
ptx
mux(0)
srq(0)
dout(0)
ipsel(0)
ipres_b(0)
iptx(0)
mux(1)
srq(1)
dout(1)
ipsel(1)
ipres_b(1)
iptx(1)
mux(2)
srq(2)
dout(2)
ipsel(2)
ipres_b(2)
iptx(2)
tin(n)
srq(n)
dout(n)
ipsel(n)
ipres_b(n)
iptx(n)
test_out
제n 행
제(n-1) 행
제(n-2) 행
제0 행
각 행의 검사 결과의 출력 타이밍

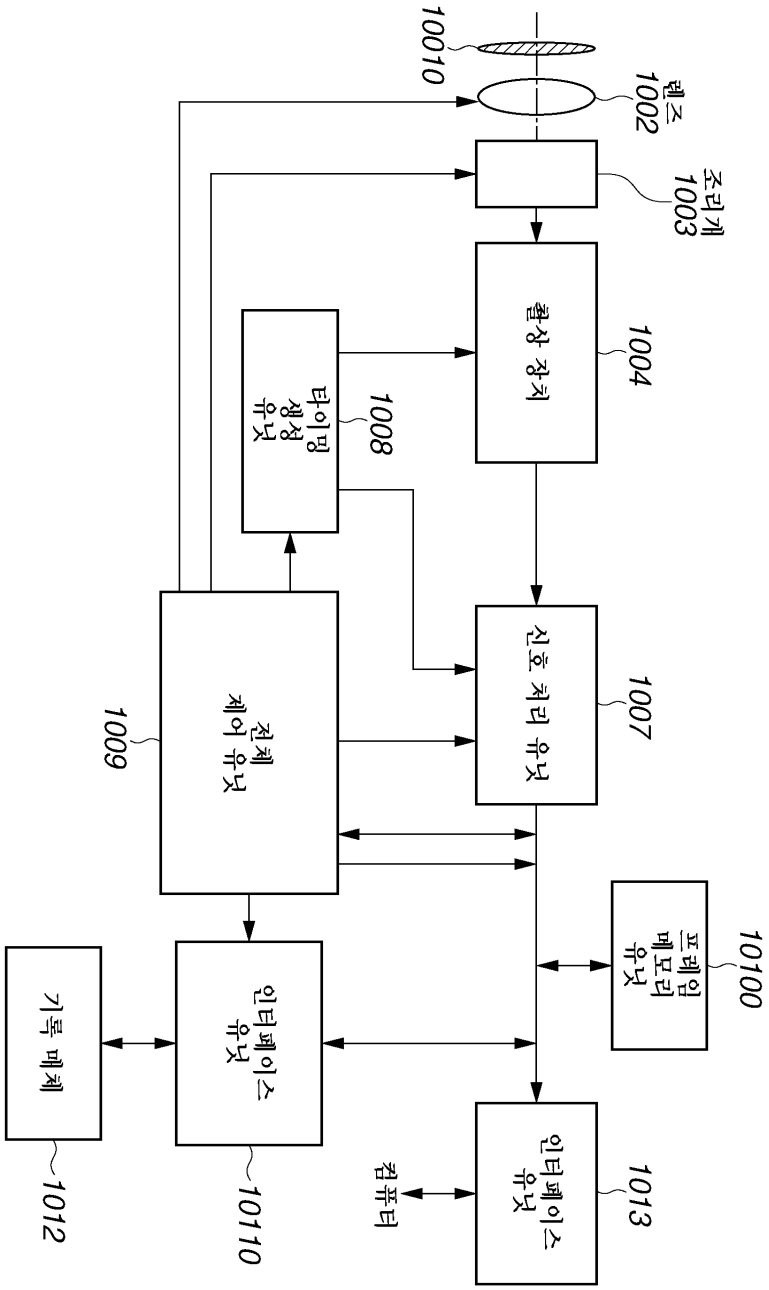
도면13


lat_res_rd
lat_s_rd
lat_res_sh
pres_sh_b
1401
103
lat_s_sh
lat_d_rd
pres_rd_b
ptx_rd
104
vaddr
test_en
lat_d_sh
psel
ptx_sh
vstr
14101a
14101b
14102
14104
tin(0)
din(0)
mux(0)
dout(0)
ipsel(0)
PSEL(0)
P(0, 0)
P(m, 0)
addr_bit(0)
ipres_b(0)
PRES(0)
1410
14103
14101
sout(0)
iptx(0)
PTX(0)
14105a
14105
14105b
14111a
14111b
14112
14114
tin(1)
din(1)
mux(1)
dout(1)
ipsel(1)
PSEL(1)
P(0, 1)
P(m, 1)
addr_bit(1)
ipres_b(1)
PRES(1)
1411
14113
14111
sout(1)
iptx(1)
PTX(1)
14115a
14115
14115b
141n1a
141n1b
141n2
141n4
tin(n)
din(n)
mux(n)
dout(n)
ipsel(n)
PSEL(n)
P(0, n)
P(m, n)
addr_bit(n)
ipres_b(n)
PRES(n)
141n
141n3
141n1
sout(n)
iptx(n)
PTX(n)
141n5a
141n5
141n5b
S Q
R
D Q
G
test_out

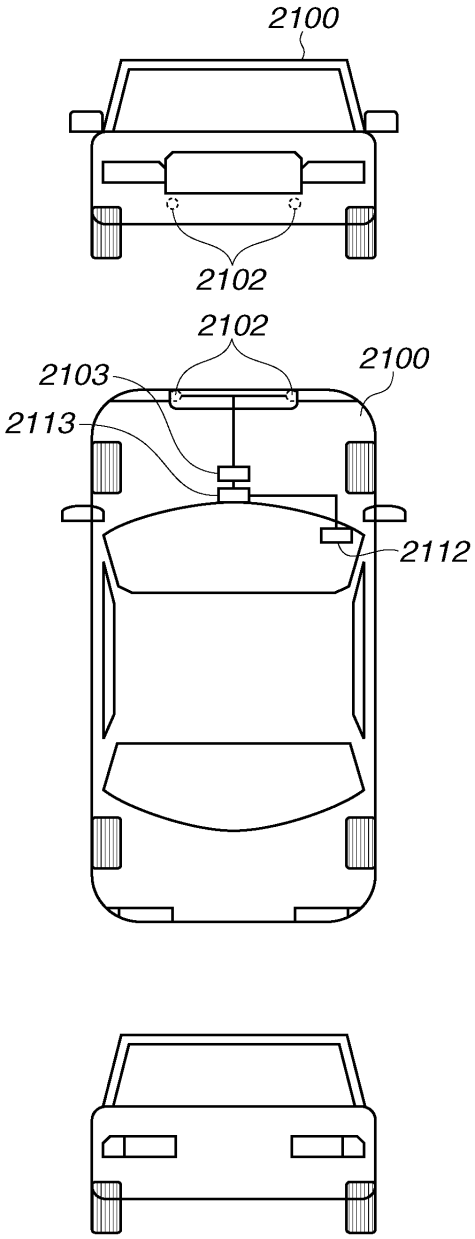
도면14



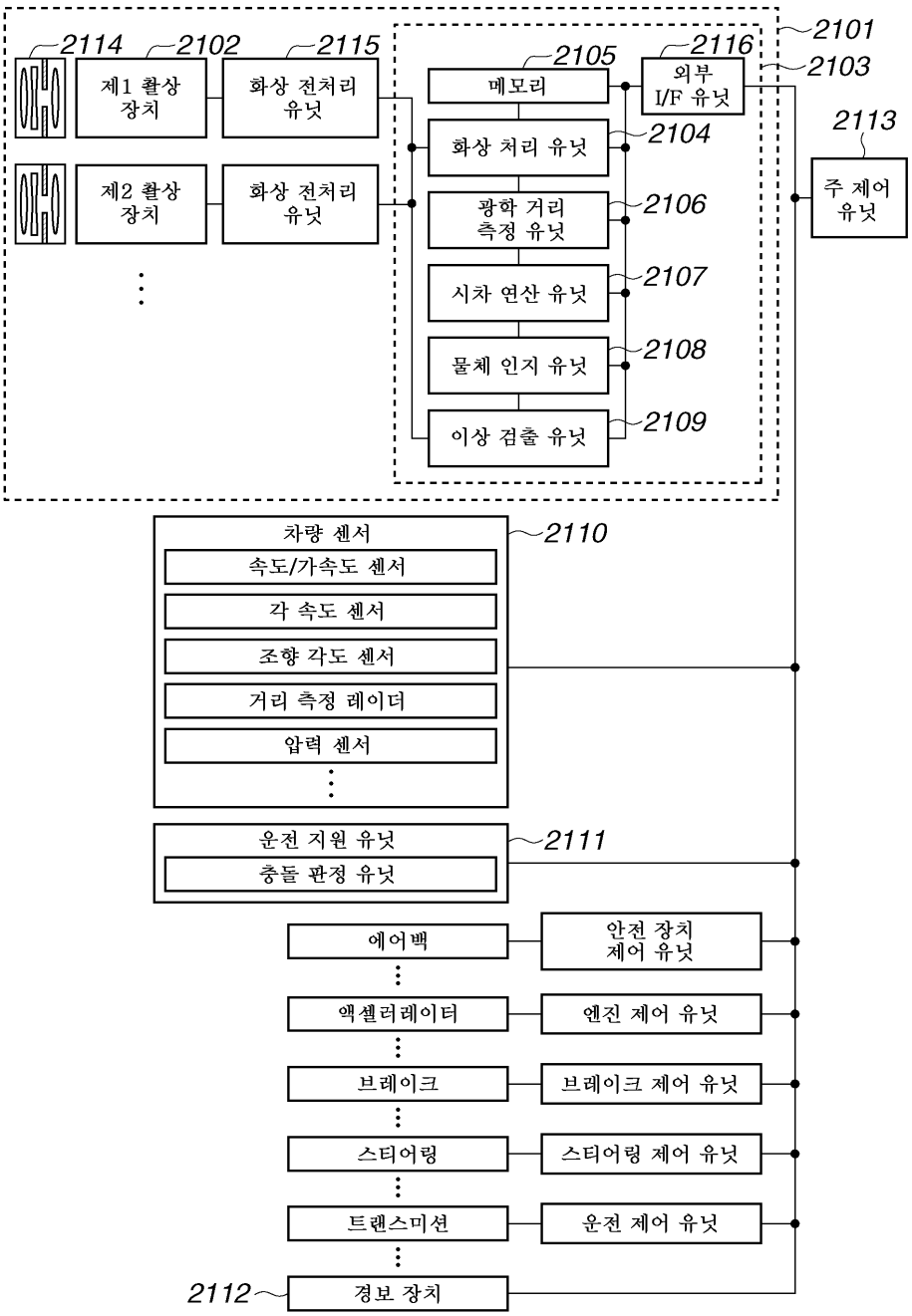
도면15


10010
렌즈
1002
조리개
1003
촬상 장치
1004
타이밍 생성 유닛
1008
신호 처리 유닛
1007
전체 제어 유닛
1009
프레임 메모리 유닛
10100
인터페이스 유닛
10110
기록 매체
1012
컴퓨터
인터페이스 유닛
1013

도면16a



도면16b


2101
2103
2113
2114
2102
2115
2105
2116
제1 활상 장치
화상 전처리 유닛
메모리
외부 I/F 유닛
제2 활상 장치
화상 전처리 유닛
화상 처리 유닛
2104
주 제어 유닛
광학 거리 측정 유닛
2106
시차 연산 유닛
2107
물체 인지 유닛
2108
이상 검출 유닛
2109
차량 센서
2110
속도/가속도 센서
각 속도 센서
조향 각도 센서
거리 측정 레이더
압력 센서
운전 지원 유닛
2111
충돌 판정 유닛
에어백
안전 장치 제어 유닛
액셀러레이터
엔진 제어 유닛
브레이크
브레이크 제어 유닛
스티어링
스티어링 제어 유닛
트랜스미션
운전 제어 유닛
2112
경보 장치