

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4897029号
(P4897029)

(45) 発行日 平成24年3月14日(2012.3.14)

(24) 登録日 平成24年1月6日(2012.1.6)

(51) Int.Cl.	F I	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	3 O 1 G
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08	3 2 1 D
HO 1 L 27/092 (2006.01)	HO 1 L 27/04	H
HO 1 L 27/04 (2006.01)		
HO 1 L 21/822 (2006.01)		

請求項の数 5 (全 13 頁)

(21) 出願番号	特願2009-256266 (P2009-256266)	(73) 特許権者	000003078
(22) 出願日	平成21年11月9日(2009.11.9)		株式会社東芝
(65) 公開番号	特開2011-100933 (P2011-100933A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成23年5月19日(2011.5.19)	(74) 代理人	100108062
審査請求日	平成23年4月26日(2011.4.26)		弁理士 日向寺 雅彦
早期審査対象出願		(72) 発明者	中村 和敏
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	安原 紀夫
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		審査官	松本 陶子

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、
 前記半導体基板上に選択的に設けられ、直線状の側面を有する素子分離絶縁体と、
 前記半導体基板上における前記素子分離絶縁体が設けられていない領域の少なくとも一部に形成され、前記直線状の側面に接した第1導電型のウェルと、
 前記ウェル上に選択的に形成され、前記直線状の側面に接した第2導電型のソース層と、
 前記半導体基板上に選択的に形成され、前記直線状の側面に接し、前記ソース層から離隔した第2導電型のドレイン層と、
 前記ソース層と前記ドレイン層との間に形成され、前記直線状の側面から離隔した第1導電型のコンタクト層と、
 前記ソース層及び前記コンタクト層に接続されたソース電極と、
 前記ドレイン層に接続されたドレイン電極と、
 前記素子分離絶縁体上に前記直線状の側面に沿って設けられたゲート電極と、
 を備え、
 前記直線状の側面は、前記ソース層から前記ドレイン層に向かう方向に延び、
 前記ソース層は、前記コンタクト層と前記直線状の側面との間の領域に進出した延出部を有することを特徴とする半導体装置。

【請求項2】

前記素子分離絶縁体は、前記直線状の側面に対向し、前記直線状の側面との間でストライプ状の領域を区画する他の直線状の側面をさらに有し、

前記ソース層、前記ドレイン層及び前記コンタクト層は、前記ストライプ状の領域に配置されており、

前記ソース層及び前記ドレイン層は、前記ストライプ状の領域の幅方向全長にわたって形成されていることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】

前記ドレイン層と前記ウェルとの間に配置され、前記ドレイン層に接し、第 2 導電型であり、実効的な不純物濃度が前記ドレイン層の実効的な不純物濃度よりも低いドリフト層をさらに備えたことを特徴とする請求項 1 または 2 に記載の半導体装置。

10

【請求項 4】

前記コンタクト層は前記ドリフト層に接していることを特徴とする請求項 3 記載の半導体装置。

【請求項 5】

前記ゲート電極と前記ドレイン層との間の最短距離が、前記ゲート電極と前記ソース層との間の最短距離よりも長いことを特徴とする請求項 1 ~ 4 のいずれか 1 つに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に、横型パワー MOSFET が設けられた半導体装置に関する。

20

【背景技術】

【0002】

近年、1チップにパワーデバイスとその制御回路を混載させること等を目的として、CMOS (complementary metal oxide semiconductor: 相補型金属酸化膜半導体素子) デバイスにパワーデバイスを集積させることが要求されている。この場合、微細構造を持つ CMOS チップに高電圧が印加される横型パワー MOSFET を形成することになるが、横型パワー MOSFET には高い耐圧が要求とされるため、CMOS のゲート酸化膜よりも厚いゲート酸化膜が必要となる。一方、CMOS においては、動作を高速に保つために、ゲート酸化膜をあまり厚くすることはできない。しかしながら、1つのチップに2種類のゲート酸化膜を形成しようとする、工程数が大幅に増加してしまい、製造コストが上昇してしまう。

30

【0003】

そこで、厚いゲート酸化膜を形成する代わりに、STI (shallow trench isolation) を利用する技術が提案されている。例えば、非特許文献 1 には、P 型のウェルに STI を形成し、STI に短冊状の開口部を形成して、この開口部内の両端部に N⁺ 型のソース層及びドレイン層を形成し、STI 上にゲート電極を形成する技術が開示されている。この技術によれば、STI の上面上にゲート電極を配置し、STI の側面上にウェルを配置することにより、ゲート電極とウェルとの間の距離を確保することができる。従って、厚いゲート酸化膜を形成するために工程を追加することなく、マスクレイアウトの変更のみにより、耐圧が高い横型パワー MOSFET を実現することができる。しかしながら、本発明者等の検討によると、非特許文献 1 に記載されたデバイスにおいては、アバランシェ耐量及び ESD (Electrostatic Discharge: 静電気放電) 耐量が十分ではない可能性がある。

40

【先行技術文献】

【非特許文献】

【0004】

【非特許文献 1】 J.Sonsky et. al., "Towards universal and voltage-scalable high gate- and drain-voltage MOSFETs in CMOS" 2009 International Symposium on Power Se

50

micronductor Devices and ICs, p.315

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の目的は、パワーデバイスとCMOSデバイスとを混載することができ、パワーデバイスのアバランシェ耐量及びESD耐量が高い半導体装置を提供することである。

【課題を解決するための手段】

【0006】

本発明の一態様によれば、半導体基板と、前記半導体基板上に選択的に設けられ、直線状の側面を有する素子分離絶縁体と、前記半導体基板上における前記素子分離絶縁体が設けられていない領域の少なくとも一部に形成され、前記直線状の側面に接した第1導電型のウェルと、前記ウェル上に選択的に形成され、前記直線状の側面に接した第2導電型のソース層と、前記半導体基板上に選択的に形成され、前記直線状の側面に接し、前記ソース層から離隔した第2導電型のドレイン層と、前記ソース層と前記ドレイン層との間に形成され、前記直線状の側面から離隔した第1導電型のコンタクト層と、前記ソース層及び前記コンタクト層に接続されたソース電極と、前記ドレイン層に接続されたドレイン電極と、前記素子分離絶縁体上に前記直線状の側面に沿って設けられたゲート電極と、を備え、前記直線状の側面は、前記ソース層から前記ドレイン層に向かう方向に延び、前記ソース層は、前記コンタクト層と前記直線状の側面との間の領域に進出した延出部を有する半導体装置が提供される。

10

20

【発明の効果】

【0007】

本発明によれば、パワーデバイスとCMOSデバイスとを混載することができ、パワーデバイスのアバランシェ耐量及びESD耐量が高い半導体装置を実現することができる。

【図面の簡単な説明】

【0008】

【図1】(a)は、本発明の第1の実施形態に係る半導体装置を例示する平面図であり、(b)は(a)に示すX-X'線による断面図であり、(c)は(a)に示すY-Y'線による断面図である。

【図2】(a)は比較例に係る半導体装置を例示する平面図であり、(b)は(a)に示すY-Y'線による断面図である。

30

【図3】(a)は本発明の第2の実施形態に係る半導体装置を例示する平面図であり、(b)は(a)に示すY-Y'線による断面図である。

【図4】(a)は本発明の第3の実施形態に係る半導体装置を例示する平面図であり、(b)は(a)に示すY-Y'線による断面図である。

【図5】本発明の第4の実施形態に係る半導体装置を例示する平面図である。

【図6】(a)は本発明の第5の実施形態に係る半導体装置を例示する平面図であり、(b)は(a)に示すY-Y'線による断面図である。

【図7】第5の実施形態の変形例に係る半導体装置を例示する平面図である。

【図8】(a)は本発明の第6の実施形態に係る半導体装置を例示する平面図であり、(b)は(a)に示すY-Y'線による断面図である。

40

【発明を実施するための形態】

【0009】

以下、図面を参照しつつ、本発明の実施形態について説明する。

まず、本発明の第1の実施形態について説明する。

図1(a)は、本実施形態に係る半導体装置を例示する平面図であり、(b)は(a)に示すX-X'線による断面図であり、(c)は(a)に示すY-Y'線による断面図である。

【0010】

図1(a)~(c)に示すように、本実施形態に係る半導体装置1においては、導電型

50

がP⁻型の半導体基板11が設けられている。半導体基板11は、例えば、単結晶のシリコン基板である。半導体基板11の上部には、導電型がP型のウェル12が選択的に形成されている。ウェル12の実効的な不純物濃度は、半導体基板11の実効的な不純物濃度よりも高い。なお、本明細書において「実効的な不純物濃度」とは、半導体材料の導電に寄与する不純物の濃度をいい、例えば、半導体材料にドナーとなる不純物とアクセプタとなる不純物の双方が含有されている場合には、活性化した不純物のうち、ドナーとアクセプタの相殺分を除いた分の濃度をいう。

【0011】

ウェル12には、STI13が選択的に設けられている。STI13は、半導体装置1全体において、素子分離絶縁体として用いられているものである。例えば、半導体基板11がシリコンにより形成されている場合には、STI13はシリコン酸化物により形成されている。STI13には、ストライプ状の開口部14が相互に平行に複数本形成されており、開口部14内にはウェル12が配置されている。ウェル12は、STI13よりも深く形成されている。以下、ウェル12のうちSTI13の開口部14内及び開口部14の直下域に配置されている部分を、能動部分15という。本実施形態においては、能動部分15の形状は直方体形状である。また、能動部分15の長手方向における両端部をそれぞれ端部15a及び15bとする。

10

【0012】

能動部分15の一方の端部15aの上部には、導電型がN⁺型のソース層17が形成されている。ソース層17は能動部分15の幅方向全長にわたって形成されており、端部15aにおいてSTI13の三方の側面13aに接している。また、能動部分15の他方の端部15bの上部には、導電型がN⁺型のドレイン層18が形成されている。ドレイン層18は能動部分15の幅方向全長にわたって形成されており、端部15bにおいてSTI13の三方の側面13aに接している。ドレイン層18はソース層17から離隔している。

20

【0013】

そして、能動部分15におけるソース層17とドレイン層18との間には、導電型がP⁺型のコンタクト層19が形成されている。コンタクト層19の実効的な不純物濃度はウェル12の実効的な不純物濃度よりも高い。コンタクト層19はソース層17に接しており、STI13からは離隔している。すなわち、能動部分15の幅方向において、コンタクト層19の両側、すなわち、コンタクト層19とSTI13との間には、ウェル12が介在している。

30

【0014】

また、ソース層17及びコンタクト層19の直上には、ソース電極21が設けられている。ソース電極21はソース層17及びコンタクト層19に共通接続されている。一方、ドレイン層18の直上には、ドレイン電極22が設けられている。ドレイン電極22はドレイン層18に接続されている。

【0015】

更に、STI13上には、ストライプ状のゲート電極23が設けられている。ゲート電極23はSTI13の上面上において、側面13aに沿って、側面13aから一定の距離だけ離隔して配置されている。すなわち、ゲート電極23の長手方向は開口部14の長手方向と同じであり、ゲート電極23とSTI13の側面13aとの間の距離はほぼ均一である。また、ゲート電極23は、ソース層17の近傍からドレイン層18の近傍まで延びている。例えば、開口部14が相互に平行に複数本形成されている場合には、ゲート電極23は開口部14の相互間及び開口部14からなる列の両側に配置されている。

40

【0016】

次に、本実施形態の動作について説明する。

本実施形態に係る半導体装置1においては、能動部分15、STI13及びゲート電極23により、横型パワーMOSFETが構成される。例えば、ソース電極21によりソース層17及びコンタクト層19に接地電位が印加され、ドレイン電極22によりドレイン

50

層 1 8 に正電位が印加されると、P 型のウェル 1 2 と N⁺ 型のドレイン層 1 8 との界面から空乏層が広がる。この状態で、ゲート電極 2 3 にしきい値電圧以上の正電位が印加されると、ゲート電極 2 3 とウェル 1 2 との間に電界が生じ、能動部分 1 5 のウェル 1 2 における S T I 1 3 の側面 1 3 a に沿った部分の上部及びウェル 1 2 の上層部分におけるゲート電極 2 3 に近い部分に反転層 2 5 が形成されて、横型パワー M O S F E T がオン状態となる。

【 0 0 1 7 】

そして、例えば、ドレイン電極 2 2 にインダクタンスが接続された状態で、横型パワー M O S F E T がオン状態からオフ状態になると、ドレイン層 1 8 とソース層 1 7 との間にブレークダウン電圧を超える高電圧が印加される。これにより、ウェル 1 2 内の電界が臨

10

界電界に達し、アバランシェ降伏が生じ、正孔 - 電子対が発生する。このとき発生した電子はドレイン層 1 8 に流入し、正孔 (ホール) はソース層 1 7 に向かう。

【 0 0 1 8 】

しかし、本実施形態においては、ドレイン層 1 8 から見てソース層 1 7 の手前に、ソース電極 2 1 に接続された P⁺ 型のコンタクト層 1 9 が設けられているため、発生したホールの大部分はコンタクト層 1 9 に流入し、コンタクト層 1 9 を介してソース電極 2 1 に排出される。このため、多量のホール電流がソース層 1 7 に流入することがなく、従って、ホール電流の通電に伴う電圧降下により、ソース層 1 7 の電位に対してウェル 1 2 の電位が高くなることなく、P 型のウェル 1 2 と N⁺ 型のソース層 1 7 との P N 界面が順方向にバイアスされることがなく、N⁺ 型のドレイン層 1 8、P 型のウェル 1 2、N⁺ 型のソ

20

ース層 1 7 からなる寄生 N P N トランジスタがオン状態となることがない。

【 0 0 1 9 】

半導体装置 1 において、アバランシェ電流は、P 型のウェル 1 2 及び N⁺ 型のソース層 1 7 からなり逆方向にバイアスされた P N ダイオードを流れる。P N ダイオードは N P N トランジスタのようにスナップバックすることがないため、電流が 1 ヶ所に集中しにくく、能動部分 1 5 の幅方向全体において均一に流れやすい。このため、電流が集中した部分で多量の熱が局所的に発生することがない。この結果、半導体装置 1 はアバランシェ耐量が高い。

【 0 0 2 0 】

ソース電極 2 1 又はドレイン電極 2 2 に E S D が印加された場合も同様である。すなわ

30

【 0 0 2 1 】

ち、E S D 電流は能動部分 1 5 の幅方向において均一に流れ、1 ヶ所に集中しにくい。このため、半導体装置 1 においては、E S D が印加されても局所的な発熱が生じにくく、E S D 耐量が高い。

また、上述の如く、半導体装置 1 においては、横型パワー M O S F E T がオン状態であるときに、ゲート電極 2 3 とウェル 1 2 との間に電界が発生し、能動部分 1 5 における S T I 1 3 の側面 1 3 a に接した部分の上部及び能動部分 1 5 の上層部分におけるゲート電極 2 3 の近傍に反転層 2 5 が形成される。この反転層 2 5 がコンタクト層 1 9 によって遮られると、横型パワー M O S F E T の実効的なチャネル幅が減少してしまうが、反転層 2 5 における能動部分 1 5 の上層部分に形成される部分については、ゲート電極 2 3 からの電界はゲート電極 2 3 からの距離に反比例して弱くなるため、反転層 2 5 の電荷はゲート電極 2 3 に近い部分においてより多く発生し、ゲート電極 2 3 から離れた部分においてより少なく発生する。そして、コンタクト層 1 9 は S T I 1 3 から離隔しているため、反転層 2 5 がコンタクト層 1 9 によって遮られるとしても、遮られる部分の電荷は少なく、影響は小さい。また、反転層 2 5 における S T I 1 3 の側面 1 3 a に接した部分については、コンタクト層 1 9 は S T I 1 3 から離隔しているため、コンタクト層 1 9 によって遮られることがない。この結果、コンタクト層 1 9 の存在による実効的なチャネル幅の減少を抑えながら、アバランシェ耐量及び E S D 耐量を改善することができる。これに対して、通常の L D M O S (Laterally Diffused MOS: 横方向拡散 M O S) において、ソース層から見てドレイン側にこのようなコンタクト層を形成すると、コンタクト層を設けた分だけ

40

50

チャンネル幅が減少してしまい、オン電流が減少してしまう。

【0022】

以下、本実施形態の効果について説明する。

本実施形態によれば、STI13上にゲート電極23を設けることにより、パワーデバイス専用の厚いゲート酸化膜を形成することなく、ウェル12とゲート電極23との間の距離を確保し、耐圧を確保することができる。これにより、工程を大きく追加することなく、マスクレイアウトの変更により、CMOSデバイスにパワーデバイスを混載することができる。

【0023】

また、本実施形態によれば、上述の動作により、アバランシェ電流及びESD電流を均一に流すことができるため、電流集中による局所的な発熱を防止することができる。これにより、本実施形態に係る半導体装置1はアバランシェ耐量及びESD耐量が高い。

【0024】

更に、本実施形態においては、コンタクト層19がSTI13から離隔しているため、コンタクト層19の存在による実効的なチャンネル幅の減少を抑えることができ、オン電流の減少を抑制することができる。

【0025】

次に、本実施形態の比較例について説明する。

図2(a)は本比較例に係る半導体装置を例示する平面図であり、(b)は(a)に示すY-Y'線による断面図である。

図2(a)及び(b)に示すように、本変形例に係る半導体装置101においては、第1の実施形態に係る半導体装置1(図1参照)と比較して、ソース層17とコンタクト層19の位置関係が逆になっている。すなわち、コンタクト層19が、ソース層17から見て、ドレイン層18の反対側に配置されている。

【0026】

半導体装置101においては、能動部分15内でアバランシェ降伏が生じると、発生したホール電流が、N⁺型のドレイン層18、P型のウェル12、N⁺型のソース層17からなる寄生NPNトランジスタ110のベース電流となり、ウェル12からソース層17に向かって流れる。このとき、ベースの寄生抵抗111にホール電流が流れることによる電圧降下によって、P型のウェル12の電位がN⁺型のソース層17の電位よりも高くなり、ベース-エミッタ間、すなわち、P型のウェル12とN⁺型のソース層17との間のPN界面が順方向にバイアスされる。この結果、寄生NPNトランジスタ110がオン状態になる。

【0027】

能動部分15の幅方向における一部分において、寄生NPNトランジスタ110がオン状態となると、その部分のオン抵抗が低下し、ますます電流が流れるようになる。このため、幅方向における他の部分においては、寄生NPNトランジスタ110はオン状態とならず、最初にオン状態となった部分に集中して電流が流れてしまう。そして、電流が集中している部分において、温度が局所的に上昇し、半導体基板11が熔融し、半導体装置101が物理的に破壊されてしまう。特に、半導体装置101においては、通常のLD MOSと比較して、能動部分15がSTI13に囲まれているため発生した熱が逃げにくく、温度が局所的に上昇しやすい。このため、半導体装置101はアバランシェ耐量が低い。同様な理由により、半導体装置101はESD耐量も低い。

【0028】

次に、本発明の第2の実施形態について説明する。

図3(a)は本実施形態に係る半導体装置を例示する平面図であり、(b)は(a)に示すY-Y'線による断面図である。

図3(a)及び(b)に示すように、本実施形態に係る半導体装置2においては、前述の第1の実施形態に係る半導体装置1(図1参照)と比較して、コンタクト層19が能動部分15の幅方向全長にわたって形成されており、能動部分15の幅方向両側においてS

10

20

30

40

50

STI13の側面13aに接している。

【0029】

図3(b)に示すように、半導体装置2においては、横型パワーMOSFETがオン状態となったときは、反転層25がウェル12における側面13に接した部分に形成される。そして、オン電流を構成する電子は、反転層25内においてコンタクト層19の下方を回り込むように流れる。本実施形態における上記以外の構成及び動作は、前述の第1の実施形態と同様である。

【0030】

本実施形態においては、前述の第1の実施形態と比較して、ソース層17及びドレイン層18だけでなく、コンタクト層19についても、ストライプ状の能動部分15の幅方向全長にわたって形成されている。これにより、STI13とコンタクト層19の間に隙間を設ける必要がないため、半導体装置2を微細化しても、コンタクト層19を安定して形成することができる。このため、半導体装置2の製造が容易であり、特性が安定する。このように、本実施形態の構造は、微細化に対して有利である。

10

【0031】

本実施形態における上記以外の効果は、前述の第1の実施形態と同様である。すなわち、本実施形態においても、STI13上にゲート電極23を設けることにより、工程を大きく追加することなく、CMOSデバイスにパワーデバイスを混載することができる。また、ソース層17から見てドレイン層18側にコンタクト層19を形成することにより、アバランシェ耐量及びESD耐量を向上させることができる。

20

【0032】

次に、本発明の第3の実施形態について説明する。

図4(a)は本実施形態に係る半導体装置を例示する平面図であり、(b)は(a)に示すY-Y'線による断面図である。

図4(a)及び(b)に示すように、本実施形態に係る半導体装置3においては、前述の第1の実施形態に係る半導体装置1(図1参照)と比較して、ドリフト層が形成されている点、及びゲート電極の形状が異なっている。

【0033】

すなわち、本実施形態に係る半導体装置3においては、STI13の開口部14内において、ウェル12がソース層17側のみに形成されている。そして、ドレイン層18とウェル12との間には、ドリフト層31が形成されている。ドリフト層31はドレイン層18及びウェル12の双方に接している。ドリフト層31の導電型はN型であり、その実効的な不純物濃度はドレイン層18の実効的な不純物濃度よりも低い。

30

【0034】

また、半導体装置3においては、STI13上に、ゲート電極33が設けられている。ゲート電極33の形状はストライプ状であるが、その幅は長手方向において異なっている。すなわち、ゲート電極33においては、ソース層17及びウェル12の近傍に配置されたソース側部分33aと、ドリフト層31及びドレイン層18の近傍に配置されたドレイン側部分33bとが設けられている。ソース側部分33aとドレイン側部分33bとは、一体的に形成されている。そして、ソース側部分33aの中心軸とドレイン側部分33bの中心軸とは同一直線上に配置されており、ドレイン側部分33bはソース側部分33aよりも細くなっている。これにより、半導体装置3においては、ゲート電極33とドレイン層18との間の最短距離が、ゲート電極33とソース層17との間の最短距離よりも長くなっている。本実施形態における上記以外の構成は、前述の第1の実施形態と同様である。

40

【0035】

本実施形態においては、N⁺型のドレイン層18とP型のウェル12との間にN型のドリフト層31を設けることにより、ドレイン層18とウェル12との間に印加される電界を緩和することができ、ドレイン-ソース間の耐圧を改善することができる。また、ゲート電極33とドレイン層18との間の距離を長くすることにより、ゲート-ドレイン間の

50

電界を緩和することができる。この結果、ゲート - ドレイン間でブレイクダウンが生じにくくなり、ゲート - ドレイン間の耐圧を改善することができる。本実施形態における上記以外の動作及び効果は、前述の第 1 の実施形態と同様である。

【 0 0 3 6 】

次に、本発明の第 4 の実施形態について説明する。

図 5 は本実施形態に係る半導体装置を例示する平面図である。

図 5 に示すように、本実施形態においては、前述の第 1 の実施形態と比較して、S T I の形状が異なっている。前述の第 1 ~ 第 3 の実施形態においては、S T I 1 3 に囲まれた短冊状の領域に横型パワー M O S F E T を形成する例を示したが、本実施形態においては、S T I を複数本のストライプ状に形成し、2 本の S T I によって挟まれた領域に横型パ
10
ワー M O S F E T が形成されている。

【 0 0 3 7 】

すなわち、図 5 に示すように、本実施形態に係る半導体装置 4 においては、P⁻型の半導体基板 1 1 の上部に P 型のウェル 1 2 が形成されており、ウェル 1 2 の上部に N⁺型のソース層 1 7 及びドレイン層 1 8 が相互に離隔して形成されている。ウェル 1 2 においては、ソース層 1 7 及びドレイン層 1 8 を貫くように、複数本のストライプ状の S T I 4 3 が相互に離隔して且つ相互に平行に設けられている。そして、ウェル 1 2 における S T I 4 3 に挟まれた領域毎に、P⁺型のコンタクト層 1 9 が形成されている。コンタクト層 1 9 はソース層 1 7 に接しており、S T I 4 3 からは離隔している。また、S T I 4 3 上には、S T I 4 3 と平行にゲート電極 2 3 が設けられている。ゲート電極 2 3 は S T I 4 3
20
の側面 4 3 a に沿って側面 4 3 a から一定の距離を隔てて配置されており、ソース層 1 7 の近傍からドレイン層 1 8 の近傍まで延びている。本実施形態における上記以外の構成及び動作は、前述の第 1 の実施形態と同様である。本実施形態によっても、前述の第 1 の実施形態と同様な効果を得ることができる。

【 0 0 3 8 】

次に、本発明の第 5 の実施形態について説明する。

図 6 (a) は本実施形態に係る半導体装置を例示する平面図であり、(b) は (a) に示す Y - Y ' 線による断面図である。

図 6 (a) 及び (b) に示すように、本実施形態に係る半導体装置 5 においては、前述の第 1 の実施形態に係る半導体装置 1 (図 1 参照) と比較して、ソース層の形状及びゲート
30
電極の長さが異なっている。

【 0 0 3 9 】

すなわち、半導体装置 5 においては、N⁺型のソース層 1 7 の幅方向両端部に、ドレイン層 1 8 に向かって延出した延出部 1 7 a が設けられている。このため、上方から見て、ソース層 1 7 全体の形状はコ字状である。延出部 1 7 a は、S T I 1 3 とコンタクト層 1 9 との間に進出している。ソース層 1 7 からドレイン層 1 8 に向かう方向において、延出部 1 7 a の先端の位置は、コンタクト層 1 9 の先端の位置とほぼ等しい。

【 0 0 4 0 】

また、半導体装置 5 においては、延出部 1 7 a が延出している分、ゲート電極 2 3 の長さが短くなっている。すなわち、ソース層 1 7 からドレイン層 1 8 に向かう方向において、ゲート電極 2 3 のソース層 1 7 側の端縁の位置は、延出部 1 7 a におけるドレイン層 1 8 側の端縁の位置とほぼ等しい。本実施形態における上記以外の構成は、前述の第 1 の実施形態と同様である。
40

【 0 0 4 1 】

本実施形態においては、ソース層 1 7 に延出部 1 7 a を設けることにより、延出部 1 7 a の長さの分だけ、チャネル長を短くすることができる。チャネル長を短くすることにより、横型パワー M O S F E T の電流駆動能力を向上させることができる。一方、延出部 1 7 a は S T I 1 3 とコンタクト層 1 9 との間配置されており、ドレイン層 1 8 とコンタクト層 1 9 との間には介在していないため、アバランシェ降伏により発生したホール電流は、延出部 1 7 a によって妨げられることなく、コンタクト層 1 9 に流入する。このため
50

、このホール電流の電圧降下に起因して、ソース層 17 の電位に対してウェル 12 におけるソース層 17 に接する部分の電位が高くなることなく、寄生 NPN トランジスタがオン状態となることがない。従って、延出部 17a を設けることにより、アバランシェ耐量が低下することはない。同様に、ESD 電流も延出部 17a によって妨げられることなく、コンタクト層 19 に流入するため、寄生 NPN トランジスタをオン状態とすることがなく、ESD 耐量が低下することはない。このように、本実施形態によれば、前述の第 1 の実施形態と比較して、アバランシェ耐量及び ESD 耐量を同じレベルに維持しつつ、電流駆動能力を向上させることができる。本実施形態における上記以外の動作及び効果は、前述の第 1 の実施形態と同様である。

【0042】

次に、本実施形態の変形例について説明する。

図 7 は、本変形例に係る半導体装置を例示する平面図である。

図 7 に示すように、本変形例に係る半導体装置 5a においては、ソース層 17 からドレイン層 18 に向かう方向において、コンタクト層 19 の先端の位置が、延出部 17a の先端の位置よりもドレイン層 18 側に突出している。これにより、アバランシェ降伏により発生したホール電流をより確実にコンタクト層 19 に流入させることができる。本変形例における上記以外の構成、動作及び効果は、前述の第 5 の実施形態と同様である。

【0043】

次に、本発明の第 6 の実施形態について説明する。

図 8 (a) は本実施形態に係る半導体装置を例示する平面図であり、(b) は (a) に示す Y-Y' 線による断面図である。

図 8 (a) 及び (b) に示すように、本実施形態に係る半導体装置 6 においては、前述の第 3 の実施形態に係る半導体装置 3 (図 4 参照) と比較して、主として、P 型のウェル 12 と N 型のドリフト層 31 との境界がソース層 17 側に移動している点、及び、P⁺ 型のコンタクト層 19 がドリフト層 31 に接している点が異なっている。

【0044】

より詳細には、第 3 の実施形態と比較して、P 型のウェル 12 がソース層 17 側に後退しており、その分、N 型のドリフト層 31 がソース層 17 側に進出している。また、ウェル 12 とドリフト層 31 との境界の移動に合わせて、ゲート電極 33 のソース側部分 33a とドレイン側部分 33b との境界もソース層 17 側に移動している。すなわち、第 3 の実施形態と比較して、ソース側部分 33a がより短くなり、ドレイン側部分 33b がより長くなっている。更に、第 3 の実施形態と比較して、コンタクト層 19 はドレイン層 18 側に進出している。これにより、コンタクト層 19 はウェル 12 からはみ出し、ドリフト層 31 内に進入し、ドリフト層 31 に接している。本実施形態における上記以外の構成は、前述の第 3 の実施形態と同様である。

【0045】

本実施形態においては、P 型のウェル 12 と N 型のドリフト層 31 との境界をソース層 17 側に移動させることにより、チャンネル長、すなわち、ソース層 17 とドリフト層 31 との間の距離を短くしている。これにより、横型パワー MOSFET の電流駆動能力を向上させることができると共に、素子サイズを縮小することができる。

【0046】

なお、横型パワー MOSFET がオフ状態にあるときに、ソース層 17 とドレイン層 18 との間に電圧が印加されると、ウェル 12 とドリフト層 31 の界面から空乏層が発生する。このとき、ドリフト層 31 における不純物ドーザ量をウェル 12 における不純物ドーザ量よりも低く設定しておくこと、空乏層は主としてドリフト層 31 側に伸びるが、多少はウェル 12 側にも伸びる。そして、ウェル 12 側に伸びた空乏層がソース層 17 に到達すると、ソース層 17 から空乏層に対して電子が注入され、リーク電流が流れてしまう。

【0047】

しかしながら、本実施形態においては、P⁺ 型のコンタクト層 19 がドリフト層 31 まで延びているため、空乏層はコンタクト層 19 とドリフト層 31 との界面から発生する。

10

20

30

40

50

この場合、コンタクト層 19 はウェル 12 よりも不純物濃度が高いため、コンタクト層 19 内における空乏層の伸びは少ない。このため、空乏層はコンタクト層 19 内において停止し、ソース層 17 までには到達しない。これにより、本実施形態においては、チャンネル長を短くしても、リーク電流は発生しにくい。

【0048】

また、アバランシェ降伏により発生したホール電流は、ソース層 17 によって妨げられることなく、コンタクト層 19 に流入する。ESD 電流も同様である。このため、本実施形態においても、前述の第 3 の実施形態と同様に、良好なアバランシェ耐量及び ESD 耐量を得ることができる。すなわち、本実施形態によれば、前述の第 3 の実施形態と比較して、アバランシェ耐量及び ESD 耐量を同じレベルに維持しつつ、電流駆動能力を向上させることができる。本実施形態における上記以外の動作及び効果は、前述の第 3 の実施形態と同様である。

10

【0049】

以上、実施形態を参照して本発明を説明したが、本発明はこれらの実施形態に限定されるものではない。前述の各実施形態は、相互に組み合わせて実施することができる。また、前述の各実施形態に対して、当業者が適宜、構成要素の追加、削除若しくは設計変更を行ったもの、又は、工程の追加、省略若しくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含有される。

【0050】

例えば、前述の各実施形態においては、半導体基板、ウェル及びコンタクト層の導電型を P 型とし、ソース層及びドレイン層の導電型を N 型とする例を示したが、これらの導電型は逆にしてもよい。また、前述の各実施形態においては、STI に囲まれた領域又は STI に挟まれた領域に横型パワー MOSFET を形成する例を示したが、STI 並びにソース層及びドレイン層のレイアウトはこれに限定されず、ソース層及びドレイン層が STI の側面に接するように形成されていればよい。

20

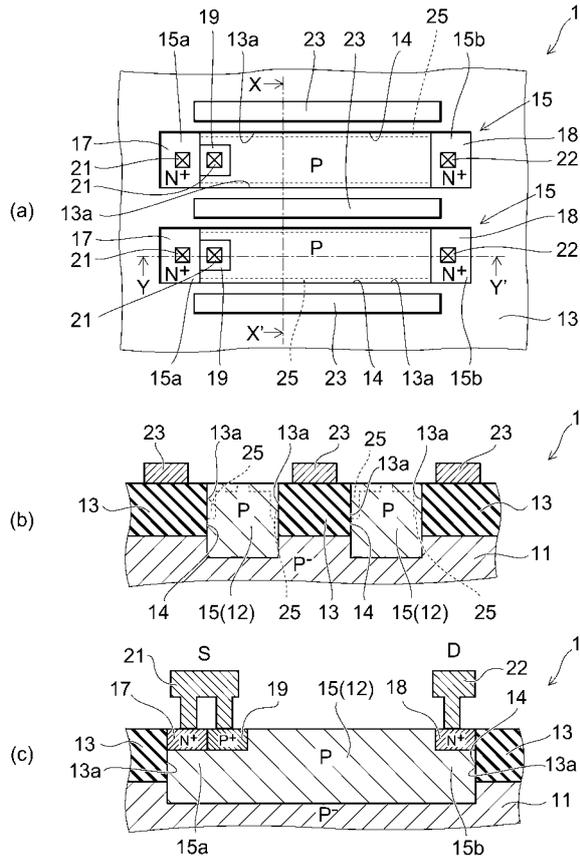
【符号の説明】

【0051】

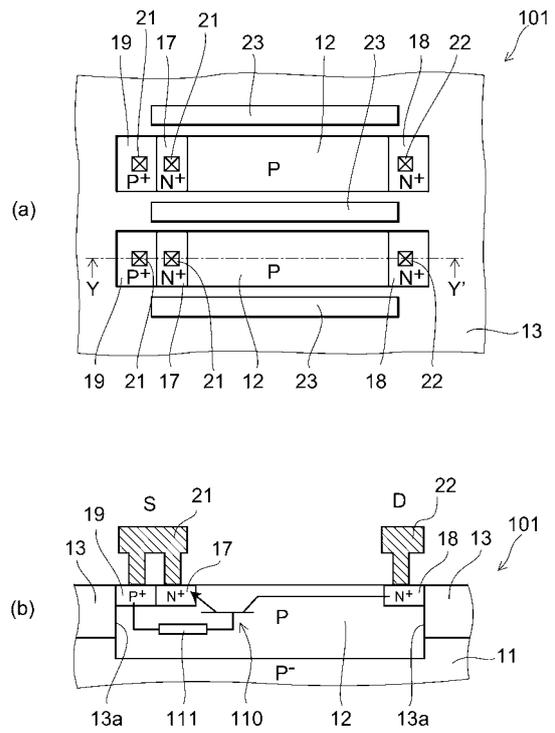
1、2、3、4、5、5a、6 半導体装置、11 半導体基板、12 ウェル、13 STI、13a 側面、14 開口部、15 能動部分、15a、15b 端部、17 ソース層、17a 延出部、18 ドレイン層、19 コンタクト層、21 ソース電極、22 ドレイン電極、23 ゲート電極、25 反転層、31 ドリフト層、33 ゲート電極、33a ソース側部分、33b ドレイン側部分、43 STI、43a 側面、101 半導体装置、110 寄生 NPN トランジスタ、111 寄生抵抗

30

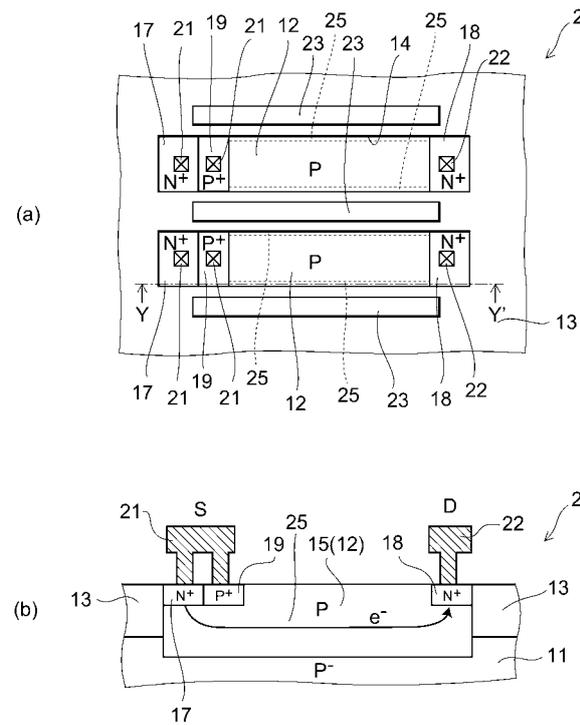
【図1】



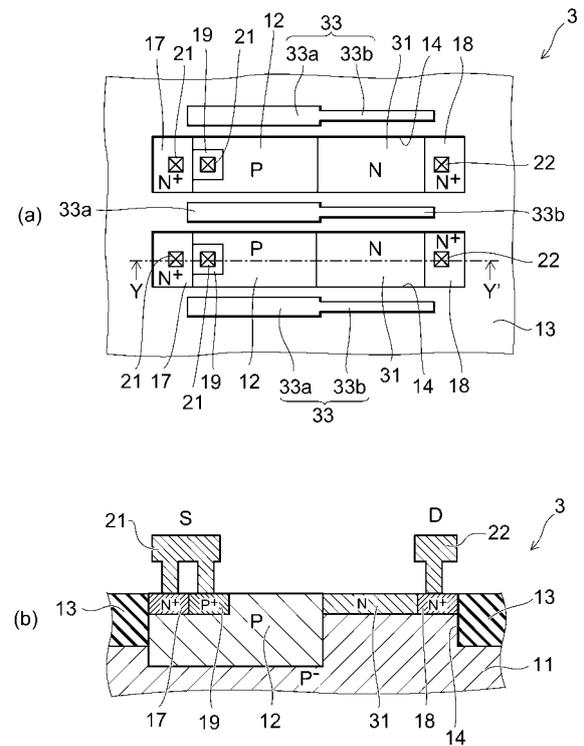
【図2】



【図3】



【図4】



フロントページの続き

(56)参考文献 特開2004-214611(JP,A)

特開2004-039773(JP,A)

特開2010-003836(JP,A)

特開2007-234897(JP,A)

J.Sonsky et. al., "Towards universal and voltage-scalable high gate- and drain-voltage MOSFETs in CMOS", Power Semiconductor Devices & IC's, 2009. ISPSD 2009. 21st International Symposium on , 2009年 6月18日, pp.315-318

(58)調査した分野(Int.Cl., DB名)

H01L 29/78

H01L 21/822

H01L 21/8238

H01L 27/04

H01L 27/092