(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2005 年11 月17 日 (17.11.2005)

PCT

(10) 国際公開番号
WO 2005/109442 A1

(51) 国際特許分類[7]: G11C 16/10, H01L 27/115

(21) 国際出願番号: PCT/JP2004/006264

(22) 国際出願日: 2004 年5 月11 日 (11.05.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): スパンション エルエルシー (SPANSION LLC) [US/US]; 94088-3453 カリフォルニア州サニーベイル ワン エイエムディ プレイス ピー・オー・ボックス ３４５３ California (US). Ｓｐａｎｓｉｏｎ Ｊａｐａｎ株式会社 (Spansion Japan Limited) [JP/JP]; 〒9650845 福島県会津若松市門田町工業団地６番 Fukushima (JP).

(72) 発明者; および

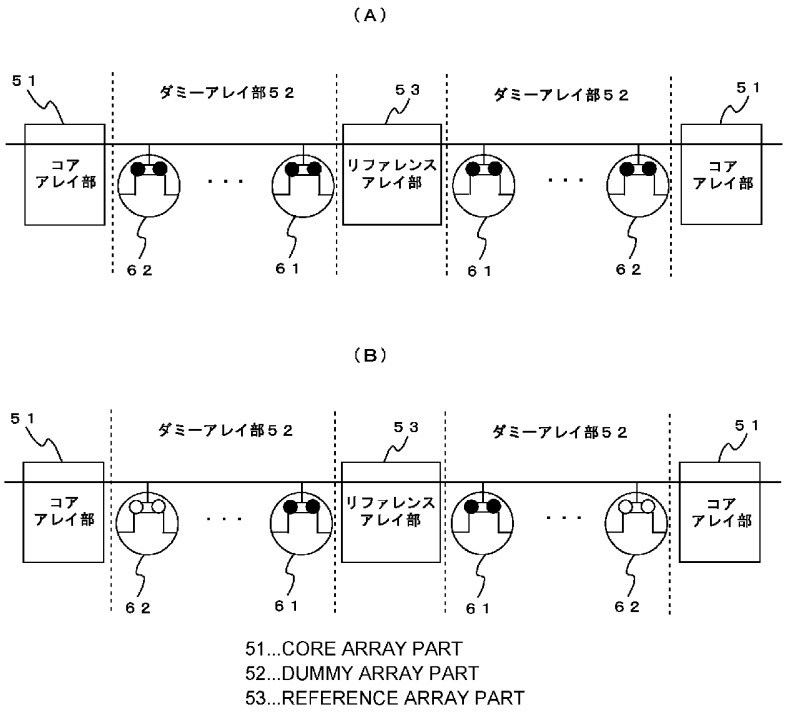
(75) 発明者/出願人 (米国についてのみ): 木戸一成 (KIDO, Kazunari) [JP/JP]; 〒1600023 東京都新宿区西新宿四丁目３３番４号 Ｓｐａｎｓｉｏｎ Ｊａｐａｎ株式会社内 Tokyo (JP). 笠靖 (KASA, Yasushi) [JP/JP]; 〒1600023 東京都新宿区西新宿四丁目３３番４号 Ｓｐａｎｓｉｏｎ Ｊａｐａｎ株式会社内 Tokyo (JP). 山下実 (YAMASHITA, Minoru) [JP/JP]; 〒1600023 東京都新宿区西新宿四丁目３３番４号 Ｓｐａｎｓｉｏｎ Ｊａｐａｎ株式会社内 Tokyo (JP). 栗原和弘 (KURIHARA, Kazuhiro) [JP/JP]; 〒1600023 東京都新宿区西新宿四丁目３３番４号 Ｓｐａｎｓｉｏｎ Ｊａｐａｎ株式会社内 Tokyo (JP). 和田裕昭 (WADA, Hiroaki) [JP/JP]; 〒1600023 東京都新宿区西新宿四丁目３３番４号 Ｓｐａｎｓｉｏｎ Ｊａｐａｎ株式会社内 Tokyo (JP).

(74) 代理人: 片山修平 (KATAYAMA, Shuhei); 〒1040031 東京都中央区京橋１－６－１ 三井住友海上テプコビル Tokyo (JP).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND PROGRAM METHOD

(54) 発明の名称: 半導体装置およびプログラム方法



51...CORE ARRAY PART
52...DUMMY ARRAY PART
53...REFERENCE ARRAY PART

(57) Abstract: In a semiconductor device, at least one programmed dummy cell is located adjacently to an end portion of a reference array part (53). Accordingly, there will occur no current leakage during reading of the data stored in the end portion of the reference array part (53). Besides, any current leakage can be prevented from occurring in the memory cells of the central portion of the reference array part (53) during reading of data from all the reference cells because the adjacent reference cells are programmed. Therefore, the reference current can be supplied in a stable manner.

[続葉有]

WO 2005/109442 A1

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 本発明の半導体装置は、リファレンスアレイ部５３の端部に隣接して、少なくとも１つのプログラムされたダミーセルを配置している。従って、リファレンスアレイ部５３の端部のデータを読み出す時に電流リークが起こらない。また、リファレンスアレイ部５３の中央側のメモリセルは、隣のリファレンスセルがプログラムされているので、すべてのリファレンスセルからのデータ読み出し時に電流リークの発生を防止することができる。よって、リファレンス電流を安定して供給することができる。

明 細 書

半導体装置およびプログラム方法

技術分野

[0001] 本発明は、隣接するメモリセルのドレイン線とソース線とを互いに共有する仮想接地型の半導体装置およびそのリファレンスセルへのプログラム方法に関する。

背景技術

[0002] フラッシュメモリ等の不揮発性の半導体装置においては、ある所定の閾値に設定されたリファレンスセルの電流をリファレンス電流として、読み出し動作時に読み出しメモリセルのドレイン電流と、リファレンスセルのリファレンス電流とを比較する。読み出したメモリセルのドレイン電流がリファレンス電流よりも大きいか否かに応じて、データ“1”あるいは“0”の判定を行う。

[0003] また、仮想接地型のメモリアレイにおけるメモリセル又はリファレンスセルからデータを読み出す時には、セルのドレイン側に電圧をかけてソース側は接地電位Vssとして電流を流す。そして、ドレイン線の隣のビット線にはプリチャージをかける。ドレイン線と同じ電圧をドレイン線の隣のビット線にかけることで、電流のリークを防ぐことができる。

[0004] しかしながら、ドレインの電圧とプリチャージ電圧とを全く同じにすることはできず、データを読み出すメモリセルの隣のメモリセルが消去状態の場合、リーク電流は発生してしまう。データを読み出すメモリセルの隣りのメモリセルがプログラムされている場合は、チャージされた電荷の影響を受けてリーク電流が起こらない。すなわち、隣のメモリセルのデータによって、リーク電流の有無が決まり、読み出し特性に影響を及ぼす。

[0005] 図1を参照しながらより詳細に説明する。図中のメモリセルは、電荷トラップ層を有するMONOS型のメモリセルで、同層の左右の領域に電子をトラップさせることで、2ビット情報を記憶可能である。白丸は電子がトラップされていない(消去状態)状態、黒丸は電子がトラップされている(プログラム状態)状態を意味している。図1Aに示すように、読み出しを行うメモリセル(図1Aに示すCell(0))のドレイン線側に隣接するメ

モリセル（図1Aに示すCell(7)）がプログラムされていると、プログラムによる電荷の影響を受けて電子が流れず、リーク電流が発生しない。しかし、図1Bに示すようにデータを読み出すメモリセル（Cell(0)）のドレイン線側に隣接するメモリセル（Cell(7)）に書き込みがないと、リーク電流が発生してしまう。図1Bに示すプリチャージされたビット線の隣のビット線は、フローティング状態になっており、プリチャージされたビット線からフローティング状態のビット線に電流リークが起こり、さらに電圧が下がったプリチャージされたビット線へドレイン線からリーク電流が流れる。

発明の開示

発明が解決しようとする課題

[0006] 電流リークが発生してもすべてのリファレンス電流の読み出し時に、同様な電流リークが発生していれば、読み出し特性が変化することはないが、リファレンスセルの場合には、特定のアドレスのリファレンスセルにおいてリーク電流が生じてしまう。

[0007] 図1A及び1Bに示すように、コアセルとリファレンスセルとは同じセルアレイの中にある。リファレンスセルが、図1A及び1Bに示すようにコアセルに隣接して設けられていた場合、コアセルに隣接するリファレンスセルでは、隣のコアセルのプログラム状況に応じて、リーク電流がながれたり流れなかったりする。

[0008] 本発明は上記事情に鑑みてなされたものであり、読み出すセルの位置によらず、安定してリファレンス電流を供給することができる半導体装置及びプログラム方法を提供することを目的とする。

課題を解決するための手段

[0009] かかる目的を達成するために、本発明の半導体装置は、複数個のメモリセルを有するコアアレイと、前記メモリセルの記憶データを識別するためのリファレンス電流を生成するリファレンスアレイと、前記リファレンスアレイに近接して、少なくとも1つのプログラム可能なダミーセルアレイとを有する。リファレンスアレイに近接して、少なくとも1つのプログラムされたダミーセルを配置したことで、リファレンスアレイの端部のデータを読み出す時に電流リークが起こらない。リファレンスアレイの中央側のセルは、隣のリファレンスセルがプログラムされているので、すべてのリファレンスセルからのデータ読み出し時に電流リークの発生を防止することができる。従って、リファレンス電流

を安定して供給することができる。

[0010] 上記半導体装置において、前記ダミーセルアレイは前記コアセルアレイと前記リファレンスセルアレイとが接続されたワード線に接続され、かつ前記コアセルアレイと前記リファレンスセルアレイとの間に位置する構成とすることができる。また、前記ダミーセルアレイは前記コアセルアレイと前記リファレンスセルアレイとが接続されたワード線に接続され、かつ前記コアセルアレイと前記リファレンスセルアレイとの間に位置し、前記ダミーセルアレイは前記コアセルアレイに近接する別のプログラム可能なダミーセルを有する構成とすることもできる。ダミーセルを含むダミーアレイがコアアレイとリファレンスアレイの間に配置されているので、コアアレイに記録されたデータによらず、リファレンスアレイからリファレンス電流を安定して取り出すことができる。

[0011] 上記半導体装置において、前記コアアレイと、前記リファレンスアレイと、前記ダミーセルアレイとは隣り合うセルがビット線を共用する仮想接地タイプであって、プログラム可能なダミーセルの2ビットのうちの前記リファレンスセル寄りのビットはプログラム状態にある構成とすることが好ましい。リファレンスアレイ側のビットがプログラムされているので、リファレンスアレイ端部のリファレンス電流読み出し時に、電流リークの発生をより安定して防止することができる。

[0012] また上記半導体装置において、 前記コアセルアレイ、前記リファレンスアレイ及び前記ダミーセルアレイに共通に与えられるデコード信号を生成するデコーダを更に有する構成とすることができる。コアアレイ、リファレンスアレイ、ダミーアレイのセルを共通のデコード信号で選択することができるので、ダミーアレイを設けるために新たにデコードを変更する必要がなくなる。

[0013] また上記半導体装置において、前記リファレンスセルの両端から開始して中央に向かって進むようにリファレンスセルをプログラムする制御回路を更に含む構成とすることができる。リファレンスアレイの端部には、プログラムされたダミーセルがあるので、リファレンスアレイの端部から中心のセルの方向にプログラムを行うことで、プログラム時のリーク電流の発生を防止することができる。

[0014] また上記半導体装置において、前記コアアレイと前記リファレンスアレイのデータを消去した後に、前記ダミーアレイの端部の前記プログラム可能なダミーセルをプログ

ラムし、その後前記リファレンスアレイをプログラムする制御回路を更に含む構成とすることができる。リファレンスアレイをプログラムする時に、ダミーセルのプログラムを行ってからリファレンスアレイのプログラムを行っているので、リファレンスアレイの端部のセルのプログラムを行う時に電流リークが発生しない。

[0015] また上記メモリセルは、絶縁膜の電荷トラップ層を有し、該電荷トラップ層に電荷を蓄えることで情報を記憶するとよい。

[0016] また上記半導体装置において、前記リファレンスセルに近接して位置する前記プログラム可能なダミーセルはプログラムされた状態にあることが好ましい。また、前記ダミーセルアレイは別のプログラム可能なダミーセルを有し、前記リファレンスセルアレイは前記プログラム可能なダミーセルと前記別のプログラム可能なダミーセルとの間に挟まれている構成とすることができる。更に、前記ダミーセルアレイは複数のプログラム可能なダミーセルを有し、当該複数のプログラム可能なダミーセルのうち前記リファレンスセルアレイに近接して位置する1つ又は複数のプログラム可能なダミーセルのみプログラムされた状態にある構成とすることもできる。

[0017] 上記の構成において、前記プログラム可能なダミーセルは前記リファレンスセルアレイに隣り合うことが好ましい。

[0018] 本発明はまた、メモリセルのデータを識別するためのリファレンスセルを有するリファレンスセルアレイをプログラムする方法であって、メモリセル及びリファレンスセルのデータを消去するステップと、前記リファレンスアレイに近接して位置するダミーセルアレイのダミーセルをプログラムするステップと、前記プログラム終了後に前記リファレンスアレイをプログラムするステップとを有する方法を含む。リファレンスアレイをプログラムする時に、ダミーセルのプログラムを行ってからリファレンスアレイのプログラムを行っているので、リファレンスアレイをプログラムする際に電流リークが発生しない。

[0019] 上記方法において、前記リファレンスセルをプログラムするステップは、リファレンスアレイの両端に位置するセルから開始するとよい。リファレンスアレイの端部には、プログラムされたダミーセルがあるので、リファレンスアレイの端部から中心のセルの方向にプログラムを行うことで、プログラム時のリーク電流の発生を防止することができる。

発明の効果

[0020] 本発明の半導体装置は、読み出すセルの位置によらず、安定してリファレンス電流を供給することができる。

図面の簡単な説明

[0021] [図1]1A及び1Bは、リファレンスセルからのデータ読み出し時に流れるリーク電流を説明するための図である。

[図2]不揮発性半導体記憶装置の構成を示すブロック図である。

[図3]セルアレイの構成を示す図である。

[図4]ダミーアレイの端部のセルがプログラムされている状態を示す図である。

[図5]リファレンスアレイ部へのデータ書き込み手順を示す図である。

[図6]リファレンスアレイ部の中心から外側にプログラムを行った時に生じるリーク電流を示す図である。

[図7]データ入出力回路の構成を示す図である。

[図8]リファレンス電流とデータの読み出し電流とを比較する構成を示す図である。

[図9]コアアレイ部と、コアアレイ部のメモリセルを選択するデコーダ、パストランジスタの構成を示す図である。

[図10]ダミーアレイ部と、ダミーアレイ部のダミーセルを選択するデコーダ、パストランジスタの構成を示す図である。

[図11]リファレンスアレイ部とダミーアレイ部のプログラムの手順を示すフローチャートである。

発明を実施するための最良の形態

[0022] 以下、添付図面を参照しながら本発明を実施するための最良の形態について説明する。

[0023] 図2に本発明を不揮発性半導体記憶装置に適用した実施例の構成を示す。図2に示す不揮発性半導体記憶装置1は、制御回路2、チップイネーブル／出力イネーブル回路3、入出力バッファ4、セルアレイ5、ロウデコーダ6、カラムデコーダ7、アドレスラッチ8、カラムゲート9、データ入出力回路10、駆動制御部11、電源供給部20を備えている。また、電源供給部20には、高電圧発生部21が備えられている。

[0024] 制御回路2は、ライトイネーブル(／WE)やチップイネーブル(／CE)等の制御信号、アドレス信号、データ信号を外部から受け取り、これらの信号に基づいてステートマシンとして動作し、不揮発性半導体記憶装置1の各部を制御する。

[0025] 入出力バッファ4は、外部からデータを受け取り、このデータを制御回路2およびデータ入出力回路10に供給する。

[0026] チップイネーブル／出力イネーブル回路3は、装置外部から制御信号としてチップイネーブル信号(／CE)及びアウトプットイネーブル信号(／OE)を受け取り、入出力バッファ4およびセルアレイ5の動作／非動作を制御する。

[0027] 駆動制御回路11は、制御回路2の制御の下で動作し、データの読み出し、書き込み、消去等の動作を行うためにセルアレイ5、ロウデコーダ6、カラムデコーダ7等の駆動制御を行う。

[0028] データ入出力回路10は、制御回路2の制御の下で動作し、セルアレイ5へのデータの書き込みと読み出しを行う。データ入出力回路10の詳細については、後述する。

[0029] ロウデコーダ6は、データ書込み時、消去時および読出し時に、それぞれのアドレスにもとづいて複数のワード線WLを選択駆動するものであり、そのワード線ドライバ(図示していない)には所要の電圧が供給される。

[0030] カラムデコーダ7は、アドレスラッチ8に保持されたアドレスをもとにカラムゲート9を制御する。カラムゲート9がガラムデコーダ7により選択されることで、データ入出力回路10内の対応するセンスアンプが選択され、センスアンプにデータが読み出される。

[0031] セルアレイ5は仮想接地型のメモリアレイであり、メモリセルの配列、ワード線、ビット線等を含み、各メモリセルに2ビットずつデータを記憶する。コントロールゲートと基盤との間に、酸化膜、窒化膜、酸化膜の順に積層した膜を形成し、この窒化膜に電荷をトラップさせることでしきい値を変化させて、データ“0”と“1”とを区別する。窒化膜等のトラップ層は絶縁膜のため、電荷は移動しない。トラップ層の両端に電荷を蓄えることで1セルに2ビットを記録することができる。1セルに2ビットを記録する方式をミラービット方式と呼ぶこともある。また、メモリセルとして、多結晶シリコン層を用いたフローティングゲート型のセルを用いることもできる。この場合は、フローティングゲートに

蓄える電荷の量を変えることで、1セルに多ビット情報を記録することができる。

[0032] データ読み出し時には、活性化したワード線で指定されるメモリセルからのデータがビット線に読み出される。書き込み(以下、プログラムと呼ぶ)或いはイレーズ時には、ワード線及びビット線をそれぞれの動作に応じた適当な電位に設定することで、メモリセルに対する電荷注入或いは電荷抜き取りの動作を実行する。

[0033] ここで、図3を参照しながらセルアレイ5の構成を説明する。セルアレイ5内には、図3に示すようにデータを記録するコアアレイ部51と、読み出したデータの値を判定するためのリファレンス電流を供給するリファレンスアレイ部53と、ダミーアレイ部52が形成されている。リファレンスアレイ部53は、1ページ(例えば8セル)分のデータ“10”を記録するリファレンスアレイA(Ref. Aとも表記する)(54)と、同じく1ページ(例えば8セル)分のデータ“01”を記録するリファレンスアレイB(Ref. Bとも表記する)(55)とからなる。ダミーアレイ部52は、図3に示すようにコアアレイ部51とリファレンスアレイ部53との間に形成される。

[0034] 図4Aにダミーアレイ部52の構成を示す。図4Aに示すようにダミーアレイ部52は、複数個(8個)のプログラム可能なメモリセルからなり、ダミーアレイ部52の両端部のメモリセル61、62がプログラムされている。ダミーアレイ部52の両端部のダミーセル61、62がプログラムされていることで、このダミーセル61に隣接するリファレンスアレイ部53のリファレンスセルから読み出しを行う時のリーク電流の発生を防止することができる。また、プログラムされているビットは、ダミーセル61のリファレンスセル側のビットであることが好ましいが、このリファレンスセル側のビットとは反対側のビットだけがプログラムされていてもよい。当然、両方のビットがプログラムされていればなおよい。さらに、図4Aに示すダミーアレイ部52は、両端部のダミーセル61、62、すなわち、コアアレイ部51側のダミーセル62とリファレンスアレイ部53側のダミーセル61の両方がプログラムされているが、図4Bに示すようにリファレンスアレイ部53側のダミーセル61だけがプログラムされていてもよい。

[0035] また、リファレンスアレイ部53のプログラムを行う時には、図5に示すようにリファレンスアレイ部53の外側から中心に向かう向きでプログラムを行う。図3に示すようにコアアレイ部51とリファレンスアレイ部53との間に、プログラムされたダミーアレイ部52を

設けた構成を取った場合、リファレンスアレイ部53の中心のセルからプログラムを行うと、中心のリファレンスセルへのプログラム時には、リーク電流が発生するが。端部のリファレンスセルへのプログラム時には、リーク電流は発生しない。例えば、図6に示すCell(2)の右側のビットの書き込みベリファイを行う場合、右側のビット線(3)をソース、左側のビット線(2)をドレイン、ドレイン線の隣のソース線とは反対側のビット線(1)をプリチャージに接続する。このときCell(2)のドレイン線側のCell(1)がプログラムされていないと、ドレイン線(ビット線(2))からプリチャージのビット線(1)へリーク電流が流れる。同様に図6に示すCell(5)の左側のビットにデータの書き込みを行う場合、Cell(5)のドレイン線側のDCell(0)がプログラムされているので、ドレイン線(図5に示すビット線(6))からプリチャージ状態のビット線(0)へのリーク電流は発生しない。すなわち、リファレンスセルの中心から端部に向けてプログラムを行うと、何も書き込みがない中心セルへのプログラム時にはリーク電流が発生するが、リファレンスセルの端部にはプログラムされたダミーセル61が設けられているのでリーク電流は生じない。このようなリファレンスセルの中心と端部でのリーク電流の変化を防止するため、図5に示すようにリファレンスアレイ部53の外側から中心に向かう向きで、プログラムを行う。リファレンスアレイ部53の外側に設けられたダミーアレイ部52は、図4に示すように端部のダミーセル61が必ずプログラムされているため、外側から中心方向に向かってプログラムを行うことで、常にリーク電流の発生を防止することができる。

[0036] 次に、図3に示すリファレンスアレイ部53について詳述する。リファレンスアレイ部53は、コアアレイ部51と書き込み、消去のサイクリング特性を合わせるために、コアアレイ部51と一緒に消去が行われる。その後、リファレンスアレイA(54)の8セルにデータ“10”が、リファレンスアレイB(55)の8セルにデータ“01”が書き込まれる。

[0037] データの読み出し時に、例えばコアアレイ部51の左端から2つ目のビットが選択されると、リファレンスセルA(54)，B(55)もそれぞれ左端から2つ目のビットが選択される。そして、読み出したデータ“10”とデータ“01”の2つのリファレンスセルの電流を平均化したものがリファレンス電流となる。

[0038] 図7にデータ入出力回路10の詳細な構成を示す。図7に示すようにデータ入出力回路10は、書き込み／消去回路21と、カスコードアンプ22と、センスアンプ(比較回

路）23とを備えている。

[0039] 書き込み／消去回路21は、書き込みパルスおよび消去パルスを発生してセルアレイ5へのデータの書き込み及びセルアレイ5からのデータの消去を行う。カスコードアンプ22は、カラムゲート9を介してビット線上に読み出されたデータやリファレンスセルの電流を電圧に変換する。

[0040] センスアンプ（比較回路）23は、データ読み出し時にはコアアレイ部51から供給されるデータの電圧を、リファレンスセルの電圧であるリファレンス電圧と比較し、データが0であるか1であるかの判定を行う。判定結果は読み出しデータとして、入出力バッファ4を介して外部に供給される。またプログラム動作及び消去動作に伴うベリファイ動作は、コアアレイ部51から供給されたデータの電圧を、プログラムベリファイ用のリファレンス電圧或いは消去ベリファイ用リファレンス電圧と比較することで行う。プログラムベリファイ用のリファレンス電圧は、図7に示す外部リファレンスセル選択トランジスタ26によってプログラムベリファイ用の外部リファレンスセル（PGM用外部Ref Cellとも表記する）24から読み出される。同様に消去ベリファイ用のリファレンス電圧は、外部リファレンスセル選択トランジスタ26によって消去ベリファイ用の外部リファレンスセル（ER用外部Ref Cellとも表記する）25から読み出される。外部リファレンスセル選択トランジスタ26によって選択されたリファレンス電流は、カスコードアンプ27によって電圧に変換され、センスアンプ（比較回路）23に供給される。センスアンプ（比較回路）23は、コアアレイ部51から供給されたデータの電圧と、書き込み又は消去用のリファレンス電圧とを比較する。

[0041] 図8に、コアアレイ部51から読み出したデータの判定を行う回路の詳細を示す。上述したようにリファレンスアレイ部53には、“10”のデータを記録したリファレンスアレイA（54）と、“01”のデータを記録したリファレンスアレイB（55）とが同数設けられている。図2に示すカラムゲート9で“10”と“01”のデータを記録したリファレンスセルがそれぞれ選択され、選択されたリファレンスセルからリファレンス電流が流れる。カスコードアンプ22は、これらのリファレンス電流の電流値を電圧値に変換する。読み出し時には、図8に示すスイッチSW1，SW2をショートさせてこれらの電圧値の平均値を求め、求めた平均電圧値をセンスアンプ（比較回路）23に出力する。一方、コアアレイ

部51の読み出し対象のコアセルからもカラムゲート9で選択されたビット線からデータの電流が読み出され、カスコードアンプ22で電圧値に変換される。センスアンプ（比較回路）23は、データの電圧値とリファレンスセルからの平均電圧値とを比較してデータが0であるのか、1であるのかを判定する。

[0042] 図9にコアアレイ部51と、コアアレイ部51のメモリセルを選択するカラムデコーダ7、カラムゲート9の詳細を示す。コアアレイ部51は、複数のワード線WL（図9においては、簡略化のため1つのWLだけを代表的に示す）と、複数のメタルビット線MBLと、ワード線WLとメタルビット線MBLとの交差点付近に設けられ、マトリクス状に配列されたメモリセルMCとを備えている。メモリセルMCは、2つのメタルビット線MBLの間に2つ形成される。書き込みや読み出しの単位となる1ページには、8個のメモリセルMCが設けられ（図9に示すMC0ーMC7）、1つのメモリセルMCに2ビットを記録することができる。また2つのメタルビット線の間に2つのメモリセルMSが設けられているため、メモリセルMCを2つのビット線に接続するためのサブビット線SBLが設けられる。サブビット線SBLは拡散層で形成され、メタルビット線MBLと平行して配設されて、セル信号をゲート入力とする選択トランジスタ（図9に示すSTr）を介してメタルビット線MBLに接続される。選択トランジスタは、ページ内に設けられた各メモリセルに対応して8個形成されている。1ページ内には、メモリセルMC（0）ーMC（7）までの8個のメモリセルが形成されているので、選択トランジスタもこれに対応してSTr（0）ーSTr（7）までの8個が形成されている。この選択トランジスタSTrは、各ページに渡って周期的に形成されている。コア／リファレンス／ダミー用の第1デコーダ（カラムデコーダ）71は、選択トランジスタSRTrを選択するセル信号（0）ーセル信号（7）を生成して出力する。例えば、メモリセルMC（0）を選択するセル信号SEL（0）が入力されると、各ページの選択トランジスタSTr（0）がオンして、各ページのメモリセルMC（0）が選択される。なお、図9には図示していないが選択トランジスタSTrは、リファレンスアレイ部53、ダミーアレイ部52にも形成され、コアアレイ部51と共通のデコード信号（セル信号（0）ーセル信号（7））で該当するメモリセルMCを選択することができる。

[0043] また、セルアレイ5には、選択されたメモリセルMCをグランド線、データ線につなげるカラムゲート91が形成されている。コア／リファレンス用に設けられた第2デコーダ

からのデコード信号によってカラムゲート91を選択駆動させ、選択したメモリセルMCのビット線MBLとサブビット線SBLにデータ線、グランド線のいずれか一方を接続する。また、選択したメモリセルMCのデータ線側に隣接するメモリセルMCのサブビット線SBLには、データP線を接続する。データ読み出し時には、グランド線は接地電位Vssに、データ線はセンスアンプ23に接続され、データP線からは選択されたメモリセルMCのドレイン電圧(データ線から供給される電圧)と等しいプリチャージ電圧が供給される。また、プログラム時には、データ線からプログラム電圧(高電圧)が供給され、データP線からのプリチャージ電圧の供給はない。

[0044] 図10にダミーアレイ部52と、ダミーアレイ部52のメモリセルを選択するカラムデコーダ7、カラムゲート9の詳細を示す。ダミーアレイ部52は、コアアレイ部51、リファレンスアレイ部53と同様に、1ページが8個のメモリセルMCからなる。ダミーアレイ部52内にも上述したコアアレイ部51、リファレンスアレイ部53と同様に選択トランジスタSTrが設けられ、第1デコーダ(カラムデコーダ)71からのデコード信号(セル信号)によって選択される。すなわち、選択トランジスタSTrと第1デコーダ(カラムデコーダ)71とは、コアアレイ部51、リファレンスアレイ部52、ダミーアレイ部52で共通に使用される。

[0045] また、サブビット線SBLを選択するダミー用カラムゲート92に関しては、コアアレイ部51、リファレンスアレイ部53と、ダミーアレイ部52とで分けて形成されている。すなわち、コアアレイ部51とリファレンスアレイ部53とを選択するデコード信号と、ダミーアレイ部52を選択するデコード信号は異なる信号となる。これは、ダミーアレイ部52は、コアアレイ部51、リファレンスアレイ部53の境界部のメモリセルだけをプログラムセルとして機能させるため、コアアレイ部51、リファレンスアレイ部53とは異なるデコード信号により制御される。

[0046] 図11に示すフローチャートを参照しながらリファレンスアレイ部53とダミーアレイ部52へのプログラム手順について説明する。まず、コアアレイ部51の消去コマンドがユーザから入力される。制御回路2は、コマンドを入力すると、ロウデコーダ6、カラムデコーダ7、データ入出力回路10などの各部を制御し、消去前のプリプログラムを実行させる(ステップS1)。プリプログラムとは、データ1が記録されている消去状態のメモリ

セルに対してプログラムを実行し、すべてのメモリセルにデータ0を書き込むことである。このプリプログラムは、コアアレイ部51とリファレンスアレイ部53に対して行われる。

[0047] 次に、制御回路2は、消去処理をコアアレイ部51とリファレンスアレイ部53に対して一括で行う。図7に示す書き込み／消去回路21を使用してコアアレイ部51とリファレンスアレイ部53に消去パルスを印可し、消去処理を行う。(ステップS2)。消去後しきい値電圧Vt分布において、最もしきい値が高いビットのしきい値電圧Vtが、消去ベリファイレベル以下になるまで、消去パルスの印加と、消去ベリファイ動作が繰り返し行われる。

[0048] 次に、消去ベリファイ動作により、所定の閾値電圧Vtよりも低く消去することができたら、コアアレイ部51とリファレンスアレイ部52に対して閾値電圧Vtを少し上げる書き込みを行って、ソフトプログラムを実行する(ステップS3)。このソフト書き込みによってコアアレイ部51とリファレンスアレイ部53のメモリセルの閾値電圧が揃えられる。

[0049] 次に、境界部分のダミーセルに対してプログラムを行い(ステップS4)、続いて16セルのリファレンスセルに対して所定のデータ(01)と(10)とをそれぞれプログラムする(ステップS5)。以上の処理により、コアアレイの消去処理を終了する。

[0050] このようにして本実施例は、リファレンスアレイ部53の外側のダミーセル(図4Aに示すダミーセル61)をプログラムした状態にしておくことで、リファレンスアレイ部53へのプログラムベリファイ時に、そのリード特性がメモリセルによって異なるといった不具合が生じない。またリファレンスアレイ部53からのデータ読み出し時に、メモリセルによってリード特性が異なってしまうといった不具合の発生を防止することができる。

[0051] なお、上述した実施例は本発明の好適な実施例である。但し、これに限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変形実施可能である。例えば、上述した実施例では、不揮発性半導体記憶装置を例に説明を行ったが、この不揮発性半導体記憶装置を搭載した半導体装置においても本発明を十分に適用可能である。

請求の範囲

[1] 複数個のメモリセルを有するコアアレイと、

前記メモリセルの記憶データを識別するためのリファレンス電流を生成するリファレンスアレイと、

前記リファレンスアレイに近接して、少なくとも1つのプログラム可能なダミーセルアレイとを有する半導体装置。

[2] 前記ダミーセルアレイは前記コアセルアレイと前記リファレンスセルアレイとが接続されたワード線に接続され、かつ前記コアセルアレイと前記リファレンスセルアレイとの間に位置する請求項1記載の半導体装置。

[3] 前記ダミーセルアレイは前記コアセルアレイと前記リファレンスセルアレイとが接続されたワード線に接続され、かつ前記コアセルアレイと前記リファレンスセルアレイとの間に位置し、

前記ダミーセルアレイは前記コアセルアレイに近接する別のプログラム可能なダミーセルを有する請求項1記載の半導体装置。

[4] 前記コアアレイと、前記リファレンスアレイと、前記ダミーセルアレイとは隣り合うセルがビット線を共用する仮想接地タイプであって、プログラム可能なダミーセルの2ビットのうちの前記リファレンスセル寄りのビットはプログラム状態にある請求項1から3のいずれかに記載の半導体装置。

[5] 前記コアセルアレイ、前記リファレンスアレイ及び前記ダミーセルアレイに共通に与えられるデコード信号を生成するデコーダを更に有する請求項1から4のいずれかに記載の半導体装置。

[6] 前記リファレンスセルの両端から開始して中央に向かって進むようにリファレンスセルをプログラムする制御回路を更に含む請求項1から5のいずれか一項記載の半導体装置。

[7] 前記コアアレイと前記リファレンスアレイのデータを消去した後に、前記ダミーアレイの端部の前記プログラム可能なダミーセルをプログラムし、その後前記リファレンスアレイをプログラムする制御回路を更に含む請求項1から6のいずれかに記載の半導体装置。

[8] 前記メモリセルは、絶縁膜の電荷トラップ層を有し、該電荷トラップ層に電荷を蓄えることで情報を記憶する請求項1から7のいずれかに記載の半導体装置。

[9] 前記リファレンスセルに近接して位置する前記プログラム可能なダミーセルはプログラムされた状態にある請求項1記載の半導体装置。

[10] 前記ダミーセルアレイは別のプログラム可能なダミーセルを有し、前記リファレンスセルアレイは前記プログラム可能なダミーセルと前記別のプログラム可能なダミーセルとの間に挟まれている請求項1記載の半導体装置。

[11] 前記ダミーセルアレイは複数のプログラム可能なダミーセルを有し、当該複数のプログラム可能なダミーセルのうち前記リファレンスセルアレイに近接して位置する1つ又は複数のプログラム可能なダミーセルのみプログラムされた状態にある請求項1記載の半導体装置。

[12] 前記プログラム可能なダミーセルは前記リファレンスセルアレイに隣り合う請求項1から11のいずれか一項記載の半導体装置。

[13] メモリセルのデータを識別するためのリファレンスセルを有するリファレンスセルアレイをプログラムする方法であって、

メモリセル及びリファレンスセルのデータを消去するステップと、

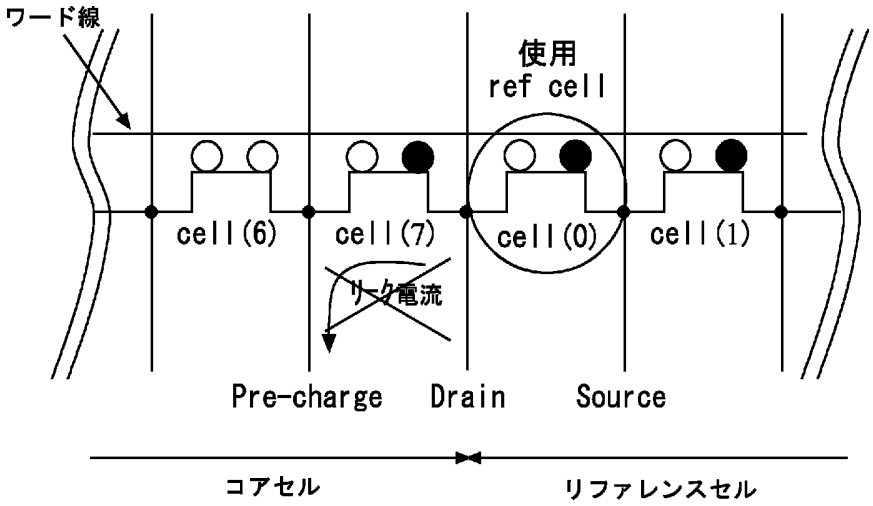
前記リファレンスアレイに近接して位置するダミーセルアレイのダミーセルをプログラムするステップと、

前記プログラム終了後に前記リファレンスアレイをプログラムするステップとを有する方法。

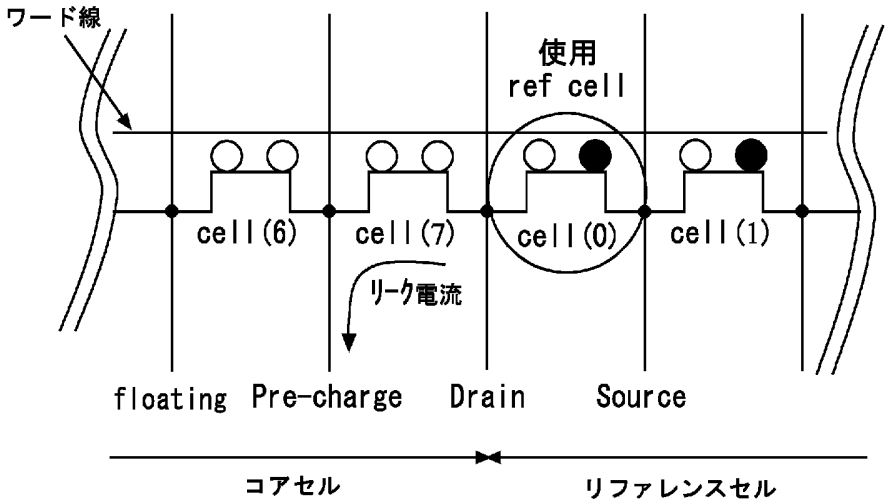
[14] 前記リファレンスセルをプログラムするステップは、リファレンスアレイの両端に位置するセルから開始する請求項13記載の方法。

[図1]

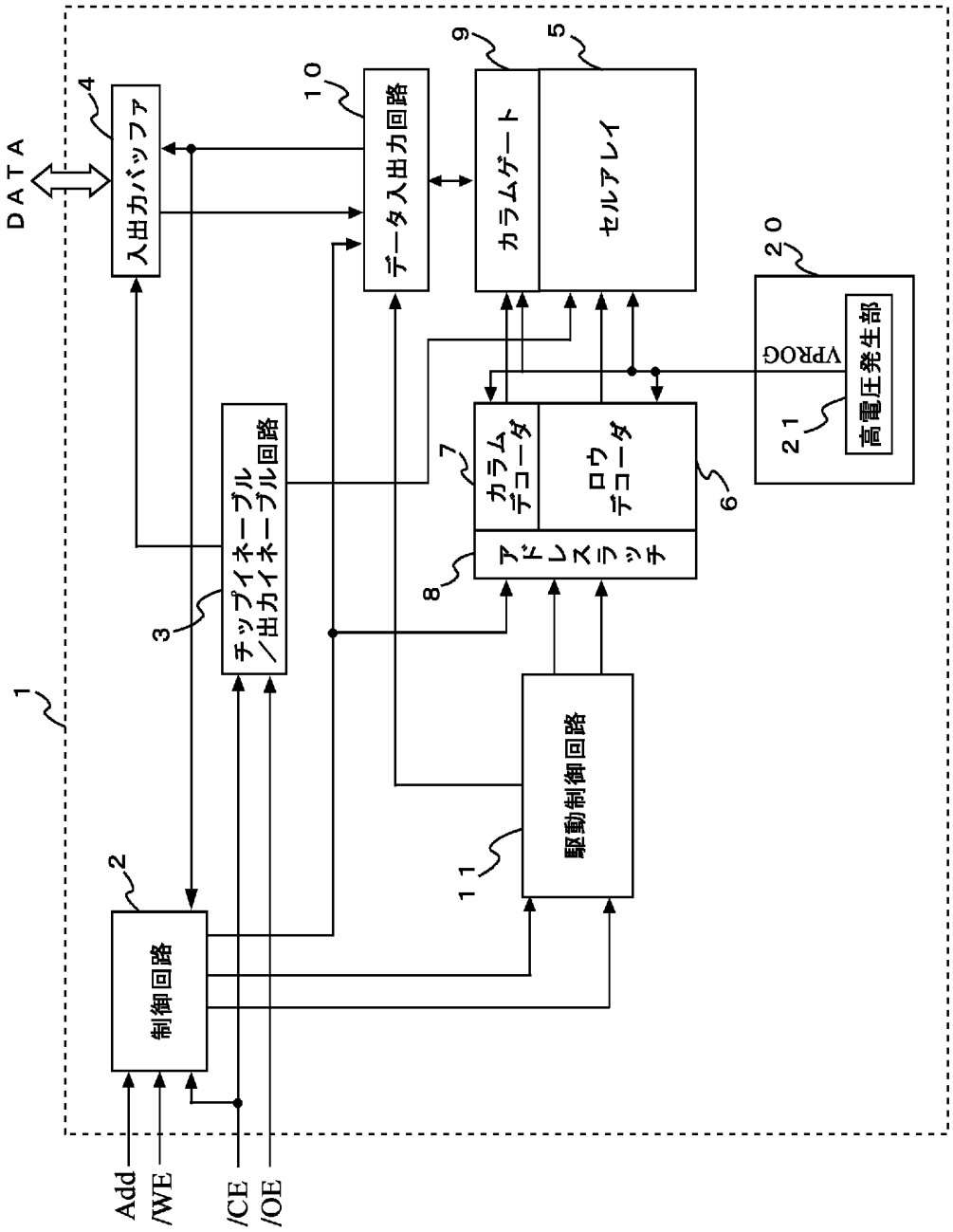
（A）


ワード線
使用
ref cell
cell(6)
cell(7)
cell(0)
cell(1)
リーク電流
Pre-charge
Drain
Source
コアセル
リファレンスセル

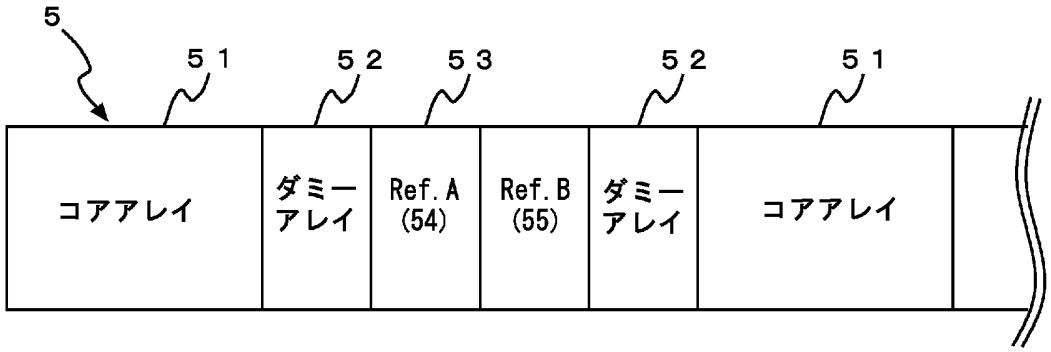
（B）


ワード線
使用
ref cell
cell(6)
cell(7)
cell(0)
cell(1)
リーク電流
floating
Pre-charge
Drain
Source
コアセル
リファレンスセル

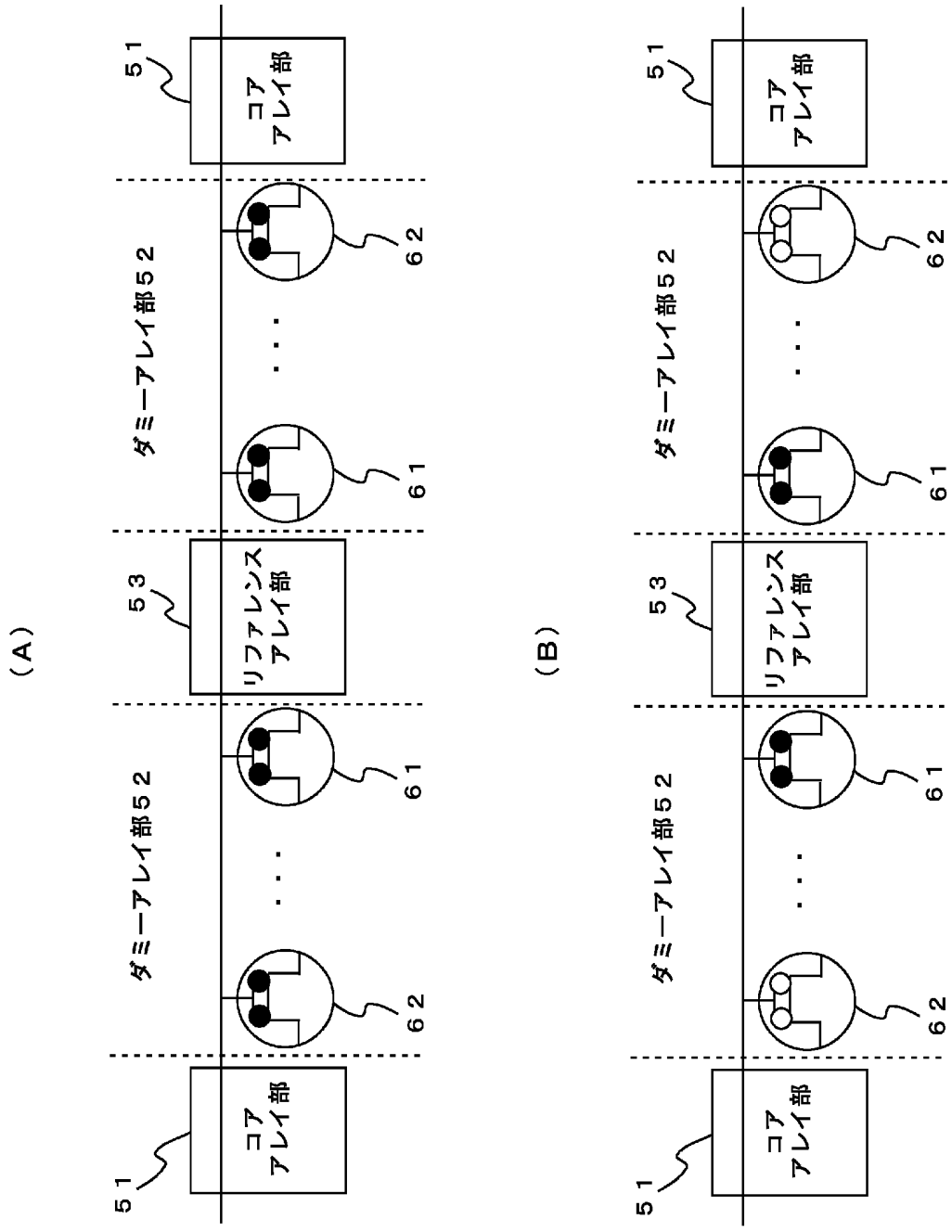
[図2]


DATA
入出力バッファ
データ入出力回路
カラムゲート
セルアレイ
VPROG
高電圧発生部
カラムデコーダ
ロウデコーダ
アドレスラッチ
チップイネーブル／出力イネーブル回路
制御回路
駆動制御回路
Add
/WE
/CE
/OE
1
2
3
4
5
6
7
8
9
10
11
20
21

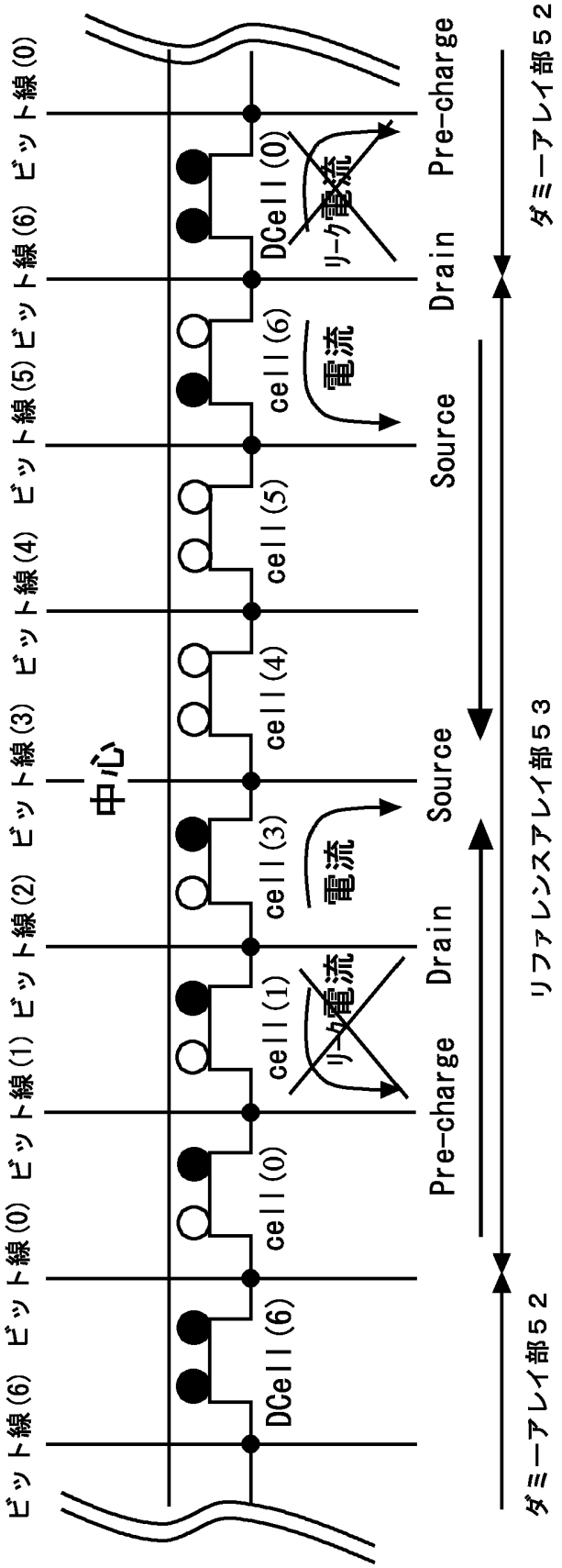
[図3]


5
51
52
53
52
51
コアアレイ
ダミーアレイ
Ref.A (54)
Ref.B (55)
ダミーアレイ
コアアレイ

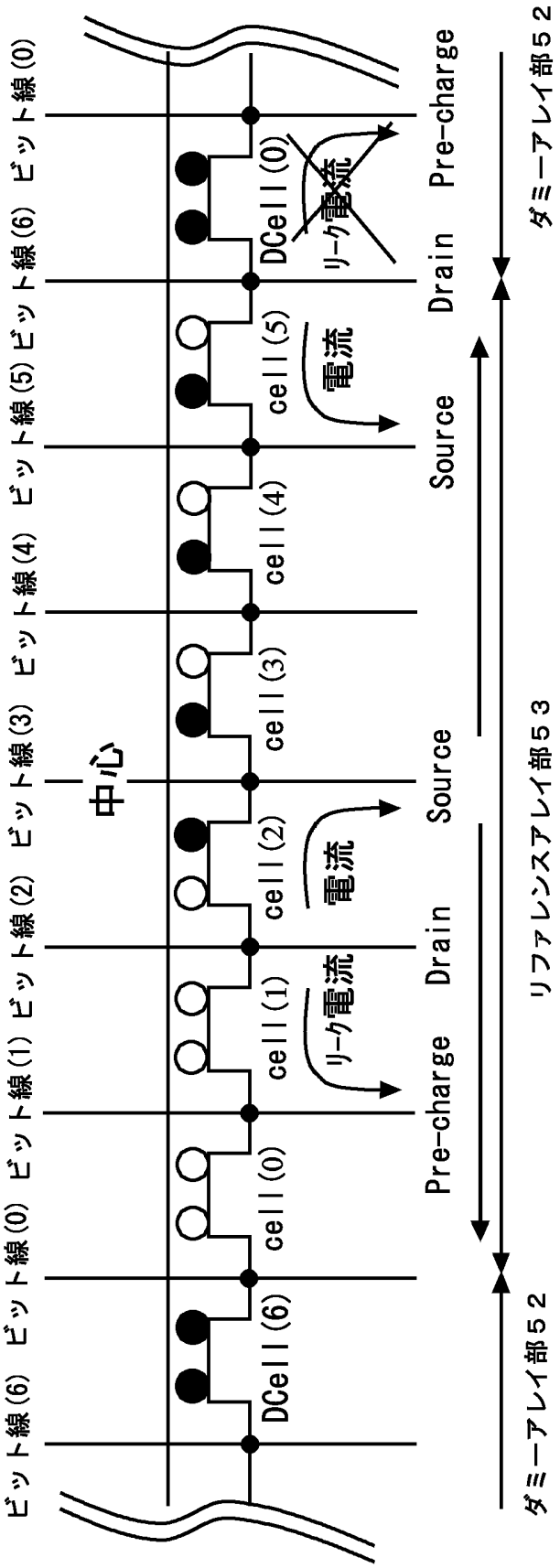
[図4]



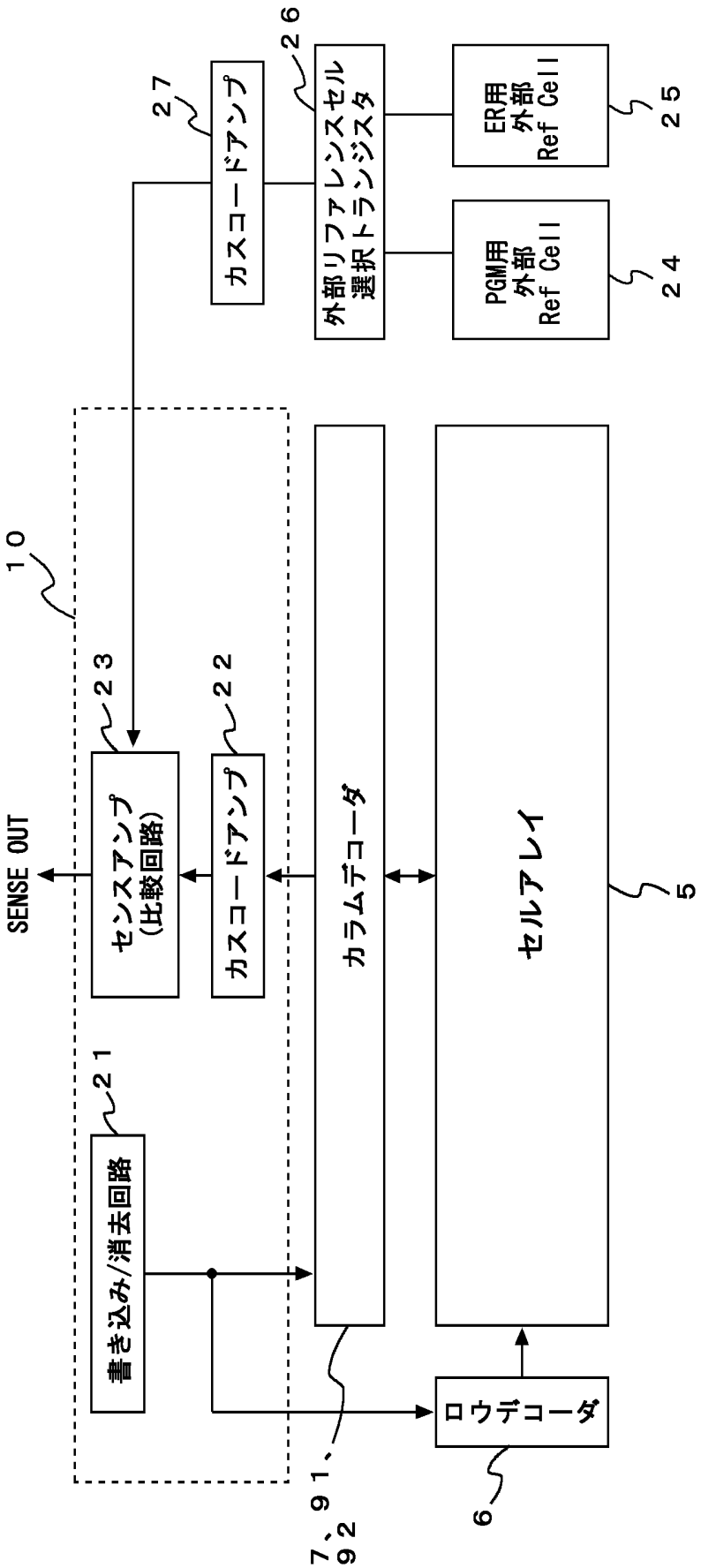
[図5]


ビット線(6)
ビット線(0)
ビット線(1)
ビット線(2)
ビット線(3)
中心
ビット線(4)
ビット線(5)
ビット線(6)
ビット線(0)
DCell(6)
cell(0)
cell(1)
cell(3)
cell(4)
cell(5)
cell(6)
DCell(0)
リーク電流
電流
Pre-charge
Drain
Source
Source
Drain
Pre-charge
ダミーアレイ部52
リファレンスアレイ部53
ダミーアレイ部52

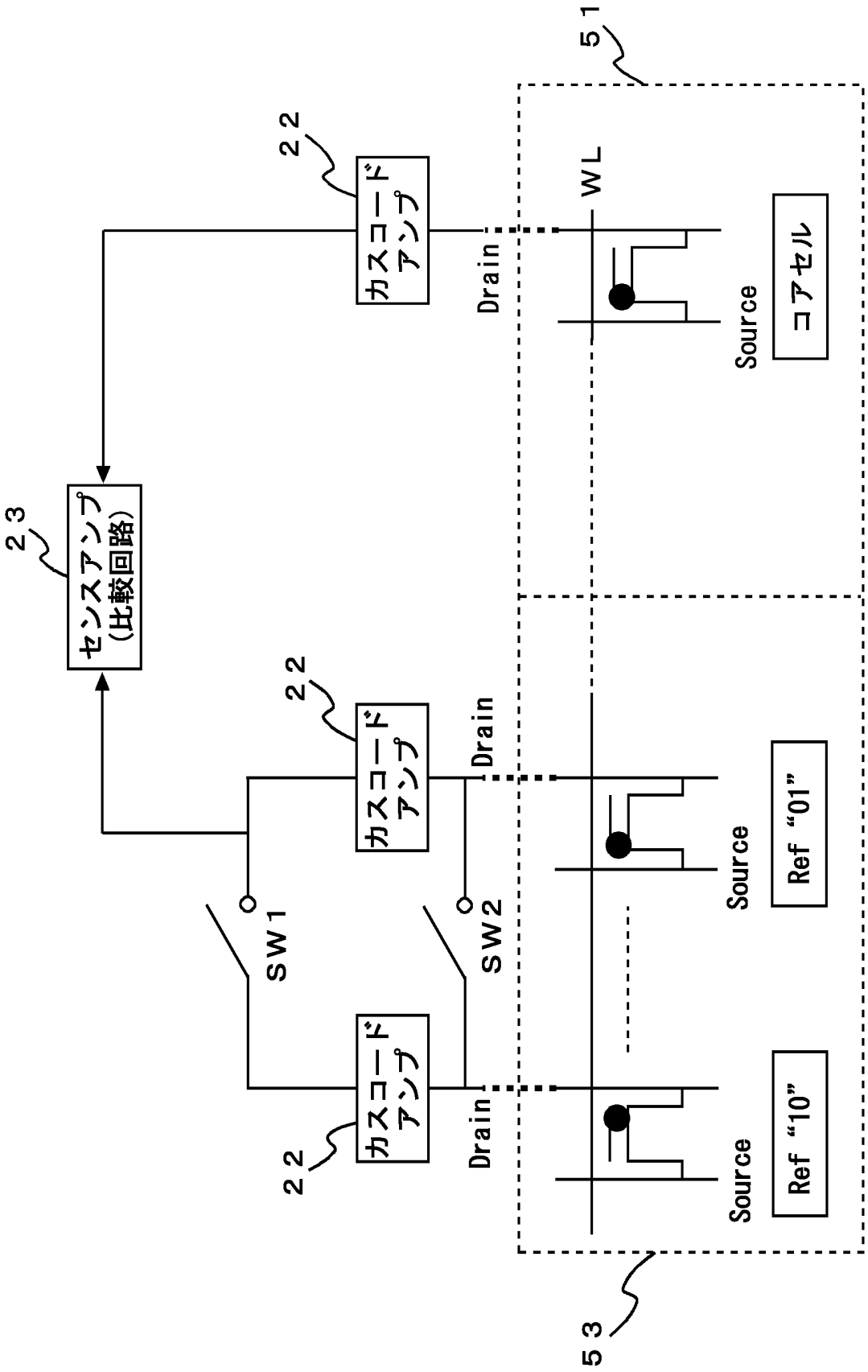
[図6]


ビット線(6)
ビット線(0)
ビット線(1)
ビット線(2)
ビット線(3)
ビット線(4)
ビット線(5)
ビット線(6)
ビット線(0)
DCell(6)
cell(0)
cell(1)
cell(2)
cell(3)
cell(4)
cell(5)
DCell(0)
中心
リーク電流
電流
電流
リーク電流
Pre-charge
Drain
Source
Source
Drain
Pre-charge
ダミーアレイ部52
リファレンスアレイ部53
ダミーアレイ部52

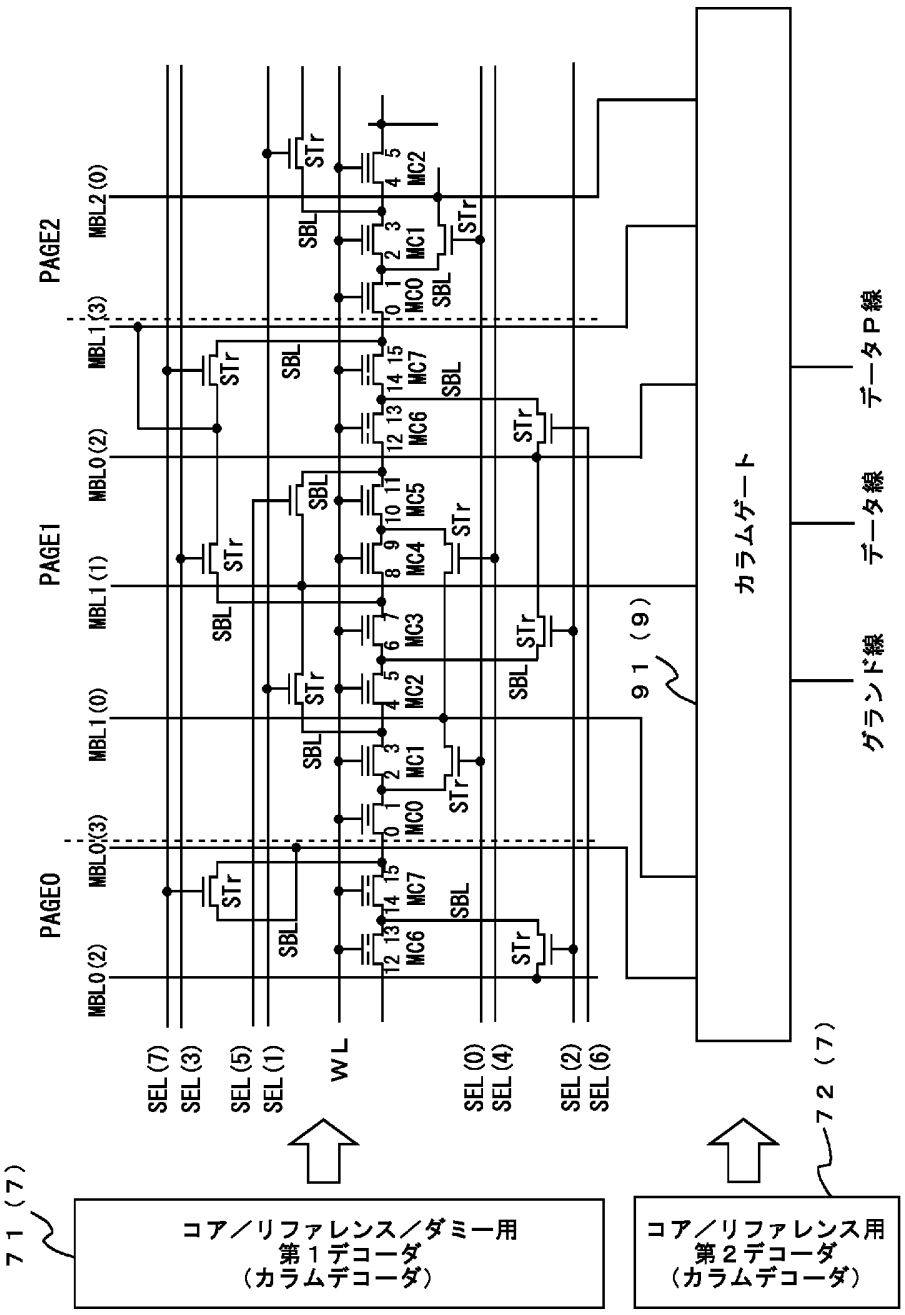
[図7]


10
SENSE OUT
センスアンプ
(比較回路)
23
カスコードアンプ
22
書き込み/消去回路
21
カラムデコーダ
セルアレイ
5
ロウデコーダ
6
7、91、92
カスコードアンプ
27
外部リファレンスセル
選択トランジスタ
26
ER用
外部
Ref Cell
25
PGM用
外部
Ref Cell
24

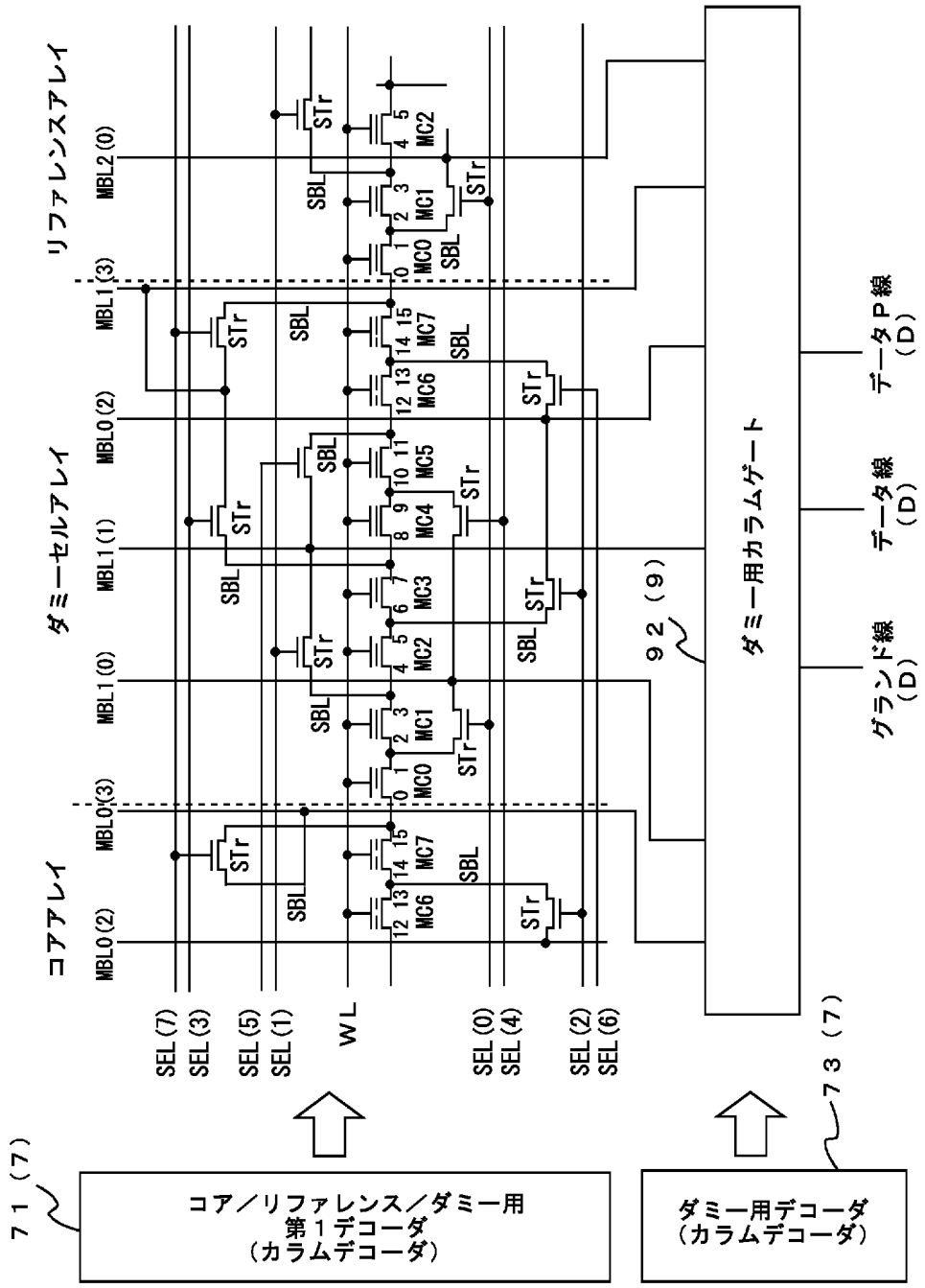
[図8]


51
22
カスコードアンプ
WL
Drain
Source
コアセル
23
センスアンプ(比較回路)
SW1
SW2
Ref "01"
Ref "10"
53

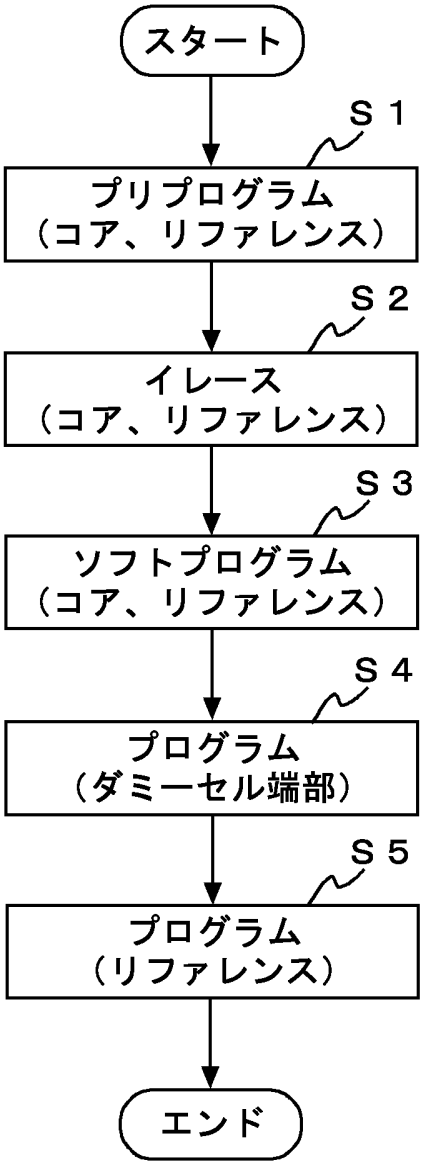
[図9]


PAGE2
PAGE1
PAGE0
MBL2(0)
MBL1(3)
MBL0(2)
MBL1(1)
MBL1(0)
MBL0(3)
MBL0(2)
STr
SBL
MC0
MC1
MC2
MC3
MC4
MC5
MC6
MC7
SEL(7)
SEL(3)
SEL(5)
SEL(1)
WL
SEL(0)
SEL(4)
SEL(2)
SEL(6)
カラムゲート
データP線
データ線
グランド線
91（9）
72（7）
71（7）
コア／リファレンス／ダミー用
第１デコーダ
（カラムデコーダ）
コア／リファレンス用
第２デコーダ
（カラムデコーダ）

[図10]


リファレンスアレイ
ダミーセルアレイ
コアアレイ
MBL2(0)
MBL1(3)
MBL0(2)
MBL1(1)
MBL1(0)
MBL0(3)
MBL0(2)
MC0
MC1
MC2
MC3
MC4
MC5
MC6
MC7
STr
SBL
WL
SEL(7)
SEL(3)
SEL(5)
SEL(1)
SEL(0)
SEL(4)
SEL(2)
SEL(6)
92(9)
ダミー用カラムゲート
データP線 (D)
データ線 (D)
グランド線 (D)
73(7)
71(7)
コア／リファレンス／ダミー用 第1デコーダ (カラムデコーダ)
ダミー用デコーダ (カラムデコーダ)

[図11]


スタート
S１
プリプログラム
（コア、リファレンス）
S２
イレース
（コア、リファレンス）
S３
ソフトプログラム
（コア、リファレンス）
S４
プログラム
（ダミーセル端部）
S５
プログラム
（リファレンス）
エンド

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/006264

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] G11C16/10, H01L21/115

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] G11C16/02-16/34, H01L21/115

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2003-242794 A (Mitsubishi Electric Corp.), 29 August, 2003 (29.08.03), Par. Nos. [0079] to [0090]; Fig. 1 & US 2003/0156457 A1 & CN 1440038 A	1-3,5,8,12 4,9,11 6,7,10,13,14
Y	JP 6-111592 A (Mega Chips Corp.), 22 April, 1994 (22.04.94), Par. Nos. [0024] to [0030]; Figs. 1 (Family: none)	4,9,11
Y	JP 2004-71066 A (Kabushiki Kaisha Runesasu Technology), 04 March, 2004 (04.03.04), Par. No. [0082]; Fig. 7 & US 2004-0027857 A1	4,9,11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 10 August, 2004 (10.08.04)	Date of mailing of the international search report 14 September, 2004 (14.09.04)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2004)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/006264

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 63-228499 A (Hitachi, Ltd.), 22 September, 1988 (22.09.88), Full text; all drawings & US 5592000 A (Family: none)	1-14

国際調査報告

国際出願番号 PCT／JP2004／006264

A. 発明の属する分野の分類（国際特許分類（IPC））
Int. Cl⁷ G11C16／10, H01L21／115

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
Int. Cl⁷ G11C16／02－16／34, H01L21／115

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報 1922－1996年
日本国公開実用新案公報 1971－2004年
日本国実用新案登録公報 1996－2004年
日本国登録実用新案公報 1994－2004年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X Y A	JP 2003-242794 A （三菱電機株式会社）, 2003.08.29, 第0079-0090段落, 第１図 & US 2003/0156457 A1 & CN 1440038 A	1-3, 5, 8, 12 4, 9, 11 6, 7, 10, 13, 14
Y	JP 6-111592 A （株式会社メガチップス）, 1994.04.22, 第0024-0030段落, 第１図 （ファミリーなし）	4, 9, 11
Y	JP 2004-71066 A （株式会社ルネサステクノロジ）, 2004.03.04, 第0082段落, 第７図 & US 2004/0027857 A1	4, 9, 11

☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
10. 08. 2004	14. 9. 2004

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	
日本国特許庁（ISA／JP） 郵便番号100－8915 東京都千代田区霞が関三丁目４番３号	飯田清司	5N 8731
	電話番号 03－3581－1101 内線 6842	

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
A	JP 63-228499 A （株式会社日立製作所），1988.09.22， 全文，全図 & US 5592000 A （ファミリーなし）	1-14