(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2024 年 10 月 3 日 (03.10.2024)

WIPO | PCT

(10) 国际公布号
WO 2024/198047 A1

(51) 国际专利分类号:
H10B 12/00 (2023.01) *H01L 29/78* (2006.01)
H01L 29/08 (2006.01)

(21) 国际申请号: PCT/CN2023/093288

(22) 国际申请日: 2023 年 5 月 10 日 (10.05.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310329995.5 2023年3月30日 (30.03.2023) CN

(71) 申请人: 北京超弦存储器研究院 (**BEIJING SUPERSTRING ACADEMY OF MEMORY TECHNOLOGY**) [CN/CN]; 中国北京市大兴区北京经济技术开发区景园北街52幢5层501-12, Beijing 100176 (CN)。

(72) 发明人: 李玉科 (**LI, Yuke**); 中国北京市大兴区北京经济技术开发区景园北街52幢5层501-12, Beijing 100176 (CN)。毛淑娟 (**MAO, Shujuan**); 中国北京市大兴区北京经济技术开发区景园北街52幢5层501-12, Beijing 100176 (CN)。王桂磊 (**WANG, Guilei**); 中国北京市大兴区北京经济技术开发区景园北街52幢5层501-12, Beijing 100176 (CN)。赵超 (**ZHAO, Chao**); 中国北京市大兴区北京经济技术开发区景园北街52幢5层501-12, Beijing 100176 (CN)。

(74) 代理人: 北京安信方达知识产权代理有限公司 (**AFD CHINA INTELLECTUAL PROPERTY LAW**

WO 2024/198047 A1

(54) **Title:** SEMICONDUCTOR DEVICE, MANUFACTURING METHOD THEREFOR, AND ELECTRONIC DEVICE

(54) 发明名称: 半导体器件及其制造方法、电子设备

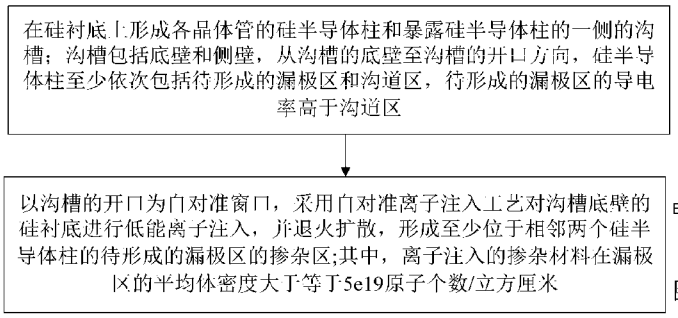


图 2

AA Form silicon semiconductor pillars of various transistors on a silicon substrate and trenches exposing one side of the silicon semiconductor pillars, wherein each trench comprises a bottom wall and sidewalls, and in a direction from the bottom wall of each trench to an opening of the trench, each silicon semiconductor pillar at least successively comprises a drain region to be formed and a channel region, the conductivity of the drain region to be formed being higher than that of the channel region

BB Use the opening of each trench as a self-aligned window, perform low-energy ion implantation on the silicon substrate at the bottom walls of the trenches by means of a self-aligned ion implantation process, and perform annealing diffusion to form a doped region located at least in the drain regions to be formed of adjacent two silicon semiconductor pillars, the average bulk density of a doping material implanted by means of ion implantation in the drain regions being greater than or equal to 5e19 atoms/cubic centimeters

(57) **Abstract:** A semiconductor device, a manufacturing method therefor, and an electronic device, relating to the technical field of semiconductors. The semiconductor device comprises: at least one transistor (10) provided on a substrate (1'), and bit lines (20). The transistor (10) comprises a silicon semiconductor pillar (30) extending in a direction perpendicular to the substrate (1'), and the silicon semiconductor pillar (30) successively comprises a first electrode region (31), a channel region (32) and a second electrode region (33) in a direction approaching the substrate (1'). The bit lines (20) are arranged between the second electrode region (33) and the substrate

[见续页]

OFFICE); 中国北京市海淀区学清路38号（B座)21层2108, Beijing 100083 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(1') and are connected to the second electrode region (33). The second electrode region (33) contains a doping material which is used for doping by means of a self-aligned ion implantation process, the average bulk density of the doping material in the second electrode region (33) being greater than or equal to 5e19 atoms/cubic centimeters.

(57) 摘要: 一种半导体器件及其制造方法、电子设备，涉及半导体技术领域，所述半导体器件包括：设置在衬底(1')上的至少一个晶体管(10)，位线(20)；所述晶体管(10)包括沿垂直于所述衬底(1')的方向延伸的硅半导体柱(30)，所述硅半导体柱(30)沿着靠近所述衬底(1')的方向依次包括第一电极区(31)、沟道区(32)和第二电极区(33)，所述位线(20)设置在所述第二电极区(33)与所述衬底(1')之间并且与所述第二电极区(33)连接；所述第二电极区(33)含有采用自对准离子注入工艺掺杂的掺杂材料，所述掺杂材料在所述第二电极区(33)的平均体密度大于等于5e19原子个数/立方厘米。

半导体器件及其制造方法、电子设备

本公开要求于 2023 年 03 月 30 日提交中国专利局、申请号为202310329995.5、发明名称为“半导体器件及其制造方法、电子设备”的中国专利申请的优先权，其内容应理解为通过引用的方式并入本公开中。

技术领域

本公开实施例涉及但不限于半导体技术领域，尤指一种半导体器件及其制造方法、电子设备。

背景技术

在动态随机存取存储器（Dynamic Random Access Memory，DRAM）领域，硅柱作为沟道的垂直沟道晶体管的制造工艺中，硅柱的上下两个区域分别为源电极和漏电极，中间区域为沟道，晶体管的硅柱上的源电极与其上方的金属连接，以及硅柱上的漏电极与金属位线接触，硅柱与金属之间的接触为金属-半导体接触，容易形成肖特基势垒，造成接触电阻相对较高。一般地需要在硅柱的源电极和漏电极区域进行掺杂降低与金属的接触电阻。

发明内容

以下是对本文详细描述的主题的概述。本概述并非是为了限制本公开的保护范围。

本公开实施例提供了一种半导体器件，所述半导体器件包括：设置在衬底上的至少一个晶体管，位线；所述晶体管包括沿垂直于所述衬底的方向延伸的硅半导体柱，所述硅半导体柱沿着顶端到靠近所述衬底的方向依次包括第一电极区、沟道区和第二电极区，所述位线设置在所述第二电极区与所述衬底之间并且与所述第二电极区连接；位于所述第二电极区的硅半导体柱含有采用自对准离子注入工艺掺杂的掺杂材料，所述掺杂材料在所述第二电极区的平均体密度大于等于 5e19 原子个数/立方厘米；所述自对准离子注入工

艺为自对准低能离子注入工艺。

在本公开的示例性实施例中，所述掺杂材料在所述第二电极区的平均体密度可以为 5e19 原子个数/立方厘米至 5e20 原子个数/立方厘米。

在本公开的示例性实施例中，位于所述第一电极区的硅半导体柱含有采用自对准离子注入工艺掺杂的掺杂材料；所述自对准离子注入工艺为自对准低能离子注入工艺。

在本公开的示例性实施例中，所述第一电极区和/或所述第二电极区的所述自对准低能离子注入工艺的注入能量范围可以为 5kev 至 100kev。

在本公开的示例性实施例中，可以通过一次自对准低能离子注入工艺同时在所述第一电极区和第二电极区进行掺杂。

在本公开的示例性实施例中，所述掺杂材料在所述第一电极区的平均体密度大于等于 5e19 原子个数/立方厘米。

在本公开的示例性实施例中，所述掺杂材料在所述第一电极区的平均体密度可以为 5e19 原子个数/立方厘米至 5e20 原子个数/立方厘米。

在本公开的示例性实施例中，所述半导体器件可以包括在所述衬底上沿第一方向和第二方向阵列分布的多个晶体管，所述第一方向与所述第二方向交叉；

所述位线可以沿所述第一方向延伸且在第二方向间隔排布，沿所述第一方向分布的一行晶体管的第二电极区可以与同一条位线连接；

所述晶体管还可以包括：环绕所述沟道区并且与所述沟道区相绝缘的栅电极；所述半导体器件还可以包括多条沿所述第二方向延伸的字线，沿所述第二方向分布的一列晶体管的所述栅电极与同一条字线连接，并且各所述栅电极作为所述字线的一部分。

在本公开的示例性实施例中，所述硅半导体柱的至少位于所述沟道区的半导体为单晶硅半导体，所述沟道区的远离所述第一电极区和所述第二电极区的区域中无掺杂离子。

本公开实施例还提供一种半导体器件的制造方法，所述半导体器件包括至少一个晶体管，位线；所述晶体管包括沿垂直于硅衬底的方向延伸的硅半

导体柱;

所述半导体器件的制造方法包括:

在所述硅衬底上形成各所述晶体管的硅半导体柱和暴露所述硅半导体柱的一侧的沟槽;所述沟槽包括底壁和侧壁,从所述沟槽的底壁至所述沟槽的开口方向,所述硅半导体柱至少依次包括待形成的漏极区和沟道区;

以所述沟槽的开口为自对准窗口,采用自对准离子注入工艺对所述沟槽的底壁的硅衬底进行低能离子注入,并退火扩散,形成至少位于相邻两个硅半导体柱的所述待形成的漏极区的掺杂区;

其中,所述离子注入的掺杂材料在所述漏极区的平均体密度大于等于5e19原子个数/立方厘米。

在本公开的示例性实施例中,所述自对准离子注入工艺可以在形成所述位线之前进行;

采用自对准离子注入工艺对所述沟槽的底壁的硅衬底进行离子注入,并退火扩散可以包括:

在所述硅衬底上沉积覆盖所述沟槽的底壁和侧壁的牺牲氧化物层;

沿着垂直于所述硅衬底的方向,采用自对准离子注入工艺仅对所述硅衬底进行低能离子注入而不对所述硅半导体柱的沟道区进行低能离子注入,使掺杂材料被注入被所述沟槽露出的所述硅衬底中;

采用退火工艺使所述掺杂材料由所述硅衬底扩散进入所述沟槽两侧的所述晶体管的漏极区。

在本公开的示例性实施例中,所述位线的形成过程可以包括:

在对所述硅衬底进行离子注入之后,刻蚀去除所述沟槽的底壁上的所述牺牲氧化物层,使得所述沟槽露出所述硅衬底;

对露出的所述硅衬底进行刻蚀,使所述沟槽延伸进入所述硅衬底中并朝向所述漏极区底端延伸,在沿平行于所述硅衬底的第一方向分布的一列硅半导体柱的漏极区下方形成沿所述第一方向延伸的位线槽;

在所述位线槽中形成所述位线。

在本公开的示例性实施例中，所述自对准离子注入工艺可以在形成所述位线之后进行;

所述位线的形成过程可以包括:

在所述硅衬底上沉积覆盖所述沟槽的底壁和侧壁的牺牲氧化物层;

刻蚀去除所述沟槽的底壁上的所述牺牲氧化物层，使得所述沟槽露出所述硅衬底;

对露出的所述硅衬底进行刻蚀，使所述沟槽延伸进入所述硅衬底中并朝向所述漏极区底端延伸，在沿平行于所述硅衬底的第一方向分布的一列硅半导体柱的漏极区下方形成沿所述第一方向延伸的位线槽;

在所述位线槽中形成所述位线，所述位线被所述沟槽露出。

在本公开的示例性实施例中，采用自对准离子注入工艺对所述沟槽的底壁的硅衬底进行离子注入，并退火扩散可以包括:

沿着垂直于所述硅衬底的方向，采用自对准离子注入工艺对被所述沟槽露出的所述位线进行离子注入，使掺杂材料被注入所述位线中;

采用退火工艺使所述掺杂材料由所述位线扩散进入所述硅半导体柱的所述漏极区中。

在本公开的示例性实施例中，所述硅半导体柱还可以包括源极区，所述源极区位于所述沟道区远离所述硅衬底的一侧;

所述半导体器件的制造方法还可以包括：采用自对准离子注入工艺在所述源极区进行低能离子注入，并退火扩散，在所述源极区中形成含有掺杂材料的掺杂区。

在本公开的示例性实施例中，可以通过一次自对准离子注入工艺同时在所述源极区和所述漏极区进行掺杂，经退火工艺同时形成所述源极区的掺杂区和所述漏极区的掺杂区。

在本公开的示例性实施例中，所述掺杂材料在所述硅衬底中的注入深度可以为 0 至 45nm。

在本公开的示例性实施例中，所述掺杂材料在所述源极区中的注入深度

可以为 0 至 45nm。

在本公开的示例性实施例中，所述漏极区和/或所述源极区的所述低能离子注入的工艺条件可以包括：注入能量为 5kev 至 100kev。

在本公开的示例性实施例中，所述退火的工艺条件可以包括：退火温度为 850℃至 1100℃，退火时间为 5s 至 30s。

本公开实施例还提供一种电子设备，所述电子设备包括如上本公开实施例提供的所述半导体器件。

本公开的其它特征和优点将在随后的说明书中阐述，并且，部分地从说明书中变得更加清楚，或者通过实施本公开而了解。本公开的目的和优点可通过在说明书以及附图中所特别指出的结构来实现和获得。

附图说明

附图用来提供对本公开技术方案的理解，并且构成说明书的一部分，与本公开的实施例一起用于解释本公开的技术方案，并不构成对本公开技术方案的限制。

图 1A 为本公开示例性实施例提供的半导体器件的俯视结构示意图；

图 1B 为图 1 所示的半导体器件的局部结构在 a-a’方向上的纵截面结构示意图；

图 2 为本公开示例性实施例提供的一种半导体器件的制造方法的工艺流程图；

图 3 为本公开示例性实施例的一种半导体器件的制造方法在形成第一沟槽后在 b-b’方向上的纵截面结构示意图；

图 4 为本公开示例性实施例的一种半导体器件的制造方法在沉积绝缘层后在 b-b’方向上的纵截面结构示意图；

图 5A 为本公开示例性实施例的一种半导体器件的制造方法在形成第二沟槽后的俯视图；

图 5B 为图 5A 所示在结构在 b-b’方向上的纵截面结构示意图；

图 5C 为图 5A 所示在结构在在 a-a’方向上的纵截面结构示意图；

图 6 为本公开示例性实施例的一种半导体器件的制造方法在沉积牺牲氧化物层后在 a-a’方向上的纵截面结构示意图；

图 7 为本公开示例性实施例的一种半导体器件的制造方法在进行离子注入时在 a-a’方向上的纵截面结构示意图；

图 8 为本公开示例性实施例的一种半导体器件的制造方法在形成掺杂区后在 a-a’方向上的纵截面结构示意图；

图 9 为本公开示例性实施例的一种半导体器件的制造方法在形成位线槽后在 a-a’方向上的纵截面结构示意图；

图 10 为本公开示例性实施例的一种半导体器件的制造方法在形成位线后在 a-a’方向上的纵截面结构示意图；

图 11 为本公开示例性实施例的另一种半导体器件的制造方法在形成位线槽后在 a-a’方向上的纵截面结构示意图；

图 12 为本公开示例性实施例的另一种半导体器件的制造方法在形成位线后在 a-a’方向上的纵截面结构示意图；

图 13 为本公开示例性实施例的另一种半导体器件的制造方法在去除部分牺牲氧化物层后在 a-a’方向上的纵截面结构示意图；

图 14 为本公开示例性实施例的另一种半导体器件的制造方法在进行离子注入时在 a-a’方向上的纵截面结构示意图；

图 15 为本公开示例性实施例的另一种半导体器件的制造方法在形成掺杂区后在 a-a’方向上的纵截面结构示意图；

图 16 为本公开一个示例性实施例采用 TCAD 模拟得到的源/漏电极的掺杂材料在 b-b’方向上的分布图；

图 17 为本公开一个示例性实施例得到的半导体器件的硅半导体柱的掺杂材料的掺杂浓度曲线；

图 18 为本公开实施例 2 和 3 得到的半导体器件的硅半导体柱的掺杂材料的掺杂浓度曲线；

图 19 为本公开实施例得到的半导体器件的硅半导体柱的掺杂材料分别在没有反向散射和有反向散射的情况下的掺杂浓度曲线。

附图中的各标记符号的含义为：

1-硅衬底；1'-衬底；10-晶体管；20-位线；21-位线槽；30-硅半导体柱；31-第一电极区；32-沟道区；33-第二电极区；34-掺杂区；40-栅电极；50-字线；61-第一沟槽；62-第二沟槽；70-绝缘层；80-牺牲氧化物层。

具体实施方式

为使本公开的目的、技术方案和优点更加清楚明白，下文中将结合附图对本公开的实施例进行详细说明。需要说明的是，在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。

本公开的实施方式并不一定限定附图所示尺寸，附图中各部件的形状和大小不反映真实比例。此外，附图示意性地示出了理想的例子，本公开的实施方式不局限于附图所示的形状或数值。

本公开中的“第一”、“第二”等序数词是为了避免构成要素的混同而设置，并不表示任何顺序、数量或者重要性。

在本公开中，为了方便起见，使用“中部”、“上”、“下”、“前”、“后”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示方位或位置关系的词句以参照附图说明构成要素的位置关系，仅是为了便于描述本说明书和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。构成要素的位置关系根据描述各构成要素的方向适当地改变。因此，不局限于在公开中说明的词句，根据情况可以适当地更换。

在本公开中，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解。例如，可以是固定连接，或可拆卸连接，或一体地连接；可以是机械连接，或电连接；可以是直接相连，或通过中间件间接相连，或两个元件内部的连通。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本公开中的具体含义。

在本公开中，晶体管是指至少包括栅电极、漏电极以及源电极这三个端子的元件。晶体管在漏电极（漏电极端子、漏区域或漏电极）与源电极（源电极端子、源区域或源电极）之间具有沟道区域，并且电流能够流过漏电极、沟道区域以及源电极。在本公开中，沟道区域是指电流主要流过的区域。

在本公开中，可以是硅半导体柱的第一电极区作为晶体管的源电极、第二电极区作为晶体管的漏电极，或者可以是硅半导体柱的第一电极区作为晶体管的漏电极、第二电极区作为晶体管的源电极。在使用极性相反的晶体管的情况或电路工作中的电流方向变化的情况等下，“源电极”及“漏电极”的功能有时互相调换。因此，在本公开中，“源电极”和“漏电极”可以互相调换。

在本公开中，“电连接”包括构成要素通过具有某种电作用的元件连接在一起的情况。“具有某种电作用的元件”只要可以进行连接的构成要素间的电信号的授受，就对其没有特别的限制。“具有某种电作用的元件”的例子不仅包括电极和布线，而且还包括晶体管等开关元件、电阻器、电感器、电容器、其它具有各种功能的元件等。

在本公开中，“平行”是指大约平行或几乎平行，比如，两条直线形成的角度为-10°以上且10°以下的状态，因此，也包括该角度为-5°以上且5°以下的状态。

在本公开中，“膜”和“层”可以相互调换。例如，有时可以将“导电层”换成“导电膜”。与此同样，有时可以将“绝缘膜”换成“绝缘层”。

在以单晶硅为半导体沟道制备垂直晶体管的实施例中，半导体沟道为单晶硅柱，该单晶硅柱上具有上下两端的源极区和漏极区以及二者之间的沟道区。一般地，所述源极区和漏极区与金属接触引出到半导体之外。比如，漏极区与位线连接。一般地，位线为埋入式位线，在单晶硅的底部。源极区和漏极区分别为源电极和漏电极，简称为源/漏电极。为了消除金属与晶体管半导体柱上源/漏电极之间的肖特基势垒，可以对晶体管源/漏电极进行高浓度掺杂。

通常，采用高能离子注入，注入时的高能注入位置为硅柱的顶部，高能掺杂离子经过沟道区进入硅柱底部的待形成的漏极区，此步骤形成掺杂的源

极区和漏极区时同时对硅柱沟道区的晶格造成影响，影响器件性能。

在制造垂直晶体管时，源电极在上部，源电极的高浓度掺杂容易实现。漏电极在底部，进行高能掺杂时掺杂材料需要从源极区穿过沟道区扩散到漏极区，可以理解为高浓度掺杂时掺杂材料要穿过一定深度的硅柱才能到达下部的漏电极，高能掺杂容易对单晶硅造成损伤，尤其是晶格损伤。比如，选择砷作为掺杂材料容易造成单晶硅硅柱的非晶化，导致器件性能失效；选择半径较小的磷作为掺杂材料，虽然对硅的损伤相对小，但扩散距离长，容易扩散到沟道区域，造成器件性能降低。因此，垂直晶体管的底部掺杂是较难实现的。

本公开，采用低能离子注入实现漏极区时，注入位置为硅柱之间的沟槽区域，通过退火扩散使掺杂离子横向进入沟道下方的漏极区。有效降低或避免对沟道破坏作用，提高掺杂效果。

在本公开的示例性实施例中，所述硅半导体柱的至少位于所述沟道区的半导体为单晶硅半导体，所述沟道区的远离所述第一电极区和所述第二电极区的区域中无掺杂离子。

采用低能离子注入实现源极区时，注入位置为硅柱顶部，因低能离子注入，不需要将离子注入到漏极区，因此，可控制离子注入硅柱一定深度而不进入沟道区。沟道区靠近中心区域或背离源极区和漏极区无上述的掺杂离子，或者说，在硅柱横截面上，靠近中心区域无掺杂离子或很少有掺杂离子。且该区域的半导体为晶格完好的单晶硅，不是非晶硅。

本公开实施例提供了一种半导体器件。

图 1A 为本公开示例性实施例提供的半导体器件的俯视结构示意图；图 1B 为图 1 所示的半导体器件的局部结构在 a-a'截面上的纵截面结构示意图。

如图 1A 和图 1B 所示，所述半导体器件包括：设置在衬底 1'上的至少一个晶体管 10，位线 20；晶体管 10 包括沿垂直于衬底 1'的方向延伸的硅半导体柱 30，硅半导体柱 30 沿着顶端到靠近衬底 1'的方向依次包括第一电极区 31、沟道区 32 和第二电极区 33，位线 20 设置在第二电极区 33 与衬底 1'之间并且与第二电极区 33 连接；第二电极区 33 含有采用自对准低能离子注入

工艺掺杂的掺杂材料，所述掺杂材料在第二电极区 33 的平均体密度大于等于 5e19 原子个数/立方厘米。

平均体密度可以理解为在多个位置测试数据得到的平均值。

本公开实施例的半导体器件的晶体管的源/漏电极的掺杂浓度较高，可以与源/漏电极上下的金属层形成欧姆接触，因此晶体管的源/漏电极与金属层之间的接触电阻较小，器件性能较好。

在本公开的示例性实施例中，所述掺杂材料在第二电极区 33 的平均体密度可以为 5e19 原子个数/立方厘米至 5e20 原子个数/立方厘米。

在本公开的示例性实施例中，所述自对准低能离子注入工艺的注入能量范围可以为 5kev 至 100kev。

在本公开的示例性实施例中，所述掺杂材料还可以通过自对准离子注入工艺，例如，自对准低能离子注入工艺掺入所述第一电极区中。

在本公开的示例性实施例中，所述掺杂材料在所述第一电极区的平均体密度大于等于 5e19 原子个数/立方厘米。

在本公开的示例性实施例中，可以通过一次自对准低能离子注入工艺同时在所述第一电极区和第二电极区进行掺杂。

在本公开的示例性实施例中，所述掺杂材料在所述第一电极区的平均体密度可以为 5e19 原子个数/立方厘米至 5e20 原子个数/立方厘米。

在本公开的示例性实施例中，如图 1A 所示，所述半导体器件可以包括多个晶体管 10，多个晶体管 10 在衬底 1’上可以沿第一方向和第二方向阵列分布，所述第一方向与所述第二方向交叉，所述第一方向与所述第二方向可以平行于衬底 1’。所述第一方向可以为如图 1A 所示的 a-a’方向，所述第二方向可以为如图 1A 所示的 b-b’方向。在所述第一方向上相邻的两个晶体管 10 之间具有第二沟槽 62，在所述第二方向上相邻的两个晶体管 10 之间具有第一沟槽 61。

在本公开的示例性实施例中，如图 1A 所示，位线 20 可以沿所述第一方向延伸且在所述第二方向间隔排布。

在本公开的示例性实施例中，如图 1B 所示，沿所述第一方向分布的一

行晶体管 10 的第二电极区 33 可以与同一条位线 20 连接。

在本公开的示例性实施例中，如图 1A 所示，晶体管 10 还可以包括：环绕沟道区 32 并且与沟道区 32 相绝缘的栅电极 40。

其中，环绕可以理解为部分环绕或全部环绕。一些实施例中，所述环绕可以为全部环绕，即至少沟道区 32 的整个侧壁被栅电极 40 环绕，环绕后的栅电极 40 的横截面为闭合环形。所述横截面为沿着垂直于衬底的方向截取。一些实施例中，所述环绕可以为部分环绕，即沟道区 32 的部分侧壁被栅电极 40 环绕，环绕后的栅电极 40 的横截面不是闭合的，但是呈现环形状。比如，具有开口的环形或两个独立的栅电极 40。例如，沟道区 32 的相对的侧表面被栅电极 40 环绕，此时栅电极 40 的横截面为具有两个开口的环形。

在本公开的示例性实施例中，如图 1A 所示，所述半导体器件还可以包括多条沿所述第二方向延伸的字线 50。

在本公开的示例性实施例中，沿所述第二方向分布的一列晶体管 10 的栅电极 40 可以与同一条字线 50 连接。

在本公开的示例性实施例中，沿所述第二方向分布的一列晶体管 10 的栅电极 40 可以与同一条字线 50 连接，并且作为所连接的字线 50 的一部分。

在本公开的示例性实施例中，所述晶体管可以为垂直环栅（Vertical gate-all-around, VGAA）晶体管；所述半导体器件可以为包含晶体管的存储器件，例如，动态随机存取存储器（Dynamic Random Access Memory, DRAM）、磁性随机存取存储器（Magnetic Random Access Memory，MRAM）等。

本公开实施例还提供一种半导体器件的制造方法，所述半导体器件包括至少一个晶体管，位线；所述晶体管包括沿垂直于硅衬底的方向延伸的硅半导体柱。如上本公开实施例提供的所述半导体器件可以通过该制造方法得到。

图 2 为本公开示例性实施例提供的一种半导体器件的制造方法的工艺流程图。

如图 2 所示，所述半导体器件的制造方法包括：

在硅衬底上形成各所述晶体管的硅半导体柱和暴露所述硅半导体柱的一侧的沟槽；所述沟槽包括底壁和侧壁，从所述沟槽的底壁至所述沟槽的开口

方向，所述硅半导体柱至少依次包括待形成的漏极区和沟道区，所述待形成的漏极区的导电率高于所述沟道区；

以所述沟槽的开口为自对准窗口，采用自对准离子注入工艺对所述沟槽的底壁的硅衬底进行低能离子注入，并退火扩散，形成至少位于相邻两个硅半导体柱的所述待形成的漏极区的掺杂区；

其中，所述离子注入的掺杂材料在所述漏极区的平均体密度大于等于5e19 原子个数/立方厘米。

本公开实施例的半导体器件的制造方法采用低能的离子注入即可实现对硅半导体柱的漏极区的高浓度掺杂，可以避免高能注入引起的硅半导体柱损伤，而且采用定向的自对准离子注入工艺进行离子掺杂，可以避免掺杂材料进入沟道区，因此制得的半导体器件的性能较好，而且无需光刻版。

在本公开的示例性实施例中，所述漏极区的低能离子注入的注入能量范围可以为 5keV 至 100keV。

在本公开的示例性实施例中，所述自对准离子注入工艺可以在形成所述位线之前进行；

采用自对准离子注入工艺对所述沟槽的底壁的硅衬底进行离子注入，并退火扩散可以包括：

在所述硅衬底上沉积覆盖所述沟槽的底壁和侧壁的牺牲氧化物层；

沿着垂直于所述硅衬底的方向，采用自对准离子注入工艺仅对所述硅衬底进行低能离子注入而不对所述硅半导体柱的沟道区进行低能离子注入，使掺杂材料被注入被所述沟槽露出的所述硅衬底中；

采用退火工艺使所述掺杂材料由所述硅衬底扩散进入所述沟槽两侧的所述晶体管的漏极区。

在本公开的示例性实施例中，所述位线的形成过程可以包括：

在对所述硅衬底进行离子注入之后，刻蚀去除所述沟槽的底壁上的所述牺牲氧化物层，使得所述沟槽露出所述硅衬底；

对露出的所述硅衬底进行刻蚀，使所述沟槽延伸进入所述硅衬底中并朝向所述漏极区底端延伸，在沿平行于所述硅衬底的第一方向分布的一列硅半

导体柱的漏极区下方形成沿所述第一方向延伸的位线槽;

在所述位线槽中形成所述位线。

在本公开的示例性实施例中，所述半导体器件的制造方法可以包括:

在硅衬底上形成各所述晶体管的硅半导体柱和暴露所述硅半导体柱的一侧的沟槽；所述沟槽包括底壁和侧壁，从所述沟槽的底壁至所述沟槽的开口方向，所述硅半导体柱依次包括待形成的漏极区和沟道区，所述待形成的漏极区的导电率高于所述沟道区;

在所述硅衬底上沉积覆盖所述沟槽的底壁和侧壁的牺牲氧化物层;

沿着垂直于所述硅衬底的方向，采用自对准离子注入工艺仅对所述硅衬底进行低能离子注入而不对所述硅半导体柱的沟道区进行低能离子注入，使掺杂材料被注入被所述沟槽露出的所述硅衬底中;

采用退火工艺使所述掺杂材料由所述硅衬底扩散进入所述沟槽两侧的所述晶体管的漏极区;

刻蚀去除所述沟槽的底壁上的所述牺牲氧化物层，使得所述沟槽露出所述硅衬底;

对露出的所述硅衬底进行刻蚀，使所述沟槽延伸进入所述硅衬底中并朝向所述漏极区底端延伸，在沿平行于所述硅衬底的第一方向分布的一列硅半导体柱的漏极区下方形成沿所述第一方向延伸的位线槽;

在所述位线槽中形成所述位线;

其中，离子注入的掺杂材料在第二电极区的平均体密度大于等于 5e19 原子个数/立方厘米。

在本公开的示例性实施例中，所述自对准离子注入工艺可以在形成所述位线之后进行;

所述位线的形成过程可以包括:

在所述硅衬底上沉积覆盖所述沟槽的底壁和侧壁的牺牲氧化物层;

刻蚀去除所述沟槽的底壁上的所述牺牲氧化物层，使得所述沟槽露出所述硅衬底;

对露出的所述硅衬底进行刻蚀，使所述沟槽延伸进入所述硅衬底中并朝向所述漏极区底端延伸，在沿平行于所述硅衬底的第一方向分布的一列硅半导体柱的漏极区下方形成沿所述第一方向延伸的位线槽；

在所述位线槽中形成所述位线，所述位线被所述沟槽露出。

在本公开的示例性实施例中，采用自对准离子注入工艺对所述沟槽的底壁的硅衬底进行离子注入，并退火扩散可以包括：

沿着垂直于所述硅衬底的方向，采用自对准离子注入工艺对被所述沟槽露出的所述位线进行离子注入，使掺杂材料被注入所述位线中；

采用退火工艺使所述掺杂材料由所述位线扩散进入所述硅半导体柱的所述漏极区中。

在本公开的示例性实施例中，所述半导体器件的制造方法可以包括：

在硅衬底上形成各所述晶体管的硅半导体柱和暴露所述硅半导体柱的一侧的沟槽；所述沟槽包括底壁和侧壁，从所述沟槽的底壁至所述沟槽的开口方向，所述硅半导体柱依次包括待形成的漏极区和沟道区，所述待形成的漏极区的导电率高于所述沟道区；

在所述硅衬底上沉积覆盖所述沟槽的底壁和侧壁的牺牲氧化物层；

刻蚀去除所述沟槽的底壁上的所述牺牲氧化物层，使得所述沟槽露出所述硅衬底；

对露出的所述硅衬底进行刻蚀，使所述沟槽延伸进入所述硅衬底中并朝向所述漏极区底端延伸，在沿平行于所述硅衬底的第一方向分布的一列硅半导体柱的漏极区下方形成沿所述第一方向延伸的位线槽；

在所述位线槽中形成所述位线，所述位线被所述沟槽露出；

沿着垂直于所述硅衬底的方向，采用自对准离子注入工艺对被所述沟槽露出的所述位线进行离子注入，使掺杂材料被注入所述位线中；

采用退火工艺使所述掺杂材料由所述位线扩散进入所述硅半导体柱的所述漏极区中；

其中，离子注入的掺杂材料在所述第二电极区的平均体密度大于等于

5e19 原子个数/立方厘米。

在本公开的示例性实施例中，所述硅半导体柱还可以包括源极区，所述源极区位于所述沟道区远离所述硅衬底的一侧;

所述半导体器件的制造方法还可以包括：采用自对准离子注入工艺在所述源极区进行低能离子注入，并退火扩散，在所述源极区中形成含有掺杂材料的掺杂区。

在本公开的示例性实施例中，所述源极区的低能离子注入的注入能量范围可以为 5keV 至 100keV。

在本公开的示例性实施例中，可以通过一次自对准离子注入工艺同时在所述源极区和所述漏极区进行掺杂，经退火工艺同时形成所述源极区的掺杂区和所述漏极区的掺杂区。

在本公开的示例性实施例中，所述退火的工艺条件可以包括：退火温度为 850℃至 1100℃，退火时间为 5s 至 30s。

下面通过本实施例半导体器件的制造过程进一步说明本实施例的技术方案。沉积可采用溅射、蒸镀、化学气相沉积等已知工艺，涂覆可采用已知的涂覆工艺，刻蚀可采用已知的方法，在此不做具体的限定。

图 3 为本公开示例性实施例的一种半导体器件的制造方法在形成第一沟槽后在 b-b'方向上的纵截面结构示意图；图 4 为本公开示例性实施例的一种半导体器件的制造方法在沉积绝缘层后在 b-b'方向上的纵截面结构示意图；图 5A 为本公开示例性实施例的一种半导体器件的制造方法在形成第二沟槽后的俯视图；图 5B 为图 5A 所示在结构在 b-b'方向上的纵截面结构示意图；图 5C 为图 5A 所示在结构在在 a-a'方向上的纵截面结构示意图；图 6 为本公开示例性实施例的一种半导体器件的制造方法在沉积牺牲氧化物层后在 a-a'方向上的纵截面结构示意图；图 7 为本公开示例性实施例的一种半导体器件的制造方法在进行离子注入时在 a-a'方向上的纵截面结构示意图；图 8 为本公开示例性实施例的一种半导体器件的制造方法在形成掺杂区后在 a-a'方向上的纵截面结构示意图；图 9 为本公开示例性实施例的一种半导体器件的制造方法在形成位线槽后在 a-a'方向上的纵截面结构示意图；图 10 为本公开示例性实施例的一种半导体器件的制造方法在形成位线后在 a-a'方向上的纵截

面结构示意图。

如图 3 至图 10 所示，在本公开的一个示例性实施例中，所述半导体器件的制造方法可以包括:

S10: 提供硅衬底 1，在硅衬底 1 上沉积掩膜板，通过构图工艺和刻蚀工艺在硅衬底 1 上形成沿第一方向延伸并沿第二方向间隔分布的多个第一沟槽 61，所述第一方向与所述第二方向可以相互垂直；第一沟槽 61 露出硅衬底 1，多个第一沟槽 61 将硅衬底 1 上部间隔为沿所述第一方向延伸并沿所述第二方向间隔分布的多个半导体壁，如图 3 所示。

示例性地，所述硅衬底可以为单晶硅衬底，还可以为绝缘体上硅衬底，例如，蓝宝石上硅（Silicon On Sapphire, SOS）衬底、玻璃上硅（Silicon On Glass, SOG）衬底，基底半导体基础上的硅的外延层。所述硅衬底可经掺杂或可未经掺杂。

S20: 在硅衬底 1 上沉积覆盖第一沟槽 61 的绝缘层 70，并通过化学机械抛光（Chemical Mechanical Polishing, CMP）对绝缘层 70 进行平坦化并去除半导体壁顶面上的绝缘层 70，如图 4 所示。

示例性地，所述绝缘层可以是硅氧化物（SiOx）层，还可以是 low-K 介质层，即介电常数 K<3.9 的介质层。比如可以是硅氮化物（SiNx）和氮氧化硅（SiON）、碳化硅（SiC）中的任意一种或多种。

S30: 在硅衬底 1 上刻蚀形成沿第二方向延伸并沿第一方向间隔分布的多个第二沟槽 62；多个第二沟槽 62 将硅衬底 1 上部间隔为沿所述第一方向和所述第二方向间隔并阵列分布的多个硅半导体柱 30，第二沟槽 62 露出硅衬底 1 和硅半导体柱 30 的侧壁；第二沟槽 62 包括底壁和侧壁，从第二沟槽 62 的底壁至第二沟槽 62 的开口方向，硅半导体柱 30 依次包括第二电极区 33、沟道区 32 和第一电极区 31，其中，第一电极区 31 为源极区，第二电极区 33 为漏极区，如图 5A 至图 5C 所示；这里，图 5C 中的纵截面垂直于所述硅衬底并且不穿过所述硅半导体柱。

S40: 在硅衬底 1 上沉积覆盖第一电极区 31 的端面、第二沟槽 62 的底壁和侧壁的牺牲氧化物层 80，硅半导体柱 30 的侧壁也被牺牲氧化物层 80 覆

盖，如图 6 所示。

单晶硅等的晶格中具有空隙，牺牲氧化物层 80 的作用是在离子注入时防止带能量注入的离子对下面的单晶硅等的晶格造成损伤，起到保护晶格的作用。

S50：分别以第一电极区 31 的顶面和第二沟槽 62 的开口作为自对准窗口，沿着垂直于硅衬底 1 的方向，采用一次自对准离子注入工艺同时对第一电极区 31 的端面和第二沟槽 62 底壁的硅衬底进行低能离子注入（implant doping），使掺杂材料同时被注入第一电极区 31 和第二沟槽 62 下方的硅衬底 1 中，如图 7 所示。图 7 中的箭头表示自对准离子注入的方向，即垂直于硅衬底 1（与硅半导体柱 30 之间的夹角为 0° ）的方向，因此不会对硅半导体柱的沟道区进行离子注入。其中，低能离子注入的能量为 5kev 至 100kev；所述掺杂材料在第一电极区 31 中的注入深度，即完成离子注入后，掺杂材料在第一电极区 31 中所处的位置距离第一电极区 31 的顶面之间的距离，可以为 0 至 45nm；所述掺杂材料在所述硅衬底 1 中的注入深度，即完成离子注入后，掺杂材料在硅衬底 1 中所处的位置距离第二沟槽 62 的底壁之间的距离，可以为 0 至 45nm。

本实施例的方案采用低能的离子注入即可实现对硅半导体柱的第一电极区和第二电极区的高浓度掺杂，可以避免高能注入引起的硅半导体柱损伤，而且采用定向的自对准离子注入工艺进行离子掺杂，可以避免掺杂材料进入沟道区，因此制得的半导体器件的性能较好，而且无需光刻版。

示例性地，对于 N 型金属-氧化物-半导体（N Metal Oxide Semiconductor, NMOS）晶体管来说，掺杂材料可以包括但不限于磷（P）和砷（As）等中的任意一种或多种；对于 P 型金属-氧化物-半导体（P Metal Oxide Semiconductor, NMOS）晶体管来说，掺杂材料可以包括但不限于硼（B）和镓（Ga）等中的任意一种或多种。掺杂材料的掺杂深度和掺杂浓度可以根据实际需要进行调整。

S60：采用退火工艺使所述掺杂材料在第一电极区 31 进行扩散，并且所述掺杂材料由硅衬底 1 扩散进入第二电极区 33，在第一电极区 31 和第二电极区 33 形成掺杂区 34，如图 8 所示；其中，所述离子注入的掺杂材料在第

一电极区 31 的平均体密度大于等于 5e19 原子个数/立方厘米，所述离子注入的掺杂材料在第二电极区 33 的平均体密度大于等于 5e19 原子个数/立方厘米；掺杂材料在第一电极区 31 中基本是均匀分布，掺杂材料在第二电极区 33 中基本是均匀分布。

示例性地，退火工艺可以为热退火或尖峰退火，通过退火可以激活离子并扩大离子扩散区。退火温度可以为 850℃至 1100℃，退火时间可以为 5s 至 30s。

S70：刻蚀去除第二沟槽 62 底壁上的牺牲氧化物层 80，使得第二沟槽 62 露出硅衬底 1；对露出的硅衬底 1 进行刻蚀，使第二沟槽 62 延伸进入硅衬底 1 中并朝向第二电极区 33 底端延伸，在沿所述第一方向分布的一列硅半导体柱 30 的第二电极区 33 下方形成沿所述第一方向延伸的位线槽 21，如图 9 所示；

S80：在位线槽 21 中沉积导电层，形成位线 20，如图 10 所示。

示例性地，导电层的沉积可以包括：在位线槽 21 的内壁上沉积第一金属层，接着进行快速热退火（RTA）使硅硅衬底中的硅与第一金属层中的第一金属反应形成第一金属的硅化物，然后采用第二金属层填满位线槽 21。所述第一金属可以包括但不限于钴（Co）和钛（Ti）中的至少一种，所述第二金属可以为钨（W）等。

示例性地，第一沟槽 61 的深度大于第二沟槽 62 的深度，相邻两条位线 20 之间可以通过沉积在第一沟槽 61 底部的绝缘层来绝缘。

图 11 为本公开示例性实施例的另一种半导体器件的制造方法在形成位线槽后在 a-a’方向上的纵截面结构示意图；图 12 为本公开示例性实施例的另一种半导体器件的制造方法在形成位线后在 a-a’方向上的纵截面结构示意图；图 13 为本公开示例性实施例的另一种半导体器件的制造方法在去除部分牺牲氧化物层后在 a-a’方向上的纵截面结构示意图；图 14 为本公开示例性实施例的另一种半导体器件的制造方法在进行离子注入时在 a-a’方向上的纵截面结构示意图；图 15 为本公开示例性实施例的另一种半导体器件的制造方法在形成掺杂区后在 a-a’方向上的纵截面结构示意图。

如图 3 至图 6 和图 11 至图 15 所示，在本公开的另一个示例性实施例中，

所述半导体器件的制造方法可以包括:

步骤 S10'至步骤 S40'与如上实施例的步骤 S10 至步骤 S40 基本相同，不同之处仅在于：步骤 S20'中在进行 CMP 时不会去除半导体壁顶面上的绝缘层 70，保留约 5nm 至 10nm 厚度的绝缘层 70。

S50'：刻蚀去除第二沟槽 62 底壁上的牺牲氧化物层 80，使得第二沟槽 62 露出硅衬底 1；以第二沟槽 62 侧壁上的牺牲氧化物层 80 作为阻挡层，对露出的硅衬底 1 进行刻蚀，使第二沟槽 62 延伸进入硅衬底 1 中并朝向第二电极区 33 底端延伸，在沿所述第一方向分布的一列硅半导体柱 30 的第二电极区 33 下方形成沿所述第一方向延伸的位线槽 21，如图 11 所示。

S60'：在位线槽 21 中沉积导电层，形成位线 20，位线 20 被第二沟槽 62 露出，如图 12 所示。

S70'：刻蚀去除第二沟槽 62 侧壁上的牺牲氧化物层 80，硅半导体柱 30 的第一电极区 31 端面上的牺牲氧化物层 80 可以被一起去除，后续采用合适材料的绝缘层 70 作为牺牲氧化物层，如图 13 所示，或者，将硅半导体柱 30 的第一电极区 31 端面上的牺牲氧化物层 80 保留一定厚度。

S80'：分别以第一电极区 31 的顶面和第二沟槽 62 的开口作为自对准窗口，沿着垂直于硅衬底 1 的方向，采用一次自对准低能离子注入工艺同时对第一电极区 31 的端面和第二沟槽 62 露出的位线 20 进行离子注入，使掺杂材料同时被注入第一电极区 31 和位线 20 中，如图 14 所示。图 14 中的箭头表示自对准离子注入的方向，即垂直于硅衬底 1 的方向（与硅半导体柱 30 之间的夹角为 0° ）。其中，低能离子注入能量为 5kev 至 100kev；所述掺杂材料在第一电极区 31 中的注入深度，即完成离子注入后，掺杂材料在第一电极区 31 中所处的位置距离第一电极区 31 的顶面之间的距离，可以为 0 至 45nm；所述掺杂材料在所述硅衬底 1 中的注入深度，即完成离子注入后，掺杂材料在硅衬底 1 中所处的位置距离第二沟槽 62 的底壁之间的距离，可以为 0 至 45nm。

S90'：采用退火工艺使所述掺杂材料在第一电极区 31 进行扩散，并且所述掺杂材料由位线 20 扩散进入第二电极区 33，在第一电极区 31 和第二电极区 33 形成掺杂区 34，如图 15 所示；其中，所述离子注入的掺杂材料在第一

电极区31和第二电极区33的平均体密度大于等于5e19原子个数/立方厘米。砷（As）等离子可以通过横向离散（lateral straggling）进入第二电极区33。

在本公开的示例性实施例中，形成所述第一沟槽和所述第二沟槽的方法可以各自独立地选自干法刻蚀和湿法刻蚀中的任意一种或多种。

在本公开的示例性实施例中，所述位线槽可以采用干法刻蚀和湿法刻蚀中的任意一种或多种对所述第二沟槽的下部进行侧边刻蚀形成。

在本公开的示例性实施例中，沉积所述绝缘层层的方法可以选自原子层沉积（Atomic Layer Deposition, ALD）和化学气相沉积（Chemical Vapor Deposition, CVD）中的任意一种。

在本公开的示例性实施例中，沉积所述牺牲氧化物层的方法可以为原子层沉积（Atomic Layer Deposition, ALD）。

在本公开的示例性实施例中，所述半导体器件的制造方法还可以包括：刻蚀去除所述硅半导体柱的沟道区侧壁上的绝缘层和牺牲氧化物层，在所述沟道区的侧壁上依次沉积环绕所述沟道区侧壁的栅极绝缘层和栅电极，并将所述栅电极与字线连接。

在本公开的示例性实施例中，所述栅极绝缘层的材料可以选自氧化硅（例如，SiO_2）、氧化铪（例如，HfO_2）、氧化锆（例如，ZrO）和氧化铝（例如，Al_2O_3）中的任意一种或多种。所述栅极绝缘层可以为单层结构或多层结构，例如，可以包括由氧化硅和氧化铪形成的两层结构，其中，氧化硅层与沟道区接触，氧化铪层与栅极接触。所述栅极绝缘层的厚度可以根据实际的电性需求来设置，例如，可以为2nm至5nm。

经TCAD（Technology Computer Aided Design）模拟，本公开实施例提供的上述半导体器件的制造方法可以使掺杂材料在所述第一电极区31的平均体密度大于等于5e19原子个数/立方厘米，在所述第二电极区33的平均体密度大于等于5e19原子个数/立方厘米，因此本公开实施例提供的上述半导体器件的制造方法是可行的。

以下通过几个TCAD模拟实例说明本公开方案的可行性。

实施例1

在本公开示例性实施例的半导体器件的制造方法中，在完成对源/漏电极的离子注入后，采用 TCAD 进行模拟；其中，

沟道区的掺杂材料为 As，离子注入的能量为 60 kev 至 180kev，掺杂材料在沟道区的平均体密度为 5e12 原子个数/立方厘米至 8e13 原子个数/立方厘米；退火温度为 850℃至 1100℃，退火时间为 5s 至 30s；

源/漏电极的掺杂材料为 As，低能离子注入的能量为 15kev 至 50kev，掺杂浓度为 2e14 原子个数/立方厘米至 3e15 原子个数/立方厘米；退火温度为 850℃至 1100℃，退火时间为 5s 至 30s。

模拟结果如图 16 和图 17 所示。图 16 为本公开一个示例性实施例采用 TCAD 模拟得到的源/漏电极的掺杂材料在 b-b'方向上的分布图；图 17 为本公开一个示例性实施例得到的半导体器件的硅半导体柱的掺杂材料的掺杂浓度曲线，其中横坐标为硅半导体柱的上表面（源电极端面）到硅半导体柱内部的深度。

实施例 2

在本公开示例性实施例的半导体器件的制造方法中，沟道区的掺杂材料为 As，离子注入的能量为 60 kev 至 180kev，掺杂浓度为 5e12 原子个数/立方厘米至 8e13 原子个数/立方厘米；

源/漏电极的掺杂材料为 As，低能离子注入的能量为 15kev 至 50kev，掺杂浓度为 2e14 原子个数/立方厘米至 3e15 原子个数/立方厘米。

实施例 3

在本公开示例性实施例的半导体器件的制造方法中，沟道区的掺杂材料为 As，离子注入的能量为 60 kev 至 180kev，掺杂浓度为 5e12 原子个数/立方厘米至 8e13 原子个数/立方厘米；

源/漏电极的掺杂材料为 P，低能离子注入的能量为 5kev 至 20kev，掺杂浓度为 5e14 原子个数/立方厘米至 5e15 原子个数/立方厘米。

图 18 为本公开实施例 2 和 3 得到的半导体器件的硅半导体柱的掺杂材料的掺杂浓度曲线，其中横坐标为硅半导体柱的上表面（源电极端面）到硅半导体柱内部的深度。

图 19 为本公开实施例得到的半导体器件的硅半导体柱的掺杂材料分别在没有反向散射和有反向散射的情况下的掺杂浓度曲线，其中横坐标为硅半导体柱的上表面（源电极端面）到硅半导体柱内部的深度。（依据图 19 均可认为反向散射剂量可以忽略不记）。

可以看出，本公开实施例提供的半导体器件的制造方法可以实现对晶体管源/漏电极的高浓度掺杂，使源/漏电极的掺杂浓度远远高于沟道区的掺杂浓度。

本公开实施例还提供一种电子设备，所述电子设备包括如上本公开实施例提供的所述半导体器件。

在本公开的示例性实施例中，所述电子设备可以为：存储装置、智能电话、计算机、平电脑、人工智能设备、可穿戴设备或移动电源等。存储装置可以包括计算机中的内存等，此处不作限定。

虽然本公开所揭露的实施方式如上，但所述的内容仅为便于理解本公开而采用的实施方式，并非用以限定本公开。任何本公开所属领域内的技术人员，在不脱离本公开所揭露的精神和范围的前提下，可以在实施的形式及细节上进行任何的修改与变化，但本公开的保护范围，仍须以所附的权利要求书所界定的范围为准。

权 利 要 求 书

1. 一种半导体器件，包括：设置在衬底上的至少一个晶体管，位线；所述晶体管包括沿垂直于所述衬底的方向延伸的硅半导体柱，所述硅半导体柱沿着顶端到靠近所述衬底的方向依次包括第一电极区、沟道区和第二电极区，所述位线设置在所述第二电极区与所述衬底之间并且与所述第二电极区连接；位于所述第二电极区的硅半导体柱含有采用自对准离子注入工艺掺杂的掺杂材料，所述掺杂材料在所述第二电极区的平均体密度大于等于 5e19 原子个数/立方厘米；所述自对准离子注入工艺为自对准低能离子注入工艺。

2. 根据权利要求 1 所述的半导体器件，其中，所述掺杂材料在所述第二电极区的平均体密度为 5e19 原子个数/立方厘米至 5e20 原子个数/立方厘米。

3. 根据权利要求 1 所述的半导体器件，其中，位于所述第一电极区的硅半导体柱含有采用自对准离子注入工艺掺杂的掺杂材料；所述自对准离子注入工艺为自对准低能离子注入工艺。

4. 根据权利要求 1 或 3 所述的半导体器件，其中，

所述第一电极区和/或所述第二电极区的所述自对准低能离子注入工艺的注入能量范围为 5kev 至 100kev。

5. 根据权利要求 4 所述的半导体器件，其中，通过一次自对准低能离子注入工艺同时在所述第一电极区和第二电极区进行掺杂。

6. 根据权利要求 3 所述的半导体器件，其中，所述掺杂材料在所述第一电极区的平均体密度大于等于 5e19 原子个数/立方厘米。

7. 根据权利要求 6 所述的半导体器件，其中，所述掺杂材料在所述第一电极区的平均体密度为 5e19 原子个数/立方厘米至 5e20 原子个数/立方厘米。

8. 根据权利要求 1 至 7 中任一项所述的半导体器件，包括在所述衬底上沿第一方向和第二方向阵列分布的多个晶体管，所述第一方向与所述第二方向交叉；

所述位线沿所述第一方向延伸且在第二方向间隔排布，沿所述第一方向分布的一行晶体管的第二电极区与同一条位线连接；

所述晶体管还包括:环绕所述沟道区并且与所述沟道区相绝缘的栅电极;所述半导体器件还包括多条沿所述第二方向延伸的字线,沿所述第二方向分布的一列晶体管的所述栅电极与同一条字线连接,并且各所述栅电极作为所述字线的一部分。

9. 根据权利要求 1 至 8 中任一项所述的半导体器件,其中,所述硅半导体柱的至少位于所述沟道区的半导体为单晶硅半导体,所述沟道区的远离所述第一电极区和所述第二电极区的区域中无掺杂离子。

10. 一种半导体器件的制造方法,其中,所述半导体器件包括至少一个晶体管,位线;所述晶体管包括沿垂直于硅衬底的方向延伸的硅半导体柱;

所述半导体器件的制造方法包括:

在所述硅衬底上形成各所述晶体管的硅半导体柱和暴露所述硅半导体柱的一侧的沟槽;所述沟槽包括底壁和侧壁,从所述沟槽的底壁至所述沟槽的开口方向,所述硅半导体柱至少依次包括待形成的漏极区和沟道区;

以所述沟槽的开口为自对准窗口,采用自对准离子注入工艺对所述沟槽的底壁的硅衬底进行低能离子注入,并退火扩散,形成至少位于相邻两个硅半导体柱的所述待形成的漏极区的掺杂区;

其中,所述离子注入的掺杂材料在所述漏极区的平均体密度大于等于 5e19 原子个数/立方厘米。

11. 根据权利要求 10 所述的半导体器件的制造方法,其中,所述自对准离子注入工艺在形成所述位线之前进行;

采用自对准离子注入工艺对所述沟槽的底壁的硅衬底进行离子注入,并退火扩散包括:

在所述硅衬底上沉积覆盖所述沟槽的底壁和侧壁的牺牲氧化物层;

沿着垂直于所述硅衬底的方向,采用自对准离子注入工艺仅对所述硅衬底进行低能离子注入而不对所述硅半导体柱的沟道区进行低能离子注入,使掺杂材料被注入被所述沟槽露出的所述硅衬底中;

采用退火工艺使所述掺杂材料由所述硅衬底扩散进入所述沟槽两侧的所述晶体管的漏极区。

12. 根据权利要求 11 所述的半导体器件的制造方法，其中，所述位线的形成过程包括:

在对所述硅衬底进行离子注入之后，刻蚀去除所述沟槽的底壁上的所述牺牲氧化物层，使得所述沟槽露出所述硅衬底;

对露出的所述硅衬底进行刻蚀，使所述沟槽延伸进入所述硅衬底中并朝向所述漏极区底端延伸，在沿平行于所述硅衬底的第一方向分布的一列硅半导体柱的漏极区下方形成沿所述第一方向延伸的位线槽;

在所述位线槽中形成所述位线。

13. 根据权利要求 10 所述的半导体器件的制造方法，其中，所述自对准离子注入工艺在形成所述位线之后进行;

所述位线的形成过程包括:

在所述硅衬底上沉积覆盖所述沟槽的底壁和侧壁的牺牲氧化物层;

刻蚀去除所述沟槽的底壁上的所述牺牲氧化物层，使得所述沟槽露出所述硅衬底;

对露出的所述硅衬底进行刻蚀，使所述沟槽延伸进入所述硅衬底中并朝向所述漏极区底端延伸，在沿平行于所述硅衬底的第一方向分布的一列硅半导体柱的漏极区下方形成沿所述第一方向延伸的位线槽;

在所述位线槽中形成所述位线，所述位线被所述沟槽露出。

14. 根据权利要求 13 所述的半导体器件的制造方法，其中，采用自对准离子注入工艺对所述沟槽的底壁的硅衬底进行离子注入，并退火扩散包括:

沿着垂直于所述硅衬底的方向，采用自对准离子注入工艺对被所述沟槽露出的所述位线进行离子注入，使掺杂材料被注入所述位线中;

采用退火工艺使所述掺杂材料由所述位线扩散进入所述硅半导体柱的所述漏极区中。

15. 根据权利要求 10 至 14 中任一项所述的半导体器件的制造方法，其中，所述硅半导体柱还包括源极区，所述源极区位于所述沟道区远离所述硅衬底的一侧;

所述半导体器件的制造方法还包括：采用自对准离子注入工艺在所述源极区进行低能离子注入，并退火扩散，在所述源极区中形成含有掺杂材料的掺杂区。

16. 根据权利要求 15 所述的半导体器件的制造方法，其中，通过一次自对准离子注入工艺同时在所述源极区和所述漏极区进行掺杂，经退火工艺同时形成所述源极区的掺杂区和所述漏极区的掺杂区。

17. 根据权利要求 15 所述的半导体器件的制造方法，其中，所述掺杂材料在所述硅衬底和/或所述源极区中的注入深度为 0 至 45nm。

18. 根据权利要求 10 至 17 中任一项所述的半导体器件的制造方法，其中，所述漏极区和/或所述源极区的所述低能离子注入的工艺条件包括：注入能量为 5kev 至 100kev。

19. 根据权利要求 10 至 17 中任一项所述的半导体器件的制造方法，其中，所述退火的工艺条件包括：退火温度为 850℃至 1100℃，退火时间为 5s 至 30s。

20. 一种电子设备，包括根据权利要求 1 至 9 中任一所述的半导体器件。

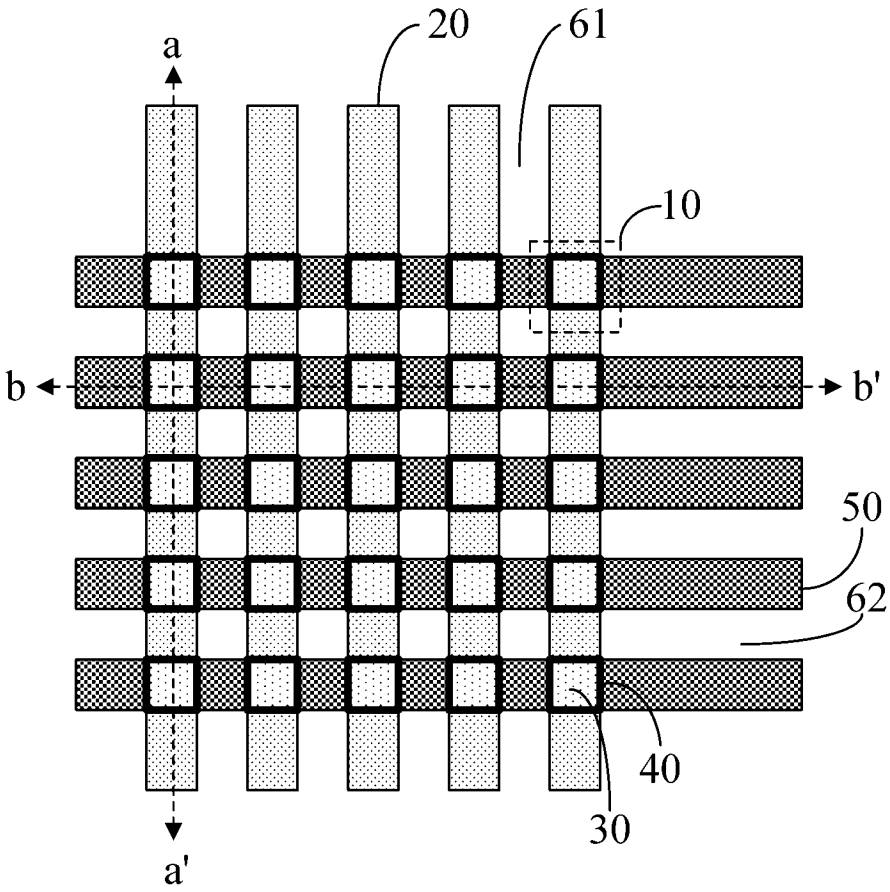


图 1A

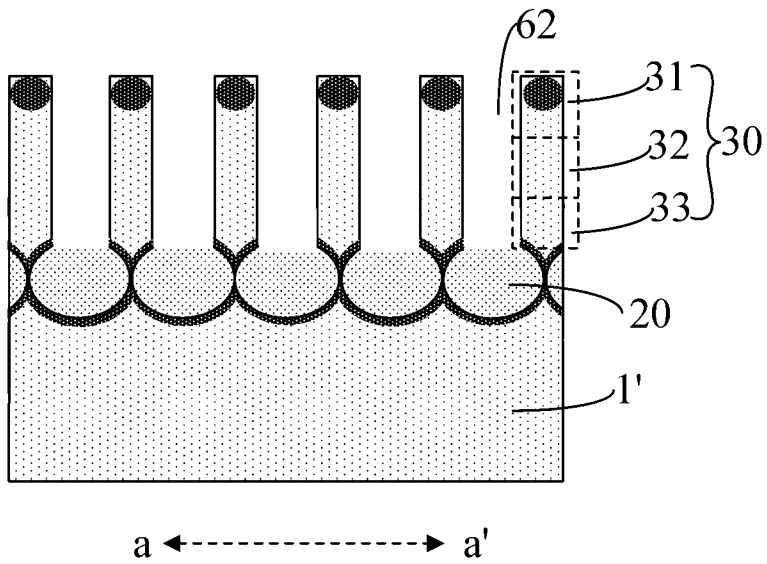


图 1B

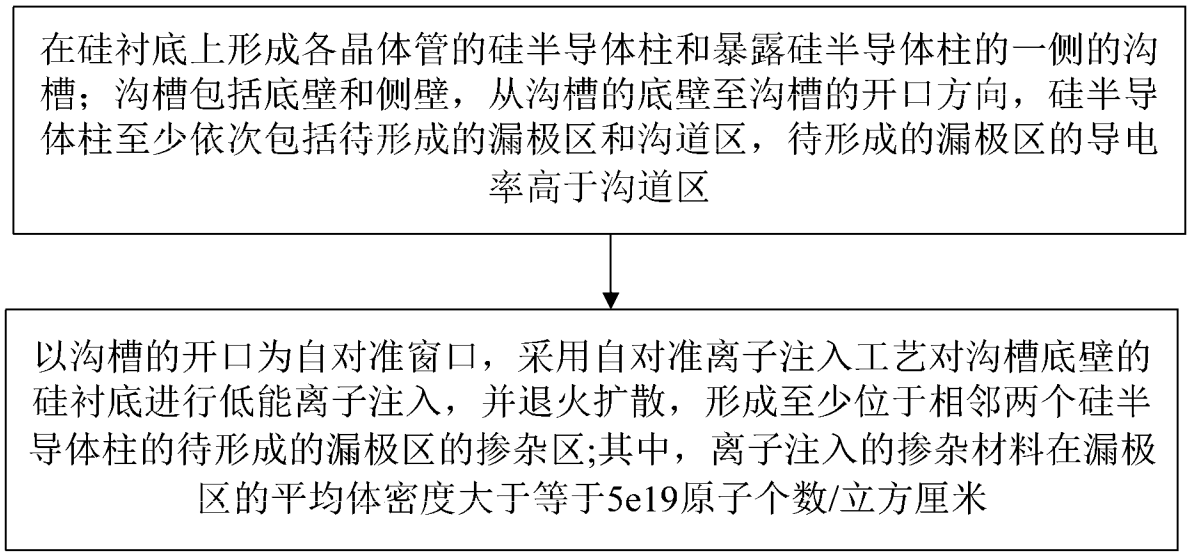

在硅衬底上形成各晶体管的硅半导体柱和暴露硅半导体柱的一侧的沟槽；沟槽包括底壁和侧壁，从沟槽的底壁至沟槽的开口方向，硅半导体柱至少依次包括待形成的漏极区和沟道区，待形成的漏极区的导电率高于沟道区
以沟槽的开口为自对准窗口，采用自对准离子注入工艺对沟槽底壁的硅衬底进行低能离子注入，并退火扩散，形成至少位于相邻两个硅半导体柱的待形成的漏极区的掺杂区;其中，离子注入的掺杂材料在漏极区的平均体密度大于等于5e19原子个数/立方厘米

图 2

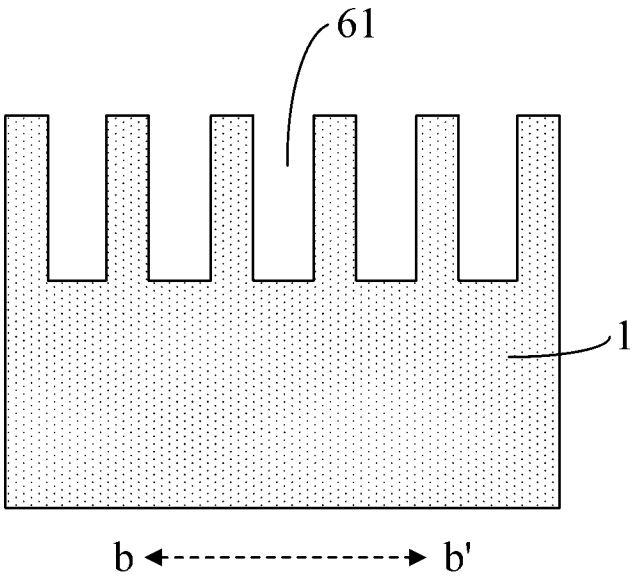

61
1
b
b'

图 3

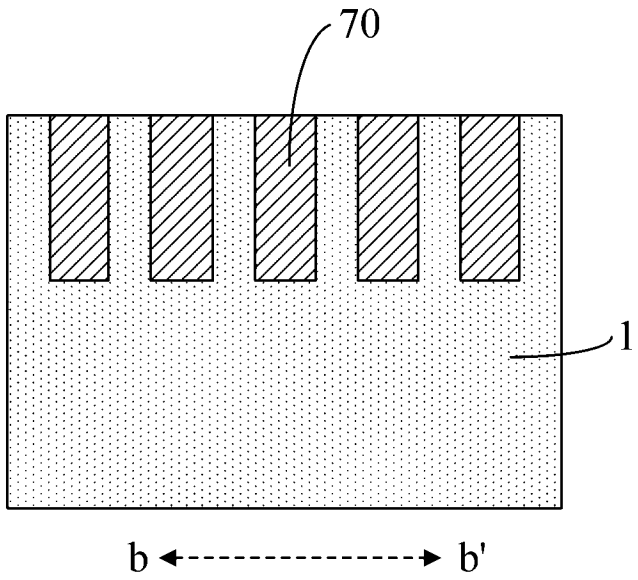


图 4

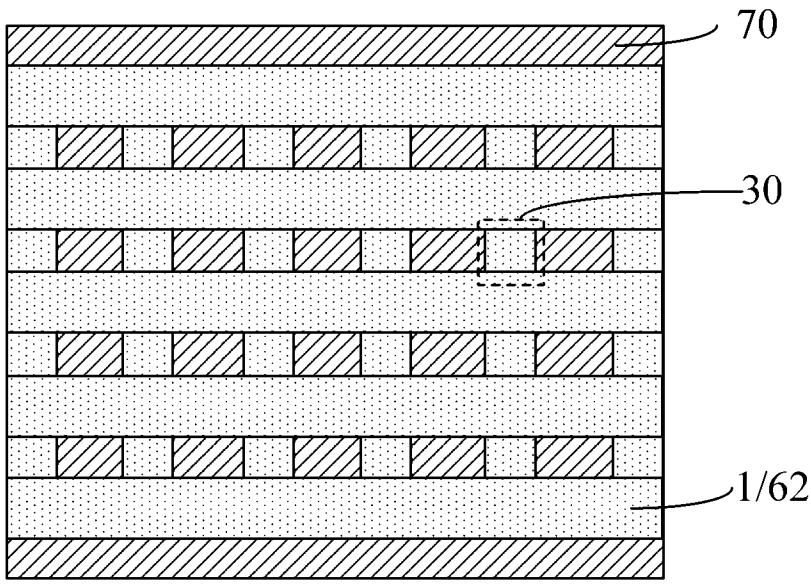


图 5A

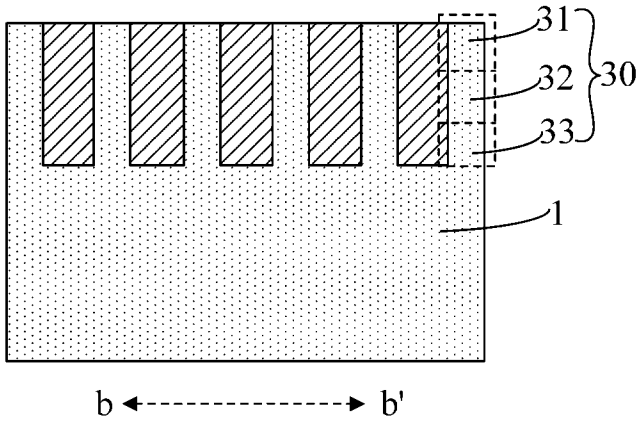


图 5B

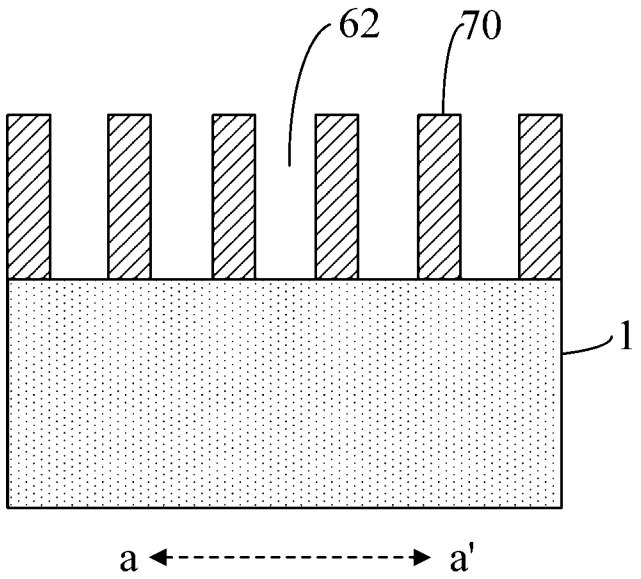


图 5C

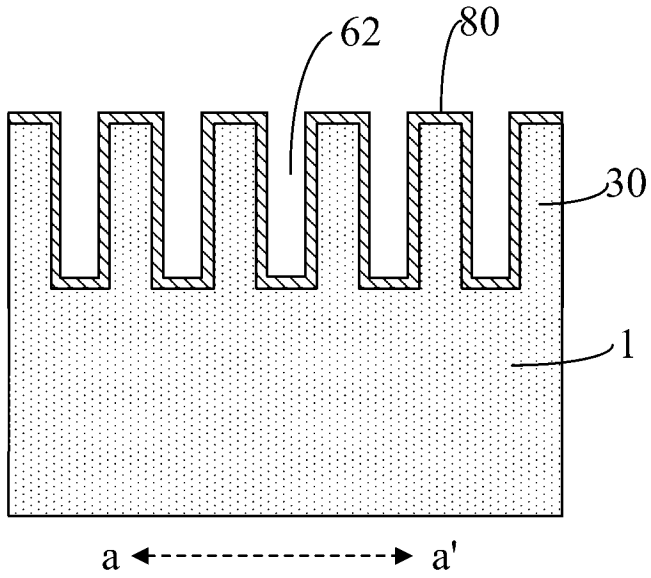


图 6

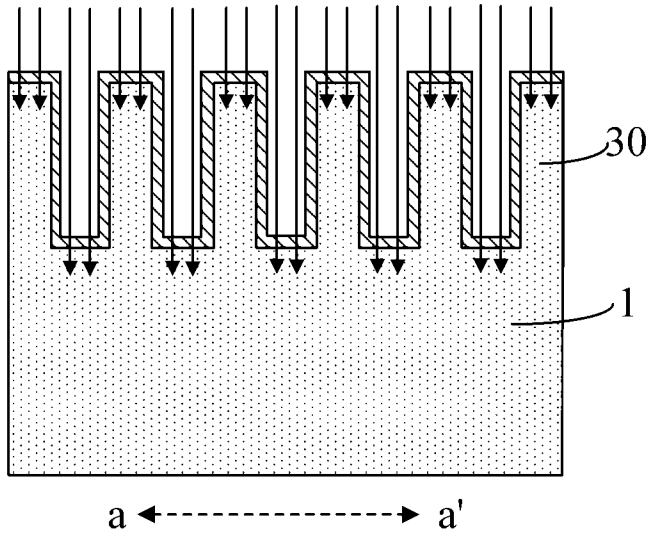


图 7

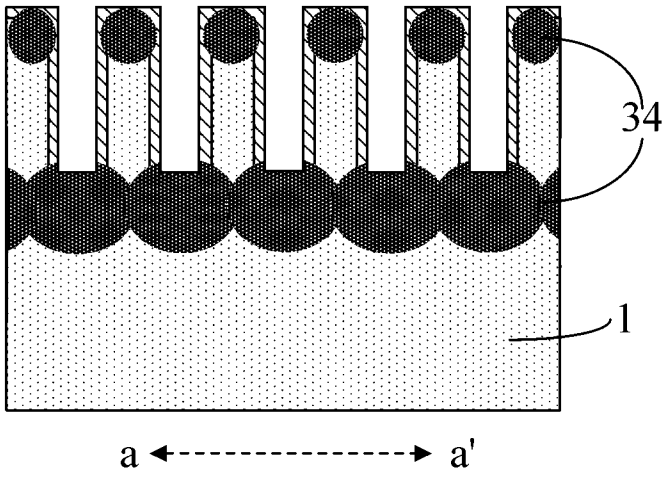


图 8

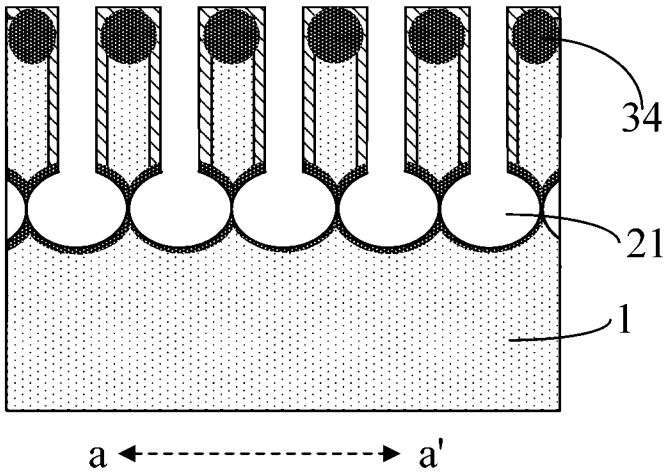


图 9

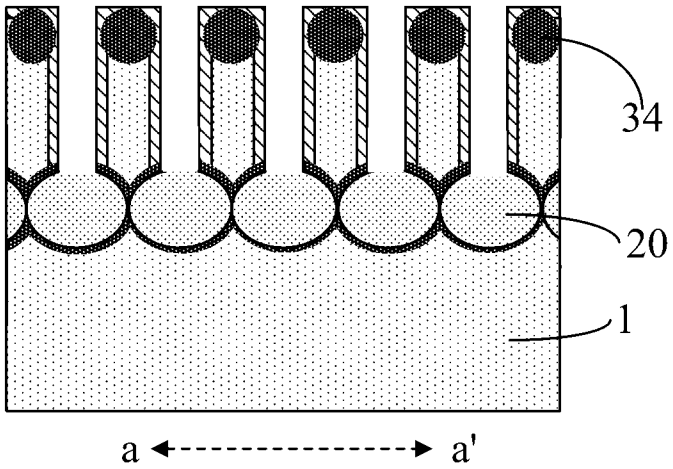


图 10

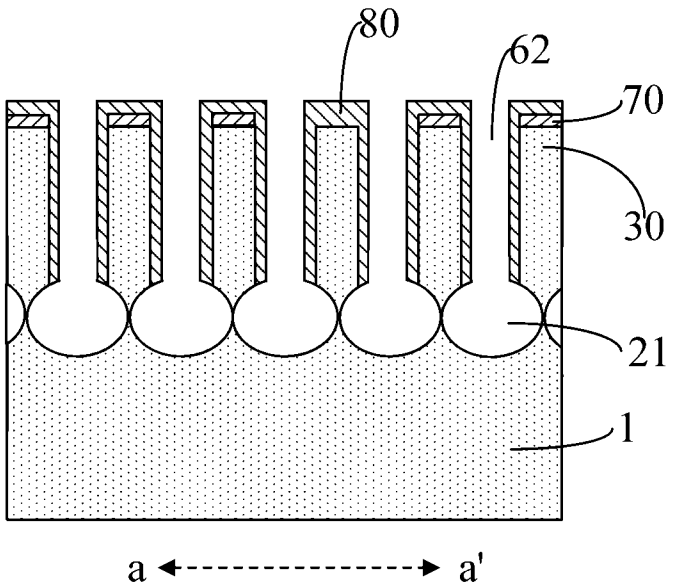


图 11

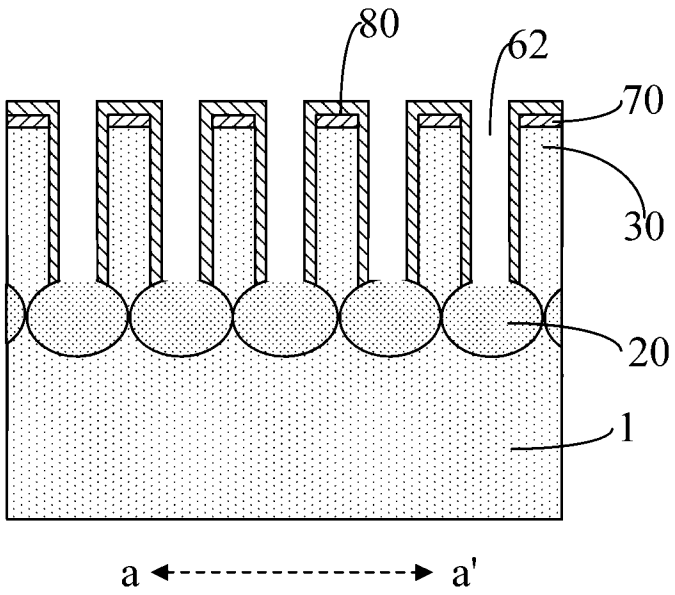


图 12

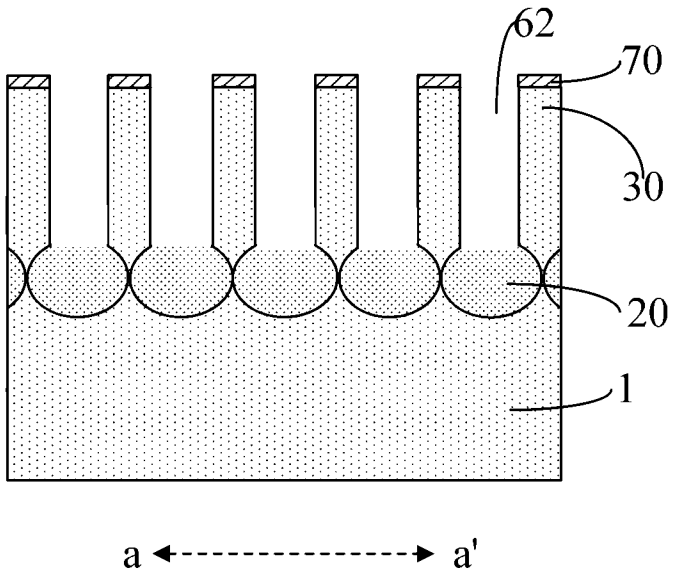


图 13

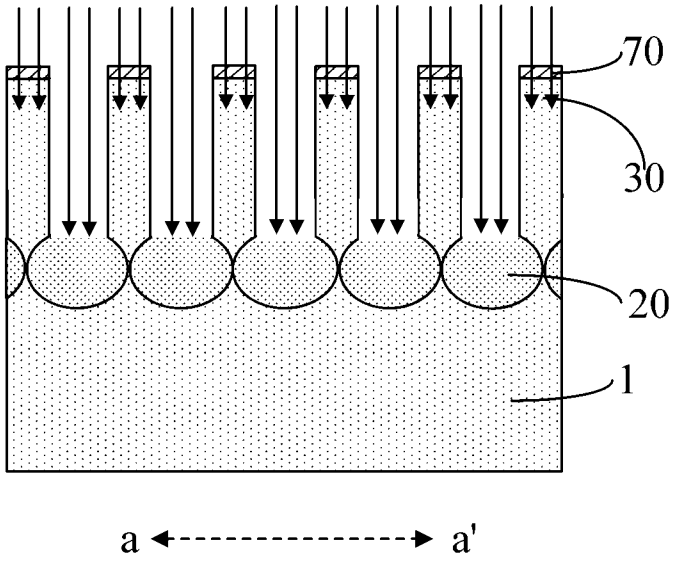


图 14

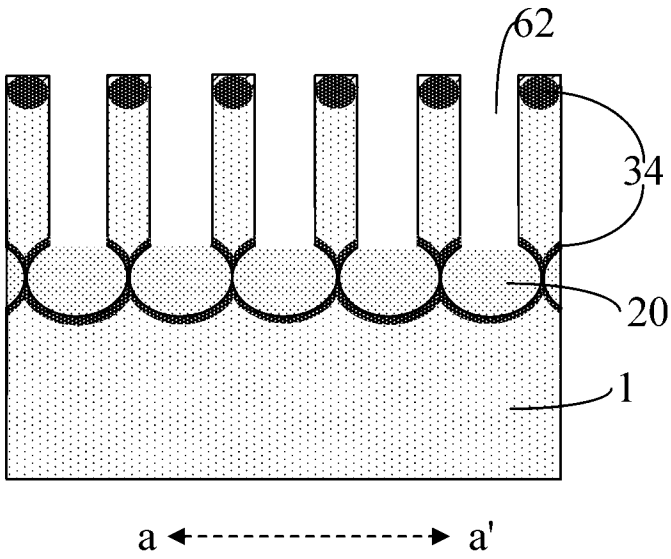


图 15

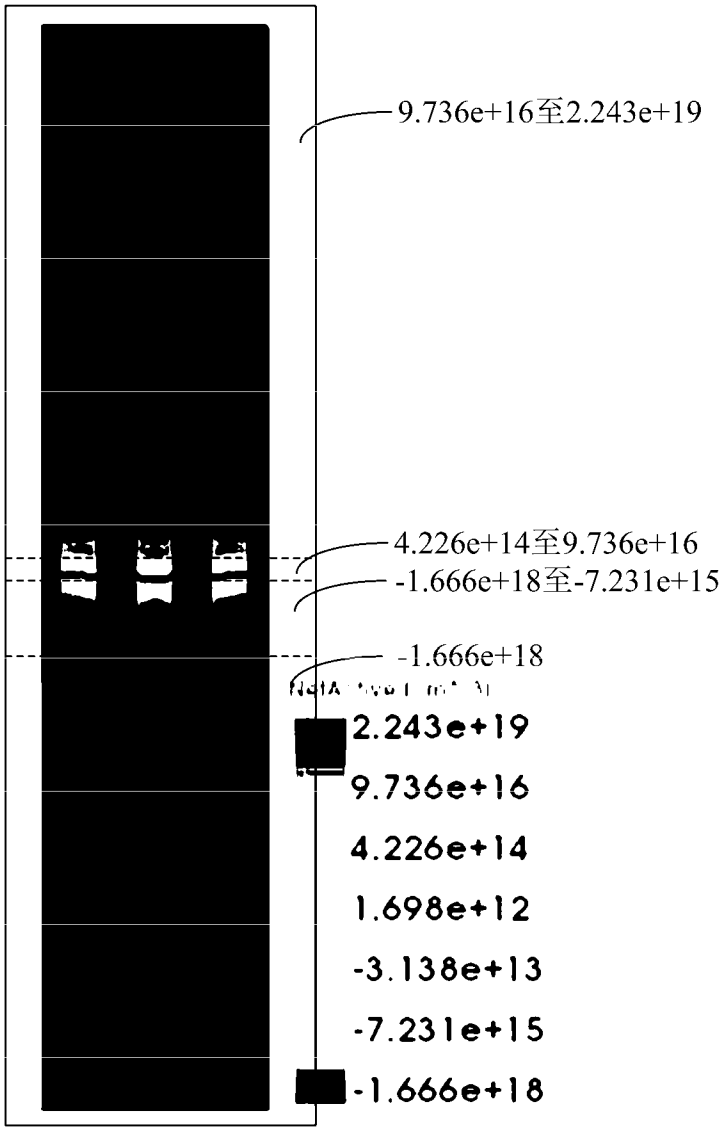

9.736e+16至2.243e+19
4.226e+14至9.736e+16
-1.666e+18至-7.231e+15
-1.666e+18
2.243e+19
9.736e+16
4.226e+14
1.698e+12
-3.138e+13
-7.231e+15
-1.666e+18

图 16

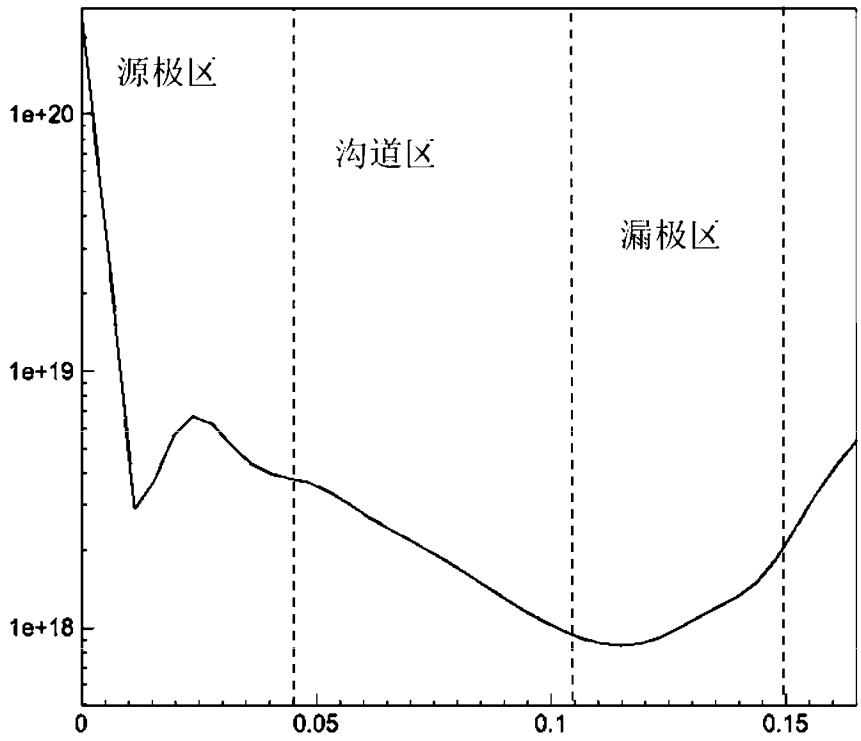

源极区
沟道区
漏极区
1e+20
1e+19
1e+18
0
0.05
0.1
0.15

图 17

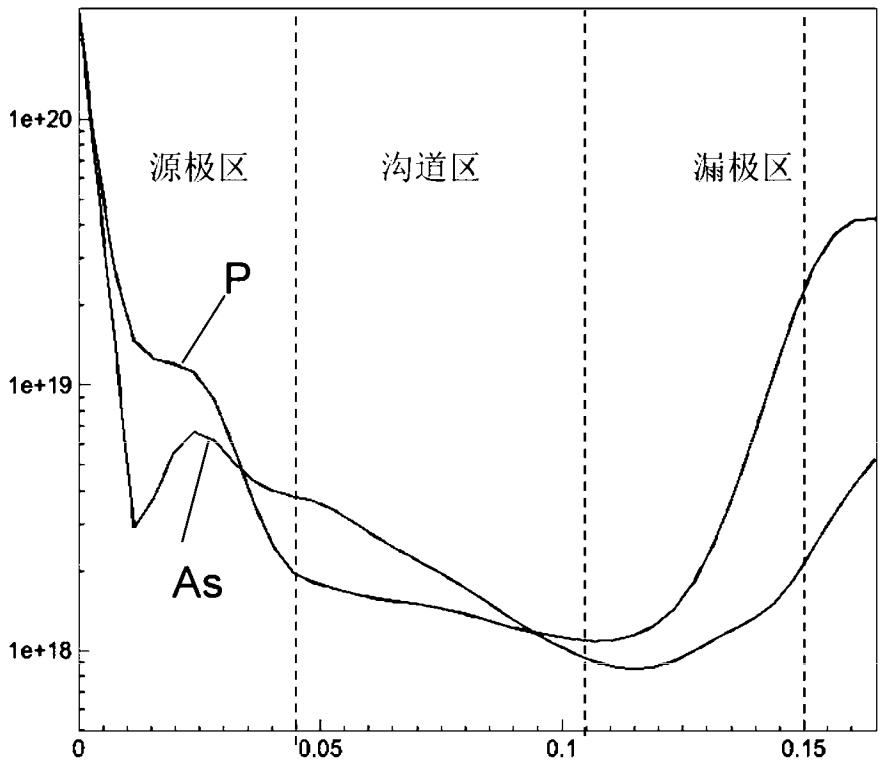

源极区
沟道区
漏极区
P
As
1e+20
1e+19
1e+18
0
0.05
0.1
0.15

图 18

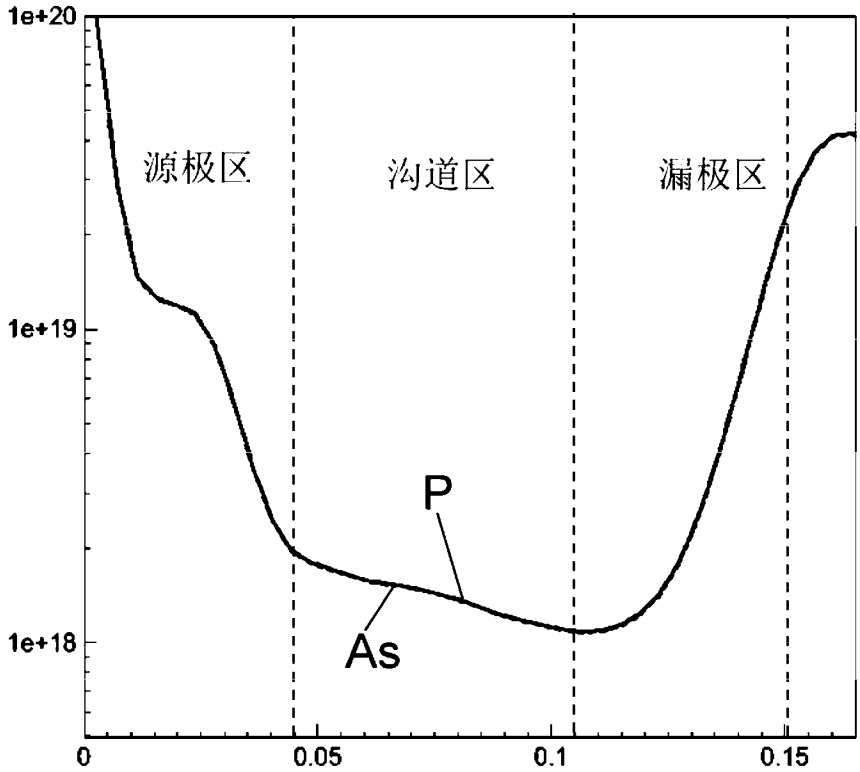


图 19

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2023/093288

A. CLASSIFICATION OF SUBJECT MATTER

H10B 12/00(2023.01)i; H01L29/08(2006.01)i; H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H10B H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT; CNABS; WOTXT; EPTXT; USTXT; VEN; CNKI: 垂直沟道, 离子注入, 退火, 沟槽, vertical channel, implant+, anneal+, trench, groove

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 115832015 A (BEIJING CHAOXIAN MEMORY RESEARCH INSTITUTE) 21 March 2023 (2023-03-21) description, paragraphs [0002]-[0147], and figures 1-16	1-20
A	CN 114759030 A (YANGTZE MEMORY TECHNOLOGIES CO., LTD.) 15 July 2022 (2022-07-15) entire document	1-20
A	CN 113594163 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 02 November 2021 (2021-11-02) entire document	1-20

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
18 October 2023	**02 November 2023**

Name and mailing address of the ISA/CN	Authorized officer
China National Intellectual Property Administration (ISA/CN) **China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2023/093288

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 115832015 A	21 March 2023	CN 115832015 B	05 September 2023
CN 114759030 A	15 July 2022	None	
CN 113594163 A	02 November 2021	US 2023005914 A1	05 January 2023
		WO 2023279420 A1	12 January 2023

国际检索报告

国际申请号
PCT/CN2023/093288

A. 主题的分类

H10B 12/00(2023.01)i；H01L29/08(2006.01)i；H01L29/78(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC：H10B H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNTXT;CNABS;WOTXT;EPTXT;USTXT;VEN;CNKI：垂直沟道，离子注入，退火，沟槽，vertical channel，implant+，anneal+，trench，groove

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 115832015 A (北京超弦存储器研究院) 2023年3月21日 (2023 - 03 - 21) 说明书第[0002]-[0147]段，附图1-16	1-20
A	CN 114759030 A (长江存储科技有限责任公司) 2022年7月15日 (2022 - 07 - 15) 全文	1-20
A	CN 113594163 A (长鑫存储技术有限公司) 2021年11月2日 (2021 - 11 - 02) 全文	1-20

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2023年10月18日	2023年11月2日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088	受权官员 廉海峰 电话号码 (+86) 0512-88995798

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/093288

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	115832015	A	2023年3月21日	CN	115832015	B	2023年9月5日
CN	114759030	A	2022年7月15日		无		
CN	113594163	A	2021年11月2日	US	2023005914	A1	2023年1月5日
				WO	2023279420	A1	2023年1月12日