

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6203300号
(P6203300)

(45) 発行日 平成29年9月27日(2017.9.27)

(24) 登録日 平成29年9月8日(2017.9.8)

(51) Int.Cl.

F 1

H03K 3/356 (2006.01)
H03K 3/36 (2006.01)H03K 3/356
H03K 3/36

A

請求項の数 4 (全 67 頁)

(21) 出願番号	特願2016-16853 (P2016-16853)
(22) 出願日	平成28年2月1日(2016.2.1)
(62) 分割の表示	特願2012-62930 (P2012-62930) の分割 原出願日 平成24年3月20日(2012.3.20)
(65) 公開番号	特開2016-105635 (P2016-105635A)
(43) 公開日	平成28年6月9日(2016.6.9)
審査請求日	平成28年2月8日(2016.2.8)
(31) 優先権主張番号	特願2011-75664 (P2011-75664)
(32) 優先日	平成23年3月30日(2011.3.30)
(33) 優先権主張国	日本国(JP)
(31) 優先権主張番号	特願2011-108888 (P2011-108888)
(32) 優先日	平成23年5月14日(2011.5.14)
(33) 優先権主張国	日本国(JP)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	王丸 拓郎 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
審査官	白井 亮

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1の記憶回路と、

前記第1の記憶回路に入力される電源電圧の停止期間中にデータ信号を保持する第2の記憶回路と、を有し、

前記第1の記憶回路は、第1のインバータと、第2のインバータと、を有し、

前記第1のインバータの出力端子は、前記第2のインバータの入力端子と電気的に接続され、

前記第2のインバータの出力端子は、前記第1のインバータの入力端子と電気的に接続され、

前記第2の記憶回路は、トランジスタと、保持容量と、を有し、

前記トランジスタのソース又はドレインの一方は、前記保持容量と電気的に接続され、

前記トランジスタのチャネル形成領域は、酸化物半導体を有し、

動作周波数が第1の周波数である場合、データ信号が前記第2の記憶回路を介さず前記第1の記憶回路に入力され、

動作周波数が第2の周波数である場合、データ信号が前記第2の記憶回路を介して前記第1の記憶回路に入力され、

前記第1の周波数は、前記第2の周波数よりも高いことを特徴とする半導体装置。

【請求項 2】

第1の記憶回路と、

10

20

前記第1の記憶回路に入力される電源電圧の停止期間中にデータ信号を保持する第2の記憶回路と、

選択回路と、を有し、

前記第1の記憶回路は、第1のインバータと、第2のインバータと、を有し、

前記第1のインバータの出力端子は、前記第2のインバータの入力端子と電気的に接続され、

前記第2のインバータの出力端子は、前記第1のインバータの入力端子と電気的に接続され、

前記第2の記憶回路は、トランジスタと、保持容量と、を有し、

前記トランジスタのソース又はドレインの一方は、前記保持容量と電気的に接続され、

前記トランジスタのチャネル形成領域は、酸化物半導体を有し、

動作周波数が第1の周波数である場合、前記トランジスタはオフであり、前記選択回路は前記トランジスタのソース又はドレインの他方に入力されているデータ信号を前記第1の記憶回路に出力し、

動作周波数が第2の周波数である場合、前記トランジスタはオンであり、前記選択回路は前記第2の記憶回路に保持されているデータ信号を前記第1の記憶回路に出力し、

前記第1の周波数は、前記第2の周波数よりも高いことを特徴とする半導体装置。

【請求項3】

第1の記憶回路と、

前記第1の記憶回路に入力される電源電圧の停止期間中にデータ信号を保持する第2の記憶回路と、

選択回路と、を有し、

前記第1の記憶回路は、第1のインバータと、第2のインバータと、を有し、

前記第1のインバータの出力端子は、前記第2のインバータの入力端子と電気的に接続され、

前記第2のインバータの出力端子は、前記第1のインバータの入力端子と電気的に接続され、

前記第2の記憶回路は、トランジスタと、保持容量と、を有し、

前記トランジスタのソース又はドレインの一方は、前記保持容量と電気的に接続され、

前記トランジスタのチャネル形成領域は、酸化物半導体を有し、

前記選択回路の第1の入力端子は、前記トランジスタのソース又はドレインの他方と電気的に接続され、

前記選択回路の第2の入力端子は、前記保持容量と電気的に接続され、

前記選択回路の出力端子は、前記第1の記憶回路と電気的に接続され、

前記トランジスタのソース又はドレインの他方には、データ信号が入力され、

動作周波数が第1の周波数である場合、前記トランジスタはオフであり、前記選択回路は第1の入力端子の信号を前記第1の記憶回路に出力し、

動作周波数が第2の周波数である場合、前記トランジスタはオンであり、前記選択回路は第2の入力端子の信号を前記第1の記憶回路に出力し、

前記第1の周波数は、前記第2の周波数よりも高いことを特徴とする半導体装置。

【請求項4】

請求項1乃至3のいずれか一において、

前記第1のインバータ及び前記第2のインバータは、チャネル形成領域に珪素を有するトランジスタを有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

開示される発明の一態様は、記憶装置に関する。

【背景技術】

【0002】

10

20

30

40

50

中央演算処理装置(C P U : C e n t r a l P r o c e s s i n g U n i t)などの信号処理装置は、その用途によって多種多様な構成を有している。信号処理装置は、一般的に、データやプログラムを記憶するためのメインメモリの他に、レジスタ、キャッシュメモリなど、各種の記憶回路が設けられている。レジスタは、演算処理やプログラムの実行状態の保持などのために一時的にデータ信号を保持する役割を担っている。また、キャッシュメモリは、演算装置とメインメモリの間に介在し、低速なメインメモリへのアクセスを減らして演算処理を高速化させることを目的として設けられている。

【 0 0 0 3 】

信号処理装置においてレジスタやキャッシュメモリ等の記憶回路は、メインメモリよりも高速でデータ信号の書き込みを行う必要がある。よって、通常は、レジスタとしてフリップフロップが、キャッシュメモリとして S R A M (S t a t i c R a n d o m A c c e s s M e m o r y) 等が用いられる。つまり、これらのレジスタ、キャッシュメモリ等には、電源電位の供給が途絶えるとデータ信号を消失してしまう揮発性の記憶回路が用いられている。10

【 0 0 0 4 】

消費電力を抑えるため、データ信号の入出力が行われない期間において信号処理装置への電源電圧の供給を一時的に停止するという方法が提案されている（例えば、特許文献1参照）。特許文献1の方法では、レジスタ、キャッシュメモリ等の揮発性の記憶回路の周辺に不揮発性の記憶回路を配置し、上記データ信号をその不揮発性の記憶回路に一時的に記憶させる。こうして、信号処理装置において電源電圧の供給を停止する間も、レジスタ、キャッシュメモリ等に記憶されたデータ信号は保持される。20

【 0 0 0 5 】

また、信号処理装置において長時間の電源電圧の供給停止を行う際には、電源電圧の供給停止の前に、揮発性の記憶回路内のデータ信号をハードディスク、フラッシュメモリ等の外部記憶回路に移すことで、データ信号の消失を防ぐこともできる。

【先行技術文献】

【特許文献】

【 0 0 0 6 】

【特許文献1】特開平10-078836号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 7 】

信号処理装置において電源電圧の供給を停止する間、揮発性の記憶回路の周辺に配置した不揮発性の記憶回路へ揮発性の記憶回路に保存されているデータ信号を記憶させる方法では、これらの不揮発性の記憶回路として主に磁気素子や強誘電体が用いられているため、信号処理装置の作製工程が複雑である。

【 0 0 0 8 】

また、信号処理装置において電源電圧の供給を停止する間、外部記憶回路に揮発性の記憶回路のデータ信号を記憶させる方法では、外部記憶回路から揮発性の記憶回路にデータ信号を戻すのには時間を要する。よって、外部記憶回路によるデータ信号のバックアップは、消費電力の低減を目的とした短時間の電源電圧供給停止には適さない。40

【 0 0 0 9 】

上述の課題に鑑み、開示される発明の一態様は、複雑な作製工程を必要とせず、消費電力を抑えることができる記憶装置の提供を目的の一つとする。特に、短時間の電源電圧供給停止により消費電力を抑えることができる記憶装置の提供を目的の一つとする。

【課題を解決するための手段】

【 0 0 1 0 】

開示される発明の一様態では、上記不揮発性の記憶回路として、第1のトランジスタ及び保持容量を有する記憶回路を用いる。当該第1のトランジスタは、例えば酸化物半導体層にチャネルが形成されるトランジスタ（以下「酸化物半導体トランジスタ」という）を用50

いる。当該酸化物半導体トランジスタはオフ電流が極小のため、不揮発性の記憶回路を構成することが可能である。このように、第1のトランジスタとして酸化物半導体トランジスタを用いた、不揮発性の記憶回路は、書き換えによる特性劣化のないことという利点を有する。

【 0 0 1 1 】

ただし酸化物半導体トランジスタの動作周波数は、珪素層にチャネルが形成されるトランジスタ（以下「シリコントランジスタ」という）の動作周波数より遅い。そのため酸化物半導体トランジスタを用いた記憶回路を高周波数で駆動させると、誤作動を起こす恐れがある。

【 0 0 1 2 】

当該シリコントランジスタで形成された記憶回路は、電源電圧が供給されている間のみデータ信号を保持できる揮発性の記憶回路である。このようなシリコントランジスタで形成された揮発性の記憶回路は、高周波数でも駆動可能である。

【 0 0 1 3 】

開示される発明の一様態では、記憶装置を駆動する周波数が高い場合には、シリコントランジスタにより形成された記憶回路にデータ信号の書き込み及び読み出しを行う。酸化物半導体トランジスタを含む不揮発性の記憶回路へのデータ信号の書き込みは、電源電圧の供給が停止する前の期間のみ行われる。また電源電圧供給再開後に、酸化物半導体トランジスタを含む不揮発性の記憶回路に保持されたデータ信号を読み出し、当該データ信号をシリコントランジスタにより形成された記憶回路に書き込む。

10

【 0 0 1 4 】

また開示される発明の一様態では、記憶装置を駆動する周波数が低い場合には、酸化物半導体トランジスタにより形成された不揮発性の記憶回路にデータ信号の書き込み及び読み出しを行い、当該不揮発性の記憶回路に書き込まれたデータ信号をシリコントランジスタにより形成された記憶回路に書き込む。

【 0 0 1 5 】

なお、開示される発明の一様態において、周波数が高い（高周波数）とは、不揮発性の記憶回路にデータ信号を書き込み及び不揮発性の記憶回路からデータ信号を読み出しきれない周波数である。一方、周波数が低い（低周波数）とは、酸化物半導体トランジスタを介して不揮発性の記憶回路にデータ信号を書き込み及び不揮発性の記憶回路からデータ信号を読み出しき可能な周波数である。データ信号の書き込み及び読み出しの可又は不可は、不揮発性の記憶回路に含まれる酸化物半導体トランジスタの駆動周波数に依存する。

20

【 0 0 1 6 】

これら二つの動作方式を外部または内部の制御信号で切り替えることで、駆動周波数の範囲が広く、消費電力が抑えられた記憶装置を提供することが可能となる。

【 0 0 1 7 】

開示される発明の一様態は、電源電圧が供給されている期間のみデータ信号を保持する揮発性の第1の記憶回路と、酸化物半導体層にチャネルが形成されるトランジスタと、当該トランジスタのソース及びドレインの一方と電気的に接続された保持容量とを有する不揮発性の第2の記憶回路と、選択信号が入力され、当該選択信号に応じて第1の入力端子への信号の入力又は第2の入力端子への信号の入力を切り替え、当該第1の入力端子又は当該第2の入力端子に入力された信号を当該第1の記憶回路に出力する選択回路と、クロック信号と位相が反転した信号に応じて、導通状態又は非導通状態となり、当該トランジスタのソース及びドレインの他方及び当該選択回路と接続されている第1のスイッチと、当該クロック信号に応じて、導通状態又は非導通状態となり、当該第1の記憶回路及び当該選択回路と接続されている第2のスイッチとを有し、当該選択回路は、当該第1のスイッチ及び当該トランジスタのソース及びドレインの他方と接続された第1の入力端子と、当該トランジスタのソース及びドレインの一方及び当該保持容量と接続された第2の入力端子と、当該第1の記憶回路と接続された出力端子とを有することを特徴とする記憶装置に関する。

30

40

50

【0018】

開示される発明の一様態において、当該第1の記憶回路は、ラッチ回路であることを特徴とする。

【0019】

開示される発明の一様態において、当該ラッチ回路は、第1のインバータ及び第2のインバータを有し、当該第1のインバータの入力端子及び当該第2のインバータの出力端子が電気的に接続されており、当該第1のインバータの出力端子及び当該第2のインバータの入力端子が電気的に接続されていることを特徴とする。

【0020】

開示される発明の一様態において、当該第1の記憶回路は、珪素層にチャネルが形成されるトランジスタによって形成されることを特徴とする。 10

【0021】

開示される発明の一様態において、第1のスイッチ、第2のスイッチ、選択回路、位相反転素子を有することを特徴とする。

【0022】

開示される発明の一様態において、当該第1のスイッチ及び当該第2のスイッチのそれぞれ、アナログスイッチであることを特徴とする。

【0023】

開示される発明の一様態において、当該位相反転素子は、インバータであることを特徴とする。 20

【発明の効果】**【0024】**

開示される発明の一様態により、複雑な作製工程を必要とせず、消費電力を抑えることができる記憶装置を提供することができる。特に、短時間の電源電圧供給停止により消費電力を抑えることができる記憶装置を提供することができる。

【図面の簡単な説明】**【0025】**

【図1】記憶装置の回路図。

【図2】記憶装置の動作を示すタイミングチャート。

【図3】記憶装置の動作を示すタイミングチャート。 30

【図4】記憶装置の回路図。

【図5】シリコントランジスタ及び酸化物半導体トランジスタの断面図。

【図6】携帯用の電子機器のブロック図。

【図7】メモリ回路のブロック図。

【図8】電子書籍のブロック図。

【図9】酸化物半導体トランジスタの断面図。

【図10】記憶装置の構成を示す断面図。

【図11】記憶装置の構成を示す断面図。

【図12】記憶装置の構成を示す図。

【図13】信号処理回路のブロック図。 40

【図14】記憶装置を用いたCPUのブロック図。

【図15】酸化物材料の構造を説明する図。

【図16】酸化物材料の構造を説明する図。

【図17】酸化物材料の構造を説明する図。

【図18】計算によって得られた移動度のゲート電圧依存性を説明する図。

【図19】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

【図20】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

【図21】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図 50

。

- 【図22】計算に用いたトランジスタの断面構造を説明する図。
- 【図23】トランジスタのドレイン電流と移動度のゲート電圧依存性を説明する図。
- 【図24】試料1のトランジスタのBT試験後の $V_g - I_d$ 特性を示す図。
- 【図25】試料2であるトランジスタのBT試験後の $V_g - I_d$ 特性を示す図。
- 【図26】試料Aおよび試料BのXRDスペクトルを示す図。
- 【図27】トランジスタのオフ電流と測定時基板温度との関係を示す図。
- 【図28】 I_d および電界効果移動度の V_g 依存性を示す図。
- 【図29】基板温度としきい値電圧の関係および基板温度と電界効果移動度の関係を示す図。

10

- 【図30】本発明の一態様に係るトランジスタの構造を説明する図。

- 【図31】本発明の一態様に係るトランジスタの構造を説明する図。

- 【図32】酸化物材料の構造を説明する図。

【発明を実施するための形態】

【0026】

以下、本明細書に開示された発明の実施の態様について、図面を参照して説明する。但し、本明細書に開示された発明は多くの異なる態様で実施することが可能であり、本明細書に開示された発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に示す図面において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

20

【0027】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、説明を分かりやすくするために、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。

【0028】

なお、本明細書等における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。なお、電圧とは、ある電位と、基準の電位（例えばグランド電位）との電位差のことを示す場合が多い。よって、電圧、電位、電位差を、各々、電位、電圧、電圧差と言い換えることが可能である。

30

【0029】

なお、AとBとが接続されている、と明示的に記載する場合は、AとBとが電気的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。

【0030】

なお本明細書において、トランジスタのソース及びドレインが導通した状態を「オン状態」とし、トランジスタのソース及びドレインが非導通である状態を「オフ状態」とする。

【0031】

[実施の形態1]

40

<図1に示す記憶装置の構成>

図1に本実施の形態の記憶装置の回路図を示す。

【0032】

図1に示す記憶装置130は、第1のトランジスタ101及び保持容量102を有する記憶回路120、第2のトランジスタで形成された記憶回路121を有している。図1に示す記憶装置130は、さらに、位相反転素子135、スイッチ134、選択回路136、スイッチ139を有している。

【0033】

第1のトランジスタ101は、例えば酸化物半導体層にチャネルが形成されるトランジスタ（酸化物半導体トランジスタ）を用いる。当該酸化物半導体トランジスタはオフ電流が

50

極小のため、不揮発性の記憶回路を構成することが可能である。このように、第1のトランジスタとして酸化物半導体トランジスタを用いた、不揮発性の記憶回路120は、書き換えによる特性劣化がないという利点を有する。当該酸化物半導体層については後述する。

【0034】

第2のトランジスタは、例えば珪素層にチャネルが形成されるトランジスタ（第2のトランジスタ）を用いる。当該珪素層は、単結晶珪素層または多結晶珪素層であってもよいが、特に単結晶珪素層にチャネルが形成されるトランジスタは、駆動周波数が高く好適である。

【0035】

なお位相反転素子135は、入力された信号の位相を反転させて出力する論理素子である。位相反転素子135としては、例えばインバータ等を用いることができる。

【0036】

またスイッチ134及びスイッチ139は、クロック信号CLKに応じて、オン及びオフするスイッチである。スイッチ134及びスイッチ139として、例えば、nチャネル型トランジスタやpチャネル型トランジスタのようなトランジスタ、或いは、アナログスイッチを用いることができる。本実施の形態では、スイッチ134及びスイッチ139として、ハイレベル電位(VDD)が入力されると導通状態(オン)となり、ローレベル電位(VSS)が入力されると非導通状態(オフ)となるスイッチを用いる。

【0037】

位相反転素子135には、クロック信号CLKが入力される。位相反転素子135から、クロック信号CLKと位相が反転した信号CLKbが出力され、出力された信号CLKbがスイッチ134に入力される。

【0038】

また位相反転素子135は、高電源電位である電源電圧Vx及び低電源電位（例えば接地電位GND）が入力されることにより駆動する。

【0039】

スイッチ134には、データ信号Dが入力される。またスイッチ134は、第1のトランジスタ101のソース又はドレインの一方及び選択回路136に電気的に接続されている。上述のように、スイッチ134は、クロック信号CLKに応じて、オン及びオフするスイッチである。

【0040】

第1のトランジスタ101のゲートには、制御信号OS_WEが入力される。第1のトランジスタ101のソース又はドレインの一方は、スイッチ134及び選択回路136に電気的に接続されている。第1のトランジスタ101のソース又はドレインの他方は、保持容量102及び選択回路136に電気的に接続されている。なお、第1のトランジスタ101のソース又はドレインの他方、及び保持容量102の接続部分をノードM1とする。

【0041】

保持容量102の一方の端子は、第1のトランジスタ101のソース又はドレインの他方及び選択回路136に電気的に接続されている。保持容量102のもう一方の端子は、低電源電位（例えば接地電位GND）が入力される。

【0042】

選択回路136はスイッチ134及び第1のトランジスタ101のソース又はドレインの一方に電気的に接続されている。選択回路136は、第1のトランジスタ101のソース又はドレインの他方、及び保持容量102に電気的に接続されている。選択回路136は、記憶回路121に電気的に接続されている。

【0043】

選択回路136は、選択信号SELに基づいて、入力された2つの信号のどちらかを選択し、選択された信号を出力する。

【0044】

10

20

30

40

50

また選択回路 136 は、高電源電位である電源電圧 V_x 及び低電源電位（例えば接地電位 GND）が入力されることにより駆動する。

【0045】

記憶回路 121 は、選択回路 136 及びスイッチ 139 に電気的に接続されている。

【0046】

記憶回路 121 は、第2のトランジスタによって形成されている。より具体的には、記憶回路 121 として、第2のトランジスタによって形成されたラッチ回路を用いる。

【0047】

また記憶回路 121 は、高電源電位である電源電圧 V_x 及び低電源電位（例えば接地電位 GND）が入力されることにより駆動する。

10

【0048】

スイッチ 139 は、記憶回路 121 に電気的に接続されている。またスイッチ 139 から、出力信号 Q を出力する。上述のように、スイッチ 139 は、クロック信号 CLK に応じて、オン及びオフするスイッチである。

【0049】

もし必要であれば、第1のトランジスタ 101 のソース又はドレインの他方及び保持容量 102、並びに、選択回路 136との間に、バッファ回路を設けてもよい。当該バッファ回路を設けると、記憶装置 130 の動作保証範囲を広げることができる。

【0050】

<記憶装置の駆動方法>

20

図1に示す記憶装置 130 を、高周波数で駆動させる場合のタイミングチャートを図2に、低周波数で駆動させる場合のタイミングチャートを図3に示す。

【0051】

なお、本実施の形態において高周波数とは、第1のトランジスタ 101 を介して保持容量 102 にデータ信号 D を書き込み及び保持容量 102 からデータ信号 D を読み出しできない周波数である。当該高周波数は、例えば 1MHz 以上である。一方、本実施の形態において低周波数とは、第1のトランジスタ 101 を介して保持容量 102 にデータ信号 D を書き込み及び保持容量 102 からデータ信号 D を読み出し可能な周波数である。当該低周波数は、例えば 1MHz 未満である。

【0052】

30

<高周波数での動作(図2)>

まず高周波数においての記憶装置 130 の動作を図2を用いて説明する。

【0053】

<通常動作期間(期間 T1)>

記憶装置 130 が通常に動作する期間を期間 T1 とする。期間 T1 において、クロック信号 CLK がスイッチ 139 に入力される。また位相反転素子 135 を介してクロック信号 CLK の位相が反転した信号 CLK_b がスイッチ 134 に入力される。

【0054】

クロック信号 CLK がハイレベル電位 (V_{DD}) からローレベル電位 (V_{SS}) に変わると、スイッチ 134 が導通状態となり、スイッチ 139 が非導通状態となる。スイッチ 134 が導通状態となることで、データ信号 D が図1に示す記憶装置 130 に供給される。

40

【0055】

期間 T1 では、データ信号 D (Data A) は、スイッチ 134 及び選択回路 136 を介して、記憶回路 121 に入力され、データ信号 D (Data A) は記憶回路 121 に保持される。

【0056】

次いでクロック信号 CLK がローレベル電位 (V_{SS}) からハイレベル電位 (V_{DD}) に変わると、スイッチ 134 が非導通状態となり、スイッチ 139 が導通状態となる。これにより、記憶回路 121 に保持されていたデータ信号 D (Data A) が出力信号 Q (Data A) として出力される。

50

【 0 0 5 7 】

また期間 T 1 では、ノード M 1 の電位はハイレベル電位 (V D D) であっても、ローレベル電位 (V S S) でもよい (図 2 中「 X M 1 」と表記)。

【 0 0 5 8 】

<書き込み動作期間 (期間 T 2) >

第 1 のトランジスタ 1 0 1 及び保持容量 1 0 2 を有する記憶回路 1 2 0 にデータ信号 D を書き込む期間を、期間 T 2 とする。また期間 T 2 は、後述する期間 T 3 (電源電圧供給停止期間) の前の期間である。すなわち、電源電圧 V x の供給が停止する前に、記憶回路 1 2 0 にデータ信号 D が書き込まれる。

【 0 0 5 9 】

期間 T 2 のはじめに、第 1 のトランジスタ 1 0 1 を制御する制御信号 O S _ W E が保持容量 1 0 2 にデータ信号 D を十分に書き込める電圧となり、当該電圧が第 1 のトランジスタ 1 0 1 のゲートに入力されると、第 1 のトランジスタ 1 0 1 のソース及びドレインが導通する (オン状態)。これにより、データ信号 D (D a t a A) が第 1 のトランジスタ 1 0 1 を介して保持容量 1 0 2 に入力され、データ信号 D は保持容量によって保持される。当該保持容量 1 0 2 にデータ信号を十分に書き込める電圧とは、ハイレベル電位 (V D D) でなくてもよいし、ハイレベル電位 (V D D) でもよい。

10

【 0 0 6 0 】

< 電源電圧供給停止期間 (期間 T 3) >

電源電圧 V x の供給を停止する期間を期間 T 3 とする。期間 T 3 のはじめに、記憶装置 1 3 0 への電源電圧 V x の供給を停止する。また、第 1 のトランジスタ 1 0 1 を制御する制御信号 O S _ W E をローレベル電位 (V S S) とする。これにより第 1 のトランジスタ 1 0 1 をオフ状態とする。電源電圧 V x の供給が停止すると、記憶回路 1 2 1 に保持されていたデータ (D a t a A) は消える。しかし、記憶回路 1 2 1 への電源電圧 V x の供給が停止した後においても、保持容量 1 0 2 に保持されているデータ信号 D (D a t a A) は保持される。保持容量 1 0 2 に接続されている第 1 のトランジスタ 1 0 1 はリーク電流が極めて小さいため、保持容量 1 0 2 によって保持されたデータ信号 D (D a t a A) を長期間保つことができる。こうして、記憶装置 1 0 0 は電源電圧 V x の供給が停止した後も、データ信号 D (D a t a A) を保持する。期間 T 3 は、記憶装置 1 3 0 への電源電圧 V x の供給が停止している期間に対応する。

20

【 0 0 6 1 】

また、記憶装置 1 3 0 への電源電圧 V x の供給が停止するため、クロック信号 C L K の供給も停止される。

【 0 0 6 2 】

上述のように第 1 のトランジスタ 1 0 1 はリーク電流が極めて小さいため、保持容量 1 0 2 によって保持されたデータ信号 D (D a t a A) を長期間保つことができる。しかし、もし必要であれば、上述のように第 1 のトランジスタ 1 0 1 のソース又はドレインの他方及び保持容量 1 0 2 、並びに、選択回路 1 3 6 との間に、バッファ回路を設けてよい。当該バッファ回路は、電源電圧供給停止期間において、保持容量 1 0 2 に保持されたデータ信号 D の電圧が減少した場合に、当該電圧を補うことが可能である。当該バッファ回路を設け、上記電圧を補うことができると、記憶装置 1 3 0 の動作保証範囲を広げることができる。

30

【 0 0 6 3 】

なお期間 T 3 において、データ信号 D は、ハイレベル電位 (V D D) であっても、ローレベル電位 (V S S) であってもよい (図 2 中「 X D 」と表記)。また、出力信号 Q もハイレベル電位 (V D D) 及びローレベル電位 (V S S) のどちらかであるか決定されない (図 2 中「 X Q 」と表記)。

【 0 0 6 4 】

< 電源電圧供給再開期間 (期間 T 4) >

電源電圧 V x の供給を再開する期間を期間 T 4 とする。期間 T 4 のはじめに記憶装置 1 3

40

50

0への電源電圧 V_x の供給を再開する。この際、第1のトランジスタ101を制御する制御信号OS_WEはローレベル電位(VSS)であり、第1のトランジスタ101はオフ状態のままである。そのためデータ信号D(Data A)は、保持容量102に保持されたままである。

【0065】

また、記憶装置130への電源電圧 V_x の供給を再開し、クロック信号CLKをハイレベル電位(VDD)に設定する。これにより、スイッチ134は非導通状態となり、スイッチ139は導通状態となる。

【0066】

<読み出し動作期間(期間T5)>

10

記憶回路120に書き込まれたデータ信号Dを読み出す期間を期間T5とする。期間T5のはじめに、選択信号SELがローレベル電位(VSS)からハイレベル電位(VDD)となる。選択回路136にハイレベル電位(VDD)の選択信号SELが入力され、保持容量102に保持されていたデータ信号D(Data A)が記憶回路121に入力される。スイッチ139が期間T4の終わりで導通状態となっているため、記憶回路121に入力されたデータ信号D(Data A)は、出力信号Q(Data A)として出力される。

【0067】

読み出し動作期間である期間T5が終了すると、新たな期間T1(通常動作期間)が開始され、新たなデータ信号D(Data A + 1)が記憶装置130に入力される。

【0068】

20

以上のように、高周波数での記憶装置の駆動において、期間T2(書き込み動作期間)で第1のトランジスタ101のゲートにハイレベル電位(VDD)が入力されることにより、第1のトランジスタ101を介してデータ信号Dが保持容量102に保持される。

【0069】

電源電圧 V_x が供給停止される期間T3及び電源電圧 V_x の供給が復帰する期間T4では、第1のトランジスタ101を介して保持容量102に保持されたデータ信号Dが出力信号Qとして出力される。

【0070】

期間T1(通常動作期間)、期間T2(書き込み動作期間)、期間T5(読み出し動作期間)では、記憶回路121に保持されたデータ信号Dが出力信号Qとして出力される。

30

【0071】

<低周波数での動作(図3)>

次いで低周波数においての記憶装置の動作を図3を用いて説明する。

【0072】

<通常動作期間(期間T1)>

まず高周波数での動作と同様に、期間T1において、クロック信号CLKがスイッチ139に入力される。また位相反転素子135を介してクロック信号CLKの位相が反転した信号CLK_bがスイッチ134に入力される。

【0073】

クロック信号CLKがハイレベル電位(VDD)からローレベル電位(VSS)に変わると、スイッチ134が導通状態となり、スイッチ139が非導通状態となる。スイッチ134が導通状態となることで、データ信号Dが記憶回路120に供給される。

40

【0074】

期間T1のはじめに、第1のトランジスタ101を制御する制御信号OS_WEが、第1のトランジスタ101のゲートに入力される。このときの制御信号OS_WEは、ハイレベル電位(VDD)である。そのため、第1のトランジスタ101はオン状態となる。第1のトランジスタ101がオン状態であるので、データ信号D(Data A)はスイッチ134及び第1のトランジスタ101を介して、保持容量102に保持される。なおこのとき選択回路136の第1の入力端子は非導通状態であり、第2の入力端子は導通状態である。そのため、データ信号D(Data A)は、記憶回路121には入力されない。

50

【 0 0 7 5 】

記憶装置 130 を低周波数で駆動する場合は、期間 T1において、第1のトランジスタ 101を介して保持容量 102 にデータ信号 D (Data A) を書き込むことができる。つまり、第1のトランジスタ 101 の駆動周波数が低くても、データ信号 D (Data A) を記憶回路 120 に書き込む時間を十分に取ることができる。これによって、後述する書き込み動作期間（期間 T2）を実質的に省略でき、消費電力の低減が可能になる。

【 0 0 7 6 】

次いでクロック信号 CLK がローレベル電位 (VSS) からハイレベル電位 (VDD) に変わると、スイッチ 134 が非導通状態となり、スイッチ 139 が導通状態となる。これにより、保持容量 102 に保持されていたデータ信号 D (Data A) が、選択回路 136 を介して記憶回路 121 に書き込まれる。記憶回路 121 に書き込まれたデータ信号 D (Data A) が出力信号 Q (Data A) として出力される。10

【 0 0 7 7 】

<書き込み動作期間（期間 T2）>

記憶装置 100 が低周波数で駆動する場合、期間 T2 において期間 T1 の終わりと同じ状態が保持される。

【 0 0 7 8 】

<電源電圧供給停止期間（期間 T3）>

次いで、期間 T3 の動作について説明する。期間 T3 のはじめに、記憶装置 130 への電源電圧 Vx の供給を停止する。また、第1のトランジスタ 101 を制御する制御信号 OS_WE をローレベル電位 (VSS) とする。これにより第1のトランジスタ 101 をオフ状態とする。電源電圧 Vx の供給が停止すると、記憶回路 121 に保持されていたデータ (Data A) は消える。しかし、記憶回路 121 への電源電圧 Vx の供給が停止した後においても、保持容量 102 に保持されているデータ信号 D (Data A) は保持される。保持容量 102 に接続されている第1のトランジスタ 101 はリーク電流が極めて小さいため、保持容量 102 によって保持されたデータ信号 D (Data A) を長期間保つことができる。こうして、記憶装置 130 は電源電圧 Vx の供給が停止した後も、データ信号 D (Data A) を保持する。期間 T3 は、記憶装置 130 への電源電圧 Vx の供給が停止している期間に対応する。20

【 0 0 7 9 】

また、記憶装置 130 への電源電圧 Vx の供給を停止するため、クロック信号 CLK の供給も停止される。

【 0 0 8 0 】

なお期間 T3において、データ信号 D は、ハイレベル電位 (VDD) であっても、ローレベル電位 (VSS) であってもよい（図2中「XD」と表記）。また、出力信号 Q もハイレベル電位 (VDD) 及びローレベル電位 (VSS) のどちらかであるか決定されない（図2中「XQ」と表記）。

【 0 0 8 1 】

<電源電圧供給復帰期間（期間 T4）>

次いで、期間 T4 の動作について説明する。期間 T4 のはじめに記憶装置 130 への電源電圧 Vx の供給を再開する。この際、第1のトランジスタ 101 を制御する制御信号 OS_WE はローレベル電位 (VSS) であり、第1のトランジスタ 101 はオフ状態のままである。そのためデータ信号 D (Data A) は、保持容量 102 に保持されたままである。40

【 0 0 8 2 】

また、記憶装置 130 への電源電圧 Vx の供給を再開し、クロック信号 CLK をハイレベル電位 (VDD) に設定する。これにより、スイッチ 134 は非導通状態となり、スイッチ 139 は導通状態となる。

【 0 0 8 3 】

<読み出し動作期間（期間 T5）>

10

20

30

40

50

次いで、期間 T 5 の動作について説明する。期間 T 4 の終わりで、選択信号 S E L はハイレベル電位 (V D D) となっている。選択回路 136 にハイレベル電位 (V D D) の選択信号 S E L が入力され、保持容量 102 に保持されていたデータ信号 D (Data A) が記憶回路 121 に入力される。スイッチ 139 が期間 T 4 の終わりで導通状態となっているため、記憶回路 121 に入力されたデータ信号 D (Data A) は、出力信号 Q (Data A) として出力される。

【0084】

読み出し動作期間である期間 T 5 が終了すると、新たな期間 T 1 (通常動作期間) が開始され、新たなデータ信号 D (Data A + 1) が記憶装置 130 に入力される。

【0085】

以上のように、低周波数での記憶装置の駆動において、期間 T 1 (通常動作期間) では、記憶回路 121 にデータ信号 D が保持され、入力されたデータ信号 D が出力信号 Q として出力される。同時に、期間 T 1 では、データ信号 D が第 1 のトランジスタ 101 を介して保持容量 102 に保持される。

【0086】

電源電圧 V x の供給が停止される期間 T 3 及び電源電圧 V x の供給が復帰する期間 T 4 では、データ信号 D が保持容量 102 に保持されている。

【0087】

期間 T 1 (通常動作期間)、期間 T 2 (書き込み動作期間)、期間 T 5 (読み出し動作期間) では、記憶回路 121 に保持されたデータ信号 D が出力信号 Q として出力される。

10

【0088】

以上により、短時間の電源電圧供給停止により消費電力を抑えることができる記憶装置を提供することができる。

【0089】

<図 4 に示す記憶装置の構成>

図 4 に本実施の形態の記憶装置のより具体的な回路図を示す。

【0090】

図 4 に示す記憶装置 100 は、第 1 のトランジスタ 101 及び保持容量 102 を有する記憶回路 120、それぞれ第 2 のトランジスタで形成されたインバータ 107 及びインバータ 108 を含む記憶回路 121 を有している。記憶回路 121 は、インバータ 107 及びインバータ 108 の入力端子及び出力端子が互いに接続されたラッチ回路である。

30

【0091】

なお第 1 のトランジスタ 101 は、上述のように例えば酸化物半導体トランジスタを用いる。当該酸化物半導体トランジスタはオフ電流が極小のため、不揮発性の記憶回路を構成することが可能である。このように、第 1 のトランジスタとして酸化物半導体トランジスタを用いた、不揮発性の記憶回路 120 は、書き換えによる特性劣化がないという利点を有する。

【0092】

図 4 に示す記憶装置 100 は、さらに、インバータ 105、アナログスイッチ 104、セレクタ 106、アナログスイッチ 109 を有している。

40

【0093】

インバータ 105 の入力端子には、クロック信号 C L K が入力され、アナログスイッチ 109 の第 1 の端子と電気的に接続されている。インバータ 105 の出力端子は、アナログスイッチ 104 の第 1 の端子及びアナログスイッチ 109 の第 2 の端子と電気的に接続されている。またインバータ 105 には高電源電位である電源電圧 V x が入力され、また低電源電位 (例えば接地電位 G N D) が入力される。

【0094】

なおインバータ 105 は、第 2 のトランジスタによって形成されていてもよい。より具体的には、インバータ 105 は、p チャネル型トランジスタ又はn チャネル型トランジスタ、或いはその両方によって形成されていてもよい。さらに具体的には、インバータ 105

50

は、 p チャネル型トランジスタ及び n チャネル型トランジスタが相補的に接続された CMOS 回路であってもよい。

【 0 0 9 5 】

アナログスイッチ 104 の第 1 の端子は、インバータ 105 の出力端子及びアナログスイッチ 109 の第 2 の端子と電気的に接続されている。アナログスイッチ 104 の第 2 の端子は、アナログスイッチ 109 の第 1 の端子に電気的に接続されている。アナログスイッチ 104 の第 3 の端子には、データ信号 D が入力される。アナログスイッチ 104 の第 4 の端子は、第 1 のトランジスタ 101 のソース又はドレインの一方及びセレクタ 106 の第 1 の入力端子に電気的に接続されている。

【 0 0 9 6 】

なおアナログスイッチ 104 は、第 2 のトランジスタによって形成されていてもよい。より具体的には、アナログスイッチ 104 は、 p チャネル型トランジスタ又は n チャネル型トランジスタ、或いはその両方によって形成されている。さらに具体的には、アナログスイッチ 104 は、 p チャネル型トランジスタのソース又はドレインの一方及び n チャネル型トランジスタのソース及びドレインの一方、並びに、 p チャネル型トランジスタのソース又はドレインの他方及び n チャネル型トランジスタのソース及びドレインの他方が電気的に接続されたアナログスイッチでもよい。

10

【 0 0 9 7 】

第 1 のトランジスタ 101 のゲートには、制御信号 OS_WE が入力される。第 1 のトランジスタ 101 のソース又はドレインの一方は、アナログスイッチ 104 の第 4 の端子及びセレクタ 106 の第 1 の入力端子に電気的に接続されている。第 1 のトランジスタ 101 のソース又はドレインの他方は、保持容量 102 の一方の端子、及びセレクタ 106 の第 2 の入力端子に電気的に接続されている。なお、第 1 のトランジスタ 101 のソース又はドレインの他方、及び保持容量 102 の一方の端子の接続部分をノード M1 とする。

20

【 0 0 9 8 】

保持容量 102 の一方の端子は、第 1 のトランジスタ 101 のソース又はドレインの他方及びセレクタ 106 の第 2 の入力端子に電気的に接続されている。保持容量 102 の他方の端子は、低電源電位（例えば接地電位 GND）が入力される。

【 0 0 9 9 】

セレクタ 106 の第 1 の入力端子は、アナログスイッチ 104 の第 4 の端子及び第 1 のトランジスタ 101 のソース又はドレインの一方電気的に接続されている。セレクタ 106 の第 2 の入力端子は、第 1 のトランジスタ 101 のソース又はドレインの他方、及び保持容量 102 の一方の端子に電気的に接続されている。セレクタ 106 の出力端子は、インバータ 107 の入力端子及びインバータ 108 の出力端子に電気的に接続されている。またセレクタ 106 には高電源電位である電源電圧 Vx が入力され、また低電源電位（例えば接地電位 GND）が入力される。

30

【 0 1 0 0 】

セレクタ 106 は、選択信号 SEL に基づいて、第 1 の入力端子又は第 2 の入力端子に入力された信号を選択し、選択された信号を出力する。

【 0 1 0 1 】

セレクタ 106 は、第 2 のトランジスタによって形成されていてもよい。より具体的には、セレクタ 106 は、 p チャネル型トランジスタ又は n チャネル型トランジスタ、或いはその両方によって形成されていてもよい。

40

【 0 1 0 2 】

さらに具体的には、セレクタ 106 は、 p チャネル型トランジスタのソース又はドレインの一方及び n チャネル型トランジスタのソース及びドレインの一方、並びに、 p チャネル型トランジスタのソース又はドレインの他方及び n チャネル型トランジスタのソース及びドレインの他方が電気的に接続されたアナログスイッチを 2 つ有するセレクタであってもよい。当該セレクタにおいて、第 1 のアナログスイッチの p チャネル型トランジスタのゲート及び第 2 のアナログスイッチの n チャネル型トランジスタのゲート、並びに、第 1 の

50

アナログスイッチの n チャネル型トランジスタのゲート及び第 2 のアナログスイッチの p チャネル型トランジスタのゲートがそれぞれ電気的に接続されたセレクタであってもよい。

【 0 1 0 3 】

インバータ 107 の入力端子は、セレクタ 106 の出力端子及びインバータ 108 の出力端子に電気的に接続されている。インバータ 107 の出力端子は、インバータ 108 の入力端子及びアナログスイッチ 109 の第 4 の端子に電気的に接続されている。またインバータ 107 には高電源電位である電源電圧 V_x が入力され、また低電源電位（例えば接地電位 GND）が入力される。

【 0 1 0 4 】

インバータ 107 は、第 2 のトランジスタによって形成されている。より具体的には、インバータ 107 は、 p チャネル型トランジスタ又は n チャネル型トランジスタ、或いはその両方によって形成されている。さらに具体的には、インバータ 107 は、 p チャネル型トランジスタ及び n チャネル型トランジスタが相補的に接続された CMOS 回路であってもよい。

10

【 0 1 0 5 】

インバータ 108 の入力端子は、インバータ 107 の出力端子及びアナログスイッチ 109 の第 4 の端子に電気的に接続されている。インバータ 108 の出力端子は、インバータ 107 の入力端子及びセレクタ 106 の出力端子に電気的に接続されている。またインバータ 108 には高電源電位である電源電圧 V_x が入力され、また低電源電位（例えば接地電位 GND）が入力される。

20

【 0 1 0 6 】

インバータ 108 は、第 2 のトランジスタによって形成されている。より具体的には、インバータ 108 は、 p チャネル型トランジスタ又は n チャネル型トランジスタ、或いはその両方によって形成されている。さらに具体的には、インバータ 108 は、 p チャネル型トランジスタ及び n チャネル型トランジスタが相補的に接続された CMOS 回路であってもよい。

【 0 1 0 7 】

アナログスイッチ 109 の第 1 の端子は、クロック信号 CLK が入力され、インバータ 105 の入力端子及びアナログスイッチ 104 の第 2 の端子に電気的に接続されている。アナログスイッチ 109 の第 2 の端子は、アナログスイッチ 104 の第 1 の端子及びインバータ 105 の出力端子と電気的に接続されている。アナログスイッチ 109 の第 3 の端子から、出力信号 Q が出力される。アナログスイッチ 109 の第 4 の端子は、インバータ 107 の出力端子及びインバータ 108 の入力端子に電気的に接続されている。

30

【 0 1 0 8 】

なおアナログスイッチ 109 は、第 2 のトランジスタによって形成されていてもよい。より具体的には、アナログスイッチ 109 は、 p チャネル型トランジスタ又は n チャネル型トランジスタ、或いはその両方によって形成されている。さらに具体的には、アナログスイッチ 109 は、 p チャネル型トランジスタのソース又はドレインの一方及び n チャネル型トランジスタのソース及びドレインの一方、並びに、 p チャネル型トランジスタのソース又はドレインの他方及び n チャネル型トランジスタのソース及びドレインの他方が電気的に接続されたアナログスイッチでもよい。

40

【 0 1 0 9 】

もし必要であれば、第 1 のトランジスタ 101 のソース又はドレインの他方及び保持容量 102 の一方の端子、並びに、セレクタ 106 の第 2 の入力端子との間に、バッファ回路を設けてもよい。当該バッファ回路を設けると、記憶装置 100 の動作保証範囲を広げることができる。

【 0 1 1 0 】

< 記憶装置の駆動方法 >

図 4 に示す記憶装置 100 を、高周波数で駆動させる場合のタイミングチャートを図 2 に

50

、低周波数で駆動させる場合のタイミングチャートを図3に示す。

【0111】

なお、本実施の形態において高周波数とは、第1のトランジスタ101を介して保持容量102にデータ信号Dを書き込み及び保持容量102からデータ信号Dを読み出しきれない周波数である。当該高周波数は、例えば1MHz以上である。一方、本実施の形態において低周波数とは、第1のトランジスタ101を介して保持容量102にデータ信号Dを書き込み及び保持容量102からデータ信号Dを読み出し可能な周波数である。当該低周波数は、例えば1MHz未満である。

【0112】

<高周波数での動作(図2)>

10

まず高周波数においての記憶装置100の動作を図2を用いて説明する。

【0113】

<通常動作期間(期間T1)>

記憶装置100が通常に動作する期間を期間T1とする。期間T1において、クロック信号CLKがインバータ105の入力端子及びアナログスイッチ109の第1の端子に入力される。これによりインバータ105の出力端子から、クロック信号CLKと位相が反転された信号CLKbが、アナログスイッチ104の第1の端子に入力される。

【0114】

クロック信号CLKがハイレベル電位(VDD)からローレベル電位(VSS)に変わると、アナログスイッチ104が導通状態となり、アナログスイッチ109が非導通状態となる。アナログスイッチ104が導通状態となることで、データ信号Dが図4に示す記憶装置100に供給される。

20

【0115】

期間T1では、データ信号D(DataA)はアナログスイッチ104及びセレクタ106を介して、記憶回路121に入力され、データ信号D(DataA)は記憶回路121に保持される。

【0116】

次いでクロック信号CLKがローレベル電位(VSS)からハイレベル電位(VDD)に変わると、アナログスイッチ104が非導通状態となり、アナログスイッチ109が導通状態となる。これにより、記憶回路121に保持されていたデータ信号D(DataA)が出力信号Q(DataA)として出力される。

30

【0117】

また期間T1では、ノードM1の電位はハイレベル電位(VDD)であっても、ローレベル電位(VSS)でもよい(図2中「XM1」と表記)。

【0118】

<書き込み動作期間(期間T2)>

第1のトランジスタ101及び保持容量102を有する記憶回路120にデータ信号Dを書き込む期間を、期間T2とする。また期間T2は、後述する期間T3(電源電圧供給停止期間)の前の期間である。すなわち、電源電圧Vxの供給が停止する前に、記憶回路120にデータ信号Dが書き込まれる。

40

【0119】

期間T2のはじめに、第1のトランジスタ101を制御する制御信号OS_WEが保持容量102にデータ信号Dを十分に書き込める電圧となり、当該電圧が第1のトランジスタ101のゲートに入力されると、第1のトランジスタ101のソース及びドレインが導通する(オン状態)。これにより、データ信号D(DataA)が第1のトランジスタ101を介して保持容量102に入力され、データ信号Dは保持容量によって保持される。当該保持容量102にデータ信号を十分に書き込める電圧とは、ハイレベル電位(VDD)でなくてもよいし、ハイレベル電位(VDD)でもよい。

【0120】

<電源電圧供給停止期間(期間T3)>

50

電源電圧 V_x の供給を停止する期間を期間 T 3 とする。期間 T 3 のはじめに、記憶装置 100 への電源電圧 V_x の供給を停止する。また、第 1 のトランジスタ 101 を制御する制御信号 O S _ W E をローレベル電位 (VSS) とする。これにより第 1 のトランジスタ 101 をオフ状態とする。電源電圧 V_x の供給が停止すると、記憶回路 121 に保持されていたデータ (Data A) は消える。しかし、記憶回路 121 への電源電圧 V_x の供給が停止した後においても、保持容量 102 に保持されているデータ信号 D (Data A) は保持される。保持容量 102 に接続されている第 1 のトランジスタ 101 はリーク電流が極めて小さいため、保持容量 102 によって保持されたデータ信号 D (Data A) を長期間保つことができる。こうして、記憶装置 100 は電源電圧 V_x の供給が停止した後も、データ信号 D (Data A) を保持する。期間 T 3 は、記憶装置 100 への電源電圧 V_x の供給が停止している期間に対応する。

【0121】

また、記憶装置 100 への電源電圧 V_x の供給が停止するため、クロック信号 C L K の供給も停止される。

【0122】

上述のように第 1 のトランジスタ 101 はリーク電流が極めて小さいため、保持容量 102 によって保持されたデータ信号 D (Data A) を長期間保つことができる。しかし、もし必要であれば、上述のように第 1 のトランジスタ 101 のソース又はドレインの他方及び保持容量 102 の一方の端子、並びに、セレクタ 106 の第 2 の入力端子との間に、バッファ回路を設けてもよい。当該バッファ回路は、電源電圧供給停止期間において、保持容量 102 に保持されたデータ信号 D の電圧が減少した場合に、当該電圧を補うことが可能である。当該バッファ回路を設け、上記電圧を補うことができると、記憶装置 100 の動作保証範囲を広げることができる。

【0123】

なお期間 T 3 において、データ信号 D は、ハイレベル電位 (VDD) であっても、ローレベル電位 (VSS) であってもよい（図 2 中「X D」と表記）。また、出力信号 Q もハイレベル電位 (VDD) 及びローレベル電位 (VSS) のどちらかであるか決定されない（図 2 中「X Q」と表記）。

【0124】

<電源電圧供給再開期間（期間 T 4）>

電源電圧 V_x の供給を再開する期間を期間 T 4 とする。期間 T 4 のはじめに記憶装置 100 への電源電圧 V_x の供給を再開する。この際、第 1 のトランジスタ 101 を制御する制御信号 O S _ W E はローレベル電位 (VSS) であり、第 1 のトランジスタ 101 はオフ状態のままである。そのためデータ信号 D (Data A) は、保持容量 102 に保持されたままである。

【0125】

また、記憶装置 100 への電源電圧 V_x の供給を再開し、クロック信号 C L K をハイレベル電位 (VDD) に設定する。これにより、アナログスイッチ 104 は非導通状態となり、アナログスイッチ 109 は導通状態となる。

【0126】

<読み出し動作期間（期間 T 5）>

記憶回路 120 に書き込まれたデータ信号 D を読み出す期間を期間 T 5 とする。期間 T 5 のはじめに、選択信号 S E L がローレベル電位 (VSS) からハイレベル電位 (VDD) となる。セレクタ 106 にハイレベル電位 (VDD) の選択信号 S E L が入力され、保持容量 102 に保持されていたデータ信号 D (Data A) が記憶回路 121 に入力される。アナログスイッチ 109 が期間 T 4 の終わりで導通状態となっているため、記憶回路 121 に入力されたデータ信号 D (Data A) は、出力信号 Q (Data A) として出力される。

【0127】

読み出し動作期間である期間 T 5 が終了すると、新たな期間 T 1 (通常動作期間) が開始

10

20

30

40

50

され、新たなデータ信号 D (Data A + 1) が記憶装置 100 に入力される。

【 0128 】

以上のように、高周波数での記憶装置の駆動において、期間 T2 (書き込み動作期間) で第1のトランジスタ 101 のゲートにハイレベル電位 (VDD) が入力されることにより、第1のトランジスタ 101 を介してデータ信号 D が保持容量 102 に保持される。

【 0129 】

電源電圧 Vx が供給停止される期間 T3 及び電源電圧 Vx の供給が復帰する期間 T4 では、第1のトランジスタ 101 を介して保持容量 102 に保持されたデータ信号 D が出力信号 Q として出力される。

【 0130 】

期間 T1 (通常動作期間)、期間 T2 (書き込み動作期間)、期間 T5 (読み出し動作期間) では、記憶回路 121 に保持されたデータ信号 D が出力信号 Q として出力される。

【 0131 】

<低周波数での動作 (図 3)>

次いで低周波数においての記憶装置の動作を図 3 を用いて説明する。

【 0132 】

<通常動作期間 (期間 T1)>

まず高周波数での動作と同様に、期間 T1 において、クロック信号 CLK がインバータ 105 の入力端子及びアナログスイッチ 109 の第1の端子に入力される。これによりインバータ 105 の出力端子から、クロック信号 CLK と逆の位相を有する信号 CLKb が、アナログスイッチ 104 の第1の端子に入力される。

【 0133 】

クロック信号 CLK がハイレベル電位 (VDD) からローレベル電位 (VSS) に変わると、アナログスイッチ 104 が導通状態となり、アナログスイッチ 109 が非導通状態となる。アナログスイッチ 104 が導通状態となることで、データ信号 D が記憶回路 120 に供給される。

【 0134 】

期間 T1 のはじめに、第1のトランジスタ 101 を制御する制御信号 OS_WE が、第1のトランジスタ 101 のゲートに入力される。このときの制御信号 OS_WE は、ハイレベル電位 (VDD) である。そのため、第1のトランジスタ 101 はオン状態となる。第1のトランジスタ 101 がオン状態であるので、データ信号 D (Data A) はアナログスイッチ 104 及び第1のトランジスタ 101 を介して、保持容量 102 に保持される。なおこのときセレクタ 106 の第1の入力端子は非導通状態であり、第2の入力端子は導通状態である。そのため、データ信号 D (Data A) は、記憶回路 121 には入力されない。

【 0135 】

記憶装置 100 を低周波数で駆動する場合は、期間 T1 において、第1のトランジスタ 101 及び保持容量 102 を有する記憶回路 120 にデータ信号 D (Data A) を書き込むことができる。つまり、第1のトランジスタ 101 の駆動周波数が低くても、データ信号 D (Data A) を記憶回路 120 に書き込む時間を十分に取ることができる。これによって、後述する書き込み動作期間 (期間 T2) を実質的に省略でき、消費電力の低減が可能になる。

【 0136 】

次いでクロック信号 CLK がローレベル電位 (VSS) からハイレベル電位 (VDD) に変わると、アナログスイッチ 104 が非導通状態となり、アナログスイッチ 109 が導通状態となる。これにより、保持容量 102 に保持されていたデータ信号 D (Data A) が、セレクタ 106 を介して記憶回路 121 に書き込まれる。記憶回路 121 に書き込まれたデータ信号 D (Data A) が出力信号 Q (Data A) として出力される。

【 0137 】

<書き込み動作期間 (期間 T2)>

10

20

30

40

50

記憶装置 100 が低周波数で駆動する場合、期間 T2 において期間 T1 の終わりと同じ状態が保持される。

【0138】

<電源電圧供給停止期間（期間 T3）>

次いで、期間 T3 の動作について説明する。期間 T3 のはじめに、記憶装置 100 への電源電圧 Vx の供給を停止する。また、第 1 のトランジスタ 101 を制御する制御信号 OS—WE をローレベル電位 (VSS) とする。これにより第 1 のトランジスタ 101 をオフ状態とする。電源電圧 Vx の供給が停止すると、記憶回路 121 に保持されていたデータ (Data A) は消える。しかし、記憶回路 121 への電源電圧 Vx の供給が停止した後においても、保持容量 102 に保持されているデータ信号 D (Data A) は保持される。保持容量 102 に接続されている第 1 のトランジスタ 101 はリーク電流が極めて小さいため、保持容量 102 によって保持されたデータ信号 D (Data A) を長期間保つことができる。こうして、記憶装置 100 は電源電圧 Vx の供給が停止した後も、データ信号 D (Data A) を保持する。期間 T3 は、図 4 に示す記憶装置 100 への電源電圧 Vx の供給が停止している期間に対応する。

【0139】

また、記憶装置 100 への電源電圧 Vx の供給を停止するため、クロック信号 CLK の供給も停止される。

【0140】

なお期間 T3 において、データ信号 D は、ハイレベル電位 (VDD) であっても、ローレベル電位 (VSS) であってもよい（図 2 中「XD」と表記）。また、出力信号 Q もハイレベル電位 (VDD) 及びローレベル電位 (VSS) のどちらかであるか決定されない（図 2 中「XQ」と表記）。

【0141】

<電源電圧供給復帰期間（期間 T4）>

次いで、期間 T4 の動作について説明する。期間 T4 のはじめに記憶装置 100 への電源電圧 Vx の供給を再開する。この際、第 1 のトランジスタ 101 を制御する制御信号 OS—WE はローレベル電位 (VSS) であり、第 1 のトランジスタ 101 はオフ状態のままである。そのためデータ信号 D (Data A) は、保持容量 102 に保持されたままである。

【0142】

また、記憶装置 100 への電源電圧 Vx の供給を再開し、クロック信号 CLK をハイレベル電位 (VDD) に設定する。これにより、アナログスイッチ 104 は非導通状態となり、アナログスイッチ 109 は導通状態となる。

【0143】

<読み出し動作期間（期間 T5）>

次いで、期間 T5 の動作について説明する。期間 T4 の終わりで、選択信号 SEL はハイレベル電位 (VDD) となっている。セレクタ 106 にハイレベル電位 (VDD) の選択信号 SEL が入力され、保持容量 102 に保持されていたデータ信号 D (Data A) が記憶回路 121 に入力される。アナログスイッチ 109 が期間 T4 の終わりで導通状態となっているため、記憶回路 121 に入力されたデータ信号 D (Data A) は、出力信号 Q (Data A) として出力される。

【0144】

読み出し動作期間である期間 T5 が終了すると、新たな期間 T1（通常動作期間）が開始され、新たなデータ信号 D (Data A + 1) が記憶装置 100 に入力される。

【0145】

以上のように、低周波数での記憶装置の駆動において、期間 T1（通常動作期間）では、記憶回路 121 にデータ信号 D が保持され、入力されたデータ信号 D が出力信号 Q として出力される。同時に、期間 T1 では、データ信号 D が第 1 のトランジスタ 101 を介して保持容量 102 に保持される。

10

20

30

40

50

【 0 1 4 6 】

電源電圧 V_x の供給が停止される期間 T_3 及び電源電圧 V_x の供給が復帰する期間 T_4 では、データ信号 D が保持容量 102 に保持されている。

【 0 1 4 7 】

期間 T_1 (通常動作期間)、期間 T_2 (書き込み動作期間)、期間 T_5 (読み出し動作期間) では、記憶回路 121 に保持されたデータ信号 D が出力信号 Q として出力される。

【 0 1 4 8 】

以上により、短時間の電源電圧供給停止により消費電力を抑えることができる記憶装置を提供することができる。

【 0 1 4 9 】

<酸化物半導体トランジスタ及び第2のトランジスタの構造及びその作製方法>
上述のように、記憶回路 120 に含まれる第1のトランジスタ 101 は、酸化物半導体層にチャネルが形成されるトランジスタであり、記憶回路 121 は、珪素層にチャネルが形成されるトランジスタ(第2のトランジスタ)により形成されている。特に図4に示すように、記憶回路 121 がインバータ 107 及びインバータ 108 によって構成される場合、インバータ 107 及びインバータ 108 はそれぞれ、pチャネル型トランジスタ及びnチャネル型トランジスタによって形成することができる。

【 0 1 5 0 】

また、図4に示すインバータ 105、アナログスイッチ 104、セレクタ 106、アナログスイッチ 109 も第2のトランジスタによって形成することができる。

【 0 1 5 1 】

以下に、第1のトランジスタ 101 及び第2のトランジスタ 123 の構成を示す。

【 0 1 5 2 】

図5(A)は、第2のトランジスタ 123 の断面構造を示す図である。図5(A)に示される第2のトランジスタ 123 は、基板 700 上に絶縁膜 701 と、単結晶の半導体基板から分離された半導体膜 702 を有する。半導体膜 702 は、ゲート電極 707 と重なるチャネル形成領域 710 と、チャネル形成領域 710 を間に挟む一対の不純物領域 709 を有している。半導体膜 702 とゲート電極 707との間には、ゲート絶縁膜 703 が設けられている。さらにゲート絶縁膜 703 及びゲート電極 707 を覆って、絶縁膜 712 及び絶縁膜 713 が形成されている。

【 0 1 5 3 】

基板 700 として使用することができる素材に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、基板 700 には、フュージョン法やフロート法で作製されるガラス基板、石英基板、半導体基板、セラミック基板等を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が 730 以上のものを用いると良い。

【 0 1 5 4 】

また、本実施の形態では、半導体膜 702 が単結晶のシリコンである場合を例に挙げて、以下、第2のトランジスタ 123 の作製方法について説明する。なお、具体的な単結晶の半導体膜 702 の作製方法の一例について、簡単に説明する。まず、単結晶の半導体基板であるボンド基板に、電界で加速されたイオンでなるイオンビームを注入し、ボンド基板の表面から一定の深さの領域に、結晶構造が乱されることで局所的に脆弱化された脆化層を形成する。脆化層が形成される領域の深さは、イオンビームの加速エネルギーとイオンビームの入射角によって調節することができる。そして、ボンド基板と、絶縁膜 701 が形成された基板 700 とを、間に当該絶縁膜 701 が挟まるように貼り合わせる。貼り合わせは、ボンド基板と基板 700 とを重ね合わせた後、ボンド基板と基板 700 の一部に、 1 N/cm^2 以上 500 N/cm^2 以下、好ましくは 11 N/cm^2 以上 20 N/cm^2 以下程度の圧力を加える。圧力を加えると、その部分からボンド基板と絶縁膜 701 とが接合を開始し、最終的には密着した面全体に接合がおよぶ。次いで、加熱処理を行うことで、脆化層に存在する微小ボイドどうしが結合して、微小ボイドの体積が増大する。そ

10

20

30

40

50

の結果、脆化層においてボンド基板の一部である単結晶半導体膜が、ボンド基板から分離する。上記加熱処理の温度は、基板 700 の歪み点を越えない温度とする。そして、上記単結晶半導体膜をエッティング等により所望の形状に加工することで、半導体膜 702 を形成することができる。

【0155】

半導体膜 702 には、閾値電圧を制御するために、硼素、アルミニウム、ガリウムなどの p 型の導電性を付与する不純物元素、若しくはリン、砒素などの n 型の導電性を付与する不純物元素を添加しても良い。閾値電圧を制御するための不純物元素の添加は、所定の形状に加工する前の半導体膜に対して行っても良いし、所定の形状に加工した後に形成された半導体膜 702 に対して行っても良い。また、閾値電圧を制御するための不純物元素の添加を、ボンド基板に対して行っても良い。若しくは、不純物元素の添加を、閾値電圧を大まかに調整するためにボンド基板に対して行った上で、閾値電圧を微調整するために、所定の形状に加工する（パターニング）前の半導体膜に対して、又は所定の形状に加工することにより形成された半導体膜 702 に対して行っても良い。10

【0156】

また半導体膜 702 には、半導体膜 702 とゲート電極 707 とが重なるチャネル形成領域 710 と、チャネル形成領域 710 を間に挟む一対の不純物領域 709 を有している。

【0157】

一対の不純物領域 709 は、一導電性を付与する不純物元素を含む。n 型を付与する不純物元素としては、例えはリン（P）やヒ素（As）、p 型を付与する不純物元素としては、例えはホウ素（B）が挙げられる。20

【0158】

なお、本実施の形態では、単結晶の半導体膜を用いる例について説明しているが、本実施の形態はこの構成に限定されない。例えば、絶縁膜 701 上に気相成長法を用いて形成された多結晶、微結晶、非晶質の半導体膜を用いても良いし、上記半導体膜を公知の技術により結晶化しても良い。公知の結晶化方法としては、レーザ光を用いたレーザ結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザ結晶化法とを組み合わせて用いることもできる。また、石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプアニール結晶化法、触媒元素を用いる結晶化法、950 度の高温アニール法を組み合わせた結晶化法を用いても良い。30

【0159】

ゲート絶縁膜 703 は、高密度プラズマ処理、熱処理などを行うことにより半導体膜 702 の表面を酸化又は窒化することで形成することができる。高密度プラズマ処理は、例えは He、Ar、Kr、Xe などの希ガスと酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスとを用いて行う。この場合、プラズマの励起をマイクロ波の導入により行うことで、低電子温度で高密度のプラズマを生成することができる。このような高密度のプラズマで生成された酸素ラジカル（OH ラジカルを含む場合もある）や窒素ラジカル（NH ラジカルを含む場合もある）によって、半導体膜の表面を酸化又は窒化することにより、1~20 nm、望ましくは 5~10 nm の絶縁膜が半導体膜に接するように形成できる。例えは、亜酸化窒素（N₂O）を Ar で 1~3 倍（流量比）に希釈して、10~30 Pa の圧力にて 3~5 kW のマイクロ波（2.45 GHz）電力を印加して半導体膜 702 の表面を酸化若しくは窒化させる。この処理により 1 nm~10 nm（好ましくは 2 nm~6 nm）の絶縁膜を形成する。更に亜酸化窒素（N₂O）とシラン（SiH₄）を導入し、10~30 Pa の圧力にて 3~5 kW のマイクロ波（2.45 GHz）電力を印加して気相成長法により酸化窒化珪素膜を形成してゲート絶縁膜を形成する。固相反応と気相成長法による反応を組み合わせることにより界面準位密度が低く絶縁耐圧の優れたゲート絶縁膜を形成することができる。40

【0160】

上述した高密度プラズマ処理による半導体膜の酸化又は窒化は固相反応で進むため、ゲー50

ト絶縁膜703と半導体膜702との界面準位密度を極めて低くすることができる。また高密度プラズマ処理により半導体膜702を直接酸化又は窒化することで、形成される絶縁膜の厚さのばらつきを抑えることができる。また半導体膜が結晶性を有する場合、高密度プラズマ処理を用いて半導体膜の表面を固相反応で酸化させることにより、結晶粒界においてのみ酸化が速く進んでしまうのを抑え、均一性が良く、界面準位密度の低いゲート絶縁膜を形成することができる。高密度プラズマ処理により形成された絶縁膜を、ゲート絶縁膜の一部又は全部に含んで形成されるトランジスタは、特性のばらつきを抑えることができる。

【0161】

また、プラズマCVD法又はスパッタリング法などを用い、酸化珪素、窒化酸化珪素、酸化窒化珪素、窒化珪素、酸化ハフニウム、酸化アルミニウム又は酸化タンタル、酸化イットリウム、ハフニウムシリケート(HfSi_xO_y ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムシリケート(HfSi_xO_y ($x > 0$ 、 $y > 0$))、窒素が添加されたハフニウムアルミネート(HfAl_xO_y ($x > 0$ 、 $y > 0$))等を含む膜を、単層で、又は積層させることで、ゲート絶縁膜703を形成しても良い。10

【0162】

なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質を意味する。

【0163】

ゲート絶縁膜703の厚さは、例えば、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができます。本実施の形態では、プラズマCVD法を用いて、酸化珪素を含む単層の絶縁膜を、ゲート絶縁膜703として用いる。20

【0164】

ゲート電極707の材料としては、タンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)、クロム(Cr)、ニオブ(Nb)等を用いることができる。上記金属を主成分とする合金を用いても良いし、上記金属を含む化合物を用いても良い。又は、半導体膜に導電性を付与するリン等の不純物元素をドーピングした、多結晶珪素などの半導体を用いて形成しても良い。

【0165】

なお、本実施の形態ではゲート電極707を単層の導電膜で形成しているが、本実施の形態はこの構成に限定されない。ゲート電極707は積層された複数の導電膜で形成されていても良い。30

【0166】

2つの導電膜の組み合わせとして、1層目に窒化タンタル又はタンタルを、2層目にタングステンを用いることができる。上記例の他に、窒化タングステンとタングステン、窒化モリブデンとモリブデン、アルミニウムとタンタル、アルミニウムとチタン等が挙げられる。タングステンや窒化タンタルは、耐熱性が高いため、2層の導電膜を形成した後の工程において、熱活性化を目的とした加熱処理を行うことができる。また、2層の導電膜の組み合わせとして、例えば、n型の導電性を付与する不純物元素がドーピングされた珪素とニッケルシリサイド、n型の導電性を付与する不純物元素がドーピングされた珪素とタングステンシリサイド等も用いることができる。40

【0167】

3つの導電膜を積層する3層構造の場合は、モリブデン膜とアルミニウム膜とモリブデン膜の積層構造を採用するとよい。

【0168】

また、ゲート電極707に酸化インジウム、酸化インジウム酸化スズ、酸化インジウム酸化亜鉛、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、又は酸化亜鉛ガリウム等の透光性を有する酸化物導電膜を用いることもできる。

【0169】

50

20

30

40

50

また、ゲート絶縁膜703及びゲート電極707を覆うように、絶縁膜712、絶縁膜713が形成されている。具体的に、絶縁膜712、絶縁膜713は、酸化珪素、窒化珪素、窒化酸化珪素、酸化窒化珪素、窒化アルミニウム、窒化酸化アルミニウムなどの無機の絶縁膜を用いることができる。特に、絶縁膜712、絶縁膜713に誘電率の低い(10W-k)材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁膜712、絶縁膜713に、上記材料を用いた多孔性の絶縁膜を適用しても良い。多孔性の絶縁膜では、密度の高い絶縁膜と比較して誘電率が低下するため、電極や配線に起因する寄生容量を更に低減することが可能である。

【0170】

10

本実施の形態では、絶縁膜712として酸化窒化珪素、絶縁膜713として窒化酸化珪素を用いる場合を例に挙げる。また、本実施の形態では、ゲート電極707上に絶縁膜712、絶縁膜713を形成している場合を例示しているが、本発明はゲート電極707上に絶縁膜を1層だけ形成していても良いし、3層以上の複数の絶縁膜を積層するように形成していても良い。

【0171】

以上説明された第2のトランジスタ123を用いて、揮発性の記憶回路121が形成される。

【0172】

20

次いで第1のトランジスタ101の構成について説明する。図5(B)は、第1のトランジスタ101の断面構造を示す図である。図5(B)に示される第1のトランジスタ101は、基板731上に絶縁膜732と、酸化物半導体層716を有する。酸化物半導体層716上には、順に導電膜719及び導電膜720、ゲート絶縁膜703、及びゲート電極722が設けられている。

【0173】

図5(B)に示す第1のトランジスタ101は、酸化物半導体層716上にゲート電極707が設けられ、かつ酸化物半導体層716の上に導電膜719及び導電膜720が形成されている。本実施の形態では、このようなトランジスタを、トップゲートトップコンタクト型トランジスタと呼ぶ。

【0174】

30

図5(B)に示す第1のトランジスタ101において、チャネル形成領域は、酸化物半導体層716とゲート電極707がゲート絶縁膜703を介して重畠する領域に形成される。また導電膜719及び導電膜720はソース電極及びドレイン電極として機能する。図5(B)に示す第1のトランジスタ101のソース領域及びドレイン領域は、酸化物半導体層716及び導電膜719、並びに、酸化物半導体層716及び導電膜720が重畠する領域に形成される。

【0175】

基板731及び絶縁膜732は、それぞれ基板700及び絶縁膜701と同様の材料を用いればよい。或いは、第2のトランジスタ123を形成後、第2のトランジスタ123を平坦な表面を有する絶縁膜で覆い、当該平坦な絶縁膜を絶縁膜701の代わりとして、第2のトランジスタ123の上方に第1のトランジスタ101を形成してもよい。

40

【0176】

酸化物半導体層716は、絶縁膜701上に形成した酸化物半導体膜を所望の形状に加工することで、形成することができる。上記酸化物半導体膜の膜厚は、2nm以上200nm以下、好ましくは3nm以上50nm以下、更に好ましくは3nm以上20nm以下とする。酸化物半導体膜は、酸化物半導体をターゲットとして用い、スパッタ法により成膜する。また、酸化物半導体膜は、希ガス(例えばアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(例えばアルゴン)及び酸素混合雰囲気下においてスパッタ法等により形成することができる。

【0177】

50

酸化物半導体膜の成膜方法について、以下詳細に説明する。酸化物半導体膜は、スパッタリング法、蒸着法、P C V D 法、P L D 法、A L D 法またはM B E 法などを用いて成膜する。

【 0 1 7 8 】

酸化物半導体膜は、好ましくはスパッタリング法により、基板加熱温度を 100 以上 600 以下、好ましくは 150 以上 550 以下、さらに好ましくは 200 以上 500 以下とし、酸素ガス雰囲気で成膜する。酸化物半導体膜の厚さは、1 nm 以上 40 nm 以下、好ましくは 3 nm 以上 20 nm 以下とする。成膜時の基板加熱温度が高いほど、得られる酸化物半導体膜の不純物濃度は低くなる。また、酸化物半導体膜中の原子配列が整い、高密度化され、多結晶または C A A C (C - A x i s A l i g n e d C r y s t a l) が形成されやすくなる。¹⁰ さらに、酸素ガス雰囲気で成膜することでも、希ガスなどの余分な原子が含まれないため、多結晶または C A A C が形成されやすくなる。ただし、酸素ガスと希ガスの混合雰囲気としてもよく、その場合は酸素ガスの割合は 30 体積 % 以上、好ましくは 50 体積 % 以上、さらに好ましくは 80 体積 % 以上とする。なお、酸化物半導体膜は薄いほど、トランジスタの短チャネル効果が低減される。ただし、薄くしすぎると界面散乱の影響が強くなり、電界効果移動度の低下が起こることがある。

【 0 1 7 9 】

酸化物半導体膜として I n - G a - Z n - O 系材料をスパッタリング法で成膜する場合、好ましくは、原子数比が I n : G a : Z n = 1 : 1 : 1、4 : 2 : 3、3 : 1 : 2、1 : 1 : 2、2 : 1 : 3、または 3 : 1 : 4 で示される I n - G a - Z n - O ターゲットを用いる。前述の原子数比を有する I n - G a - Z n - O ターゲットを用いて酸化物半導体膜を成膜することで、多結晶または C A A C が形成されやすくなる。²⁰

【 0 1 8 0 】

また、酸化物半導体膜として I n - S n - Z n - O 系材料をスパッタリング法で成膜する場合、好ましくは、原子数比が I n : S n : Z n = 1 : 1 : 1、2 : 1 : 3、1 : 2 : 2、または 4 : 9 : 7 で示される I n - S n - Z n - O ターゲットを用いる。前述の原子数比を有する I n - S n - Z n - O ターゲットを用いて酸化物半導体膜を成膜することで、多結晶または C A A C が形成されやすくなる。

【 0 1 8 1 】

次に、加熱処理を行う。加熱処理は、減圧雰囲気、不活性雰囲気または酸化性雰囲気で行う。加熱処理により、酸化物半導体膜中の不純物濃度を低減することができる。³⁰

【 0 1 8 2 】

加熱処理は、減圧雰囲気または不活性雰囲気で加熱処理を行った後、温度を保持しつつ酸化性雰囲気に切り替えてさらに加熱処理を行うと好ましい。これは、減圧雰囲気または不活性雰囲気にて加熱処理を行うと、酸化物半導体膜中の不純物濃度を低減することができるが、同時に酸素欠損も生じてしまうためあり、このとき生じた酸素欠損を、酸化性雰囲気での加熱処理により低減することができる。

【 0 1 8 3 】

酸化物半導体膜は、成膜時の基板加熱に加え、加熱処理を行うことで、膜中の不純物準位を極めて小さくすることが可能となる。その結果、トランジスタの電界効果移動度を後述する理想的な電界効果移動度近くまで高めることができる。⁴⁰

【 0 1 8 4 】

なお、酸化物半導体膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、絶縁膜 712 及び絶縁膜 713 の表面に付着している塵埃を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に R F 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

【 0 1 8 5 】

10

20

30

40

50

酸化物半導体トランジスタに用いる酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特に In と Zn を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。

【 0186 】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジム(Pr)、ネオジム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種あるいは複数種を有してもよい。
10

【 0187 】

当該酸化物半導体として、例えば、四元系金属の酸化物である In - Sn - Ga - Zn - O 系酸化物、 In - Hf - Ga - Zn - O 系酸化物、 In - Al - Ga - Zn - O 系酸化物、 In - Sn - Al - Zn - O 系酸化物、 In - Sn - Hf - Zn - O 系酸化物、 In - Hf - Al - Zn - O 系酸化物、三元系金属の酸化物である In - Ga - Zn - O 系酸化物(IGZO とも表記する)、 In - Sn - Zn - O 系酸化物、 In - Al - Zn - O 系酸化物、 Sn - Ga - Zn - O 系酸化物、 Al - Ga - Zn - O 系酸化物、 Sn - Al - Zn - O 系酸化物、 In - Hf - Zn - O 系酸化物、 In - La - Zn - O 系酸化物、 In - Ce - Zn - O 系酸化物、 In - Pr - Zn - O 系酸化物、 In - Nd - Zn - O 系酸化物、 In - Sm - Zn - O 系酸化物、 In - Eu - Zn - O 系酸化物、 In - Gd - Zn - O 系酸化物、 In - Tb - Zn - O 系酸化物、 In - Dy - Zn - O 系酸化物、 In - Ho - Zn - O 系酸化物、 In - Er - Zn - O 系酸化物、 In - Tm - Zn - O 系酸化物、 In - Yb - Zn - O 系酸化物、 In - Lu - Zn - O 系酸化物、二元系金属の酸化物である In - Zn - O 系酸化物、 Sn - Zn - O 系酸化物、 Al - Zn - O 系酸化物、 Zn - Mg - O 系酸化物、 Sn - Mg - O 系酸化物、 In - Mg - O 系酸化物や、 In - Ga - O 系酸化物、一元系金属の酸化物である In - O 系酸化物、 Sn - O 系酸化物、 Zn - O 系酸化物などを用いることができる。また、上記酸化物半導体に In と Ga と Sn と Zn 以外の元素、例えば SiO₂ を含ませてもよい。
20

【 0188 】

なお、ここで、例えば、 In - Ga - Zn 系酸化物とは、インジウム(In)とガリウム(Ga)と亜鉛(Zn)を有する酸化物という意味であり、 In と Ga と Zn の比率は問わない。また、 In と Ga と Zn 以外の金属元素を含んでいてもよい。

【 0189 】

また、酸化物半導体として、 InMO₃(ZnO)_m (m > 0 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、 M は、 Ga 、 Fe 、 Mn 及び Co から選ばれた一の金属元素または複数の金属元素を示す。例えば M として、 Ga 、 Ga 及び Al 、 Ga 及び Mn 、または Ga 及び Co などがある。また、酸化物半導体として、 In₃SnO₅(ZnO)_n (n > 0 、且つ、 n は整数) で表記される材料を用いてもよい。
40

【 0190 】

例えば、 In : Ga : Zn = 1 : 1 : 1 (= 1 / 3 : 1 / 3 : 1 / 3) あるいは In : Ga : Zn = 2 : 2 : 1 (= 2 / 5 : 2 / 5 : 1 / 5) の原子数比の In - Ga - Zn 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 In : Sn : Zn = 1 : 1 : 1 (= 1 / 3 : 1 / 3 : 1 / 3) 、 In : Sn : Zn = 2 : 1 : 3 (= 1 / 3 : 1 / 6 : 1 / 2) あるいは In : Sn : Zn = 2 : 1 : 5 (= 1 / 4 : 1 / 8 : 5 / 8) の原子数比の In - Sn - Zn 系酸化物やその組成の近傍の酸化物を用いるとよい。

【 0191 】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等) に
50

応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度等を適切なものとすることが好ましい。

【0192】

例えば、In - Sn - Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In - Ga - Zn系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0193】

なお、例えば、In、Ga、Znの原子数比がIn : Ga : Zn = a : b : c (a + b + c = 1) である酸化物の組成が、原子数比がIn : Ga : Zn = A : B : C (A + B + C = 1) の酸化物の組成の近傍であるとは、a、b、cが、(a - A)² + (b - B)² + (c - C)² / r² を満たすことをいい、rとしては、例えば、0.05とすればよい。他の酸化物でも同様である。

10

【0194】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

20

【0195】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

20

【0196】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することができる。具体的には、平均面粗さ (Ra) が 1 nm 以下、好ましくは 0.3 nm 以下、より好ましくは 0.1 nm 以下の表面上に形成するとよい。

【0197】

なお、Ra は、JIS B 0601 で定義されている中心線平均粗さを面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

30

【0198】

【数1】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

【0199】

なお、上記において、S₀ は、測定面（座標 (x₁, y₁) (x₁, y₂) (x₂, y₁) (x₂, y₂) で表される 4 点によって囲まれる長方形の領域）の面積を指し、Z₀ は測定面の平均高さを指す。Ra は原子間力顕微鏡 (AFM : A t o m i c F o r c e M i c r o s c o p e) にて評価可能である。

40

【0200】

なお、酸化物半導体は非晶質であっても良いが、結晶性を有していても良い。結晶性を有する酸化物半導体としては、c 軸配向を有した結晶 (C A x i s A l i g n e d C r y s t a l : C A A C とも呼ぶ) を含む酸化物であっても、トランジスタの信頼性を高めるという効果を得るので、好ましい。

【0201】

C A A C で構成された酸化物半導体膜は、スパッタリング法によつても作製することができ

50

きる。スパッタリング法によって C A A C を得るには酸化物半導体膜の堆積初期段階において六方晶の結晶が形成されるようになると、当該結晶を種として結晶が成長されるようになることが肝要である。そのためには、ターゲットと基板の距離を広くとり（例えば、150 mm ~ 200 mm 程度）、基板加熱温度を 100 ~ 500 、好適には 200 ~ 400 、さらに好適には 250 ~ 300 にすると好ましい。また、これに加えて、成膜時の基板加熱温度よりも高い温度で、堆積された酸化物半導体膜を熱処理することで膜中に含まれるミクロな欠陥や、積層界面の欠陥を修復することができる。

【 0 2 0 2 】

なお、本明細書においては、六方晶の結晶構造は六晶系 (C r y s t a l f a m i l y) におけるものを指し、七晶系 (C r y s t a l s y s t e m) の三方晶と六方晶を含む。10

【 0 2 0 3 】

C A A C (C A x i s A l i g n e d C r y s t a l) を含む酸化物は、c 軸配向し、かつ a b 面、表面または界面の方向から見て三角形状または六角形状の原子配列を有し、c 軸においては金属原子が層状または金属原子と酸素原子とが層状に配列しており、a b 面においては a 軸または b 軸の向きが異なる（c 軸を中心に回転した）結晶を含む酸化物である。C A A C について以下に詳細に説明する。

【 0 2 0 4 】

C A A C を含む酸化物とは、広義に、非単結晶であって、その a b 面に垂直な方向から見て、三角形、六角形、正三角形または正六角形の原子配列を有し、かつ c 軸方向に垂直な方向から見て、金属原子が層状、または金属原子と酸素原子が層状に配列した相を含む酸化物をいう。20

【 0 2 0 5 】

C A A C は単結晶ではないが、非晶質のみから形成されているものでもない。また、C A A C は結晶化した部分（結晶部分）を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【 0 2 0 6 】

C A A C に酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、C A A C を構成する個々の結晶部分の c 軸は一定の方向（例えば、C A A C が形成される基板面、C A A C の表面などに垂直な方向）に揃っていてもよい。または、C A A C を構成する個々の結晶部分の a b 面の法線は一定の方向（例えば、C A A C が形成される基板面、C A A C の表面などに垂直な方向）を向いていてもよい。30

【 0 2 0 7 】

C A A C は、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

【 0 2 0 8 】

このような C A A C の例として、膜状に形成され、膜表面または C A A C が形成される基板面に垂直な方向から観察すると三角形または六角形の原子配列が認められ、かつその膜断面を観察すると金属原子または金属原子および酸素原子（または窒素原子）の層状配列が認められる結晶を挙げることもできる。40

【 0 2 0 9 】

C A A C に含まれる結晶構造の一例について図 15 乃至図 17、及び図 32 を用いて詳細に説明する。なお、特に断りがない限り、図 15 乃至図 17、及び図 32 は上方向を c 軸方向とし、c 軸方向と直交する面を a b 面とする。なお、単に上半分、下半分という場合、a b 面を境にした場合の上半分、下半分をいう。また、図 15 において丸で囲まれた O は 4 配位の O を示し、二重丸で囲まれた O は 3 配位の O を示す。

【 0 2 1 0 】

図 15 (A) に、1 個の 6 配位の In と、In に近接の 6 個の 4 配位の酸素原子（以下 4 配位の O ）と、を有する構造を示す。ここでは、金属原子が 1 個に対して、近接の酸素原50

子のみ示した構造を小グループと呼ぶ。図15(A)の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図15(A)の上半分および下半分にはそれぞれ3個ずつ4配位のOがある。図15(A)に示す小グループは電荷が0である。

【0211】

図15(B)に、1個の5配位のGaと、Gaに近接の3個の3配位の酸素原子(以下3配位のO)と、Gaに近接の2個の4配位のOと、を有する構造を示す。3配位のOは、いずれもab面に存在する。図15(B)の上半分および下半分にはそれぞれ1個ずつ4配位のOがある。また、Inも5配位をとるため、図15(B)に示す構造をとりうる。図15(B)に示す小グループは電荷が0である。

【0212】

図15(C)に、1個の4配位のZnと、Znに近接の4個の4配位のOと、を有する構造を示す。図15(C)の上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある。または、図15(C)の上半分に3個の4配位のOがあり、下半分に1個の4配位のOがあつてもよい。図15(C)に示す小グループは電荷が0である。

【0213】

図15(D)に、1個の6配位のSnと、Snに近接の6個の4配位のOと、を有する構造を示す。図15(D)の上半分には3個の4配位のOがあり、下半分には3個の4配位のOがある。図15(D)に示す小グループは電荷が+1となる。

【0214】

図15(E)に、2個のZnを含む小グループを示す。図15(E)の上半分には1個の4配位のOがあり、下半分には1個の4配位のOがある。図15(E)に示す小グループは電荷が-1となる。

【0215】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ(ユニットセルともいう)と呼ぶ。

【0216】

ここで、これらの小グループ同士が結合する規則について説明する。6配位のInの上半分の3個のOは、下方向にそれぞれ3個の近接Inを有し、下半分の3個のOは、上方向にそれぞれ3個の近接Inを有する。5配位のGaの上半分の1個のOは下方向に1個の近接Gaを有し、下半分の1個のOは上方向に1個の近接Gaを有する。4配位のZnの上半分の1個のOは、下方向に1個の近接Znを有し、下半分の3個のOは、上方向にそれぞれ3個の近接Znを有する。この様に、金属原子の上方向の4配位のOの数と、そのOの下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の4配位のOの数と、そのOの上方向にある近接金属原子の数は等しい。Oは4配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は4になる。従って、金属原子の上方向にある4配位のOの数と、別の金属原子の下方向にある4配位のOの数との和が4個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6配位の金属原子(InまたはSn)が下半分の4配位のOを介して結合する場合、4配位のOが3個であるため、5配位の金属原子(GaまたはIn)、4配位の金属原子(Zn)のいずれかと結合することになる。

【0217】

これらの配位数を有する金属原子は、c軸方向において、4配位のOを介して結合する。また、このほかにも、層構造の合計の電荷が0となるように複数の小グループが結合して中グループを構成する。

【0218】

図16(A)に、In-Sn-Zn-O系の層構造を構成する中グループのモデル図を示す。図16(B)に、3つの中グループで構成される大グループを示す。なお、図16(C)は、図16(B)の層構造をc軸方向から観察した場合の原子配列を示す。

【0219】

図16(A)においては、簡単のため、3配位のOは省略し、4配位のOは個数のみ示し

10

20

30

40

50

、例えば、 S_n の上半分および下半分にはそれぞれ3個ずつ4配位のOがあることを丸枠の3として示している。同様に、図16(A)において、 I_n の上半分および下半分にはそれぞれ1個ずつ4配位のOがあり、丸枠の1として示している。また、同様に、図16(A)において、下半分には1個の4配位のOがあり、上半分には3個の4配位のOがある Z_n と、上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある Z_n とを示している。

【0220】

図16(A)において、 $I_n - S_n - Z_n - O$ 系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分および下半分にある S_n が、4配位のOが1個ずつ上半分および下半分にある I_n と結合し、その I_n が、上半分に3個の4配位のOがある Z_n と結合し、その Z_n の下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にある I_n と結合し、その I_n が、上半分に1個の4配位のOがある Z_n 2個からなる小グループと結合し、この小グループの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分および下半分にある S_n と結合している構成である。この中グループが複数結合して大グループを構成する。
10

【0221】

ここで、3配位のOおよび4配位のOの場合、結合1本当たりの電荷はそれぞれ-0.667、-0.5と考えることができる。例えば、 I_n (6配位または5配位)、 Z_n (4配位)、 S_n (5配位または6配位)の電荷は、それぞれ+3、+2、+4である。従って、 S_n を含む小グループは電荷が+1となる。そのため、 S_n を含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図15(E)に示すように、2個の Z_n を含む小グループが挙げられる。例えば、 S_n を含む小グループが1個に対し、2個の Z_n を含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができる。
20

【0222】

具体的には、図16(B)に示した大グループが繰り返されることで、 $I_n - S_n - Z_n - O$ 系の結晶($I_{n_2}S_{n_3}Z_{n_3}O_8$)を得ることができる。なお、得られる $I_n - S_n - Z_n - O$ 系の層構造は、 $I_{n_2}S_{n_3}Z_{n_2}O_7 (Z_nO)_m$ (mは0または自然数。)とする組成式で表すことができる。

【0223】

また、このほかにも、四元系金属の酸化物である $I_n - S_n - Ga - Z_n - O$ 系酸化物、 $I_n - Hf - Ga - Z_n$ 系酸化物、 $I_n - Al - Ga - Z_n - O$ 系酸化物、 $I_n - Sn - Al - Z_n - O$ 系酸化物、 $I_n - Sn - Hf - Z_n - O$ 系酸化物、 $I_n - Hf - Al - Z_n - O$ 系酸化物や、三元系金属の酸化物である $I_n - Ga - Z_n - O$ 系酸化物(IGZOとも表記する)、 $I_n - Al - Z_n - O$ 系酸化物、 $Sn - Ga - Z_n - O$ 系酸化物、 $Al - Ga - Z_n - O$ 系酸化物、 $Sn - Al - Z_n - O$ 系酸化物や、 $I_n - Hf - Z_n - O$ 系酸化物、 $I_n - La - Z_n - O$ 系酸化物、 $I_n - Ce - Z_n - O$ 系酸化物、 $I_n - Pr - Z_n - O$ 系酸化物、 $I_n - Nd - Z_n - O$ 系酸化物、 $I_n - Sm - Z_n - O$ 系酸化物、 $I_n - Eu - Z_n - O$ 系酸化物、 $I_n - Gd - Z_n - O$ 系酸化物、 $I_n - Tb - Z_n - O$ 系酸化物、 $I_n - Dy - Z_n - O$ 系酸化物、 $I_n - Ho - Z_n - O$ 系酸化物、 $I_n - Er - Z_n - O$ 系酸化物、 $I_n - Tm - Z_n - O$ 系酸化物、 $I_n - Yb - Z_n - O$ 系酸化物、 $I_n - Lu - Z_n - O$ 系酸化物や、二元系金属の酸化物である $I_n - Z_n - O$ 系酸化物、 $Sn - Z_n - O$ 系酸化物、 $Al - Z_n - O$ 系酸化物、 $Z_n - Mg - O$ 系酸化物、 $Sn - Mg - O$ 系酸化物、 $I_n - Mg - O$ 系酸化物や、 $I_n - Ga - O$ 系酸化物などを用いた場合も同様である。
40

【0224】

例えば、図17(A)に、 $I_n - Ga - Z_n - O$ 系の層構造を構成する中グループのモデル図を示す。

【0225】

図17(A)において、 $I_n - Ga - Z_n - O$ 系の層構造を構成する中グループは、上か
50

ら順に4配位のOが3個ずつ上半分および下半分にあるInが、4配位のOが1個上半分にあるZnと結合し、そのZnの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分および下半分にあるGaと結合し、そのGaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分および下半分にあるInと結合している構成である。この中グループが複数結合して大グループを構成する。

【0226】

図17(B)に3つの中グループで構成される大グループを示す。なお、図17(C)は、図17(B)の層構造をc軸方向から観察した場合の原子配列を示している。

【0227】

ここで、In(6配位または5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、ZnおよびGaのいずれかを含む小グループは、電荷が0となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

【0228】

また、In-Ga-Zn-O系の層構造を構成する中グループは、図17(A)に示した中グループに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせた大グループも取りうる。

【0229】

具体的には、図17(B)に示した大グループが繰り返されることで、In-Ga-Zn-O系の結晶を得ることができる。なお、得られるIn-Ga-Zn-O系の層構造は、 $In_n Ga O_3 (ZnO)_n$ (nは自然数)とする組成式で表すことができる。

【0230】

$n=1$ ($In Ga Zn O_4$)の場合は、例えば、図32(A)に示す結晶構造を取りうる。なお、図32(A)に示す結晶構造において、図15(B)で説明したように、Ga及びInは5配位をとるため、GaがInに置き換わった構造も取りうる。

【0231】

また、 $n=2$ ($In Ga Zn_2 O_5$)の場合は、例えば、図32(B)に示す結晶構造を取りうる。なお、図32(B)に示す結晶構造において、図15(B)で説明したように、Ga及びInは5配位をとるため、GaがInに置き換わった構造も取りうる。

【0232】

なお、四元系金属酸化物であるIn-Ga-Zn-Oには、YbFe₂O₄型構造である $In Ga Zn O_4$ や、Yb₂Fe₃O₇型構造である $In_2 Ga_2 Zn O_7$ 等があり、その変形型構造をとりうることが知られている(M. Nakamura, N. Kimizuka, and T. Mohri, 'The Phase Relations in the $In_2 O_3 - Ga_2 Zn O_4 - Zn O$ System at 1350', J. Solid State Chem., 1991, Vol. 93, p. 298-315)。なお、YbFe₂O₄型構造は、Ybを含む層をA層としFeを含む層をB層とすると、ABB|ABB|ABB|の繰り返し構造を有し、その変形構造としては、例えば、ABB|ABB|の繰り返し構造を挙げることができる。また、Yb₂Fe₃O₇型構造は、ABB|AB|ABB|AB|の繰り返し構造を有し、その変形構造としては、例えば、ABB|ABB|ABB|ABB|ABB|ABB|ABB|の繰り返し構造を挙げることができる。

【0233】

CACは、非晶質の酸化物半導体と比較して、金属と酸素の結合が秩序化している。すなわち、酸化物半導体が非晶質の場合は、個々の金属原子によって酸素原子の配位数が異なることも有り得るが、CACでは金属原子における酸素原子の配位数はほぼ一定となる。そのため、微視的な酸素の欠損が減少し、水素原子(水素イオンを含む)やアルカリ金属原子の脱着による電荷の移動や不安定性を減少させる効果がある。

【0234】

従って、CACで構成された酸化物半導体膜を用いてトランジスタを作製することで、

10

20

30

40

50

トランジスタへの光照射またはバイアス - 熱ストレス (B T) の付加を行った後に生じる、トランジスタのしきい値電圧の変化量を、低減することができる。よって、安定した電気的特性を有するトランジスタを作製することができる。

【 0 2 3 5 】

導電膜 7 1 9 及び導電膜 7 2 0 は、ソース電極又はドレイン電極として機能する。

【 0 2 3 6 】

導電膜 7 1 9 及び導電膜 7 2 0 となる導電膜は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タンゲステンから選ばれた元素、又は上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、アルミニウム、銅などの金属膜の下側もしくは上側にクロム、タンタル、チタン、モリブデン、タンゲステンなどの高融点金属膜を積層させた構成としても良い。また、アルミニウム又は銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タンゲステン、ネオジム、スカンジウム、イットリウム等を用いることができる。10

【 0 2 3 7 】

また、導電膜 7 1 9 及び導電膜 7 2 0 となる導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、更にその上にチタン膜を成膜する3層構造などが挙げられる。また、Cu - Mg - Al合金、Mo - Ti合金、Ti、Mo、は、酸化膜との密着性が高い。よって、下層にCu - Mg - Al合金、Mo - Ti合金、Ti、或いはMoで構成される導電膜、上層にCuで構成される導電膜を積層し、上記積層された導電膜を導電膜 7 1 9 及び導電膜 7 2 0 に用いることで、酸化膜である絶縁膜と、導電膜 7 1 9 及び導電膜 7 2 0 との密着性を高めることができる。20

【 0 2 3 8 】

また、導電膜 7 1 9 及び導電膜 7 2 0 となる導電膜としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウム酸化スズ、酸化インジウム酸化亜鉛又は当該金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

【 0 2 3 9 】

導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。30

【 0 2 4 0 】

また、酸化物半導体層 7 1 6 と、ソース電極又はドレイン電極として機能する導電膜 7 1 9 及び導電膜 7 2 0 との間に、ソース領域及びドレイン領域として機能する酸化物導電膜を設けるようにしても良い。酸化物導電膜の材料としては、酸化亜鉛を成分として含むものが好ましく、酸化インジウムを含まないものであることが好ましい。そのような酸化物導電膜として、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、酸化亜鉛ガリウムなどを適用することができる。

【 0 2 4 1 】

ソース領域及びドレイン領域として機能する酸化物導電膜を設けることで、酸化物半導体層 7 1 6 と導電膜 7 1 9 及び導電膜 7 2 0 の間の抵抗を下げる所以で、トランジスタの高速動作を実現させることができ。また、ソース領域及びドレイン領域として機能する酸化物導電膜を設けることで、トランジスタの耐圧を高めることができる。40

【 0 2 4 2 】

ゲート絶縁膜 7 2 1 は、ゲート絶縁膜 7 0 3 と同様の材料、同様の積層構造を用いて形成することが可能である。なお、ゲート絶縁膜 7 2 1 は、水分や、水素などの不純物を極力含まないことが望ましく、单層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。ゲート絶縁膜 7 2 1 に水素が含まれると、その水素が酸化物半導体層 7 1 6 へ侵入し、又は水素が酸化物半導体層 7 1 6 中の酸素を引き抜き、酸化物半導体50

層 7 1 6 が低抵抗化 (n型化) してしまい、寄生チャネルが形成されるおそれがある。よって、ゲート絶縁膜 7 2 1 はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。上記ゲート絶縁膜 7 2 1 には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、又は窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、上記バリア性の高い絶縁膜よりも、酸化物半導体層 7 1 6 に近い側に形成する。そして、窒素の含有比率が低い絶縁膜を間に挟んで、導電膜 7 1 9 及び導電膜 7 2 0 及び酸化物半導体層 7 1 6 と重なるように、バリア性の高い絶縁膜を形成する。バリア性の高い絶縁膜を用いることで、酸化物半導体層 7 1 6 内、ゲート絶縁膜 7 2 1 内、或いは、酸化物半導体層 7 1 6 と他の絶縁膜の界面とその近傍に、水分又は水素などの不純物が入り込むのを防ぐことができる。また、酸化物半導体層 7 1 6 に接するように窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接、酸化物半導体層 7 1 6 に接するのを防ぐことができる。

【 0 2 4 3 】

本実施の形態では、スパッタ法で形成された膜厚 2 0 0 nm の酸化珪素膜上に、スパッタ法で形成された膜厚 1 0 0 nm の窒化珪素膜を積層させた構造を有する、ゲート絶縁膜 7 2 1 を形成する。成膜時の基板温度は、室温以上 3 0 0 以下とすればよく、本実施の形態では 1 0 0 とする。

【 0 2 4 4 】

また、ゲート電極 7 2 2 は、ゲート絶縁膜 7 2 1 上に導電膜を形成した後、該導電膜をパターニングすることで形成することができる。ゲート電極 7 2 2 は、ゲート電極 7 0 7 、或いは導電膜 7 1 9 及び導電膜 7 2 0 と同様の材料を用いて形成することが可能である。

【 0 2 4 5 】

ゲート電極 7 2 2 の膜厚は、1 0 nm ~ 4 0 0 nm 、好ましくは 1 0 0 nm ~ 2 0 0 nm とする。本実施の形態では、タンゲステンターゲットを用いたスパッタ法により 1 5 0 nm のゲート電極用の導電膜を形成した後、該導電膜をエッチングにより所望の形状に加工（パターニング）することで、ゲート電極 7 2 2 を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【 0 2 4 6 】

また、第 1 のトランジスタ 1 0 1 はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、電気的に接続された複数のゲート電極を有することで、チャネル形成領域を複数有する、マルチゲート構造のトランジスタも形成することができる。

【 0 2 4 7 】

なお、酸化物半導体層 7 1 6 に接する絶縁膜（本実施の形態においては、ゲート絶縁膜 7 2 1 が該当する。）は、第 1 3 族元素及び酸素を含む絶縁材料を用いるようにしても良い。酸化物半導体材料には第 1 3 族元素を含むものが多く、第 1 3 族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体層に接する絶縁膜に用いることで、酸化物半導体層との界面の状態を良好に保つことができる。

【 0 2 4 8 】

第 1 3 族元素を含む絶縁材料とは、絶縁材料に一又は複数の第 1 3 族元素を含むことを意味する。第 1 3 族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量（原子%）よりアルミニウムの含有量（原子%）が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量（原子%）がアルミニウムの含有量（原子%）以上のものを示す。

【 0 2 4 9 】

例えば、ガリウムを含有する酸化物半導体層に接して絶縁膜を形成する場合に、絶縁膜に酸化ガリウムを含む材料を用いることで酸化物半導体層と絶縁膜の界面特性を良好に保つ

10

20

30

40

50

ことができる。例えば、酸化物半導体層と酸化ガリウムを含む絶縁膜とを接して設けることにより、酸化物半導体層と絶縁膜の界面における水素のパイアルアップを低減することができる。なお、絶縁膜に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁膜を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。

【0250】

また、酸化物半導体層716に接する絶縁膜は、酸素雰囲気下による熱処理や、酸素ドープなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。
酸素ドープとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドープには、プラズマ化した酸素をバルクに添加する酸素プラズマドープが含まれる。また、酸素ドープは、イオン注入法又はイオンドーピング法を用いて行ってもよい。

10

【0251】

例えば、酸化物半導体層716に接する絶縁膜として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化ガリウムの組成を Ga_2O_x ($X = 3 + , 0 < X < 1$)とすることができる。

【0252】

また、酸化物半導体層716に接する絶縁膜として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化アルミニウムの組成を Al_2O_x ($X = 3 + , 0 < X < 1$)とすることができる。

20

【0253】

また、酸化物半導体層716に接する絶縁膜として酸化ガリウムアルミニウム(酸化アルミニウムガリウム)を用いた場合、酸素雰囲気下による熱処理や、酸素ドープを行うことにより、酸化ガリウムアルミニウム(酸化アルミニウムガリウム)の組成を $\text{Ga}_x\text{Al}_{2-x}\text{O}_{3+}$ ($0 < X < 2 , 0 < X < 1$)とすることができる。

【0254】

酸素ドープ処理を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁膜を形成することができる。このような領域を備える絶縁膜と酸化物半導体層が接することにより、絶縁膜中の過剰な酸素が酸化物半導体層に供給され、酸化物半導体層中、又は酸化物半導体層と絶縁膜の界面における酸素欠陥を低減し、酸化物半導体層をi型化又はi型に限りなく近くすることができる。

30

【0255】

なお、化学量論的組成比より酸素が多い領域を有する絶縁膜は、酸化物半導体層716に接する絶縁膜のうち、上層に位置する絶縁膜又は下層に位置する絶縁膜のうち、どちらか一方のみに用いても良いが、両方の絶縁膜に用いる方が好ましい。化学量論的組成比より酸素が多い領域を有する絶縁膜を、酸化物半導体層716に接する絶縁膜の、上層及び下層に位置する絶縁膜に用い、酸化物半導体層716を挟む構成とすることで、上記効果をより高めることができる。

40

【0256】

また、酸化物半導体層716の上層又は下層に用いる絶縁膜は、上層と下層で同じ構成元素を有する絶縁膜としても良いし、異なる構成元素を有する絶縁膜としても良い。例えば、上層と下層とも、組成が Ga_2O_x ($X = 3 + , 0 < X < 1$)の酸化ガリウムとしても良いし、上層と下層の一方を組成が Ga_2O_x ($X = 3 + , 0 < X < 1$)の酸化ガリウムとし、他方を組成が Al_2O_x ($X = 3 + , 0 < X < 1$)の酸化アルミニウムとしても良い。

【0257】

また、酸化物半導体層716に接する絶縁膜は、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。例えば、酸化物半導体層716の上層に組成が Ga_2

50

O_x ($X = 3 + \dots, 0 < \dots < 1$) の酸化ガリウムを形成し、その上に組成が $Ga_xAl_{2-x}O_{3+\dots}$ ($0 < X < 2, 0 < \dots < 1$) の酸化ガリウムアルミニウム (酸化アルミニウムガリウム) を形成してもよい。なお、酸化物半導体層 716 の下層を、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良いし、酸化物半導体層 716 の上層及び下層の両方を、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。

【0258】

以上説明した第 1 のトランジスタ 101 により、不揮発性の記憶回路 120 を形成することができる。

【0259】

図 5 (C) に、図 5 (B) とは異なる第 1 のトランジスタ 101 の構成を示す。

10

【0260】

図 5 (C) に示す第 1 のトランジスタ 101 では、ソース電極及びドレイン電極として機能する導電膜 719 及び導電膜 720 が、酸化物半導体層 716 と絶縁膜 712 及び絶縁膜 713 の間に設けられている。図 5 (C) に示す第 1 のトランジスタ 101 は、絶縁膜 713 を形成した後に導電膜 719 及び導電膜 720 の形成を行い、次いで酸化物半導体層 716 の形成を行うことで、得ることができる。

【0261】

本実施の形態により、複雑な作製工程を必要とせず、消費電力を抑えることができる記憶装置を提供することができる。特に、短時間の電源電圧供給停止により消費電力を抑えることができる記憶装置を提供することができる。

20

【0262】

[実施の形態 2]

本実施の形態では、実施の形態 1 とは異なる構造を有した、酸化物半導体トランジスタについて説明する。

【0263】

図 9 (A) に示すトランジスタ 901 は、絶縁膜 902 上に形成された、活性層として機能する酸化物半導体層 903 と、酸化物半導体層 903 上に形成されたソース電極 904 及びドレイン電極 905 と、酸化物半導体層 903、ソース電極 904 及びドレイン電極 905 上のゲート絶縁膜 906 と、ゲート絶縁膜 906 上において酸化物半導体層 903 と重なる位置に設けられたゲート電極 907 を有する。

30

【0264】

図 9 (A) に示すトランジスタ 901 は、ゲート電極 907 が酸化物半導体層 903 の上に形成されているトップゲート型であり、なおかつ、ソース電極 904 及びドレイン電極 905 が酸化物半導体層 903 の上に形成されているトップコンタクト型である。そして、トランジスタ 901 は、ソース電極 904 及びドレイン電極 905 と、ゲート電極 907 とが重なっていない。すなわち、ソース電極 904 及びドレイン電極 905 とゲート電極 907との間には、ゲート絶縁膜 906 の膜厚よりも大きい間隔が設けられている。よって、トランジスタ 901 は、ソース電極 904 及びドレイン電極 905 とゲート電極 907 との間に形成される寄生容量を小さく抑えることができるので、高速動作を実現することができる。

40

【0265】

また、酸化物半導体層 903 は、ゲート電極 907 が形成された後に酸化物半導体層 903 に n 型の導電性を付与するドーパントを添加することで得られる、一対の高濃度領域 908 を有する。また、酸化物半導体層 903 のうち、ゲート絶縁膜 906 を間に挟んでゲート電極 907 と重なる領域がチャネル形成領域 909 である。酸化物半導体層 903 では、一対の高濃度領域 908 の間にチャネル形成領域 909 が設けられている。高濃度領域 908 を形成するためのドーパントの添加は、イオン注入法を用いることができる。ドーパントは、例えばヘリウム、アルゴン、キセノンなどの希ガスや、窒素、リン、ヒ素、アンチモンなどの 15 族原子などを用いることができる。

50

【0266】

例えば、窒素をドーパントとして用いた場合、高濃度領域908中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。

【0267】

n型の導電性を付与するドーパントが添加されている高濃度領域908は、酸化物半導体層903中の他の領域に比べて導電性が高くなる。よって、高濃度領域908を酸化物半導体層903に設けることで、ソース電極904とドレイン電極905の間の抵抗を下げることができる。

【0268】

また、In-Ga-Zn-O系酸化物半導体を酸化物半導体層903に用いた場合、窒素を添加した後、300以上600以下で1時間程度加熱処理を施すことにより、高濃度領域908中の酸化物半導体はウルツ鉱型の結晶構造を有するようになる。高濃度領域908中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらに高濃度領域908の導電性を高め、ソース電極904とドレイン電極905の間の抵抗を下げることができる。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、ソース電極904とドレイン電極905の間の抵抗を効果的に下げるためには、窒素をドーパントとして用いた場合、高濃度領域908中の窒素原子の濃度を、 $1 \times 10^{20} / \text{cm}^3$ 以上7atto m s%以下とすることが望ましい。しかし、窒素原子が上記範囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体が得られる場合もある。

【0269】

また、酸化物半導体層903は、CACACで構成されていても良い。酸化物半導体層903がCACACで構成されている場合、非晶質の場合に比べて酸化物半導体層903の導電率を高めることができるので、ソース電極904とドレイン電極905の間の抵抗を下げることができる。

【0270】

そして、ソース電極904とドレイン電極905の間の抵抗を下げることで、トランジスタ901の微細化を進めても、高いオン電流と、高速動作を確保することができる。また、トランジスタ901の微細化により、当該トランジスタを用いた記憶素子の占める面積を縮小化し、単位面積あたりの記憶容量を高めることができる。

【0271】

図9(B)に示すトランジスタ911は、絶縁膜912上に形成されたソース電極914及びドレイン電極915と、ソース電極914及びドレイン電極915上に形成された活性層として機能する酸化物半導体層913と、酸化物半導体層913、ソース電極914及びドレイン電極915上のゲート絶縁膜916と、ゲート絶縁膜916上において酸化物半導体層913と重なる位置に設けられたゲート電極917とを有する。

【0272】

図9(B)に示すトランジスタ911は、ゲート電極917が酸化物半導体層913の上に形成されているトップゲート型であり、なおかつ、ソース電極914及びドレイン電極915が酸化物半導体層913の下に形成されているボトムコンタクト型である。そして、トランジスタ911は、トランジスタ901と同様に、ソース電極914及びドレイン電極915と、ゲート電極917とが重なっていないので、ソース電極914及びドレイン電極915とゲート電極917との間に形成される寄生容量を小さく抑えることができ、高速動作を実現することができる。

【0273】

また、酸化物半導体層913は、ゲート電極917が形成された後に酸化物半導体層913にn型の導電性を付与するドーパントを添加することで得られる、一対の高濃度領域918を有する。また、酸化物半導体層913のうち、ゲート絶縁膜916を間に挟んでゲート電極917と重なる領域がチャネル形成領域919である。酸化物半導体層913では、一対の高濃度領域918の間にチャネル形成領域919が設けられている。

【0274】

10

20

30

40

50

高濃度領域 918 は、上述した、トランジスタ 901 が有する高濃度領域 908 の場合と同様に、イオン注入法を用いて形成することができる。そして、高濃度領域 918 を形成するためのドーパントの種類については、高濃度領域 908 の場合を参照することができる。

【 0275 】

例えば、窒素をドーパントとして用いた場合、高濃度領域 918 中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。

【 0276 】

n型の導電性を付与するドーパントが添加されている高濃度領域 918 は、酸化物半導体層 913 中の他の領域に比べて導電性が高くなる。よって、高濃度領域 918 を酸化物半導体層 913 に設けることで、ソース電極 914 とドレイン電極 915 の間の抵抗を下げることができる。10

【 0277 】

また、In - Ga - Zn - O 系酸化物半導体を酸化物半導体層 913 に用いた場合、窒素を添加した後、300 以上 600 以下程度で加熱処理を施すことにより、高濃度領域 918 中の酸化物半導体はウルツ鉱型の結晶構造を有するようになる。高濃度領域 918 中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらに高濃度領域 918 の導電性を高め、ソース電極 914 とドレイン電極 915 の間の抵抗を下げることができる。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、ソース電極 914 とドレイン電極 915 の間の抵抗を効果的に下げるためには、窒素をドーパントとして用いた場合、高濃度領域 918 中の窒素原子の濃度を、 $1 \times 10^{20} / \text{cm}^3$ 以上 7 atoms % 以下とすることが望ましい。しかし、窒素原子が上記範囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体が得られる場合もある。20

【 0278 】

また、酸化物半導体層 913 は、CACで構成されていても良い。酸化物半導体層 913 がCACで構成されている場合、非晶質の場合に比べて酸化物半導体層 913 の導電率を高めることができるので、ソース電極 914 とドレイン電極 915 の間の抵抗を下げることができる。

【 0279 】

そして、ソース電極 914 とドレイン電極 915 の間の抵抗を下げることで、トランジスタ 911 の微細化を進めても、高いオン電流と、高速動作を確保することができる。また、トランジスタ 911 の微細化により、当該トランジスタを用いた記憶素子の占める面積を縮小化し、単位面積あたりの記憶容量を高めることができる。30

【 0280 】

図 9 (C) に示すトランジスタ 921 は、絶縁膜 922 上に形成された、活性層として機能する酸化物半導体層 923 と、酸化物半導体層 923 上に形成されたソース電極 924 及びドレイン電極 925 と、酸化物半導体層 923 、ソース電極 924 及びドレイン電極 925 上のゲート絶縁膜 926 と、ゲート絶縁膜 926 上において酸化物半導体層 923 と重なる位置に設けられたゲート電極 927 とを有する。さらに、トランジスタ 921 は、ゲート電極 927 の側部に設けられた、絶縁膜で形成されたサイドウォール 930 を有する。40

【 0281 】

図 9 (C) に示すトランジスタ 921 は、ゲート電極 927 が酸化物半導体層 923 の上に形成されているトップゲート型であり、なおかつ、ソース電極 924 及びドレイン電極 925 が酸化物半導体層 923 の上に形成されているトップコンタクト型である。そして、トランジスタ 921 は、トランジスタ 901 と同様に、ソース電極 924 及びドレイン電極 925 と、ゲート電極 927 とが重なっていないので、ソース電極 924 及びドレイン電極 925 とゲート電極 927 との間に形成される寄生容量を小さく抑えることができ、高速動作を実現することができる。

【 0282 】

50

また、酸化物半導体層923は、ゲート電極927が形成された後に酸化物半導体層923にn型の導電性を付与するドーパントを添加することで得られる、一対の高濃度領域928と、一対の低濃度領域929とを有する。また、酸化物半導体層923のうち、ゲート絶縁膜926を間に挟んでゲート電極927と重なる領域がチャネル形成領域931である。酸化物半導体層923では、一対の高濃度領域928の間に一対の低濃度領域929が設けられ、一対の低濃度領域929の間にチャネル形成領域931が設けられている。そして、一対の低濃度領域929は、酸化物半導体層923中の、ゲート絶縁膜926を間に挟んでサイドウォール930と重なる領域に設けられている。

【0283】

高濃度領域928及び低濃度領域929は、上述した、トランジスタ901が有する高濃度領域908の場合と同様に、イオン注入法を用いて形成することができる。そして、高濃度領域928を形成するためのドーパントの種類については、高濃度領域908の場合を参照することができる。10

【0284】

例えば、窒素をドーパントとして用いた場合、高濃度領域928中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。また、例えば、窒素をドーパントとして用いた場合、低濃度領域929中の窒素原子の濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $5 \times 10^{19} / \text{cm}^3$ 未満であることが望ましい。

【0285】

n型の導電性を付与するドーパントが添加されている高濃度領域928は、酸化物半導体層923中の他の領域に比べて導電性が高くなる。よって、高濃度領域928を酸化物半導体層923に設けることで、ソース電極924とドレイン電極925の間の抵抗を下げることができる。また、低濃度領域929をチャネル形成領域931と高濃度領域928の間に設けることで、短チャネル効果による閾値電圧のマイナスシフトを軽減することができる。20

【0286】

また、In-Ga-Zn-O系酸化物半導体を酸化物半導体層923に用いた場合、窒素を添加した後、300以上600以下程度で加熱処理を施すことにより、高濃度領域928中の酸化物半導体はウルツ鉱型の結晶構造を有するようになる。またさらに、低濃度領域929も、窒素の濃度によっては、上記加熱処理によりウルツ鉱型の結晶構造を有する場合もある。高濃度領域928中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらに高濃度領域928の導電性を高め、ソース電極924とドレイン電極925の間の抵抗を下げることができる。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、ソース電極924とドレイン電極925の間の抵抗を効果的に下げるためには、窒素をドーパントとして用いた場合、高濃度領域928中の窒素原子の濃度を、 $1 \times 10^{20} / \text{cm}^3$ 以上7atoms%以下とすることが望ましい。しかし、窒素原子が上記範囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体が得られる場合もある。30

【0287】

また、酸化物半導体層923は、CACCで構成されていても良い。酸化物半導体層923がCACCで構成されている場合、非晶質の場合に比べて酸化物半導体層923の導電率を高めることができるので、ソース電極924とドレイン電極925の間の抵抗を下げることができる。40

【0288】

そして、ソース電極924とドレイン電極925の間の抵抗を下げることで、トランジスタ921の微細化を進めても、高いオン電流と、高速動作を確保することができる。また、トランジスタ921の微細化により、当該トランジスタを用いたメモリセルの占める面積を縮小化し、セルアレイの単位面積あたりの記憶容量を高めることができる。

【0289】

図9(D)に示すトランジスタ941は、絶縁膜942上に形成されたソース電極94450

及びドレイン電極 945 と、ソース電極 944 及びドレイン電極 945 上に形成された活性層として機能する酸化物半導体層 943 と、酸化物半導体層 943、ソース電極 944 及びドレイン電極 945 上のゲート絶縁膜 946 と、ゲート絶縁膜 946 上において酸化物半導体層 943 と重なる位置に設けられたゲート電極 947 とを有する。さらに、トランジスタ 941 は、ゲート電極 947 の側部に設けられた、絶縁膜で形成されたサイドウォール 950 を有する。

【0290】

図 9 (D) に示すトランジスタ 941 は、ゲート電極 947 が酸化物半導体層 943 の上に形成されているトップゲート型であり、なおかつ、ソース電極 944 及びドレイン電極 945 が酸化物半導体層 943 の下に形成されているボトムコンタクト型である。
10 そして、トランジスタ 941 は、トランジスタ 901 と同様に、ソース電極 944 及びドレイン電極 945 と、ゲート電極 947 とが重なっていないので、ソース電極 944 及びドレイン電極 945 とゲート電極 947との間に形成される寄生容量を小さく抑えることができ、高速動作を実現することができる。

【0291】

また、酸化物半導体層 943 は、ゲート電極 947 が形成された後に酸化物半導体層 943 に n 型の導電性を付与するドーパントを添加することで得られる、一対の高濃度領域 948 と、一対の低濃度領域 949 とを有する。また、酸化物半導体層 943 のうち、ゲート絶縁膜 946 を間に挟んでゲート電極 947 と重なる領域がチャネル形成領域 951 である。
20 酸化物半導体層 943 では、一対の高濃度領域 948 の間に一対の低濃度領域 949 が設けられ、一対の低濃度領域 949 の間にチャネル形成領域 951 が設けられている。そして、一対の低濃度領域 949 は、酸化物半導体層 943 中の、ゲート絶縁膜 946 を間に挟んでサイドウォール 950 と重なる領域に設けられている。

【0292】

高濃度領域 948 及び低濃度領域 949 は、上述した、トランジスタ 901 が有する高濃度領域 908 の場合と同様に、イオン注入法を用いて形成することができる。そして、高濃度領域 948 を形成するためのドーパントの種類については、高濃度領域 908 の場合を参照することができる。

【0293】

例えば、窒素をドーパントとして用いた場合、高濃度領域 948 中の窒素原子の濃度は、
30 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。また、例えば、窒素をドーパントとして用いた場合、低濃度領域 949 中の窒素原子の濃度は、 $5 \times 10^{18} / \text{cm}^3$ 以上 $5 \times 10^{19} / \text{cm}^3$ 未満であることが望ましい。

【0294】

n 型の導電性を付与するドーパントが添加されている高濃度領域 948 は、酸化物半導体層 943 中の他の領域に比べて導電性が高くなる。よって、高濃度領域 948 を酸化物半導体層 943 に設けることで、ソース電極 944 とドレイン電極 945 の間の抵抗を下げる
40 ことができる。また、低濃度領域 949 をチャネル形成領域 951 と高濃度領域 948 の間に設けることで、短チャネル効果による閾値電圧のマイナスシフトを軽減することができる。

【0295】

また、In-Ga-Zn-O 系酸化物半導体を酸化物半導体層 943 に用いた場合、窒素を添加した後、300 以上 600 以下程度で加熱処理を施すことにより、高濃度領域 948 中の酸化物半導体はウルツ鉱型の結晶構造を有するようになる。またさらに、低濃度領域 949 も、窒素の濃度によっては、上記加熱処理によりウルツ鉱型の結晶構造を有する場合もある。高濃度領域 948 中の酸化物半導体がウルツ鉱型の結晶構造を有することで、さらに高濃度領域 948 の導電性を高め、ソース電極 944 とドレイン電極 945 の間の抵抗を下げる
50 ことができる。なお、ウルツ鉱型の結晶構造を有する酸化物半導体を形成して、ソース電極 944 とドレイン電極 945 の間の抵抗を効果的に下げるためには、窒素をドーパントとして用いた場合、高濃度領域 948 中の窒素原子の濃度を、 1×1

$0^{20} / \text{cm}^3$ 以上 7 atoms % 以下とすることが望ましい。しかし、窒素原子が上記範囲よりも低い濃度であっても、ウルツ鉱型の結晶構造を有する酸化物半導体が得られる場合もある。

【0296】

また、酸化物半導体層 943 は、CACAC で構成されていても良い。酸化物半導体層 943 が CACAC で構成されている場合、非晶質の場合に比べて酸化物半導体層 943 の導電率を高めることができるので、ソース電極 944 とドレイン電極 945 の間の抵抗を下げることができる。

【0297】

そして、ソース電極 944 とドレイン電極 945 の間の抵抗を下げることで、トランジスタ 941 の微細化を進めても、高いオン電流と、高速動作を確保することができる。また、トランジスタ 941 の微細化により、当該トランジスタを用いたメモリセルの占める面積を縮小化し、セルアレイの単位面積あたりの記憶容量を高めることができる。

【0298】

なお、酸化物半導体を用いたトランジスタにおいて、ソース領域またはドレイン領域として機能する高濃度領域をセルファアラインプロセスにて作製する方法の一つとして、酸化物半導体層の表面を露出させて、アルゴンプラズマ処理をおこない、酸化物半導体層のプラズマにさらされた領域の抵抗率を低下させる方法が開示されている (S. Jeon et al. "180 nm Gate Length Amorphous InGaZnO Thin Film Transistor for High Density Image Sensor Applications", IEDM Tech. Dig., pp. 504 - 507, 2010.)。

【0299】

しかしながら、上記作製方法では、ゲート絶縁膜を形成した後に、ソース領域またはドレイン領域となるべき部分を露出するべく、ゲート絶縁膜を部分的に除去する必要がある。よって、ゲート絶縁膜が除去される際に、下層の酸化物半導体層も部分的にオーバーエッチングされ、ソース領域またはドレイン領域となるべき部分の膜厚が小さくなってしまう。その結果、ソース領域またはドレイン領域の抵抗が増加し、また、オーバーエッチングによるトランジスタの特性不良が起こりやすくなる。

【0300】

トランジスタの微細化を進めるには、加工精度の高いドライエッチング法を採用する必要がある。しかし、上記オーバーエッチングは、酸化物半導体層とゲート絶縁膜の選択比が十分に確保できないドライエッチング法を採用する場合に、顕著に起こりやすい。

【0301】

例えば、酸化物半導体層が十分な厚さであればオーバーエッチングも問題にはならないが、チャネル長を 200 nm 以下とする場合には、短チャネル効果を防止する上で、チャネル形成領域となる部分の酸化物半導体層の厚さは 20 nm 以下、好ましくは 10 nm 以下であることが求められる。そのような薄い酸化物半導体層を扱う場合には、酸化物半導体層のオーバーエッチングは、上述したような、ソース領域またはドレイン領域の抵抗が増加、トランジスタの特性不良を生じさせるため、好ましくない。

【0302】

しかし、開示される発明の一態様のように、酸化物半導体層へのドーパントの添加を、酸化物半導体層を露出させず、ゲート絶縁膜を残したまま行うことで、酸化物半導体層のオーバーエッチングを防ぎ、酸化物半導体層への過剰なダメージを軽減することができる。また、加えて、酸化物半導体層とゲート絶縁膜の界面も清浄に保たれる。従って、トランジスタの特性及び信頼性を高めることができる。

【0303】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0304】

[実施の形態 3]

10

20

30

40

50

本実施の形態では、記憶装置の構造の一形態について説明する。

【0305】

図10及び図11は、記憶装置の断面図である。図10及び図11に示す記憶装置は上部に、多層に形成された複数の記憶素子を有し、下部に論理回路3004を有する。複数の記憶素子のうち、記憶素子3170aと、記憶素子3170bを代表で示す。記憶素子3170a及び記憶素子3170bとしては、例えば、上述した実施の形態において説明した記憶回路120と同様の構成とすることもできる。

【0306】

なお、記憶素子3170aに含まれるトランジスタ3171aを代表で示す。記憶素子3170bに含まれるトランジスタ3171bを代表で示す。トランジスタ3171a及びトランジスタ3171bは、酸化物半導体層にチャネル形成領域を有する。トランジスタ3171a及びトランジスタ3171bのいずれか一方、或いは両方を、上述した第1のトランジスタ101として用いる。

10

【0307】

なお図10及び図11に示すトランジスタ3171a及びトランジスタ3171bは、図9(A)に示すトランジスタ901と同様の構造であるが、これに限定されない。図10及び図11に示すトランジスタ3171a及びトランジスタ3171bの構造として、図5(B)に示す第1のトランジスタ101、図5(C)に示す第1のトランジスタ101、図9(B)に示すトランジスタ911、図9(C)に示すトランジスタ921、図9(D)に示すトランジスタ941それぞれの構造のいずれかと同様にしてもよい。酸化物半導体層にチャネル形成領域が形成されるトランジスタの構成については、上述の実施の形態において説明した構成と同様であるため、説明は省略する。

20

【0308】

トランジスタ3171aのソース電極及びドレイン電極と同じ層に形成された電極3501aは、電極3502aによって、電極3003aと電気的に接続されている。トランジスタ3171bのソース電極及びドレイン電極と同じ層に形成された電極3501cは、電極3502cによって、電極3003cと電気的に接続されている。

【0309】

また、論理回路3004は、酸化物半導体以外の半導体材料をチャネル形成領域として用いたトランジスタ3001を有する。トランジスタ3001は、半導体材料(例えは、シリコンなど)を含む基板3000に素子分離絶縁膜3106を設け、素子分離絶縁膜3106に囲まれた領域にチャネル形成領域となる領域を形成することによって得られるトランジスタとすることができます。なお、トランジスタ3001は、絶縁表面上に形成されたシリコン膜等の半導体膜や、SOI基板のシリコン膜にチャネル形成領域が形成されるトランジスタであってもよい。トランジスタ3001の構成については、公知の構成を用いることが可能であるため、説明は省略する。

30

【0310】

トランジスタ3171aが形成された層と、トランジスタ3001が形成された層との間には、配線3100a及び配線3100bが形成されている。配線3100aとトランジスタ3001が形成された層との間には、絶縁膜3140aが設けられ、配線3100aと配線3100bとの間には、絶縁膜3141aが設けられ、配線3100bとトランジスタ3171aが形成された層との間には、絶縁膜3142aが設けられている。

40

【0311】

同様に、トランジスタ3171bが形成された層と、トランジスタ3171aが形成された層との間には、配線3100c及び配線3100dが形成されている。配線3100cとトランジスタ3171aが形成された層との間には、絶縁膜3140bが設けられ、配線3100cと配線3100dとの間には、絶縁膜3141bが設けられ、配線3100dとトランジスタ3171bが形成された層との間には、絶縁膜3142bが設けられている。

【0312】

50

絶縁膜 3140a、絶縁膜 3141a、絶縁膜 3142a、絶縁膜 3140b、絶縁膜 3141b、絶縁膜 3142b は、層間絶縁膜として機能し、その表面は平坦化された構成とすることができます。

【0313】

配線 3100a、配線 3100b、配線 3100c、配線 3100d によって、記憶素子間の電気的接続や、論理回路 3004 と記憶素子との電気的接続等を行うことができる。

【0314】

論理回路 3004 に含まれる電極 3303 は、上部に設けられた回路と電気的に接続することができる。

【0315】

例えば、図 10 に示すように、電極 3505 によって電極 3303 は配線 3100a と電気的に接続することができる。配線 3100a は、電極 3503a によって電極 3501b と電気的に接続することができる。こうして、配線 3100a 及び電極 3303 を、トランジスタ 3171a のソースまたはドレインと電気的に接続することができる。また、電極 3501b は、電極 3502b によって、電極 3003b と電気的に接続することができる。電極 3003b は、電極 3503b によって配線 3100c と電気的に接続することができる。

10

【0316】

図 10 では、電極 3303 とトランジスタ 3171a との電気的接続は、配線 3100a を介して行われる例を示したがこれに限定されない。電極 3303 とトランジスタ 3171a との電気的接続は、配線 3100b を介して行われてもよいし、配線 3100a と配線 3100b の両方を介して行われてもよい。また、図 11 に示すように、電極 3303 とトランジスタ 3171a との電気的接続は、配線 3100a も配線 3100b も介さず行われてもよい。図 11 では、電極 3303 は、電極 3503 によって、電極 3003b と電気的に接続されている。電極 3003b は、トランジスタ 3171a のソースまたはドレインと電気的に接続される。こうして、電極 3303 とトランジスタ 3171a との電気的接続をとることができます。

20

【0317】

なお、図 10 及び図 11 では、2つの記憶素子（記憶素子 3170a と、記憶素子 3170b）が積層された構成を例として示したが、積層する記憶素子の数はこれに限定されない。

30

【0318】

また、図 10 及び図 11 では、トランジスタ 3171a が形成された層と、トランジスタ 3001 が形成された層との間には、配線 3100a が形成された配線層と、配線 3100b が形成された配線層との、2つの配線層が設けられた構成を示したがこれに限定されない。トランジスタ 3171a が形成された層と、トランジスタ 3001 が形成された層との間に、1つの配線層が設けられていてもよいし、3つ以上の配線層が設けられていてもよい。

【0319】

また、図 10 及び図 11 では、トランジスタ 3171b が形成された層と、トランジスタ 3171a が形成された層との間には、配線 3100c が形成された配線層と、配線 3100d が形成された配線層との、2つの配線層が設けられた構成を示したがこれに限定されない。トランジスタ 3171b が形成された層と、トランジスタ 3171a が形成された層との間に、1つの配線層が設けられていてもよいし、3つ以上の配線層が設けられていてもよい。

40

【0320】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0321】

[実施の形態 4]

本実施の形態では、実施の形態 1 で示した記憶装置 130 又は記憶装置 100 を複数用い

50

た記憶装置の構成について説明する。

【0322】

図12(A)に、本実施の形態における記憶装置の構成を一例として示す。図12(A)に示す記憶装置400は、スイッチング素子401と、記憶素子402を複数有する記憶素子群403とを有している。具体的に、各記憶素子402には、実施の形態1に記載されている構成を有する記憶装置100又は記憶装置130を用いることができる。記憶素子群403が有する各記憶素子402には、スイッチング素子401を介して、高電源電位である電源電圧V_Xが供給されている。さらに、記憶素子群403が有する各記憶素子402には、データ信号Dの電位と、低電源電位(例えば接地電位GND)の電位が与えられている。

10

【0323】

図12(A)では、スイッチング素子401として、トランジスタを用いており、該トランジスタは、そのゲート電極に与えられる制御信号SigAによりスイッチングが制御される。

【0324】

なお、図12(A)では、スイッチング素子401がトランジスタを一つだけ有する構成を示しているが、開示される発明の一様態はこの構成に限定されない。開示される発明の一様態では、スイッチング素子401が、トランジスタを複数有していても良い。スイッチング素子401が、スイッチング素子として機能するトランジスタを複数有している場合、上記複数のトランジスタは並列に電気的に接続されていても良いし、直列に電気的に接続されていても良いし、直列と並列が組み合わされて電気的に接続されていても良い。

20

【0325】

また、図12(A)では、スイッチング素子401により、記憶素子群403が有する各記憶素子402への、高電源電位である電源電圧V_Xの供給が制御されているが、スイッチング素子401により、低電源電位(例えば接地電位GND)の供給が制御されていても良い。図12(B)に、記憶素子群403が有する各記憶素子402に、スイッチング素子401を介して、低電源電位(例えば接地電位GND)が供給されている記憶装置410を示す。図12(B)に示す記憶装置410では、スイッチング素子401により、記憶素子群403が有する各記憶素子402への、低電源電位(例えば接地電位GND)の供給を制御することができる。

30

【0326】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0327】

[実施の形態5]

本実施の形態では、上述の実施の形態で示した記憶装置を用いた信号処理回路の構成について説明する。

【0328】

図13に、本実施の形態の信号処理回路の一例を示す。信号処理回路は、一または複数の演算回路と、一または複数の記憶装置とを少なくとも有する。具体的に、図13に示す信号処理回路150は、演算回路151、演算回路152、記憶装置153、記憶装置154、記憶装置155、制御装置156、電源制御回路157を有する。

40

【0329】

演算回路151、演算回路152は、単純な論理演算を行う論理回路をはじめ、加算器、乗算器、さらには各種演算回路などを含む。そして、記憶装置153は、演算回路151における演算処理の際に、データを一時的に保持するレジスタとして機能する。記憶装置154は、演算回路152における演算処理の際に、データを一時的に保持するレジスタとして機能する。

【0330】

また、記憶装置155はメインメモリとして用いることができ、制御装置156が実行するプログラムをデータとして記憶する、或いは演算回路151、演算回路152からのデ

50

ータを記憶することができる。

【0331】

制御装置156は、信号処理回路150が有する演算回路151、演算回路152、記憶装置153、記憶装置154、記憶装置155の動作を統括的に制御する回路である。なお、図13では、制御装置156が信号処理回路150の一部である構成を示しているが、制御装置156は信号処理回路150の外部に設けられていても良い。

【0332】

実施の形態1で示した記憶装置130又は記憶装置100や、実施の形態4で示した記憶装置400又は記憶装置410を、記憶装置153、記憶装置154、記憶装置155に用いることで、記憶装置153、記憶装置154、記憶装置155への電源電圧の供給を停止しても、データを保持することができる。よって、信号処理回路150全体への電源電圧の供給を停止し、消費電力を抑えることができる。或いは、記憶装置153、記憶装置154、または記憶装置155のいずれか一つまたは複数への電源電圧の供給を停止し、信号処理回路150の消費電力を抑えることができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。

10

【0333】

また、記憶装置への電源電圧の供給が停止されるのに合わせて、当該記憶装置とデータのやり取りを行う演算回路または制御回路への、電源電圧の供給を停止するようにも良い。例えば、演算回路151と記憶装置153において、動作が行われない場合、演算回路151及び記憶装置153への電源電圧の供給を停止するようにしても良い。

20

【0334】

また、電源制御回路157は、信号処理回路150が有する演算回路151、演算回路152、記憶装置153、記憶装置154、記憶装置155、制御装置156へ供給する電源電圧の大きさを制御する。そして、電源電圧の供給を停止する場合、電源電圧の供給を停止するためのスイッチング素子は、電源制御回路157に設けられていても良いし、演算回路151、演算回路152、記憶装置153、記憶装置154、記憶装置155、制御装置156のそれぞれに設けられていても良い。後者の場合、電源制御回路157は、必ずしも本実施の形態の信号処理回路に設ける必要はない。

【0335】

なお、メインメモリである記憶装置155と、演算回路151、演算回路152、制御装置156の間に、キャッシュメモリとして機能する記憶装置を設けても良い。キャッシュメモリを設けることで、低速なメインメモリへのアクセスを減らして演算処理などの信号処理を高速化させることができる。キャッシュメモリとして機能する記憶装置にも、上述した記憶素子を用いることで、信号処理回路150の消費電力を抑えることができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。

30

【0336】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0337】

[実施の形態6]

40

本実施の形態では、開示される発明の一態様に係る信号処理回路の一つである、CPU(Central Processing Unit(中央処理装置、又は中央演算処理装置))の構成について説明する。

【0338】

図14に、本実施の形態のCPUの構成を示す。図14に示すCPUは、基板9900上に、ALU9901、ALU・Controller9902、Instruction・Decoder9903、Interrupt・Controller9904、Timing・Controller9905、Register9906、Register・Controller9907、Bus・I/F9908、書き換え可能なROM9909、ROM・I/F9920と、を主に有している。なお、ALUはArithme

50

tic logic unitであり、Bus・I/Fはバスインターフェースであり、ROM・I/FはROMインターフェースである。ROM9909及びROM・I/F9920は、別チップに設けても良い。勿論、図14に示すCPUは、その構成を簡略化して示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。

【0339】

Bus・I/F9908を介してCPUに入力された命令は、Instruction・Decoder9903に入力され、デコードされた後、ALU・Controller9902、Interrupt・Controller9904、Register・Controller9907、Timing・Controller9905に入力される。

10

【0340】

ALU・Controller9902、Interrupt・Controller9904、Register・Controller9907、Timing・Controller9905は、デコードされた命令に基づき、各種制御を行なう。具体的にALU・Controller9902は、ALU9901の動作を制御するための信号を生成する。また、Interrupt・Controller9904は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。Register・Controller9907は、Register9906のアドレスを生成し、CPUの状態に応じてRegister9906の読み出しや書き込みを行なう。

20

【0341】

またTiming・Controller9905は、ALU9901、ALU・Controller9902、Instruction・Decoder9903、Interrupt・Controller9904、Register・Controller9907の動作のタイミングを制御する信号を生成する。例えばTiming・Controller9905は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、クロック信号CLK2を上記各種回路に供給する。

【0342】

本実施の形態のCPUでは、Register9906に、上記実施の形態で示した構成を有する記憶装置が設けられている。Register・Controller9907は、ALU9901からの指示に従い、Register9906が有する記憶装置において、記憶回路120によるデータの保持を行うか、記憶回路121によるデータの保持を行うかを選択する。位相反転素子の帰還ループによるデータの保持が選択されている場合、Register9906内の記憶装置への電源電圧の供給が行われる。保持容量におけるデータの保持が選択されている場合、Register9906内の記憶装置への電源電圧の供給を停止することができる。電源停止に関しては、図12に示すように、記憶素子群と、高電源電位または低電源電位の与えられているノード間に、スイッチング素子を設けることにより行うことができる。

30

【0343】

この様にして、一時的にCPUの動作を停止し、電源電圧の供給を停止した場合においてもデータを保持することが可能であり、消費電力の低減を行うことができる。具体的には、例えば、パーソナルコンピュータのユーザーが、キーボードなどの入力装置への情報の入力を停止している間でも、CPUを停止することができ、それにより消費電力を低減することができる。

40

【0344】

本実施の形態では、CPUを例に挙げて説明したが、本発明の信号処理回路はCPUに限定されず、マイクロプロセッサ、画像処理回路、DSP、FPGA等のLSIにも応用可能である。

【0345】

50

本実施の形態は、他の実施の形態と組み合わせて実施することが可能である。

【0346】

[実施の形態7]

開示される発明の一態様に係る信号処理回路を用いることで、消費電力の低い電子機器を提供することが可能である。特に電力の供給を常時受けることが困難な携帯用の電子機器の場合、開示される発明の一態様に係る消費電力の低い信号処理回路をその構成要素に追加することにより、連続使用時間が長くなるといったメリットが得られる。また、オフ電流が低いトランジスタを用いることで、オフ電流の高さをカバーするための冗長な回路設計が不要となるため、信号処理回路の集積度を高めることができ、信号処理回路を高機能化させることができる。

10

【0347】

開示される発明の一態様に係る信号処理回路は、表示装置、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD：Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、開示される発明の一態様に係る信号処理回路を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。

20

【0348】

開示される発明の一態様に係る信号処理回路を、携帯電話、スマートフォン、電子書籍などの携帯用の電子機器に応用した場合について説明する。

【0349】

図6は、携帯用の電子機器のブロック図である。図6に示す携帯用の電子機器はRF回路421、アナログベースバンド回路422、デジタルベースバンド回路423、バッテリー424、電源回路425、アプリケーションプロセッサ426、フラッシュメモリ430、ディスプレイコントローラ431、メモリ回路432、ディスプレイ433、タッチセンサ439、音声回路437、キーボード438などより構成されている。ディスプレイ433は表示部434、ソースドライバ435、ゲートドライバ436によって構成されている。アプリケーションプロセッサ426はCPU427、DSP428、インターフェース429を有している。CPU427に上記実施の形態で示した信号処理回路を採用することによって、消費電力を低減することができる。また、一般的にメモリ回路432はSRAMまたはDRAMで構成されているが、メモリ回路432に上記実施の形態で示した記憶装置を採用することによって、消費電力を低減することができる。

30

【0350】

図7に、メモリ回路432の構成をブロック図で示す。メモリ回路432は、記憶装置442、記憶装置443、スイッチ444、スイッチ445、及びメモリコントローラ441を有している。

40

【0351】

まず、ある画像データが、携帯用の電子機器において受信されるか、またはアプリケーションプロセッサ426によって形成される。この画像データは、スイッチ444を介して記憶装置442に記憶される。そして、スイッチ444を介して出力された画像データは、ディスプレイコントローラ431を介してディスプレイ433に送られる。ディスプレイ433が、画像データを用いて画像の表示を行う。

【0352】

静止画のように、表示される画像に変更がなければ、通常30Hz～60Hz程度の周期で、記憶装置442から読み出された画像データが、スイッチ445を介して、ディスプレイコントローラ431に送られ続ける。ユーザーが画面に表示されている画像を書き換える操作を行ったとき、アプリケーションプロセッサ426は、新たな画像データを形成

50

し、その画像データはスイッチ 444 を介して記憶装置 443 に記憶される。こ新たな画像データの記憶装置 443 への記憶が行われている間にも、記憶装置 442 からスイッチ 445 を介して定期的に画像データが読み出される。

【0353】

記憶装置 443 への新たな画像データの記憶が完了すると、次のフレーム期間より、記憶装置 443 に記憶された新しい画像データが読み出され、スイッチ 445、ディスプレイコントローラ 431 を介して、ディスプレイ 433 に上記画像データが送られる。ディスプレイ 433 では、送られてきた新しい画像データを用いて、画像の表示を行う。

【0354】

この画像データの読み出しは、さらに次の新しい画像データが記憶装置 442 に記憶されるまで、継続される。このように、記憶装置 442、記憶装置 443 が交互に画像データの書き込みと読み出しを行い、ディスプレイ 433 は画像の表示を行う。

10

【0355】

記憶装置 442、記憶装置 443 はそれぞれ別の記憶装置には限定されず、1つの記憶装置が有するメモリ領域を、分割して使用してもよい。これらの記憶装置に上記実施の形態で示した記憶装置を採用することによって、消費電力を低減することが可能になる。

【0356】

図 8 は電子書籍のブロック図である。電子書籍はバッテリー 451、電源回路 452、マイクロプロセッサ 453、フラッシュメモリ 454、音声回路 455、キーボード 456、メモリ回路 457、タッチパネル 458、ディスプレイ 459、ディスプレイコントローラ 460 によって構成される。上記実施の形態で示した信号処理回路をマイクロプロセッサ 453 に採用することで、消費電力を低減することが可能になる。また、上記実施の形態で示した記憶装置をメモリ回路 457 に採用することで、消費電力を低減することが可能になる。

20

【0357】

例えば、ユーザーが、書籍データ中の特定の箇所において、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどにより、当該箇所とそれ以外の箇所との違いを明確にするハイライト機能を利用する場合、書籍データのうちユーザーが指定した箇所のデータを記憶する必要がある。メモリ回路 457 は、上記データを一時的に記憶する機能を持つ。なお、上記データを長期に渡って保存する場合には、フラッシュメモリ 454 に上記データをコピーしておいても良い。

30

【0358】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0359】

[実施の形態 8]

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、さまざまな理由によって本来の移動度よりも低くなる。移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinson モデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。そこで、本実施の形態では、半導体内部に欠陥がない理想的な酸化物半導体の電界効果移動度を理論的に導き出すとともに、このような酸化物半導体を用いて微細なトランジスタを作製した場合の特性の計算結果を示す。

40

【0360】

半導体本来の移動度を μ_0 、測定される電界効果移動度を μ とし、半導体中に何らかのボテンシャル障壁（粒界等）が存在すると仮定すると、電界効果移動度 μ は以下の式で表現できる。

【0361】

【数2】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

【0362】

ここで、Eはポテンシャル障壁の高さであり、kがボルツマン定数、Tは絶対温度である。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinsonモデルでは、以下の式で表現できる。

10

【0363】

【数3】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

【0364】

ここで、eは電気素量、Nはチャネル内の単位面積当たりの平均欠陥密度、 ϵ は半導体の誘電率、nは単位面積当たりのチャネルに含まれるキャリア数、 C_{ox} は単位面積当たりの容量、 V_g はゲート電圧、tはチャネルの厚さである。なお、厚さ30nm以下の半導体層であれば、チャネルの厚さは半導体層の厚さと同一として差し支えない。

20

線形領域におけるドレイン電流 I_d は、以下の式で表現できる。

【0365】

【数4】

$$I_d = \frac{W \mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

【0366】

30

ここで、Lはチャネル長、Wはチャネル幅であり、ここでは、L = W = 10 μmである。また、 V_d はドレイン電圧（ソースとドレイン間の電圧）である。上式の両辺を V_g で割り、更に両辺の対数を取ると、以下のようなになる。

【0367】

【数5】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W \mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

【0368】

40

数5の右辺は V_g の関数である。この式からわかるように、縦軸を $1/n(I_d/V_g)$ 、横軸を $1/V_g$ として実測値をプロットして得られるグラフの直線の傾きから欠陥密度Nが求められる。すなわち、トランジスタの $I_d - V_g$ 特性から、欠陥密度を評価できる。酸化物半導体としては、インジウム（In）、スズ（Sn）、亜鉛（Zn）の比率が、In : Sn : Zn = 1 : 1 : 1 のものでは欠陥密度Nは $1 \times 10^{12} / \text{cm}^2$ 程度である。

【0369】

このようにして求めた欠陥密度等をもとに数2および数3より $\mu_0 = 120 \text{ cm}^2/\text{Vs}$ が導出される。欠陥のあるIn-Sn-Zn酸化物で測定される移動度は $40 \text{ cm}^2/\text{Vs}$ 程度である。しかし、半導体内部および半導体と絶縁層との界面の欠陥が無い酸化物半導体の移動度 μ_0 は $120 \text{ cm}^2/\text{Vs}$ となると予想できる。

50

【0370】

ただし、半導体内部に欠陥がなくても、チャネルとゲート絶縁膜との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、ゲート絶縁膜界面から x だけ離れた場所における移動度 μ_1 は、以下の式で表現できる。

【0371】

【数6】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

10

【0372】

ここで、Dはゲート方向の電界、B、Gは定数である。B及びGは、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 \text{ cm/s}$ 、 $G = 10 \text{ nm}$ （界面散乱が及ぶ深さ）である。Dが増加する（すなわち、ゲート電圧が高くなる）と数6の第2項が増加するため、移動度 μ_1 は低下することがわかる。

【0373】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度 μ_2 を計算した結果を図18に示す。なお、計算にはシノプシス社製ソフト、Sentaurus Deviceを使用し、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、2.8電子ボルト、4.7電子ボルト、15、15nmとした。これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

20

【0374】

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、5.5電子ボルト、4.6電子ボルト、4.6電子ボルトとした。また、ゲート絶縁膜の厚さは100nm、比誘電率は4.1とした。チャネル長及びチャネル幅はともに10μm、ドレイン電圧 V_d は0.1Vである。

【0375】

図18で示されるように、ゲート電圧 V_g が1V強で移動度 $100 \text{ cm}^2/\text{Vs}$ 以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること（Atomic Layer Flatness）が望ましい。

30

【0376】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した結果を図19乃至図21に示す。なお、計算に用いたトランジスタの断面構造を図22に示す。図22に示すトランジスタは酸化物半導体層に n^+ の導電型を呈する半導体領域8103a及び半導体領域8103cを有する。半導体領域8103a及び半導体領域8103cの抵抗率は $2 \times 10^{-3} \text{ cm}$ とする。

【0377】

図22(A)に示すトランジスタは、下地絶縁膜8101と、下地絶縁膜8101に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物8102の上に形成される。トランジスタは半導体領域8103a、半導体領域8103cと、それらに挟まれ、チャネル形成領域となる真性の半導体領域8103bと、ゲート電極8105を有する。ゲート電極8105の幅を33nmとする。

40

【0378】

ゲート電極8105と半導体領域8103bの間には、ゲート絶縁膜8104を有し、また、ゲート電極8105の両側面には側壁絶縁物8106a及び側壁絶縁物8106b、ゲート電極8105の上部には、ゲート電極8105と他の配線との短絡を防止するための絶縁物8107を有する。側壁絶縁物の幅は5nmとする。また、半導体領域8103a及び半導体領域8103cに接して、ソース電極8108a及びドレイン電極8108bを有する。なお、このトランジスタにおけるチャネル幅を40nmとする。

50

【0379】

図22(B)に示すトランジスタは、下地絶縁膜8101と、酸化アルミニウムよりなる埋め込み絶縁物8102の上に形成され、半導体領域8103a、半導体領域8103cと、それらに挟まれた真性の半導体領域8103bと、幅33nmのゲート電極8105とゲート絶縁膜8104と側壁絶縁物8106a及び側壁絶縁物8106bと絶縁物8107とソース電極8108aおよびドレイン電極8108bを有する点で図22(A)に示すトランジスタと同じである。

【0380】

図22(A)に示すトランジスタと図22(B)に示すトランジスタの相違点は、側壁絶縁物8106a及び側壁絶縁物8106bの下の半導体領域の導電型である。図22(A)に示すトランジスタでは、側壁絶縁物8106a及び側壁絶縁物8106bの下の半導体領域はn⁺の導電型を呈する半導体領域8103a及び半導体領域8103cであるが、図22(B)に示すトランジスタでは、真性の半導体領域8103bである。すなわち、図22(B)に示す半導体層において、半導体領域8103a(半導体領域8103c)とゲート電極8105がLooffだけ重ならない領域ができている。この領域をオフセット領域といい、その幅Looffをオフセット長という。図22(A)及び図22(B)から明らかなように、オフセット長は、側壁絶縁物8106a(側壁絶縁物8106b)の幅と同じである。

【0381】

その他の計算に使用するパラメータは上述の通りである。計算にはシノプシス社製ソフト、Sentaurus Deviceを使用した。図19は、図22(A)に示される構造のトランジスタのドレイン電流(I_d、実線)及び移動度(μ、点線)のゲート電圧(V_g、ゲートとソースの電位差)依存性を示す。ドレイン電流I_dは、ドレイン電圧(ドレインとソースの電位差)を+1Vとし、移動度μはドレイン電圧を+0.1Vとして計算したものである。

【0382】

図19(A)はゲート絶縁膜の厚さを15nmとしたものであり、図19(B)は10nmとしたものであり、図19(C)は5nmとしたものである。ゲート絶縁膜が薄くなるほど、特にオフ状態でのドレイン電流I_d(オフ電流)が顕著に低下する。一方、移動度μのピーク値やオン状態でのドレイン電流I_d(オン電流)には目立った変化がない。

【0383】

図20は、図22(B)に示される構造のトランジスタで、オフセット長Looffを5nmとしたもののドレイン電流I_d(実線)及び移動度μ(点線)のゲート電圧V_g依存性を示す。ドレイン電流I_dは、ドレイン電圧を+1Vとし、移動度μはドレイン電圧を+0.1Vとして計算したものである。図20(A)はゲート絶縁膜の厚さを15nmとしたものであり、図20(B)は10nmとしたものであり、図20(C)は5nmとしたものである。

【0384】

また、図21は、図22(B)に示される構造のトランジスタで、オフセット長Looffを15nmとしたもののドレイン電流I_d(実線)及び移動度μ(点線)のゲート電圧V_g依存性を示す。ドレイン電流I_dは、ドレイン電圧V_dを+1Vとし、移動度μはドレイン電圧V_dを+0.1Vとして計算したものである。図21(A)はゲート絶縁膜の厚さを15nmとしたものであり、図21(B)は10nmとしたものであり、図21(C)は5nmとしたものである。

【0385】

いずれもゲート絶縁膜が薄くなるほど、オフ電流が顕著に低下する一方、移動度μのピーク値やオン電流には目立った変化がない。

【0386】

なお、移動度μのピークは、図19では80cm²/Vs程度であるが、図20では60cm²/Vs程度、図21では40cm²/Vs程度と、オフセット長Looffが増加す

10

20

30

40

50

るほど低下する。また、オフ電流も同様な傾向がある。一方、オン電流もオフセット長 L_{off} の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。

【0387】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【0388】

[実施の形態9]

本実施の形態では、In、Sn、及びZnを主成分として含む酸化物半導体膜（In-Sn-Zn-O系酸化物半導体膜の一例）をチャネル形成領域に用いたトランジスタについて説明する。

10

【0389】

In、Sn、及びZnを主成分として含む酸化物半導体膜をチャネル形成領域として用いたトランジスタは、該酸化物半導体膜を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を形成した後に熱処理を行うことで良好な特性を得ることができる。なお、主成分とは組成比で5 atomic %以上含まれる元素をいう。そこで、本実施の形態では、酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させた場合について、図23乃至図29を用いて説明する。

【0390】

In、Sn、及びZnを主成分として含む酸化物半導体膜の成膜する際に基板を意図的に加熱して成膜することで、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリ・オフ化させることが可能となる。

20

【0391】

例えば、図23(A)乃至図23(C)は、In、Sn、Znを主成分とし、チャネル長Lが3 μm、チャネル幅Wが10 μmである酸化物半導体膜と、厚さ100 nmのゲート絶縁膜を用いたトランジスタの電気特性を示す図である。なお、 V_d は10 Vとした。

【0392】

より具体的には、図23(A)乃至図23(C)は、当該トランジスタのドレイン電流 I_d （実線）及び移動度μ（点線）のゲート電圧 V_g 依存性を示している。

【0393】

30

図23(A)は基板を意図的に加熱せずにスパッタリング法でIn、Sn、及びZnを主成分として含む酸化物半導体膜を形成したときのトランジスタの電気特性を示す図である。このとき電界効果移動度は $18.8 \text{ cm}^2/\text{V sec}$ が得られている。一方、基板を意図的に加熱してIn、Sn、及びZnを主成分として含む酸化物半導体膜を形成すると電界効果移動度を向上させることが可能となる。図23(B)は基板を200℃に加熱してIn、Sn、及びZnを主成分として含む酸化物半導体膜を形成したときのトランジスタの電気特性を示すが、電界効果移動度は $32.2 \text{ cm}^2/\text{V sec}$ が得られている。

【0394】

電界効果移動度は、In、Sn、及びZnを主成分として含む酸化物半導体膜を形成した後に熱処理をすることによって、さらに高めることができる。図23(C)は、In、Sn、及びZnを主成分として含む酸化物半導体膜を200℃でスパッタリング成膜した後、650℃で熱処理をしたときのトランジスタの電気特性を示す。このとき電界効果移動度は $34.5 \text{ cm}^2/\text{V sec}$ が得られている。

40

【0395】

基板を意図的に加熱することでスパッタリング成膜中の水分が酸化物半導体膜中に取り込まれるのを低減する効果が実現できる。また、成膜後に熱処理をすることによっても、酸化物半導体膜から水素や水酸基若しくは水分を放出させ除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体膜から不純物を除去して高純度化することで結晶化

50

を図ることができる。このように高純度化された非単結晶酸化物半導体膜は、理想的には $100 \text{ cm}^2 / \text{V sec}$ を超える電界効果移動度を実現することも可能になると推定される。

【0396】

In 、 Sn 、及び Zn を主成分として含む酸化物半導体膜に酸素イオンを注入し、熱処理により該酸化物半導体膜に含まれる水素や水酸基若しくは水分を放出させ、その熱処理と同時に又はその後の熱処理により酸化物半導体膜を結晶化させても良い。このような結晶化若しくは再結晶化の処理により結晶性の良い非単結晶酸化物半導体膜を得ることができる。

【0397】

基板を意図的に加熱して成膜すること及び／又は成膜後に熱処理することの効果は、電界効果移動度の向上のみならず、トランジスタのノーマリ・オフ化を図ることにも寄与している。基板を意図的に加熱しないで形成された In 、 Sn 、及び Zn を主成分として含む酸化物半導体膜をチャネル形成領域としたトランジスタは、しきい値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体膜を用いた場合、このしきい値電圧のマイナスシフト化は解消される。つまり、しきい値電圧はトランジスタがノーマリ・オフとなる方向に動き、このような傾向は図23(A)と図23(B)の対比からも確認することができる。

【0398】

なお、しきい値電圧は In 、 Sn 、及び Zn の比率を変えることによっても制御することが可能であり、組成比として $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ とすることでトランジスタのノーマリ・オフ化を実現することができる。また、ターゲットの組成比を $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ とすることで結晶性の高い酸化物半導体膜を得ることができる。

【0399】

また、 In-Sn-Zn-O 系酸化物を形成する場合は、用いるターゲットの組成比は、 $\text{In} : \text{Sn} : \text{Zn}$ が原子数比で、 $1 : 2 : 2$ 、 $2 : 1 : 3$ 、 $1 : 1 : 1$ 、または $4 : 9 : 7$ などとなる酸化物ターゲットを用いる。

【0400】

意図的な基板加熱温度若しくは熱処理温度は、 150 以上、好ましくは 200 以上、より好ましくは 400 以上であり、より高温で成膜する、或いは熱処理することでトランジスタのノーマリ・オフ化を図ることが可能となる。

【0401】

また、意図的に基板を加熱した成膜及び／又は成膜後に熱処理をすることで、ゲートバイアス・ストレスに対する安定性を高めることができる。例えば、 2 MV/cm 、 150 、1時間印加の条件において、ドリフトがそれぞれ $\pm 1.5 \text{ V}$ 未満、好ましくは 1.0 V 未満を得ることができる。

【0402】

実際に、酸化物半導体膜成膜後に加熱処理を行っていない試料1と、 650 の加熱処理を行った試料2のトランジスタに対して BT 試験を行った。

【0403】

まず基板温度を 25 とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 特性の測定を行った。次に、基板温度を 150 とし、 V_d を 0.1 V とした。次に、ゲート絶縁膜に印加される電界強度が 2 MV/cm となるように V_g に 20 V を印加し、そのまま1時間保持した。次に、 V_g を 0 V とした。次に、基板温度 25 とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 測定を行った。これをプラス BT 試験と呼ぶ。

【0404】

同様に、まず基板温度を 25 とし、 V_d を 10 V とし、トランジスタの $V_g - I_d$ 特性の測定を行った。次に、基板温度を 150 とし、 V_d を 0.1 V とした。次に、ゲート絶縁膜に印加される電界強度が -2 MV/cm となるように V_g に -20 V を印加し、そのまま1時間保持した。次に、 V_g を 0 V とした。次に、基板温度 25 とし、 V_d を 1

10

20

30

40

50

0 V とし、トランジスタの $V_g - I_d$ 測定を行った。これをマイナス BT 試験と呼ぶ。

【0405】

試料 1 のプラス BT 試験の結果を図 24 (A) に、マイナス BT 試験の結果を図 24 (B) に示す。また、試料 2 のプラス BT 試験の結果を図 25 (A) に、マイナス BT 試験の結果を図 25 (B) に示す。

【0406】

試料 1 のプラス BT 試験及びマイナス BT 試験によるしきい値電圧の変動は、それぞれ 1 . 80 V 及び -0 . 42 V であった。また、試料 2 のプラス BT 試験及びマイナス BT 試験によるしきい値電圧の変動は、それぞれ 0 . 79 V および 0 . 76 V であった。

【0407】

試料 1 および試料 2 のいずれも、BT 試験前後におけるしきい値電圧の変動が小さく、信頼性が高いことがわかる。

【0408】

熱処理は酸素雰囲気中で行うことができるが、まず窒素若しくは不活性ガス、または減圧下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行っても良い。最初に脱水化・脱水素化を行ってから酸素を酸化物半導体に加えることで、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体膜に注入する方法を適用しても良い。

【0409】

酸化物半導体中及び該酸化物半導体と接する膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体中に酸素を過剰に含ませることにより、定常的に生成される酸素欠損を過剰な酸素によって補償することが可能となる。過剰酸素は主に格子間に存在する酸素であり、その酸素濃度は $1 \times 10^{16} / \text{cm}^3$ 以上 $2 \times 10^{20} / \text{cm}^3$ 以下とすれば、結晶に歪み等を与えることなく酸化物半導体中に含ませることができる。

【0410】

また、熱処理によって酸化物半導体に結晶が少なくとも一部に含まれるようにすることでのより安定な酸化物半導体膜を得ることができる。例えば、組成比 $In : Sn : Zn = 1 : 1 : 1$ のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化物半導体膜は、X線回折 (XRD : X-Ray Diffraction) でハローパターンが観測される。この成膜された酸化物半導体膜を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば 650 の熱処理を行うことで、X 線回折により明確な回折ピークを観測することができる。

【0411】

実際に、In - Sn - Zn - O 系酸化膜の XRD 分析を行った。XRD 分析には、Bruker AXS 社製 X 線回折装置 D8 ADVANCE を用い、Out-of-Plane 法で測定した。

【0412】

XRD 分析を行った試料として、試料 A 及び試料 B を用意した。以下に試料 A 及び試料 B の作製方法を説明する。

【0413】

脱水素化処理済みの石英基板上に In - Sn - Zn - O 系の酸化膜を 100 nm の厚さで成膜した。

【0414】

In - Sn - Zn - O 系の酸化膜は、スパッタリング装置を用い、酸素雰囲気で電力を 100 W (DC) として成膜した。ターゲットは、原子数比で、 $In : Sn : Zn = 1 : 1 : 1$ の In - Sn - Zn - O ターゲットを用いた。なお、成膜時の基板加熱温度は 200 とした。このようにして作製した試料を試料 A とした。

【0415】

次に、試料 A と同様の方法で作製した試料に対し加熱処理を 650 の温度で行った。加

10

20

30

40

50

熱処理は、はじめに窒素雰囲気で1時間の加熱処理を行い、温度を下げずに酸素雰囲気でさらに1時間の加熱処理を行っている。このようにして作製した試料を試料Bとした。

【0416】

図26に試料Aおよび試料BのXRDスペクトルを示す。試料Aでは、結晶由来のピークが観測されなかったが、試料Bでは、2°が35deg近傍及び37deg～38degに結晶由来のピークが観測された。

【0417】

このように、In、Sn、及びZnを主成分として含む酸化物半導体は、成膜時に意図的に加熱すること及び/又は成膜後に熱処理することによりトランジスタの特性を向上させることができる。

10

【0418】

この基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含ませないようにする効果、或いは膜中から除去する効果がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによつてトランジスタのノーマリ・オフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流を1aA/μm以下にすることができる。ここで、上記オフ電流値の単位は、チャネル幅1μmあたりの電流値を示す。

【0419】

図27に、トランジスタのオフ電流と、オフ電流測定時の基板温度(絶対温度)の逆数との関係を示す。ここでは、簡単のため測定時の基板温度の逆数に1000を掛けた数値(1000/T)を横軸としている。

20

【0420】

図27に示すように、基板温度が125°の場合には1aA/μm($1 \times 10^{-18} A / \mu m$)以下、85°の場合には $100 z A / \mu m$ ($1 \times 10^{-19} A / \mu m$)以下、室温(27°)の場合には $1 z A / \mu m$ ($1 \times 10^{-21} A / \mu m$)以下にすることができる。好ましくは、125°において $0.1 a A / \mu m$ ($1 \times 10^{-19} A / \mu m$)以下に、85°において $10 z A / \mu m$ ($1 \times 10^{-20} A / \mu m$)以下に、室温において $0.1 z A / \mu m$ ($1 \times 10^{-22} A / \mu m$)以下にすることができる。

【0421】

もっとも、酸化物半導体膜の成膜時に水素や水分が膜中に混入しないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑え、スパッタガスの高純度化を図ることが好ましい。例えば、スパッタガスは水分が膜中に含まれないように露点-70°以下であるガスを用いることが好ましい。また、ターゲットそのものに水素や水分などの不純物が含まれていないように、高純度化されたターゲットを用いることが好ましい。In、Sn、及びZnを主成分として含む酸化物半導体は熱処理によって膜中の水分を除去することができるが、In、Ga、及びZnを主成分として含む酸化物半導体と比べて水分の放出温度が高いため、好ましくは最初から水分の含まれない膜を形成しておくことが好ましい。

30

【0422】

また、酸化物半導体膜成膜後に650°の加熱処理を行った試料Bを用いたトランジスタにおいて、基板温度と電気的特性の関係について評価した。

40

【0423】

測定に用いたトランジスタは、チャネル長Lが3μm、チャネル幅Wが10μm、LoVが0μm、dWが0μmである。なお、Vdは10Vとした。なお、基板温度は-40°、-25°、25°、75°、125°及び150°で行った。ここで、トランジスタにおいて、ゲート電極と一対の電極との重畠する幅をLoVと呼び、酸化物半導体膜に対する一対の電極のはみ出しをdWと呼ぶ。

【0424】

図28に、Id(実線)及び電界効果移動度(点線)のVg依存性を示す。また、図29(A)に基板温度としきい値電圧の関係を、図29(B)に基板温度と電界効果移動度の

50

関係を示す。

【0425】

図29(A)より、基板温度が高いほどしきい値電圧は低くなることがわかる。なお、その範囲は-40 ~ 150 で1.09V ~ -0.23Vであった。

【0426】

また、図29(B)より、基板温度が高いほど電界効果移動度が低くなることがわかる。なお、その範囲は-40 ~ 150 で36cm²/Vs ~ 32cm²/Vsであった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

【0427】

上記のようなIn、Sn、及びZnを主成分として含む酸化物半導体をチャネル形成領域とするトランジスタによれば、オフ電流を1aA/μm以下に保ちつつ、電界効果移動度を30cm²/Vsec以上、好ましくは40cm²/Vsec以上、より好ましくは60cm²/Vsec以上とし、LSIで要求されるオン電流の値を満たすことができる。例えば、L/W=33nm/40nmのFETで、ゲート電圧2.7V、ドレイン電圧1.0Vのとき12μA以上のオン電流を流すことができる。またトランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。このような特性であれば、Si半導体で作られる集積回路の中に酸化物半導体で形成されるトランジスタを混載しても、動作速度を犠牲にすることなく新たな機能を有する集積回路を実現することができる。

【0428】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0429】

[実施の形態10]

本実施の形態では、上述の実施の形態とは異なる構造を有した、酸化物半導体膜を用いたトランジスタについて説明する。なお、酸化物半導体膜を構成する酸化物半導体は、In、Sn、及びZnを含む酸化物半導体(In-Sn-Zn-O系酸化物半導体)を用いてもよいし、他の実施の形態において説明した他の酸化物半導体を用いてもよい。

【0430】

本実施の形態では、In-Sn-Zn-O膜を酸化物半導体膜に用いたトランジスタの一例について、図30などを用いて説明する。

【0431】

図30は、コプラナー型であるトップゲート・トップコンタクト構造のトランジスタの上面図及び断面図である。図30(A)にトランジスタの上面図を示す。また、図30(B)に図30(A)の一点鎖線A1-A2に対応する断面A1-A2を示す。

【0432】

図30(B)に示すトランジスタは、基板1101と、基板1101上に設けられた下地絶縁層1102と、下地絶縁層1102の周辺に設けられた保護絶縁膜1104と、下地絶縁層1102及び保護絶縁膜1104上に設けられた高抵抗領域1106a及び低抵抗領域1106bを有する酸化物半導体膜1106と、酸化物半導体膜1106上に設けられたゲート絶縁膜1108と、ゲート絶縁膜1108を介して酸化物半導体膜1106と重複して設けられたゲート電極1110と、ゲート電極1110の側面と接して設けられた側壁絶縁膜1112と、少なくとも低抵抗領域1106bと接して設けられた一対の電極1114と、少なくとも酸化物半導体膜1106、ゲート電極1110及び一対の電極1114を覆って設けられた層間絶縁膜1116と、層間絶縁膜1116に設けられた開口部を介して少なくとも一対の電極1114の一方と接続して設けられた配線1118と、を有する。

【0433】

なお、図示しないが、層間絶縁膜1116及び配線1118を覆って設けられた保護膜を有する構造としてもよい。該保護膜を設けることで、層間絶縁膜1116の表面伝導に起因して生じる微小リーキ電流を低減することができ、トランジスタのオフ電流を低減する

10

20

30

40

50

ことができる。

【0434】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0435】

[実施の形態11]

本実施の形態では、実施の形態10とは異なるIn-Sn-Zn-O膜を酸化物半導体膜に用いたトランジスタの他の一例について示す。なお、本実施の形態では酸化物半導体膜を構成する酸化物半導体として、In、Sn、及びZnを含む酸化物半導体（In-Sn-Zn系酸化物半導体）を用いた場合について説明するが、他の実施の形態において説明した他の酸化物半導体を用いることもできる。

10

【0436】

図31は、本実施の形態で作製したトランジスタの構造を示す上面図および断面図である。図31(A)はトランジスタの上面図である。また、図31(B)は図31(A)の一点鎖線B1-B2に対応する断面図である。

【0437】

図31(B)に示すトランジスタは、基板600と、基板600上に設けられた下地絶縁層602と、下地絶縁層602上に設けられた酸化物半導体膜606と、酸化物半導体膜606と接する一対の電極614と、酸化物半導体膜606および一対の電極614上に設けられたゲート絶縁膜608と、ゲート絶縁膜608を介して酸化物半導体膜606と重畠して設けられたゲート電極610と、ゲート絶縁膜608およびゲート電極610を覆って設けられた層間絶縁膜616と、層間絶縁膜616に設けられた開口部を介して一対の電極614と接続する配線618と、層間絶縁膜616および配線618を覆って設けられた保護膜620と、を有する。

20

【0438】

基板600としてはガラス基板を、下地絶縁層602としては酸化シリコン膜を、酸化物半導体膜606としてはIn-Sn-Zn-O膜を、一対の電極614としてはタンゲステン膜を、ゲート絶縁膜608としては酸化シリコン膜を、ゲート電極610としては窒化タンタル膜とタンゲステン膜との積層構造を、層間絶縁膜616としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線618としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜620としてはポリイミド膜を、それぞれ用いた。

30

【0439】

なお、図31(A)に示す構造のトランジスタにおいて、ゲート電極610と一対の電極614との重畠する幅をL_{0V}と呼ぶ。同様に、酸化物半導体膜606に対する一対の電極614のはみ出しをd_Wと呼ぶ。

【0440】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【符号の説明】

【0441】

100 記憶装置

40

101 トランジスタ

102 保持容量

104 アナログスイッチ

105 インバータ

106 セレクタ

107 インバータ

108 インバータ

109 アナログスイッチ

120 記憶回路

121 記憶回路

50

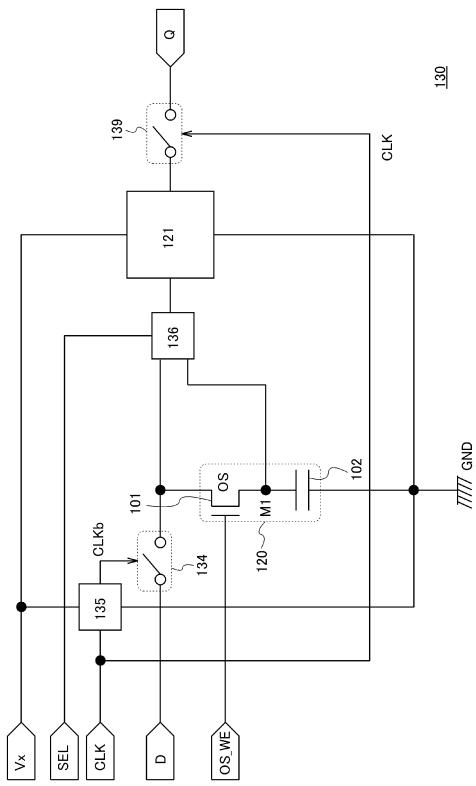
1 2 3	トランジスタ	
1 3 0	記憶装置	
1 3 4	スイッチ	
1 3 5	位相反転素子	
1 3 6	選択回路	
1 3 9	スイッチ	
1 5 0	信号処理回路	
1 5 1	演算回路	
1 5 2	演算回路	
1 5 3	記憶装置	10
1 5 4	記憶装置	
1 5 5	記憶装置	
1 5 6	制御装置	
1 5 7	電源制御回路	
4 0 0	記憶装置	
4 0 1	スイッチング素子	
4 0 2	記憶素子	
4 0 3	記憶素子群	
4 1 0	記憶装置	
4 2 1	R F 回路	20
4 2 2	アナログベースバンド回路	
4 2 3	デジタルベースバンド回路	
4 2 4	バッテリー	
4 2 5	電源回路	
4 2 6	アプリケーションプロセッサ	
4 2 7	C P U	
4 2 8	D S P	
4 2 9	インターフェース	
4 3 0	フラッシュメモリ	
4 3 1	ディスプレイコントローラ	30
4 3 2	メモリ回路	
4 3 3	ディスプレイ	
4 3 4	表示部	
4 3 5	ソースドライバ	
4 3 6	ゲートドライバ	
4 3 7	音声回路	
4 3 8	キーボード	
4 3 9	タッチセンサ	
4 4 1	メモリコントローラ	
4 4 2	記憶装置	40
4 4 3	記憶装置	
4 4 4	スイッチ	
4 4 5	スイッチ	
4 5 1	バッテリー	
4 5 2	電源回路	
4 5 3	マイクロプロセッサ	
4 5 4	フラッシュメモリ	
4 5 5	音声回路	
4 5 6	キーボード	
4 5 7	メモリ回路	50

4 5 8	タッチパネル	
4 5 9	ディスプレイ	
4 6 0	ディスプレイコントローラ	
6 0 0	基板	
6 0 2	下地絶縁層	
6 0 6	酸化物半導体膜	
6 0 8	ゲート絶縁膜	
6 1 0	ゲート電極	
6 1 4	一対の電極	
6 1 6	層間絶縁膜	10
6 1 8	配線	
6 2 0	保護膜	
7 0 0	基板	
7 0 1	絶縁膜	
7 0 2	半導体膜	
7 0 3	ゲート絶縁膜	
7 0 7	ゲート電極	
7 0 9	一対の不純物領域	
7 1 0	チャネル形成領域	
7 1 2	絶縁膜	20
7 1 3	絶縁膜	
7 1 6	酸化物半導体層	
7 1 9	導電膜	
7 2 0	導電膜	
7 2 1	ゲート絶縁膜	
7 2 2	ゲート電極	
7 3 1	基板	
7 3 2	絶縁膜	
9 0 1	トランジスタ	
9 0 2	絶縁膜	30
9 0 3	酸化物半導体層	
9 0 4	ソース電極	
9 0 5	ドレイン電極	
9 0 6	ゲート絶縁膜	
9 0 7	ゲート電極	
9 0 8	高濃度領域	
9 0 9	チャネル形成領域	
9 1 1	トランジスタ	
9 1 2	絶縁膜	
9 1 3	酸化物半導体層	40
9 1 4	ソース電極	
9 1 5	ドレイン電極	
9 1 6	ゲート絶縁膜	
9 1 7	ゲート電極	
9 1 8	高濃度領域	
9 1 9	チャネル形成領域	
9 2 1	トランジスタ	
9 2 2	絶縁膜	
9 2 3	酸化物半導体層	
9 2 4	ソース電極	50

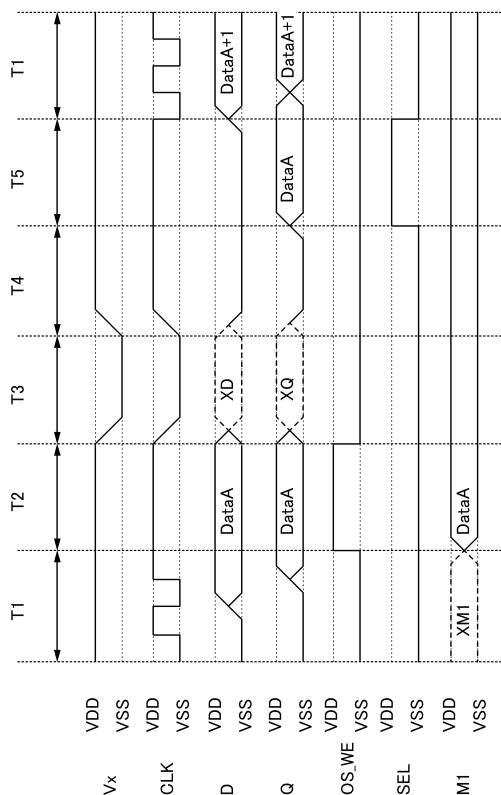
9 2 5	ドレイン電極	
9 2 6	ゲート絶縁膜	
9 2 7	ゲート電極	
9 2 8	高濃度領域	
9 2 9	低濃度領域	
9 3 0	サイドウォール	
9 3 1	チャネル形成領域	
9 4 1	トランジスタ	
9 4 2	絶縁膜	
9 4 3	酸化物半導体層	10
9 4 4	ソース電極	
9 4 5	ドレイン電極	
9 4 6	ゲート絶縁膜	
9 4 7	ゲート電極	
9 4 8	高濃度領域	
9 4 9	低濃度領域	
9 5 0	サイドウォール	
9 5 1	チャネル形成領域	
1 1 0 1	基板	
1 1 0 2	下地絶縁層	20
1 1 0 4	保護絶縁膜	
1 1 0 6 a	高抵抗領域	
1 1 0 6 b	低抵抗領域	
1 1 0 6	酸化物半導体膜	
1 1 0 8	ゲート絶縁膜	
1 1 1 0	ゲート電極	
1 1 1 2	側壁絶縁膜	
1 1 1 4	一対の電極	
1 1 1 6	層間絶縁膜	
1 1 1 8	配線	30
3 0 0 0	基板	
3 0 0 1	トランジスタ	
3 0 0 4	論理回路	
3 1 0 6	素子分離絶縁膜	
3 3 0 3	電極	
3 5 0 3	電極	
3 5 0 5	電極	
3 0 0 3 a	電極	
3 0 0 3 b	電極	
3 0 0 3 c	電極	40
3 1 0 0 a	配線	
3 1 0 0 b	配線	
3 1 0 0 c	配線	
3 1 0 0 d	配線	
3 1 4 0 a	絶縁膜	
3 1 4 0 b	絶縁膜	
3 1 4 1 a	絶縁膜	
3 1 4 1 b	絶縁膜	
3 1 4 2 a	絶縁膜	
3 1 4 2 b	絶縁膜	50

3 1 7 0 a	記憶素子	
3 1 7 0 b	記憶素子	
3 1 7 1 a	トランジスタ	
3 1 7 1 b	トランジスタ	
3 5 0 1 a	電極	
3 5 0 1 b	電極	
3 5 0 1 c	電極	
3 5 0 2 a	電極	
3 5 0 2 b	電極	
3 5 0 2 c	電極	10
3 5 0 3 a	電極	
3 5 0 3 b	電極	
8 1 0 1	下地絶縁膜	
8 1 0 2	埋め込み絶縁物	
8 1 0 3 a	半導体領域	
8 1 0 3 b	半導体領域	
8 1 0 3 c	半導体領域	
8 1 0 4	ゲート絶縁膜	
8 1 0 5	ゲート電極	
8 1 0 6 a	側壁絶縁物	20
8 1 0 6 b	側壁絶縁物	
8 1 0 7	絶縁物	
8 1 0 8 a	ソース電極	
8 1 0 8 b	ドレイン電極	
9 9 0 0	基板	
9 9 0 1	A L U	
9 9 0 2	A L U · C o n t r o l l e r	
9 9 0 3	I n s t r u c t i o n · D e c o d e r	
9 9 0 4	I n t e r r u p t · C o n t r o l l e r	
9 9 0 5	T i m i n g · C o n t r o l l e r	30
9 9 0 6	R e g i s t e r	
9 9 0 7	R e g i s t e r · C o n t r o l l e r	
9 9 0 8	B u s · I / F	
9 9 0 9	R O M	
9 9 2 0	R O M · I / F	

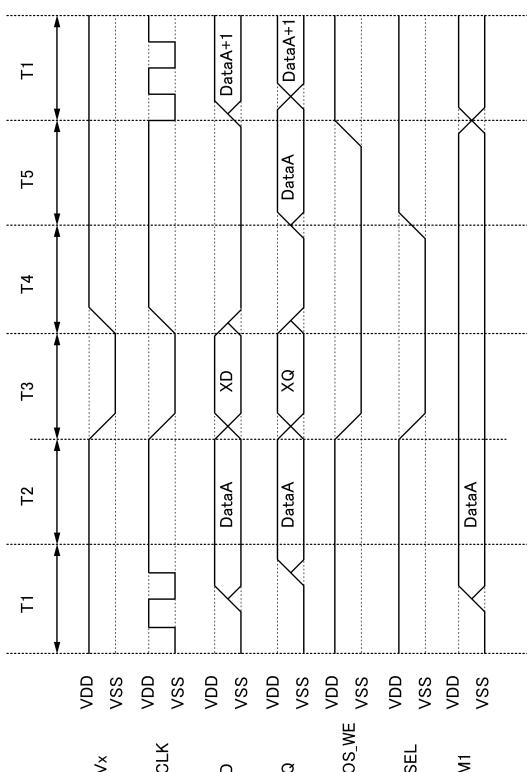
【図1】



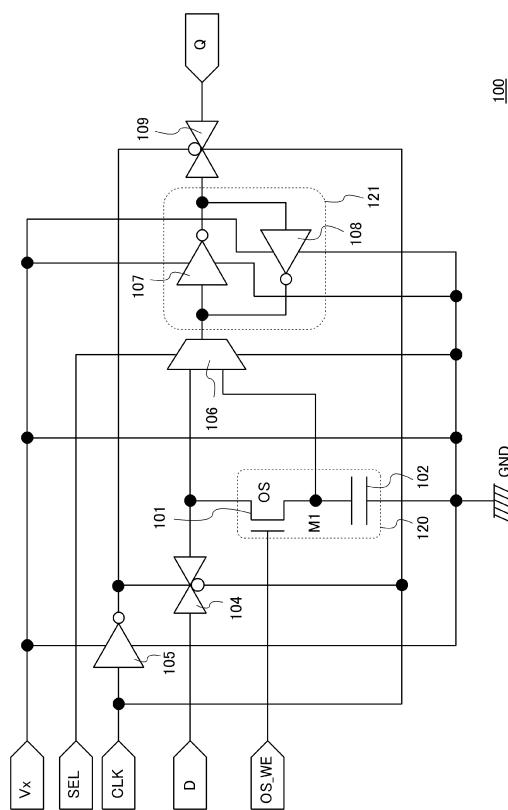
【図2】



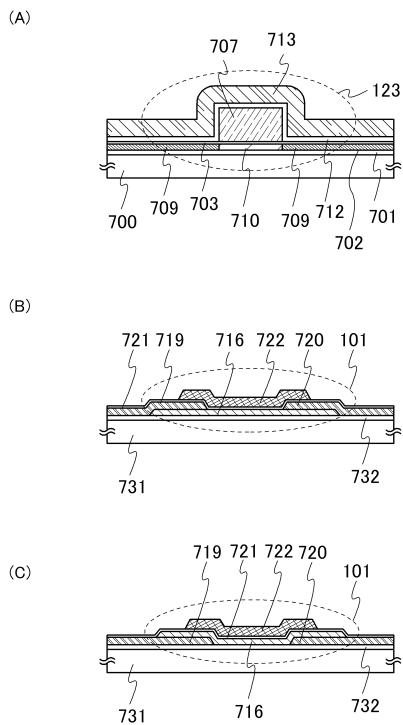
【図3】



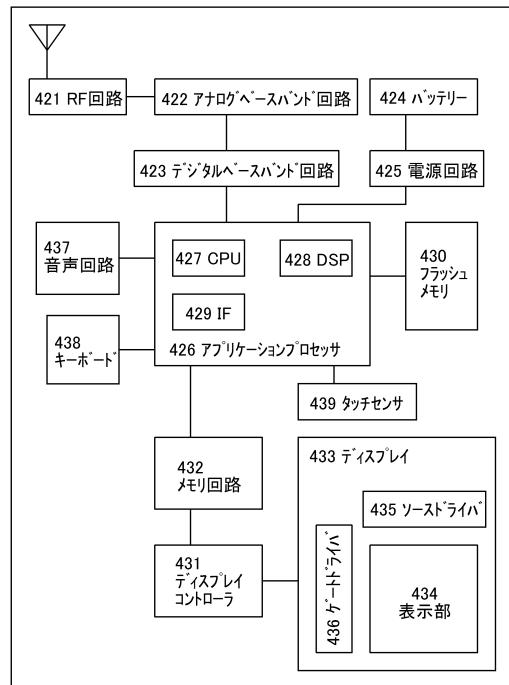
【図4】



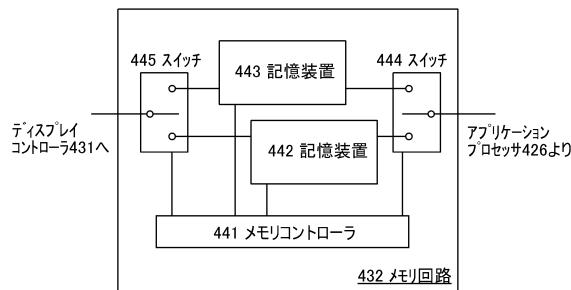
【図5】



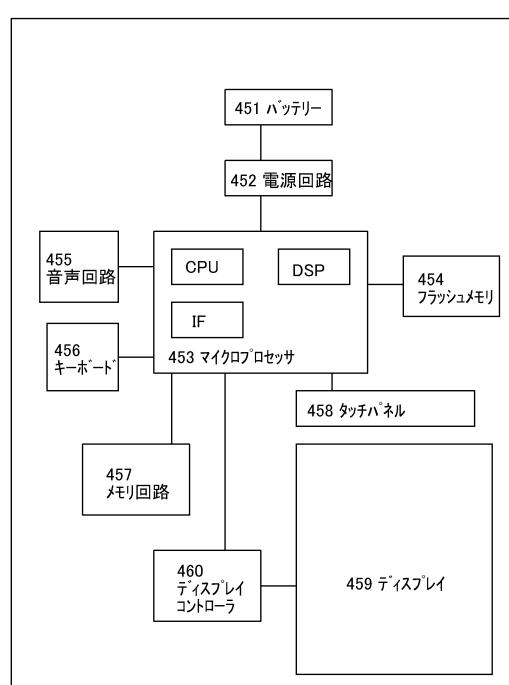
【図6】



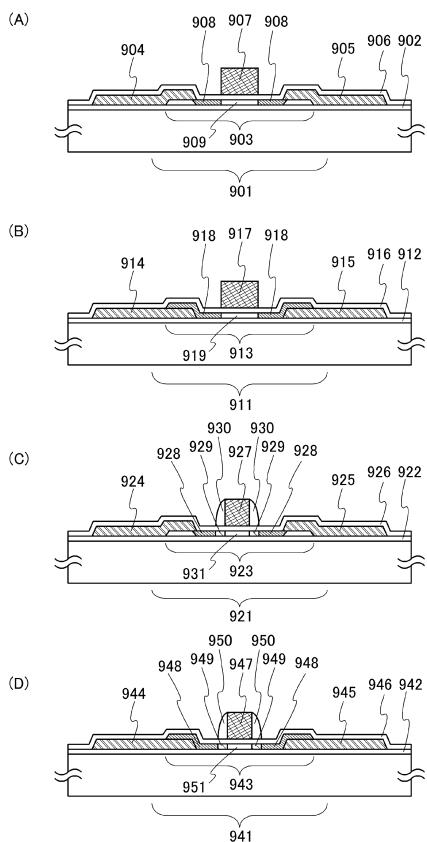
【図7】



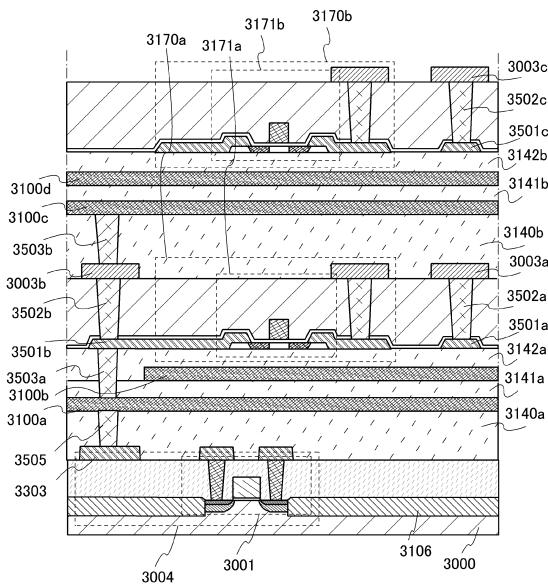
【図8】



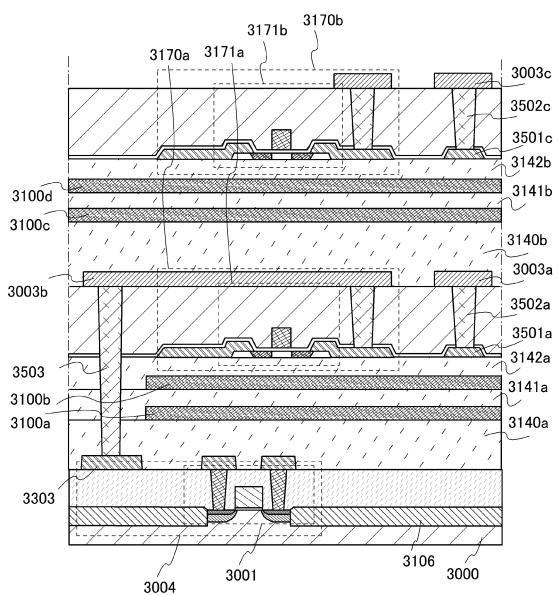
【図9】



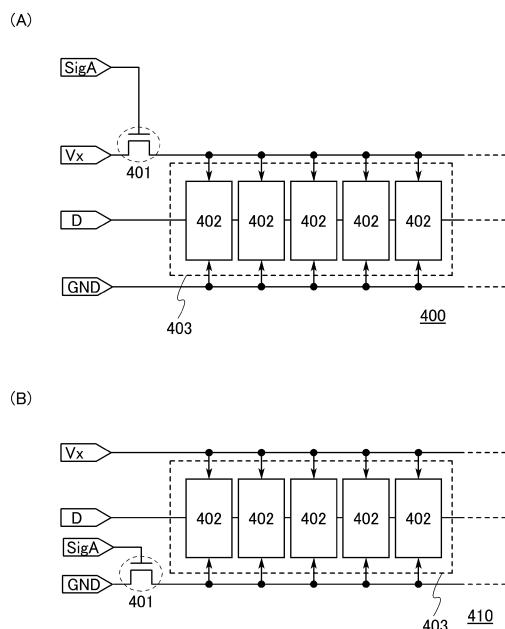
【図10】



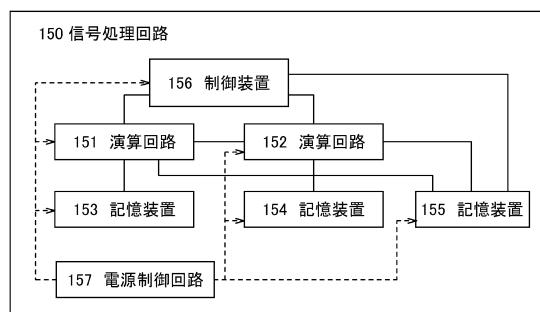
【図11】



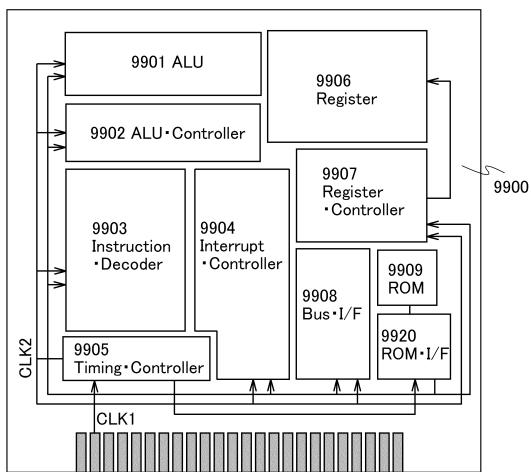
【図12】



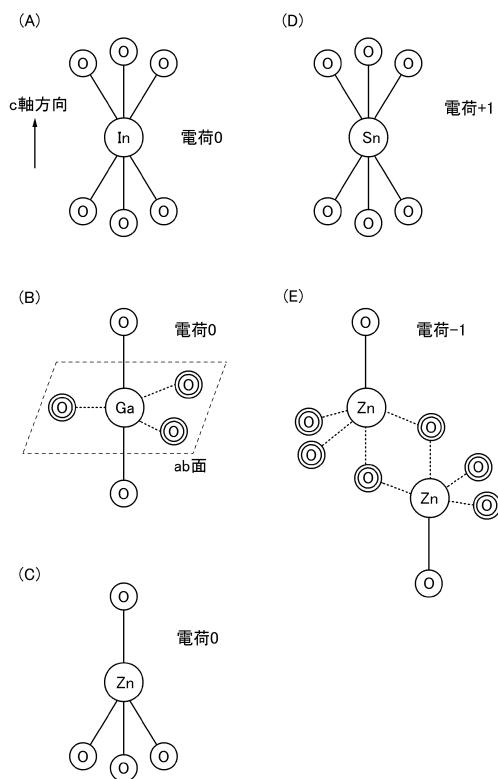
【図13】



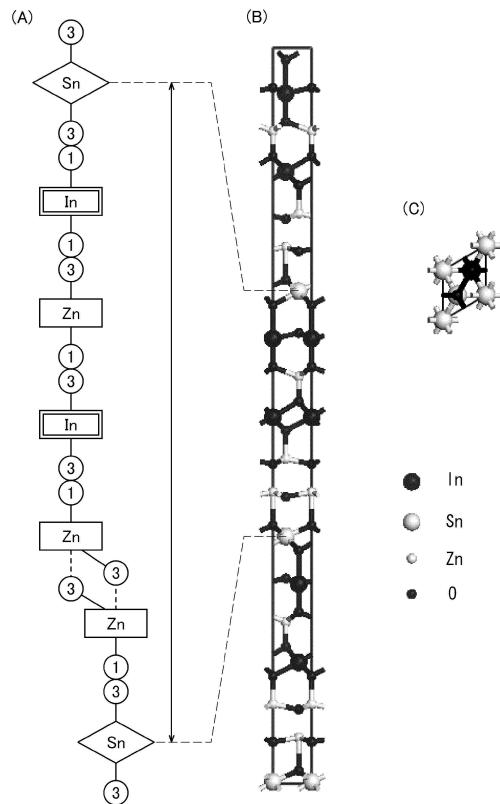
【図14】



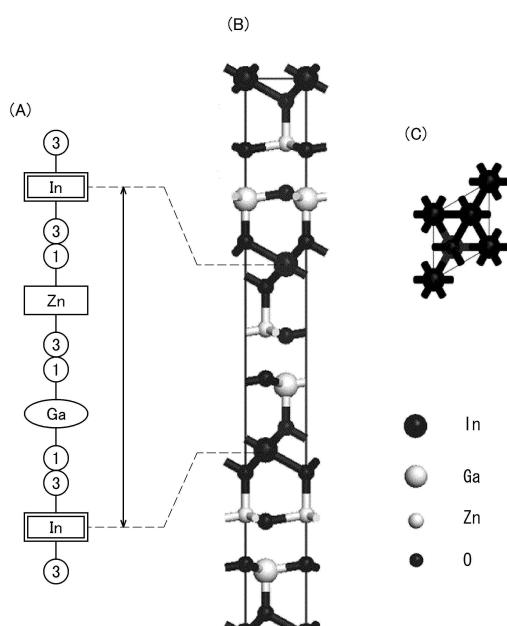
【図15】



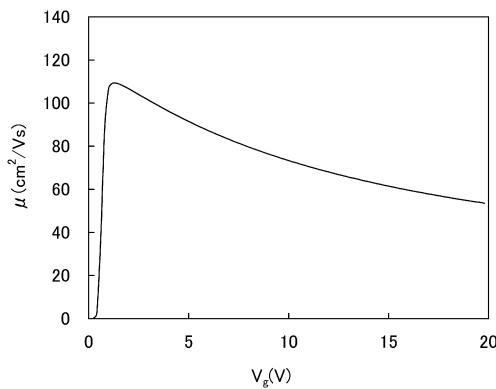
【図16】



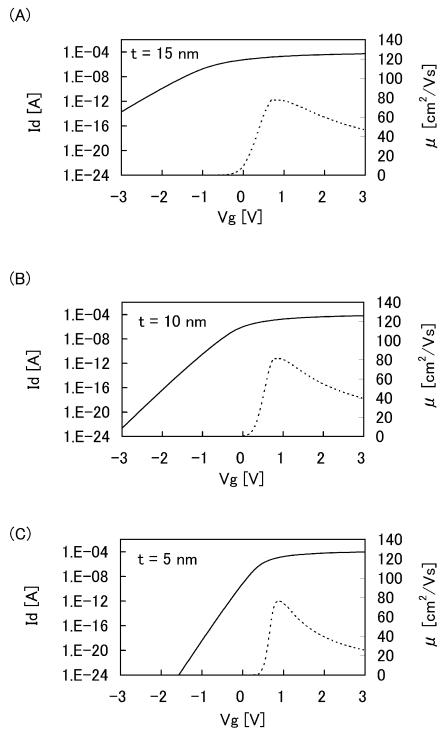
【図17】



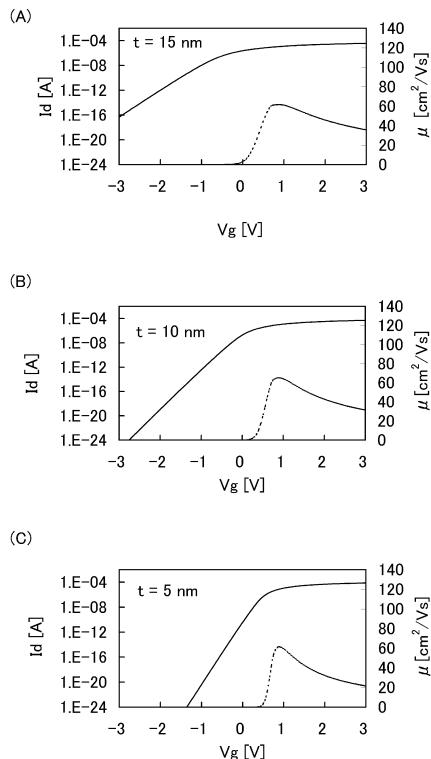
【図18】



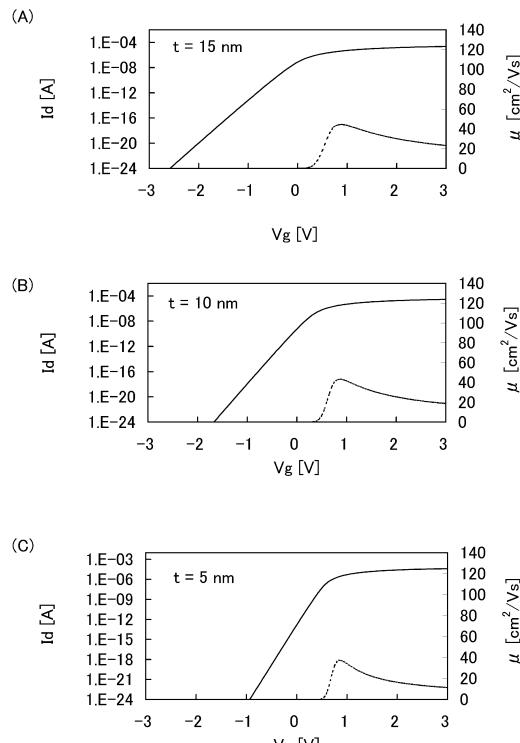
【図19】



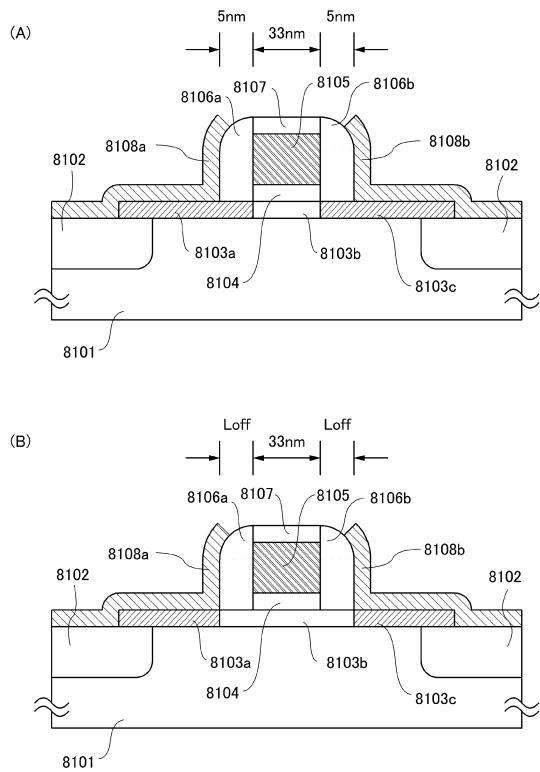
【図20】



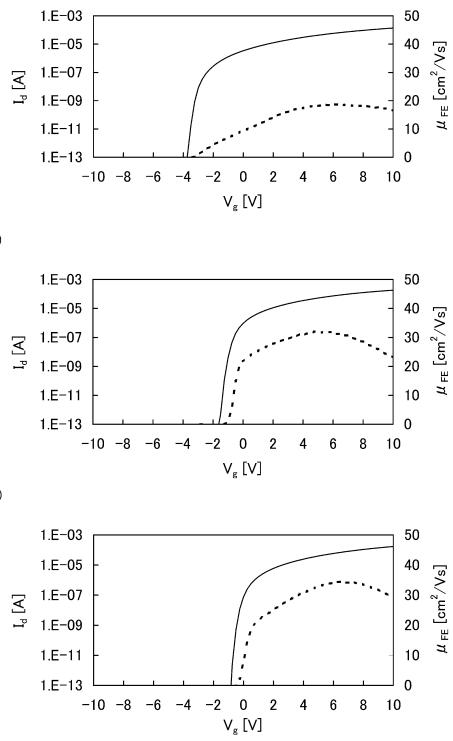
【図21】



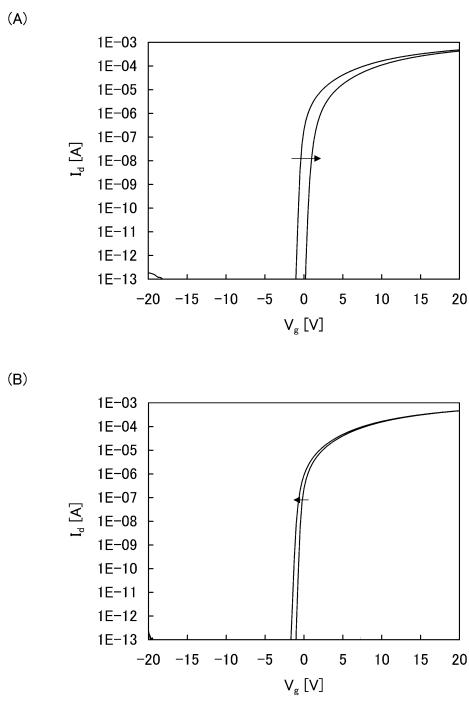
【図2-2】



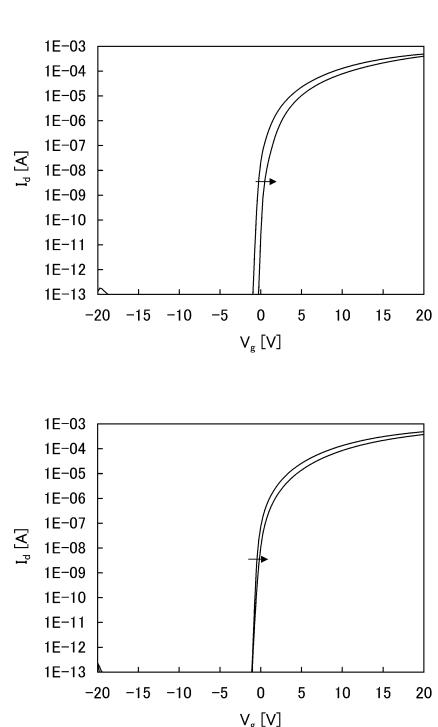
【図2-3】



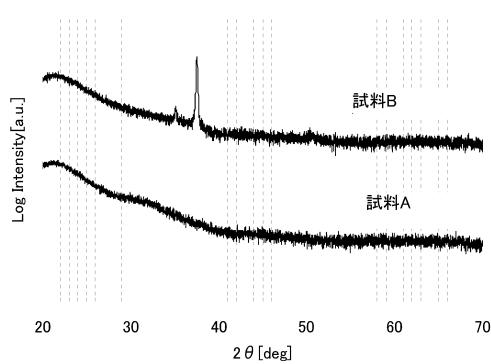
【図2-4】



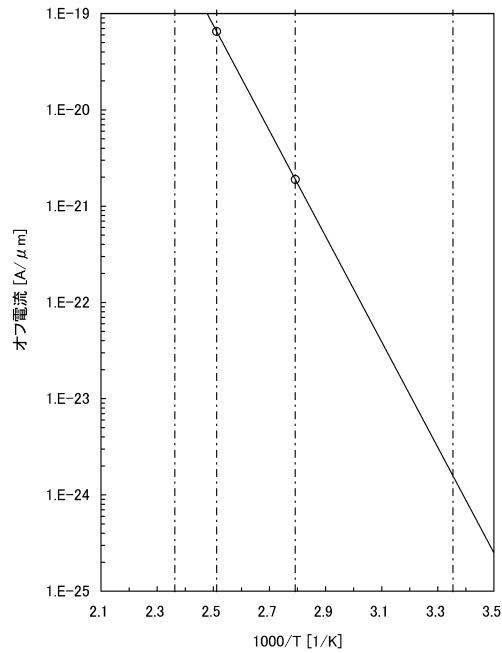
【図2-5】



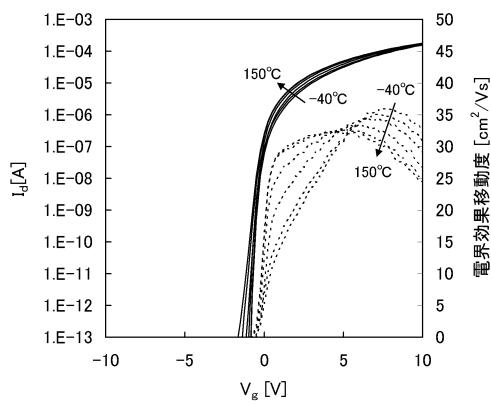
【図26】



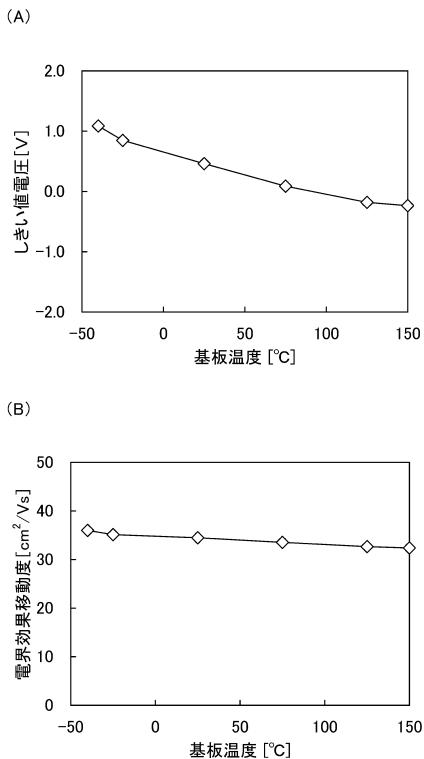
【図27】



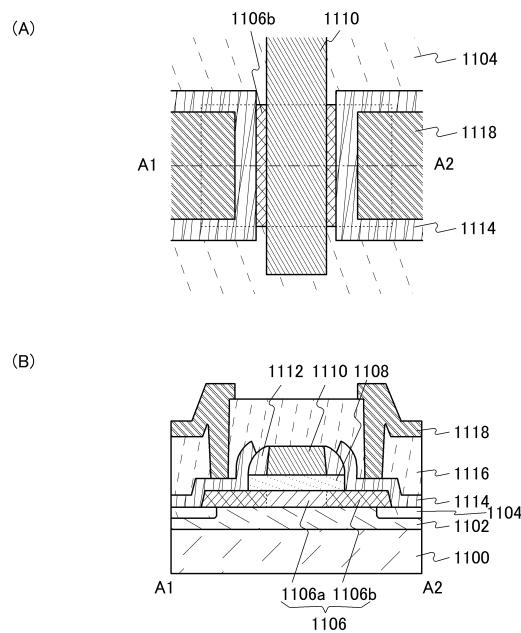
【図28】



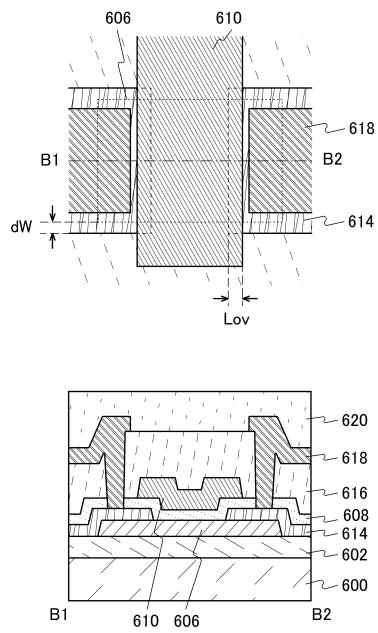
【図29】



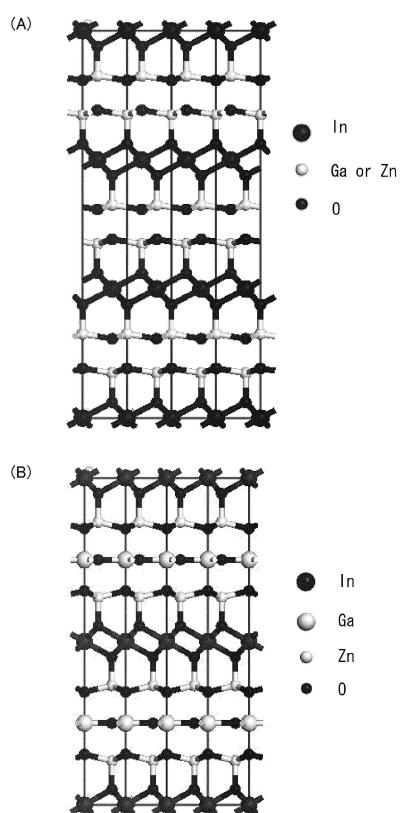
【図30】



【図31】



【図32】



フロントページの続き

(56)参考文献 特開平05-110392(JP,A)
特開平07-154228(JP,A)
特開2010-193432(JP,A)
特開2006-050208(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 3 / 356
H03K 3 / 36