

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年1月3日(03.01.2019)



(10) 国際公開番号

WO 2019/003363 A1

(51) 国際特許分類:

H01L 21/338 (2006.01) *H01L 29/812* (2006.01)
H01L 29/778 (2006.01)

(21) 国際出願番号: PCT/JP2017/023830

(22) 国際出願日: 2017年6月28日(28.06.2017)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: サンケン電気株式会社 (SANKEN ELECTRIC CO., LTD.) [JP/JP]; 〒3528666 埼玉県新座市北野三丁目6番3号 Saitama (JP).

(72) 発明者: 佐藤 憲 (Sato Ken); 〒3528666 埼玉県新座市北野三丁目6番3号 サンケン電気株式会社内 Saitama (JP).

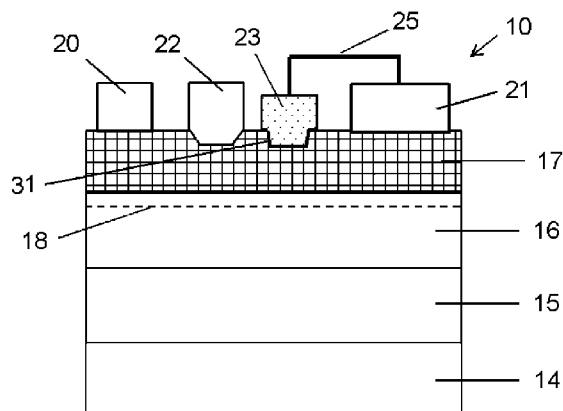
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,

(54) Title: SEMICONDUCTOR DEVICE AND PRODUCTION METHOD THEREFOR

(54) 発明の名称: 半導体装置及びその製造方法

[図1]



(57) Abstract: This semiconductor device comprises: a first nitride compound semiconductor layer; a second nitride compound semiconductor layer above the first nitride compound semiconductor layer; a two-dimensional electron gas layer near the interface between the first nitride compound semiconductor layer and second nitride compound semiconductor layer; a first electrode electrically connected to the two-dimensional electron gas layer; a second electrode electrically connected to the two-dimensional electron gas layer; a recessed portion provided on the surface of the second nitride compound semiconductor layer, between the first electrode and second electrode; and an auxiliary film comprising a p-type nitride semiconductor provided in the recessed portion, electrically connected to the first electrode and separated from the second electrode. On the above basis, a rise in on-resistance can be controlled against while also controlling against current collapse.

[続葉有]



DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一 国際調査報告（条約第21条(3)）

(57) 要約：半導体装置は、第1の窒化物系半導体層と、前記第1の窒化物系半導体層上の第2の窒化物系半導体層と、前記第1の窒化物系半導体層と前記第2の窒化物系半導体層との界面近傍の2次元電子ガス層と、前記2次元電子ガス層と電氣的に接続する第1の電極と、前記2次元電子ガス層と電氣的に接続する第2の電極と、前記第1の電極と前記第2の電極との間にあって、前記第2の窒化物系半導体層の表面に設けられた凹部と、前記第1の電極と電氣的に接続し、前記第2の電極とは離間し、前記凹部内に設けられたp型窒化物半導体から成る補助膜とを備える。これにより、電流コラプスを抑制するとともに、オン抵抗の上昇を抑制することができる。

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本発明は、半導体装置及びその製造方法に関する。

背景技術

[0002] 窒化ガリウム（GaN）に代表されるⅢ－Ⅴ族窒化物系化合物半導体、いわゆる窒化物半導体が注目を集めている。窒化物半導体は、一般式が $\text{In}_x\text{Ga}_y\text{Al}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$ 、 $0 \leq y \leq 1$ 、 $x + y \leq 1$) で表される、Ⅲ族元素であるアルミニウム（Al）、ガリウム（Ga）及びインジウム（In）と、Ⅴ族元素である窒素（N）とからなる化合物半導体である。窒化物半導体は種々の混晶を形成することができ、ヘテロ接合界面を容易に形成することができる。窒化物半導体のヘテロ接合には、ドーピングなしの状態においても自発分極又はピエゾ分極によって高濃度の2次元電子ガス層が接合界面に発生するという特徴がある。この高濃度の2次元電子ガス層をキャリアとして用いた電界効果トランジスタ（FET: Field Effect Transistor）が、高周波用及び大電力用のデバイスとして注目を集めている。

[0003] しかしながら、窒化物半導体を用いたFETには電流コラプスと呼ばれる現象が生じやすい。電流コラプスとは、一旦デバイスをオフ状態とした後、再びオン状態とする際に電流が一定時間流れにくくなる現象である。電流コラプスの特性が悪いと高速なスイッチングが困難となり、デバイスの動作に極めて深刻な問題が生じる。

[0004] 特許文献1では、FETのドレイン電極近傍にp型窒化物半導体層（例えば、p型GaN層）を設け、p型窒化物半導体層とドレイン電極を電氣的に接続し、p型窒化物半導体層からホールを注入することで、電流コラプスの原因となる半導体層中にトラップされた電子を中和し、電流コラプスを抑制している。

先行技術文献

特許文献

[0005] 特許文献1：特許第5 6 1 8 5 7 1号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、特許文献1のFETでは、p型窒化物半導体層をバリア層（電子供給層）上に部分的に形成するため、ホールの注入効率が悪いという問題があった。また、ホールの注入効率を上げるためにバリア層を薄くすると、2次元電子ガス層のキャリア濃度が低下し、オン抵抗が増加するという問題があった。

[0007] 本発明は、上記問題点に鑑みてなされたものであって、電流コラプスを抑制するとともに、オン抵抗の上昇を抑制することができる半導体装置及びその製造方法を提供することを目的とする。

課題を解決するための手段

[0008] 上記目的を達成するために、本発明は、窒化物系半導体層と、前記窒化物系半導体層と接する第1の電極と、前記窒化物系半導体層と接する第2の電極と、前記第1の電極と前記第2の電極との間の前記窒化物系半導体層に形成された凹部と、前記第1の電極と電氣的に接続し、前記第2の電極とは離間し、前記凹部内に設けられ、p型窒化物半導体から成る補助膜とを備えたものであることを特徴とする半導体装置を提供する。

[0009] このように、第1の電極と第2の電極との間の窒化物系半導体層に形成された凹部内にp型窒化物半導体の補助膜を第1の電極と電氣的に接続することで、補助膜からホールが注入され、電流コラプスの原因となる窒化物系半導体層にトラップされた電子をより効果的に中和することができ、電流コラプスをより効果的に抑制することができる。また、このように、凹部内にp型窒化物半導体を設けることによって、オン抵抗の増加を抑制することができる。

[0010] 上記目的を達成するために、本発明の製造方法は、窒化物系半導体層と接する第1の電極及び第2の電極を形成する工程と、前記窒化物系半導体層上に凹部を形成する工程と、前記凹部内にp型の窒化物半導体から成る補助膜を形成する工程と、前記第1の電極と電氣的に接続する配線を形成する工程とを特徴とする半導体装置の製造方法を提供する。

[0011] 本発明の半導体装置の製造方法によれば、第1の電極と電氣的に接続したp型の窒化物半導体の補助膜を凹部内に形成することで、凹部内に形成されたp型の窒化物半導体からホールが注入され、電流コラプスの原因となる窒化物系半導体層にトラップされた電子をより効果的に中和し、電流コラプスをより効果的に抑制することができる。また、このように、凹部内にp型の窒化物半導体を設けることにより、容易にオン抵抗の増加を抑制することができる。

発明の効果

[0012] 以上のように、本発明の半導体装置及びその製造方法によれば、ドレイン電極と電氣的に接続するp型窒化物半導体を第1の電極と第2の電極との間に凹部内に形成することで、p型金属酸化物半導体からホール注入することで電流コラプスの原因となる窒化物系半導体層にトラップされた電子をより効果的に中和し、電流コラプスをより効果的に抑制し、オン抵抗の増加を抑制することができる。

図面の簡単な説明

[0013] [図1]第1実施形態の半導体装置を示す概略断面図である。

[図2]第1実施形態の半導体装置の製造方法を示す工程フローである。

[図3]第1実施形態の半導体装置の変形例を示す概略断面図である。

[図4]第1実施形態の半導体装置の上面図である。

[図5]第2実施形態の半導体装置を示す概略断面図である。

[図6]第3実施形態の半導体装置を示す概略断面図及び上面図である。

[図7]第3実施形態の半導体装置の第1の変形例を示す概略断面図である。

[図8]第3実施形態の半導体装置の第2の変形例を示す上面図である。

[図9]第3実施形態の半導体装置の第3の変形例を示す上面図である。

[図10]第3実施形態の半導体装置の第4の変形例を示す上面図である。

[図11]第4実施形態の半導体装置を示す概略断面図及び上面図である。

発明を実施するための形態

[0014] 以下、本発明について、実施態様の一例として、図を参照しながら詳細に説明するが、本発明はこれに限定されるものではない。

[0015] まず、第1実施形態の半導体装置について、図1を参照しながら説明する。

[0016] 図1は第1実施形態の半導体装置を示す概略断面図である。図1の半導体装置10は、窒化物系半導体からなるチャンネル層16及びバリア層17と、チャンネル層16及びバリア層17との界面近傍に平面的に広がるように生じる2次元電子ガス層18と、2次元電子ガス層18と電氣的に接続するドレイン電極（第1の電極）21と、2次元電子ガス層18と電氣的に接続するソース電極（第2の電極）20と、ドレイン電極（第1の電極）21とソース電極（第2の電極）20との間に設けられた窒化物系半導体表面上の凹部31と、ドレイン電極（第1の電極）21と電氣的に接続し、ソース電極（第2の電極）20とは離間し、凹部31内に形成されたp型窒化物半導体から成る補助膜23とを備えている。補助膜23は、例えば、p型のGa_xN又はAl_(1-x)Ga_xN（但しxは0以上1以下）とすることができる。

[0017] ここで、半導体装置10は、さらに、基板14と、基板14上に設けられた窒化物系半導体からバッファ層15とを有することができる。チャンネル層16内に2次元電子ガス層18が形成されていることで、半導体装置10のオン抵抗を低減させることができる。

[0018] 基板14は、例えば、シリコン基板又はSiC基板とすることができ、チャンネル層16は、例えば、Ga_xN層とすることができ、バリア層17は、例えば、AlGa_xN層とすることができ、バリア層17は、補助膜23と同じ材料であってもよいし、補助膜23と異なる材料であってもよい。また、バッファ層15は、例えば、組成の異なる窒化物系半導体層の積層構

造とすることができる。

[0019] 第1実施形態の半導体装置10では、ドレイン電極21と補助膜23とを配線25を用いて電氣的に接続している。配線25はドレイン電極21と同じ材料又は補助膜23と同じ材料であってもよいし、これらと異なる材料であってもよい。

[0020] また、配線25を介さずドレイン電極21と補助膜23とが電氣的に接続していても良い。例えば、図3のように、補助膜23が凹部31とドレイン電極21との間のバリア17の表面上にも形成され、補助膜23がドレイン電極21と直接接触していても良い。補助膜23が凹部31とドレイン電極21との間のバリア層17上にも形成しているので、電子が比較的トラップされ易いドレイン電極（第1の電極）21の近傍の窒化物半導体層の領域においてトラップされた電子を、より効果的に中和することができ、電流コラプス現象をより効果的に抑制することができる。

[0021] また、半導体装置10を上方から平面的に見て、図4で示すように、補助膜23がドレイン電極21の周りを取り囲むように設けられている。ここで、補助電極（補助膜）23が周りを取り囲むとは完全に囲むよりも、補助電極（補助膜）23が周期的に間隔を開けてドレイン電極21の周りを取り囲むように配置することが望ましい。これにより、ドレイン電極（第1の電極）21の近傍の窒化物半導体層の領域においてトラップされた電子を、より効果的に中和することができ、電流コラプス現象をより効果的に抑制することができる。

また、図4において、ソース電極20がドレイン電極21よりも外側に設けられているが、ドレイン電極21がソース電極20よりも外側に設けられていても良い。この場合、補助膜23はドレイン電極21よりも内側でリング状に囲むように設けられることは言うまでもない。補助膜23がドレイン電極21を取り囲むように設けられていることで、ドレイン電極21に隣接した領域に、より広い面積の補助膜23を設けることができ、これにより、より効率的に電流コラプス現象を抑制することができる。また、後述する第3の

実施形態やその変形例の半導体装置のように、補助膜 23 の一部が設けられている凹部 31 はドレイン電極 21 とゲート電極 22 との間の領域においてドレイン電極 21 が窒化物半導体層上を延伸する方向に間隔をあけて周期的に設けられていても良い。

[0022] ドレイン電極（第 1 の電極）21 は、ソース電極（第 2 の電極）20 よりも高電位が印加される。第 1 実施形態の半導体装置 10 では、ドレイン電極（第 1 の電極）21 とソース電極（第 2 の電極）20 はバリア層 17 上に設けているが、バリア層 17 を貫通してチャネル層 16 に達する溝部を設けて、溝部内にドレイン電極（第 1 の電極）21 とソース電極（第 2 の電極）20 を設けても良い。また、ドレイン電極（第 1 の電極）21 とソース電極（第 2 の電極）20 はバリア層上に更に設けた窒化物半導体から成るコンタクト層上に形成されても良い。

[0023] ドレイン電極（第 1 の電極）21 とソース電極（第 2 の電極）20 との間を流れる主電流を制御するゲート電極（制御電極）22 を更に備える。図 1 の半導体装置のように、ゲート電極 22 はバリア層 17 の上面にリセスが形成された中にも形成されている。バリア層 17 の上面にリセスが形成されていることにより、ゲート電極 22 直下の 2 次元電子ガス層 18 のキャリア濃度が減少し、電流通路が遮断され、半導体装置 10 はノーマリオフデバイスとなる。なお、ゲート電極 22 下のバリア層のリセスの深さは凹部 31 と同じ深さとしても良い。また、図 3 の半導体装置のように、ゲート電極 22 下のバリア層 17 の領域はリセスを形成しなくても良い。

凹部 31 及び補助膜 23 はドレイン電極（第 1 の電極）21 とゲート電極（制御電極）22 との間に形成され、補助膜 23 はゲート電極（制御電極）22 から離間したものであることが好ましい。このように補助膜 23 がゲート電極（制御電極）22 から離間していることで、補助膜 23 とゲート電極（制御電極）22 との間のリーク電流を低減することができる。

[0024] 上記で説明した第 1 実施形態の半導体装置によれば、凹部 31 内に形成された補助膜 23 が、電流コラプスの原因となる窒化物系半導体層内部にトラッ

プされた電子をより効果的に中和し、電流コラプスをより効果的に抑制することができる。また、補助膜 23 を凹部 31 内に形成することで、オン抵抗の増加を抑制することができる。

[0025] ここで、第 1 実施形態の半導体装置の製造方法を示す工程フローを説明する。

まず、図 2 (a) に示すように、既知の方法（例えば、有機金属気相成長法）により、チャネル層 16 上にバリア層 17 を形成する。次に、図 2 (b) に示すように、バリア層 17 上に既知の方法（例えば、フォトリソグラフィ法）により、補助膜形成領域 29 及びゲート形成領域 30 以外の領域に、フォトレジスト膜 24 を形成する。

次に、図 2 (c) に示すように、バリア層 17 の表面にゲート形成領域 30 内と補助膜形成領域 29 内の凹部を形成する。そして、フォトレジスト膜 24 を除去し、例えば、有機金属気相成長法にて p 型の窒化物半導体を形成する。その後にソース電極 20 の形成領域とその周囲の上の p 型の窒化物半導体、ドレイン電極 21 の形成領域の上の p 型の窒化物半導体、ゲート形成領域 30 内と凹部 31 との間の上の p 型の窒化物半導体を除去する。これにより、p 型窒化物半導体膜 22 がゲート形成領域 30 の凹部上に形成され、p 型窒化物半導体膜 23 が凹部 31 上に形成される。なお、後工程で p 型窒化物半導体膜 22 上に電極を形成してゲート電極 22 としても良い。

[0026] 次に、図 2 (d) に示すように、ドレイン電極（ドレインオーミック電極）21 及びソース電極（ソースオーミック電極）20 を形成する。なお、図 2 において、チャネル層 16 より下層の基板 14 及びバッファ層 15 は省略されている。その後、p 型窒化物半導体膜 23 とドレイン電極 21 とを電氣的に接続する配線 25 を形成する。

[0027] 上記のようにして、図 1 に示す第 1 実施形態の半導体装置 10 を製造することができる。

上記で図 2 を用いて説明したように、半導体装置 10 では補助膜 23 が凹部内に形成されているので、容易にリーク電流を低下させることができ、電

流コラプス現象をより効果的に抑制できる。

[0028] 次に、第2実施形態の半導体装置について、図5を参照しながら説明する。

[0029] 図5は第2実施形態の半導体装置を示す概略断面図である。図5の半導体装置13は、図4に示す第3実施形態の半導体装置とほぼ同様の構成であるが、ドレイン電極21の一部が補助膜23の上面上に設けられている点で、第1実施形態の半導体装置と異なっている。第2実施形態の半導体装置においても、第1実施形態の半導体装置と同様の効果を得ることができる。図5で示すように、ソース電極20側の補助膜23の端はソース電極20側のドレイン電極21の端よりもソース電極20側としても良い。

[0030] 次に、第3実施形態の半導体装置について、図6-10を参照しながら、説明する。

[0031] 図6(a)は第3実施形態の半導体装置を示す概略断面図であり、図6(b)は図6(a)の上面図である。なお、図6(b)はドレイン電極21近傍の領域の上面を示すものであり、また、後述する絶縁膜32、及び絶縁膜32上に設けられたドレイン電極21の一部は省略されている。

図6の半導体装置40は、補助膜23及びドレイン電極21上に絶縁膜32が設けられ、ドレイン電極21の一部が絶縁膜32上にも設けられている。ここで、絶縁膜32は、例えば、SiO₂膜、又はSiN膜とすることができる。なお、図6の半導体装置40において、補助膜23の一部が設けられている凹部31の上から見た形状は円形であり、また、補助膜23の一部が設けられている凹部31はドレイン電極21とゲート電極22との間の領域においてドレイン電極21が窒化物半導体層上を延伸する方向に間隔をあけて周期的に設けられている(図6(b)参照)。第3実施形態の半導体装置においても、第1及び第2実施形態の半導体装置と同様の効果を得ることができる。

[0032] 第3実施形態の半導体装置においては、補助膜23の一部を凹部31内に設けることで、凹部31の領域ではホール注入効率を上げることができる

ともに、凹部 3 1 と凹部 3 1 との間の領域では、バリア層 1 7 の厚さが薄くならないので、2 次元電ガス層 1 8 の濃度が低下することを抑制し、F E T のオン抵抗の増加を抑制させることができる。補助膜 2 3 の一部が設けられている凹部 3 1 がドレイン電極 2 1 とソース電極 2 0 とを結ぶ方向とは交わる方向（例えば垂直な方向）に間隔をあけて周期的に設けられている。凹部 3 1 が設けられている部分は効果的にホールを注入することができる。そして凹部 3 1 が設けられていない部分はバリア層の厚みが薄くならないので、良好に電流を流すことができる。それゆえ、電流コラプスを抑制しつつ、半導体装置のオン抵抗が増加することを低減することができる。ここで、ドレイン電極 2 1 に沿った凹部 3 1 の寸法 X をドレイン電極 2 1 に沿った凹部 3 1 間の寸法 Y よりも小さくすることで、ホール注入効果が高まり、より電流コラプスを改善することができる。一方、ドレイン電極 2 1 に沿った凹部 3 1 の寸法 X をドレイン電極 2 1 に沿った凹部 3 1 間の寸法 Y よりも大きくすることで、凹部を設けることによる 2 次元電子ガス層のキャリア濃度の低下におけるオン抵抗の増加を抑制しつつ、電流コラプスを改善することができる。

なお、図 6 (b) の上面図から見て、凹部 3 1 及び補助膜 2 3 はドレイン電極 2 1 の一方の側にしか形成していないが、凹部 3 1 及び補助膜 2 3 はドレイン電極 3 1 を取り囲むように形成されていても良い。

[0033] 図 7 は第 3 実施形態の半導体装置の第 1 の変形例を示す概略断面図である。図 7 の半導体装置 4 0' では、補助膜 2 3 の一部が設けられている凹部 3 1 がゲート電極 2 2 直下のバリア層 1 7 のリセスよりも深く形成されており、凹部 3 1 がバリア層 1 7 を貫通してチャネル層 1 6 に達している。第 3 実施形態の半導体装置の第 1 の変形例においても、第 3 実施形態の半導体装置と同様の効果を得ることができる。

[0034] 図 8 は第 3 実施形態の半導体装置の第 2 の変形例を示す上面図である。図 8 は図 6 (b) と同様にドレイン電極 2 1 近傍の領域の上面を示すものであり、絶縁膜 3 2、及び絶縁膜 3 2 上に設けられたドレイン電極 2 1 の一部は

省略されている。図 8 の半導体装置においては、補助膜 2 3 の一部が設けられている凹部 3 1 の上から見た形状は長方形であり、また、補助膜 2 3 の一部が設けられている凹部 3 1 はドレイン電極 2 1 と接している。

なお、凹部 3 1 の上から見た形状は、例えば、円、六角形等様々な形状とすることもできる。

図 8 の半導体装置においては、補助膜 2 3 の一部が設けられている凹部 3 1 がドレイン電極 2 1 と接しているので、電子がトラップしやすいドレイン電極 2 1 近傍の窒化物系半導体層内においても、より効果的にホール注入させることができ、電流コラプスを低減することができる。なお、図 8 の上面図から見て、凹部 3 1 及び補助膜 2 3 はドレイン電極 2 1 の一方の側にしか形成していないが、凹部 3 1 及び補助膜 2 3 はドレイン電極 3 1 を取り囲むように形成されていても良い。

[0035] 図 9 は第 3 実施形態の半導体装置の第 3 の変形例を示す上面図である。図 9 も図 6 (b) と同様にドレイン電極 2 1 近傍の領域の上面を示すものであり、絶縁膜 3 2、及び絶縁膜 3 2 上に設けられたドレイン電極 2 1 の一部は省略されている。図 9 の半導体装置は、図 8 の半導体装置とほぼ同様の構成であるが、凹部 3 1 と隣の凹部 3 1 との間で挟まれたバリア層の領域上の全域に亘って補助膜 2 3 が設けられている訳では無く、補助膜 2 3 が凹部 3 1 とその周囲に設けられ、補助膜 2 3 が間隔をあけて周期的に設けられている点で異なっている。

図 9 の半導体装置においては、ドレイン電極 2 1 とゲート電極 2 2 との間の領域で凹部 3 1 及び補助膜 2 3 はドレイン電極 2 1 が窒化物半導体層上を延伸する方向に間隔をあけて周期的に設けられているので、隣り合う補助膜 2 3 間に設けられた凹部 3 1 及び補助膜 2 3 が設けられていない領域は良好に電流を流すことができる。それゆえ、半導体装置のオン抵抗の増加を低減することができる。

[0036] 図 10 は第 3 実施形態の半導体装置の第 4 の変形例を示す上面図である。図 10 も図 6 (b) と同様にドレイン電極 2 1 近傍の領域の上面を示すもの

であり、絶縁膜 32、及び絶縁膜 32 上に設けられたドレイン電極 21 の一部は省略されている。図 10 の半導体装置においては、補助膜 23 の一部が設けられている凹部 31 の上から見た形状は長方形であり、凹部 31 内に補助膜 23 が設けられている。また、凹部 31 はドレイン電極 21 から離間してドレイン電極 21 とソース電極 20 との間に設けられており、隣り合う凹部 31 間のバリア層上の補助膜 23 の端 23B は凹部 31 の周囲のバリア層上の補助膜 23 の端 23A よりもドレイン電極 21 側であり、補助膜 23 の上から見た形状は楕形状である。

図 10 の半導体装置においても第 2 実施形態の半導体装置と同様の効果を得ることができる。また、図 10 の上面図から見て、凹部 31 及び補助膜 23 はドレイン電極 21 の一方の側にしか形成していないが、凹部 31 及び補助膜 23 はドレイン電極 31 を取り囲むように形成されていても良い。

[0037] 次に、第 4 実施形態の半導体装置 41 について、図 11 を参照しながら、説明する。

[0038] 図 11 (a) は第 4 実施形態の半導体装置 41 を示す概略断面図であり、図 11 (b) は図 11 (a) の上面図である。なお、図 11 (b) はドレイン電極 21 近傍の領域の上面を示すものであり、また、絶縁膜 32、及び絶縁膜 32 上の配線 25 は省略されている。図 11 の半導体装置 41 は補助膜 23 とドレイン電極 21 は配線 25 によって電氣的に接続されている。ここで、補助膜 23 及びドレイン電極 21 は絶縁膜 32 に設けられた開口部を介して配線 25 に接続されている（図 11 (a) 参照）。なお、図 11 の半導体装置 41 では、補助膜 23 の一部が設けられている凹部 31 がバリア層 17 を貫通せずにチャネル層 16 に達していない構成になっているが、補助膜 23 の一部が設けられている凹部 31 がバリア層 17 を貫通してチャネル層 16 に達する構成としてもよい。第 5 実施形態の半導体装置においても、第 4 実施形態の半導体装置と同様の効果を得ることができる。

[0039] なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は、例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的

に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

符号の説明

- [0040] 10、13、40、40'、41…半導体装置
- 14…基板、
- 15…バッファ層
- 16…チャネル層（第1の窒化物系半導体層）
- 17…バリア層（第2の窒化物系半導体層）
- 18…2次元電子ガス層
- 20…ソース電極（第2の電極）
- 21…ドレイン電極（第1の電極）
- 22…ゲート電極（制御電極）
- 23…補助膜（補助電極）
- 24…フォトリソ膜
- 25…配線
- 29…補助電極形成領域
- 30…ゲート形成領域
- 31…凹部
- 32…絶縁膜

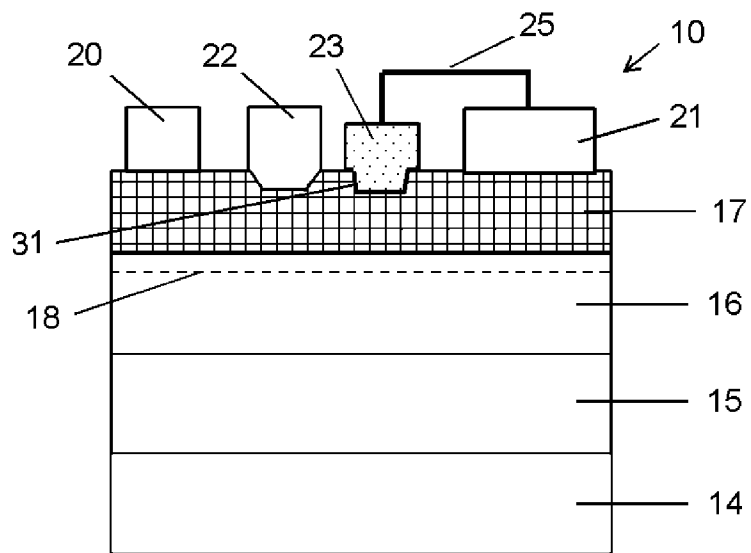
請求の範囲

- [請求項1] 第1の窒化物系半導体層と、
前記第1の窒化物系半導体層上の第2の窒化物系半導体層と、
前記第1の窒化物系半導体層と前記第2の窒化物系半導体層との界面近傍の2次元電子ガス層と、
前記2次元電子ガス層と電氣的に接続する第1の電極と、
前記2次元電子ガス層と電氣的に接続する第2の電極と、
前記第1の電極と前記第2の電極との間にあって、前記第2の窒化物系半導体層の表面に設けられた凹部と、
前記第1の電極と電氣的に接続し、前記第2の電極とは離間し、前記凹部内に設けられたp型窒化物半導体から成る補助膜とを備えたものであることを特徴とする半導体装置。
- [請求項2] 前記第1の電極は前記第2の電極よりも高電位となる電極であることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記凹部は前記第1の電極の延伸する方向に周期的に離間して配置されていることを特徴とする請求項1又は請求項2に記載の半導体装置。
- [請求項4] 前記凹部は前記第1の電極から離間し、
前記補助膜は前記凹部と前記第1の電極との間の前記第2の窒化物系半導体層上に形成されていることを特徴とする請求項1から請求項3のいずれか1項に記載の半導体装置。
- [請求項5] 前記凹部は前記第1の電極と接し、
前記補助膜は前記第1の電極と接触していることを特徴とする請求項1から請求項3のいずれか1項に記載の半導体装置。
- [請求項6] 前記凹部は前記第1の電極に沿って複数形成されていることを特徴とする請求項1から請求項5のいずれか1項に記載の半導体装置。
- [請求項7] 前記補助膜は前記第1の電極の周りを取り囲むように設けられたものであることを特徴とする請求項1から請求項6のいずれか1項に記載の半導体装置。

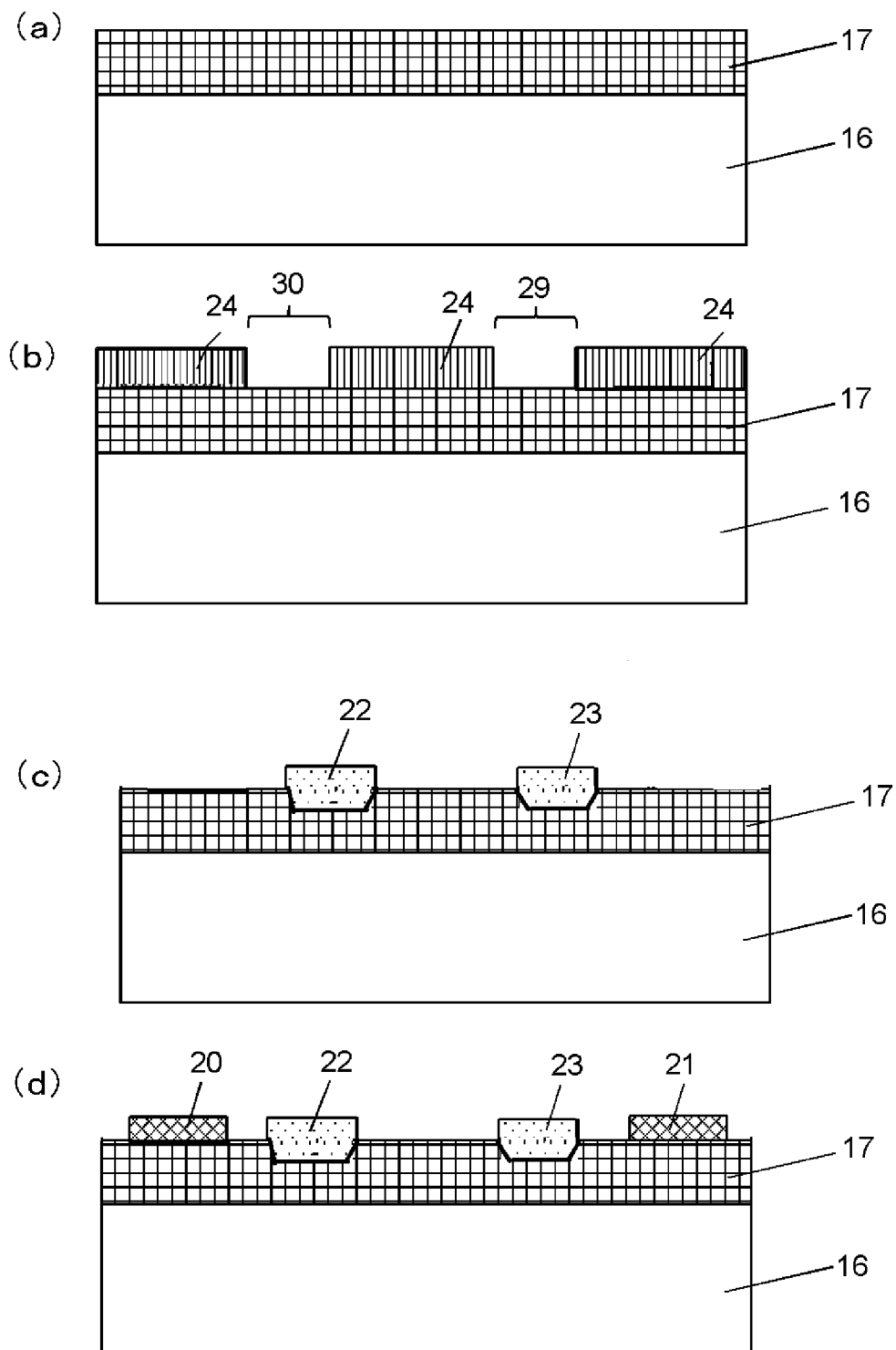
載の半導体装置。

- [請求項8] 第1の窒化物系半導体層と、前記第1の窒化物系半導体層上に第2の窒化物系半導体層とを形成し、第1の窒化物系半導体層と第2の窒化物系半導体層との界面近傍に2次元電子ガス層を生じさせる工程と、前記第2の窒化物系半導体層の表面に凹部を形成する工程と、前記2次元電子ガス層に電氣的に接続する第1の電極及び第2の電極を形成する工程と、前記第1の電極と電氣的に接続し、前記凹部内にp型の窒化物半導体層を形成する工程とを備えることを特徴とする半導体装置の製造方法。
- [請求項9] 前記凹部は前記第1の電極の延伸する方向に複数離間して形成されることを特徴とする請求項8に記載の半導体装置の製造方法。

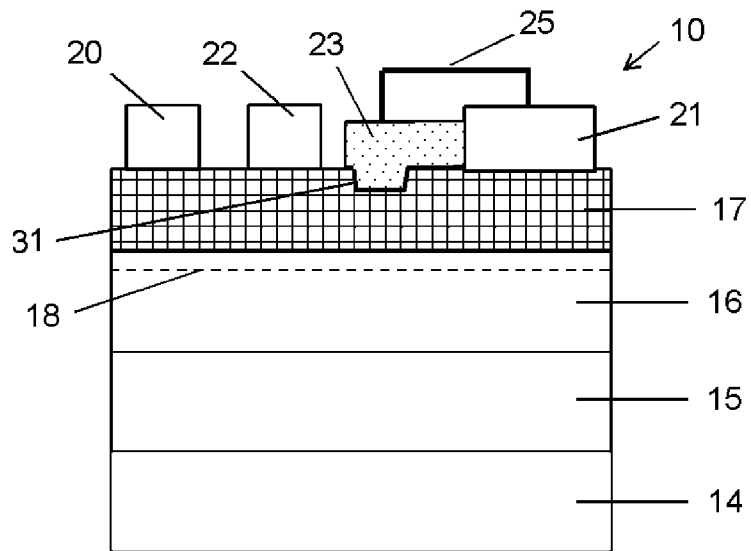
[図1]



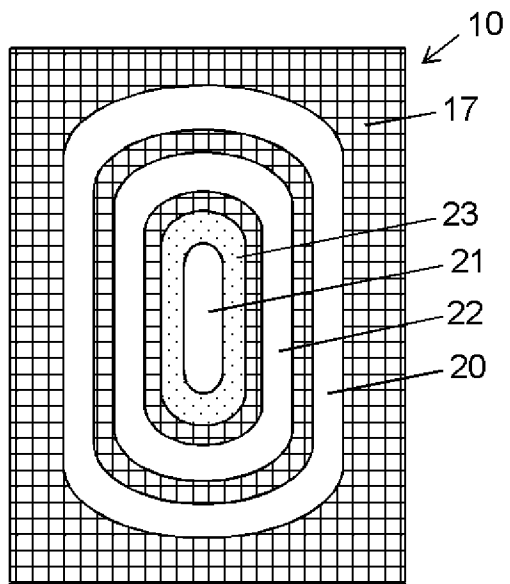
[図2]



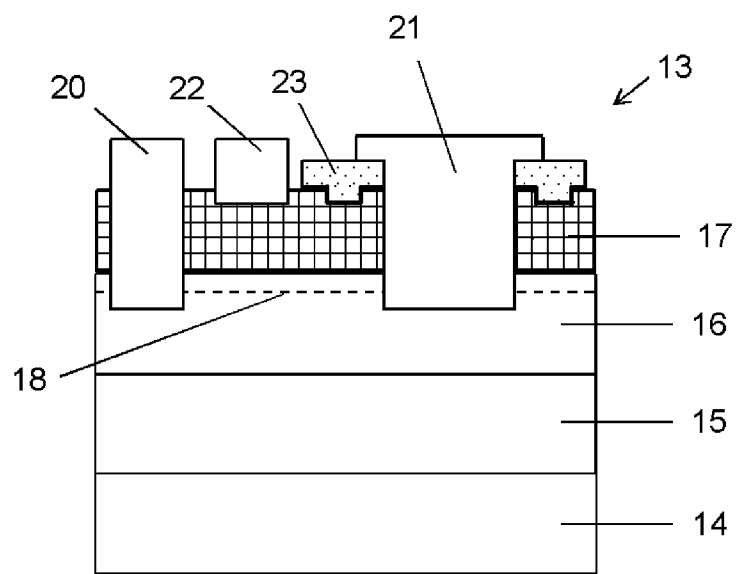
[図3]



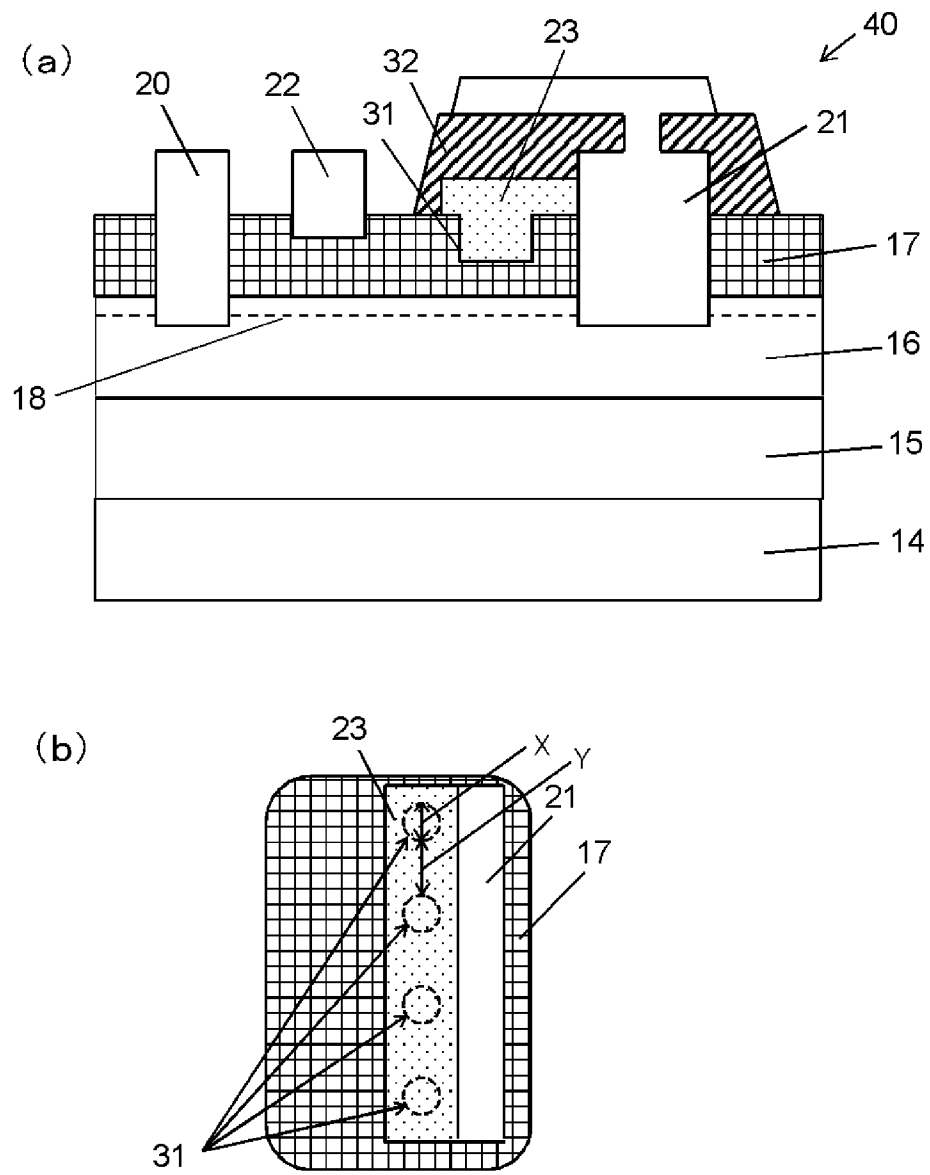
[図4]



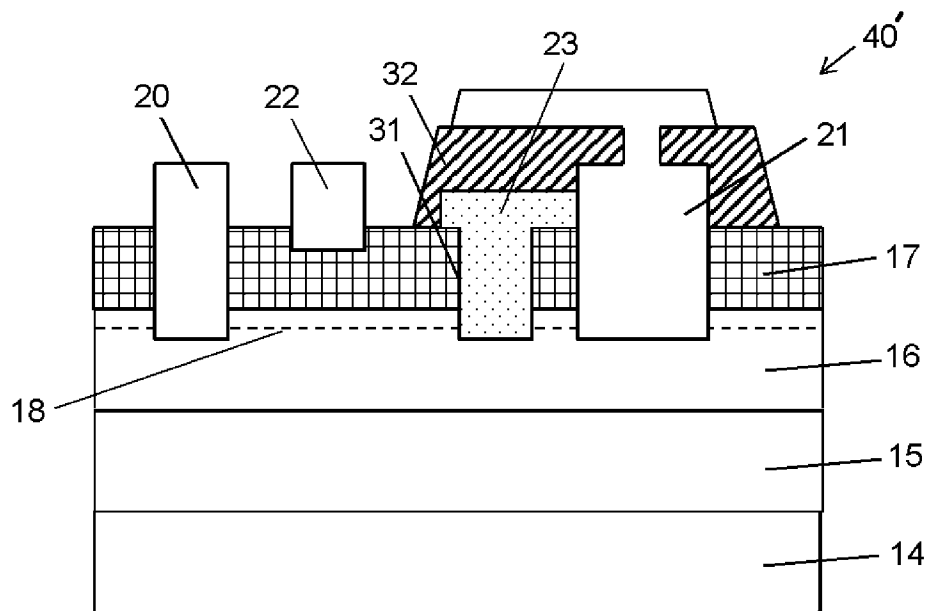
[図5]



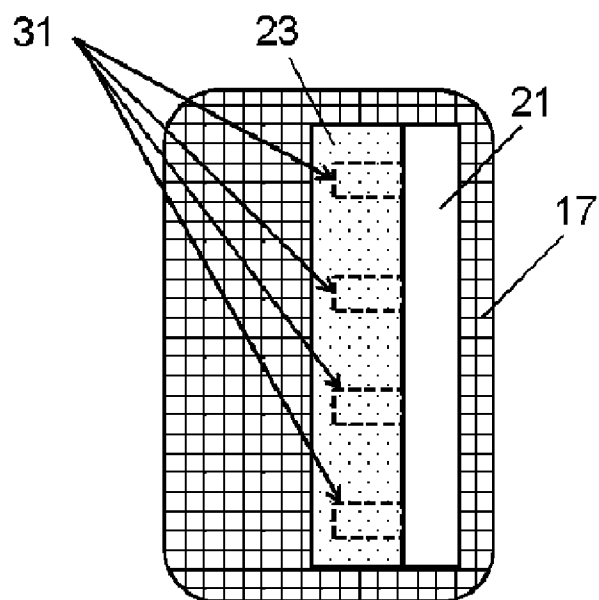
[図6]



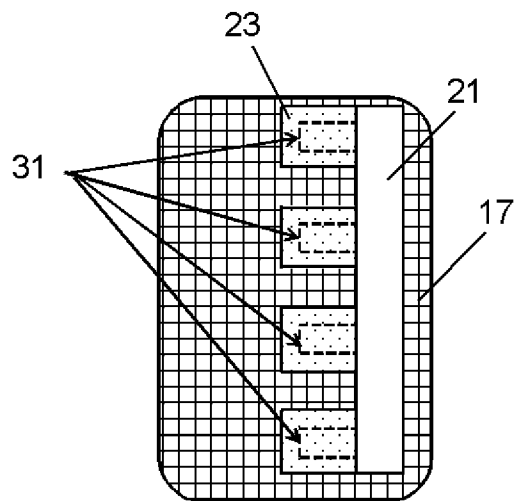
[図7]



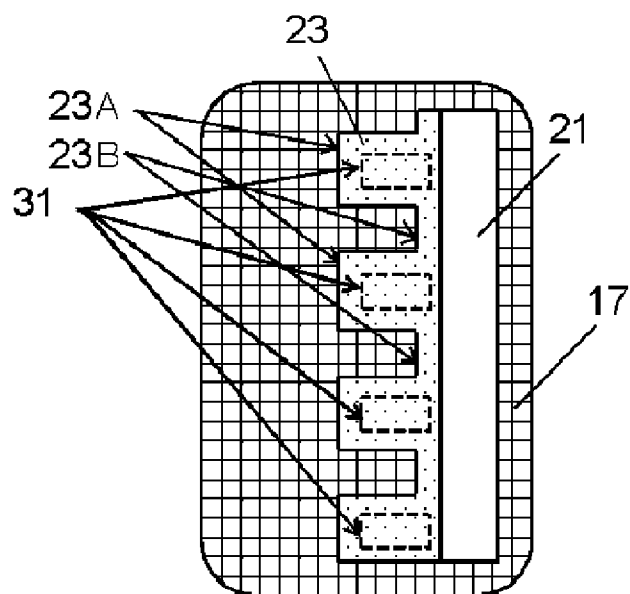
[図8]



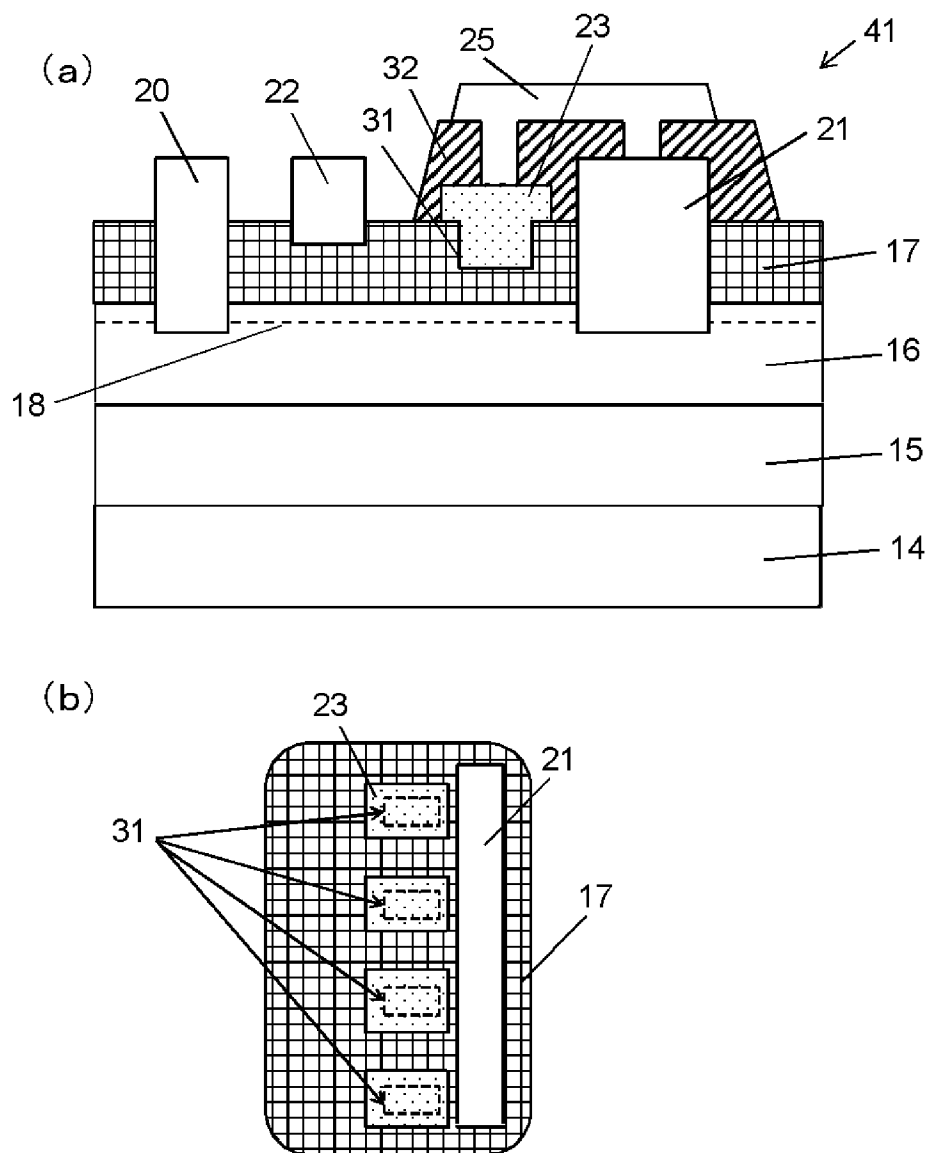
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/023830

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/338(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/338, H01L29/778, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2011-181743 A (Panasonic Corp.), 15 September 2011 (15.09.2011), paragraphs [0025] to [0046]; fig. 1 to 3, 7 to 9, 13 & US 2011/0215379 A1 paragraphs [0030] to [0053]; fig. 1 to 3, 7 to 9, 13 & CN 102194866 A	1-4, 6-9 5
Y A	WO 2016/157718 A1 (Panasonic Corp.), 06 October 2016 (06.10.2016), paragraphs [0115] to [0116], [0135] to [0149]; fig. 2, 8, 11 to 12 (Family: none)	1-4, 6-9 5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
22 August 2017 (22.08.17)

Date of mailing of the international search report
29 August 2017 (29.08.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/023830

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-243978 A (Advanced Power Device Research Association), 01 December 2011 (01.12.2011), paragraphs [0089] to [0093]; fig. 9 to 10 & US 2013/0292699 A1 paragraphs [0105] to [0109]; fig. 9 to 10 & WO 2012/144100 A1 & CN 103314438 A	1-9

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/338(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/338, H01L29/778, H01L29/812

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2011-181743 A（パナソニック株式会社） 2011.09.15, 段落[0025]-[0046], 図1-3, 7-9, 13 & US 2011/0215379 A1, 段落[0030]-[0053], 図1-3, 7-9, 13 & CN 102194866 A	1-4, 6-9 5
Y A	WO 2016/157718 A1（パナソニック株式会社） 2016.10.06, 段落[0115]-[0116], [0135]-[0149], 図2, 8, 11-12 (ファミリーなし)	1-4, 6-9 5

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

22.08.2017

国際調査報告の発送日

29.08.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

杉山 芳弘

5 F

6311

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-243978 A (次世代パワーデバイス技術研究組合) 2011.12.01, 段落[0089]-[0093], 図 9-10 & US 2013/0292699 A1, 段落[0105]-[0109], 図 9-10 & WO 2012/144100 A1 & CN 103314438 A	1-9