

(19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) 。 Int. Cl.⁷
H01L 21/8242

(45) 공고일자 2005년03월10일
(11) 등록번호 10-0471574
(24) 등록일자 2005년02월02일

(21) 출원번호 10-2002-0042147
(22) 출원일자 2002년07월18일

(65) 공개번호 10-2004-0008508
(43) 공개일자 2004년01월31일

(73) 특허권자 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 조규석
경기도이천시증포동대우2차아파트205-501

이정호
경기도이천시부발읍아미리산136-1

오훈정
경기도이천시부발읍신하리삼익아파트102-809

(74) 대리인 신영무

심사관 : 반성원

(54) 반도체 소자의 캐패시터 제조 방법

요약

본 발명은 반도체 소자의 캐패시터 제조 방법에 관한 것으로, 다수의 캐패시터 홀을 포함한 절연층의 표면을 따라 도프트 실리콘층 및 언도프트 실리콘층을 순차적으로 형성하고, 캐패시터 홀 사이의 절연층 상단에 형성된 언도프트 실리콘층을 제거하거나 도핑 시킴으로, 절연층 상단에서 준안정 폴리실리콘층이 성장되는 것이 방지되어 준안정 폴리실리콘층으로 인해 발생하는 캐패시터 간의 브릿지(bridge) 현상을 방지할 수 있는 반도체 소자의 캐패시터 제조 방법에 관하여 기술된다.

대표도

도 2e

색인어

실린더형 캐패시터, 준안정 폴리실리콘층, 브릿지 현상, 단락

명세서

도면의 간단한 설명

도 1은 종래 반도체 소자의 캐패시터 제조 방법을 설명하기 위한 소자의 단면도.

도 2a 내지 도 2e는 본 발명의 제 1 실시예에 따른 반도체 소자의 캐패시터 제조 방법을 설명하기 위한 소자의 단면도.

도 3a 내지 도 3e는 본 발명의 제 2 실시예에 따른 반도체 소자의 캐패시터 제조 방법을 설명하기 위한 소자의 단면도.

<도면의 주요 부분에 대한 부호의 설명>

10, 20, 30: 기판 21, 31: 절연층

22, 32: 캐패시터 홀 13, 23: 스토리지 노드 전극

13a, 23a, 33a: 도프트 실리콘층 13b, 23b, 33b: 언도프트 실리콘층

13c, 23c, 33c: 준안정 폴리실리콘층 24, 34: 평탄화층

25, 35: 유전체막 26, 36: 플레이트 전극

200: 이온 주입층 300: 틸트 식각부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 캐패시터 제조 방법에 관한 것으로, 특히 실린더형 캐패시터에 정전용량을 증가시키기 위해 준안정 폴리실리콘(Metastable Poly Silicon; MPS) 성장 공정을 도입할 때 준안정 폴리실리콘층으로 인해 발생하는 캐패시터간의 브릿지(bridge) 현상을 방지할 수 있는 반도체 소자의 캐패시터 제조 방법에 관한 것이다.

일반적으로, 반도체 소자가 고집적화 및 소형화되어 감에 따라 반도체 소자의 구성 요소 각각이 차지하는 면적은 줄어들고 있다. 반도체 소자의 크기가 줄어들더라도 반도체 소자의 구동에 필요한 최소한의 캐패시터의 충전 용량은 확보되어야 한다. 정전 용량을 확보하기 위한 방안으로 캐패시터의 스토리지 노드 전극을 실린더 구조, 스택 구조, 벨로우즈 구조, 핀 구조 등 다양한 3차원 구조로 만들어 유효 표면적을 넓히거나, 고유전율 물질을 개발하여 캐패시터의 유전체층으로 사용하는 등의 방안이 있다. 또 다른 방안은 캐패시터의 스토리지 노드 전극의 유효 표면적을 증대시키기 위해 준안정 폴리실리콘(Metastable Poly Silicon; MPS) 공정을 도입하여 스토리지 노드 전극의 표면에 준안정 폴리실리콘층을 형성한다.

도 1은 종래 반도체 소자의 캐패시터 제조 방법을 설명하기 위한 소자의 단면도이다.

도 1을 참조하면, 하지층이 형성된 기판(10) 상에 절연층을 형성하고, 절연층의 일부분을 식각하여 다수의 캐패시터 홀을 형성한다. 다수의 캐패시터 홀을 포함한 절연층의 표면을 따라 도프트 실리콘층(13a)을 형성한다. 도프트 실리콘층(13a) 상에 언도프트 실리콘층(13b)을 형성한다. 화학적 기계적 연마(CMP) 공정을 진행하여 절연층 상단 부분에 존재하는 언도프트 실리콘층(13b) 및 도프트 실리콘층(13a)을 제거하여 캐패시터 홀 각각의 내부에만 도프트 실리콘층(13a) 및 언도프트 실리콘층(13b)이 남도록 하고, 이로 인하여 캐패시터가 분리 공정이 완료된다. 화학적 기계적 연마 공정에 의해 절연층은 노출되는데, 이 절연층을 습식 식각 공정으로 제거하고, 준안정 폴리실리콘 공정을 실시하여 언도프트 실리콘층(13b) 상에 준안정 폴리실리콘층(13c)을 형성하고, 이로 인하여 실린더 구조의 스토리지 노드 전극(13)이 형성된다. 이후, 스토리지 노드 전극(13) 상에 유전체막 및 플레이트 전극을 형성하여 캐패시터를 제조한다.

상기한 종래 방법에서, 실린더 구조의 스토리지 노드 전극(13)은 반도체 소자의 고집적화로 발생할 수 있는 캐패시터간의 단락을 방지하면서 캐패시터의 정전용량을 증대시키기 위해 준안정 폴리실리콘층(13c)을 실린더 구조 내면에만 선택적으로 형성하였다. 준안정 폴리실리콘층(13c)은, 이미 알려진 바와 같이, 도프트 실리콘에는 준안정 폴리실리콘이 성장되지 않고 언도프트 실리콘에만 준안정 폴리실리콘이 성장되는 현상을 이용하여 선택적으로 형성할 수 있다.

그런데, 반도체 소자가 더욱 고집적화 되어감에 따라 이웃하는 캐패시터 사이의 간격은 좁아지게 된다. 즉, 스토리지 노드 전극(13) 사이가 점점 좁아지게 되는데, 스토리지 노드 전극(13)의 꼭대기 부분의 언도프트 실리콘층(13b)에 성장되는 준안정 폴리실리콘층(13c)이 도프트 실리콘층(13a) 쪽으로도 성장되고 심할 경우 스토리지 노드 전극(13) 사이의 공간 부분까지 성장이 이루어져 결국 이웃하는 스토리지 노드 전극(13) 간에 브릿지 현상을 유발하게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 실린더형 캐패시터에 정전용량을 증가시키기 위해 준안정 폴리실리콘 성장 공정을 도입할 때 준안정 폴리실리콘층으로 인해 발생하는 캐패시터간의 브릿지 현상을 방지하여, 소자의 신뢰성 및 수율을 향상시키고 소자의 고집적화를 실현할 수 있는 반도체 소자의 캐패시터 제조 방법을 제공함에 그 목적이 있다.

이러한 목적을 달성하기 위한 본 발명의 실시예에 따른 반도체 소자의 캐패시터 제조 방법은 기판 상에 절연층을 형성하고, 상기 절연층에 다수의 캐패시터 홀을 형성하는 단계; 상기 다수의 캐패시터 홀을 포함한 상기 절연층 상에 도프트 실리콘층 및 언도프트 실리콘층을 순차적으로 형성하는 단계; 전체 구조상에 평탄화층을 형성한 후, 상기 절연층 상단부가 노출되도록 연마 공정을 실시하는 단계; 상기 도프트 실리콘층 및 상기 언도프트 실리콘층의 상단 노출 부분에 이온 주입하여 이온 주입층을 형성하는 단계; 상기 평탄화층 및 상기 절연층을 제거하는 단계; 상기 언도

프트 실리콘층 상에 준안정 폴리실리콘층을 형성하여 스토리지 노드 전극을 형성하는 단계; 및 상기 스토리지 노드 전극 상에 유전체막 및 플레이트 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

또한, 상기한 목적을 달성하기 위한 본 발명의 다른 실시예에 따른 반도체 소자의 캐패시터 제조 방법은 기판 상에 절연층을 형성하고, 상기 절연층에 다수의 캐패시터 홀을 형성하는 단계; 상기 다수의 캐패시터 홀을 포함한 상기 절연층 상에 도프트 실리콘층 및 언도프트 실리콘층을 순차적으로 형성하는 단계; 티트 식각 공정으로 상기 언도프트 실리콘층의 일부분을 제거하여 티트 식각부를 형성하는 단계; 전체 구조상에 평탄화층을 형성한 후, 상기 절연층 상단부가 노출되도록 연마 공정을 실시하는 단계; 상기 평탄화층을 제거하여 상기 언도프트 실리콘층 및 상기 티트 식각부가 노출된 상태에서 상기 언도프트 실리콘층 상에 준안정 폴리실리콘층을 형성하여 스토리지 노드 전극을 형성하는 단계; 및 상기 절연층을 제거하고, 상기 스토리지 노드 전극 상에 유전체막 및 플레이트 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

발명의 구성 및 작용

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세하게 설명한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.

도 2a 내지 도 2e는 본 발명의 제 1 실시예에 따른 반도체 소자의 캐패시터 제조 방법을 설명하기 위한 소자의 단면도이다.

도 2a를 참조하면, 하지층이 형성된 기판(20) 상에 절연층(21)을 형성하고, 스토리지 노드 전극 마스크를 이용한 식각 공정으로 절연층(21)의 일부분을 식각하여 다수의 캐패시터 홀(22)을 형성한다. 다수의 캐패시터 홀(22)을 포함한 절연층(21)의 표면을 따라 도프트 실리콘층(23a)을 형성한다. 도프트 실리콘층(23a) 상에 언도프트 실리콘층(23b)을 형성한다.

상기에서, 절연층(21)은 산화물 계열의 절연물질을 15,000 ~ 20,000Å의 두께로 형성하고, 도프트 실리콘층(23a)은 100 ~ 500Å의 두께로 형성하고, 언도프트실리콘층(23b)은 150 ~ 600Å의 두께로 형성한다. 절연층(21), 도프트 실리콘층(23a) 및 언도프트 실리콘층(23b) 각각의 두께는 일정 수치에 한정되지 않고 소자의 특성 및 디자인 룰에 따라 적절하게 가변될 수 있다.

도 2b를 참조하면, 포토레지스트(photoresist), 스핀 온 글라스(SOG) 등과 같은 평탄화 특성이 우수한 물질을 캐패시터 홀(22)이 충분히 채워질 수 있도록 증착하여 평탄화층(24)을 한 후, 화학적 기계적 연마(CMP) 공정을 진행하여 절연층(21) 상단 부분에 존재하는 언도프트 실리콘층(23b) 및 도프트 실리콘층(23a)을 제거하여 캐패시터 홀(22) 각각의 내부에만 도프트 실리콘층(23a) 및 언도프트 실리콘층(23b)이 남도록 하고, 이로 인하여 캐패시터가 분리 공정이 완료된다.

도 2c를 참조하면, 연마 공정에 의해 도프트 실리콘층(23a) 및 언도프트 실리콘층(23b)의 상단부가 노출되고, 상단부가 노출된 상태에서 이온 주입 공정을 실시하여 상단부에 이온 주입층(200)을 형성한다.

상기에서, 이온 주입층(200)은 준안정 폴리실리콘이 성장되지 않는 조건을 만들기 위해 형성하는데, 인(Phosphorus)과 같은 불순물 이온을 주입시켜 불순물 도핑층이 되도록 하거나, 아르곤(Ar)과 같은 불활성 이온을 주입시켜 표면 격자 손상층이 되도록 한다.

도 2d를 참조하면, 화학적 기계적 연마 공정을 위해 증착된 평탄화층(24) 및 절연층(21)을 습식 식각 공정으로 제거하고, 준안정 폴리실리콘 공정을 실시하여 언도프트 실리콘층(23b) 상에 준안정 폴리실리콘층(23c)을 형성하고, 이로 인하여 실린더 구조의 스토리지 노드 전극(23)이 형성된다.

상기에서, 준안정 폴리실리콘층(23c)은 언도프트 실리콘층(23b) 상에만 성장되고, 도프트 실리콘층(23a)이나 이온 주입층(200) 상에는 성장되지 않는다. 따라서, 이웃하는 스토리지 노드 전극(23)간의 거리가 좁더라도 준안정 폴리실리콘층(23c)에 의한 브릿지 현상은 발생되지 않게 된다.

도 2e를 참조하면, 스토리지 노드 전극(23)에 불순물 이온을 주입하여 도프트 실리콘이 되도록 한 후, 유전체막(25) 및 플레이트 전극(26)을 형성하여 캐패시터가 제조된다.

상기한 본 발명의 제 1 실시예에 의하면, 스토리지 노드 전극(23)의 꼭대기 부분에 이온 주입층(200)을 형성하여 준안정 폴리실리콘이 이 부분에 성장되지 않도록 하므로 이웃하는 스토리지 노드 전극(23) 간에 브릿지 현상을 유발되지 않게 된다.

도 3a 내지 도 3e는 본 발명의 제 2 실시예에 따른 반도체 소자의 캐패시터 제조 방법을 설명하기 위한 소자의 단면도이다.

도 3a를 참조하면, 하지층이 형성된 기판(30) 상에 절연층(31)을 형성하고, 스토리지 노드 전극 마스크를 이용한 식각 공정으로 절연층(31)의 일부분을 식각하여 다수의 캐패시터 홀(32)을 형성한다. 다수의 캐패시터 홀(32)을 포함한 절연층(31)의 표면을 따라 도프트 실리콘층(33a)을 형성한다. 도프트 실리콘층(33a) 상에 언도프트 실리콘층(33b)을 형성한다.

상기에서, 절연층(31)은 산화물 계열의 절연물질을 15,000 ~ 20,000Å의 두께로 형성하고, 도프트 실리콘층(33a)은 100 ~ 500Å의 두께로 형성하고, 언도프트실리콘층(33b)은 150 ~ 600Å의 두께로 형성한다. 절연층(31), 도프트 실리콘층(33a) 및 언도프트실리콘층(33b) 각각의 두께는 일정 수치에 한정되지 않고 소자의 특성 및 디자인 룰에 따라 적절하게 가변될 수 있다.

도 3b를 참조하면, 틸트(tilt) 식각 공정을 실시하여 절연층(31)의 상단부에 형성되어 있는 언도프트실리콘층(33b)을 제거하고, 이로 인하여 틸트 식각부(300)가 절연층(31) 상단부에 형성된다.

상기에서, 틸트 식각 공정은 웨이퍼를 일정 각도로 틸트시킨 후 건식 수직 식각으로 실시한다. 이때 웨이퍼의 틸트 각도는 5 ~ 95°가 적절한데, 웨이퍼의 틸트 각도가 5°이하일 경우 건식 수직 식각에 의해 캐패시터 홀(32) 내부의 언도프트실리콘층(33b)까지 식각되어 준안정 폴리실리콘의 성장을 저해할 뿐만 아니라 심할 경우 콘택 불량을 유발시키며, 웨이퍼의 틸트 각도가 95°이상일 경우 절연층(31) 상단부의 언도프트실리콘층(33b)의 제거가 어렵기 때문이다.

도 3c를 참조하면, 포토레지스트(photoresist), 스핀 온 글라스(SOG) 등과 같은 평탄화 특성이 우수한 물질을 캐패시터 홀(32)이 충분히 채워질 수 있도록 증착하여 평탄화층(34)한 후, 화학적 기계적 연마(CMP) 공정을 진행하여 절연층(31) 상단 부분에 존재하는 도프트실리콘층(33a)을 제거하여 캐패시터 홀(32) 각각의 내부에만 도프트실리콘층(33a) 및 언도프트실리콘층(33b)이 남도록 하고, 이로 인하여 캐패시터가 분리 공정이 완료된다.

도 3d를 참조하면, 캐패시터 홀(32) 내에 채워진 평탄화층(34)을 제거하고, 이로 인하여 언도프트실리콘층(33b) 및 틸트 식각부(300)가 노출된다. 준안정 폴리실리콘 공정을 실시하여 언도프트실리콘층(33b) 상에 준안정 폴리실리콘층(33c)을 형성하고, 이로 인하여 실린더 구조의 스토리지 노드 전극(33)이 형성된다.

상기에서, 준안정 폴리실리콘층(33c)은 언도프트실리콘층(33b) 상에만 성장되고, 도프트실리콘층(33a)이 노출된 틸트 식각부(300) 및 절연층(31)의 표면에는 성장되지 않는다. 따라서, 이웃하는 스토리지 노드 전극(33)간의 거리가 좁더라도 준안정 폴리실리콘층(33c)에 의한 브릿지 현상은 발생되지 않게 된다.

도 3e를 참조하면, 스토리지 노드 전극(23)에 불순물 이온을 주입하여 도프트실리콘이 되도록 한 후, 스토리지 노드 전극(23) 사이의 절연층(31)을 제거하고, 전체 구조상에 유전체막(35) 및 플레이트 전극(36)을 형성하여 캐패시터가 제조된다.

상기한 본 발명의 제 2 실시예에 의하면, 스토리지 노드 전극(23)의 어느 한쪽 상단부 즉, 틸트 식각부(300)에 준안정 폴리실리콘이 성장되지 않도록 하므로 이웃하는 스토리지 노드 전극(33) 간에 브릿지 현상을 유발되지 않게 된다.

발명의 효과

상술한 바와 같이, 본 발명은 실린더형 캐패시터에 정전용량을 증가시키기 위해 준안정 폴리실리콘 성장 공정을 도입할 때 준안정 폴리실리콘층으로 인해 발생하는 캐패시터간의 브릿지 현상을 방지하므로, 소자의 신뢰성 및 수율을 향상시킬 수 있을 뿐만 아니라 소자의 고집적화를 실현할 수 있고, 또한 캐패시터의 정전용량을 안정적으로 확보할 수 있어 제품의 리프레시(refresh) 특성을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

기판 상에 절연층을 형성하고, 상기 절연층에 다수의 캐패시터 홀을 형성하는 단계;

상기 다수의 캐패시터 홀을 포함한 상기 절연층 상에 도프트실리콘층 및 언도프트실리콘층을 순차적으로 형성하는 단계;

전체 구조상에 평탄화층을 형성한 후, 상기 절연층 상단부가 노출되도록 연마 공정을 실시하는 단계;

상기 도프트실리콘층 및 상기 언도프트실리콘층의 상단 노출 부분에 P 이온을 주입하여 불순물 도핑층을 형성하는 단계;

상기 평탄화층 및 상기 절연층을 제거하는 단계;

상기 언도프트실리콘층 상에 준안정 폴리실리콘층을 형성하여 스토리지 노드 전극을 형성하는 단계; 및

상기 스토리지 노드 전극 상에 유전체막 및 플레이트 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 2.

제1 항에 있어서, 상기 불순물 도핑층은

상기 준안정 폴리실리콘층이 성장되지 않은 조건을 만들기 위해 형성되는 것을 특징으로 하는 반도체 소자의 캐패시터 제조방법.

청구항 3.

(삭제)

청구항 4.

기판 상에 절연층을 형성하고, 상기 절연층에 다수의 캐패시터 홀을 형성하는 단계;

상기 다수의 캐패시터 홀을 포함한 상기 절연층 상에 도프트 실리콘층 및 언도프트 실리콘층을 순차적으로 형성하는 단계;

틸트 식각 공정으로 상기 언도프트 실리콘층의 일부분을 제거하여 틸트 식각부를 형성하는 단계;

전체 구조상에 평탄화층을 형성한 후, 상기 절연층 상단부가 노출되도록 연마 공정을 실시하는 단계;

상기 평탄화층을 제거하여 상기 언도프트 실리콘층 및 상기 틸트 식각부가 노출된 상태에서 상기 언도프트 실리콘층 상에 준안정 폴리실리콘층을 형성하여 스토리지 노드 전극을 형성하는 단계; 및

상기 절연층을 제거하고, 상기 스토리지 노드 전극 상에 유전체막 및 플레이트 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 5.

제 4 항에 있어서,

상기 틸트 식각부는 상기 절연층 상단부에서 틸트 식각 각도에 따라 면적이 다르게 형성되는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

청구항 6.

제 4 항에 있어서,

상기 틸트 식각 공정은 웨이퍼를 일정 각도로 틸트시킨 후 건식 수직 식각으로 실시하는 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

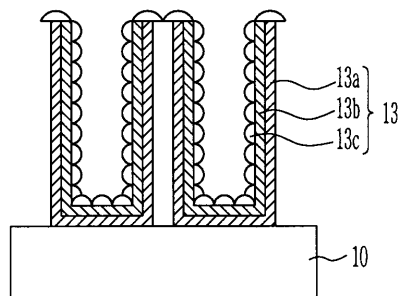
청구항 7.

제 6 항에 있어서,

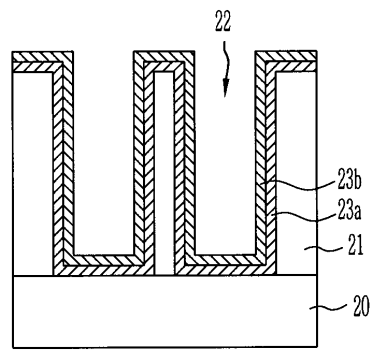
상기 웨이퍼의 틸트 각도는 5 ~ 95°의 범위인 것을 특징으로 하는 반도체 소자의 캐패시터 제조 방법.

도면

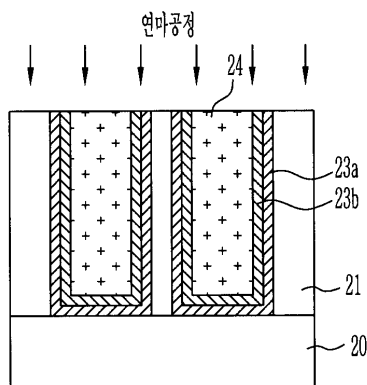
도면1



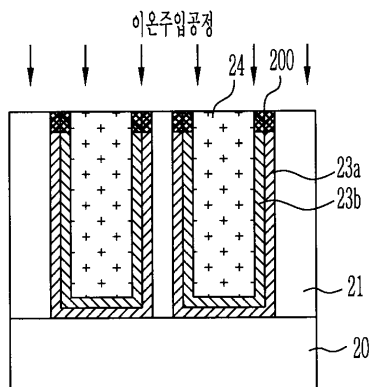
도면2a



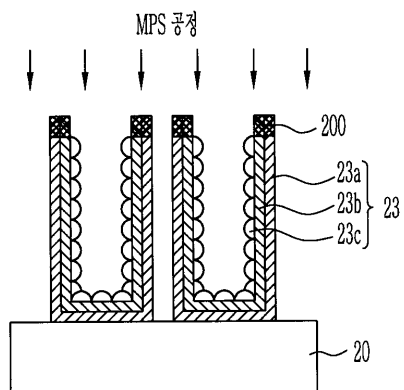
도면2b



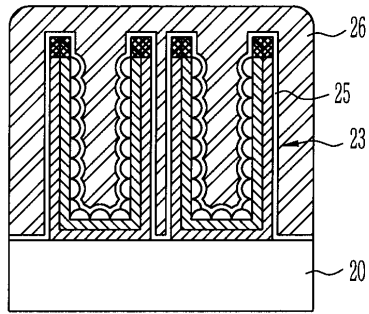
도면2c



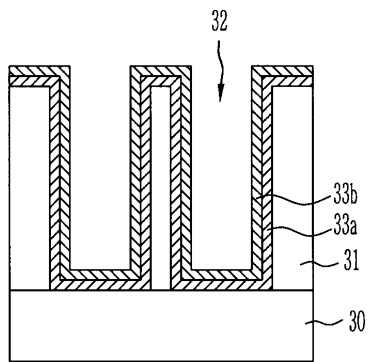
도면2d



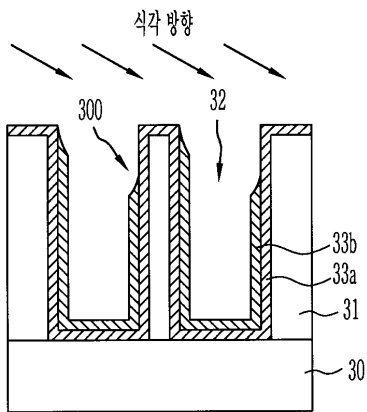
도면2e



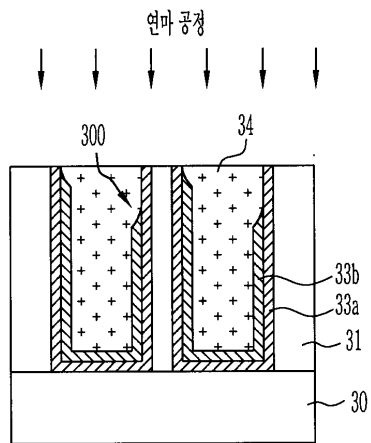
도면3a



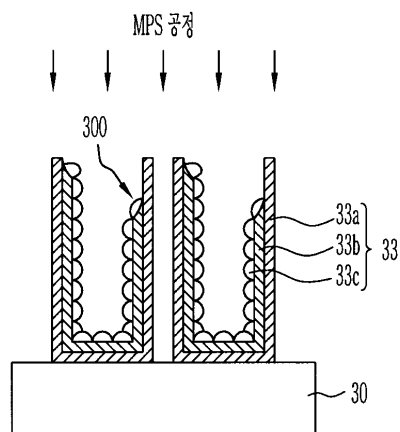
도면3b



도면3c



도면3d



도면3e

