

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第1部門第2区分

【発行日】令和6年10月22日(2024.10.22)

【公開番号】特開2024-58137(P2024-58137A)

【公開日】令和6年4月25日(2024.4.25)

【年通号数】公開公報(特許)2024-077

【出願番号】特願2022-165287(P2022-165287)

【国際特許分類】

A 63 F 7/02 (2006.01)

10

【F I】

A 63 F 7/02 326Z

【手続補正書】

【提出日】令和6年10月11日(2024.10.11)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

20

【特許請求の範囲】

【請求項1】

遊技の進行を制御する遊技制御手段を備え、

前記遊技制御手段は、中央処理装置、プログラム、及びテーブルデータが記憶された第1記憶手段、及び、前記プログラムの実行に伴いデータを記憶する第2記憶手段とを含んで構成されたマイクロプロセッサを有し、

前記テーブルデータには、複数のテーブルデータがあり、

前記複数のテーブルデータの内の所定のテーブルデータは、1バイトデータが複数バイト集まつたデータ群であり、

前記データ群の前記1バイトデータは、1ビット単位以上のデータで構成されたビットデータテーブルであり、

前記遊技制御手段は、前記ビットデータテーブルの前記1バイトデータから1ビット以上のビットデータを取得し、その1ビット以上のビットデータを前記第2記憶手段の所定領域に格納するビットデータ取得手段を有し、

前記ビットデータ取得手段は、前記ビットデータテーブルから1バイトのデータを取得した後、所定の条件に応じて、取得したデータに対して1ビット単位以上のシフトを実行することで前記ビットデータを取得し、

前記中央処理装置は、少なくとも各種レジスタ及びスタックポインタを含むメインレジスタと、各種レジスタを含むサブレジスタと、前記メインレジスタ、及び前記サブレジスタを含むバンク0、及びバンク1とを有し、

前記第1記憶手段は、第1記憶領域と、第2記憶領域で構成され、

前記第2記憶領域に記憶されたプログラムには、前記第1記憶領域に記憶されたプログラムより呼び出されて処理を実行した後、必ず、呼び出した前記第1記憶領域のプログラムに戻る特定サブルーチンがあり、

前記遊技制御手段は、

前記特定サブルーチンを呼び出す場合に使用する特定コール命令を実行して前記特定サブルーチンを呼び出し、

前記特定サブルーチンから、呼び出した前記第1記憶領域に記憶されたプログラムに戻る場合に使用する特定リターン命令を実行して、前記第1記憶領域に記憶されたプログラムに戻るよう制御し、

40

50

前記特定コール命令を実行すると、前記バンク0から前記バンク1に切り替わり、
前記特定リターン命令を実行すると、前記バンク1から前記バンク0に切り替わり、
前記特定サブルーチンを呼び出した前記第1記憶領域のプログラムは、前記特定サブルーチンの処理を実行した後、前記バンク1から前記バンク0に切り替わったことを契機に前記プログラムの処理を継続し、

前記遊技制御手段は、

電断発生時に電断処理を行う電断処理手段と、

前記第2記憶手段の所定のアドレス範囲内のCRC演算を行うCRC演算手段を実行してCRC値を算出し、前記第2記憶手段の所定の領域に記憶するCRC生成手段と、を更に有し、

前記電断処理手段は、前記バンク0のスタックポインタの値を前記第2記憶手段の特定の領域に記憶し、前記CRC生成手段を実行することを特徴とする遊技機。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

本発明の第1の実施態様に係る発明は、下記の構成を有する。

遊技の進行を制御する遊技制御手段を備え、

前記遊技制御手段は、中央処理装置（例えば、メインCPU2101）、プログラム、及びテーブルデータが記憶された第1記憶手段（例えば、メインROM2102）、及び、前記プログラムの実行に伴いデータを記憶する第2記憶手段（例えば、メインRAM2103）とを含んで構成されたマイクロプロセッサ（例えば、マイクロプロセッサ2100）を有し、

前記テーブルデータには、複数のテーブルデータがあり、

前記複数のテーブルデータの内の所定のテーブルデータは、1バイトデータが複数バイト集まつたデータ群であり、

前記データ群の前記1バイトデータは、1ビット単位以上のデータで構成されたビットデータテーブルであり、

前記遊技制御手段は、前記ビットデータテーブルの前記1バイトデータから1ビット以上のビットデータを取得し、その1ビット以上のビットデータを前記第2記憶手段の所定領域に格納するビットデータ取得手段を有し、

前記ビットデータ取得手段は、前記ビットデータテーブルから1バイトのデータを取得した後、所定の条件に応じて、取得したデータに対して1ビット単位以上のシフトを実行することで前記ビットデータを取得し、

前記中央処理装置は、少なくとも各種レジスタ及びスタックポインタを含むメインレジスタと、各種レジスタを含むサブレジスタと、前記メインレジスタ、及び前記サブレジスタを含むバンク0、及びバンク1とを有し、

前記第1記憶手段は、第1記憶領域（例えば、使用領域内ROMエリア2202a）と、第2記憶領域（例えば、使用領域外ROMエリア2202b）で構成され、

前記第2記憶領域に記憶されたプログラムには、前記第1記憶領域に記憶されたプログラムより呼び出されて処理を実行した後、必ず、呼び出した前記第1記憶領域のプログラムに戻る特定サブルーチン（例えば、図177に示した使用領域外RAM初期化処理（継続）を実行するサブプログラムや、図180に示したインターフェース2出力処理（継続）を実行するサブプログラム）があり、

前記遊技制御手段は、

前記特定サブルーチンを呼び出す場合に使用する特定コール命令（例えば、「CALL EX」）を実行して前記特定サブルーチンを呼び出し、

前記特定サブルーチンから、呼び出した前記第1記憶領域に記憶されたプログラムに戻る

10

20

30

40

50

場合に使用する特定リターン命令を実行して、前記第1記憶領域に記憶されたプログラムに戻るよう制御し、

前記特定コール命令を実行すると、前記バンク0から前記バンク1に切り替わり、

前記特定リターン命令を実行すると、前記バンク1から前記バンク0に切り替わり、

前記特定サブルーチンを呼び出した前記第1記憶領域のプログラムは、前記特定サブルーチンの処理を実行した後、前記バンク1から前記バンク0に切り替わったことを契機に前記プログラムの処理を継続し、

前記遊技制御手段は、

電断発生時に電断処理を行う電断処理手段と、

前記第2記憶手段の所定のアドレス範囲内のCRC演算を行うCRC演算手段を実行してCRC値を算出し、前記第2記憶手段の所定の領域に記憶するCRC生成手段と、を更に有し、 10

前記電断処理手段は、前記バンク0のスタックポインタの値を前記第2記憶手段の特定の領域に記憶し、前記CRC生成手段を実行することを特徴とする遊技機。

10

20

30

40

50