



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년12월26일
(11) 등록번호 10-0875662
(24) 등록일자 2008년12월17일

(51) Int. Cl.

H01L 21/308 (2006.01)

(21) 출원번호 10-2007-0111761
(22) 출원일자 2007년11월02일
심사청구일자 2007년11월02일

(56) 선행기술조사문헌
KR1020070058578 A
US20070161251 A1
US7253118 B2

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

정진기

경기 이천시 부발읍 신하리 신한아파트 101-105

(74) 대리인

특허법인 신성

전체 청구항 수 : 총 18 항

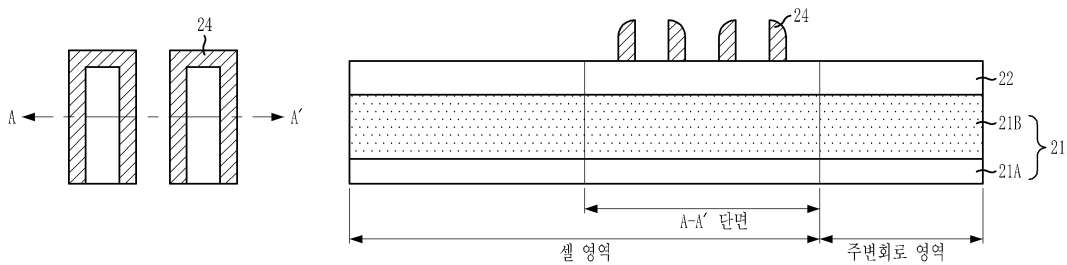
심사관 : 오창석

(54) 반도체 소자의 패턴 형성 방법

(57) 요약

본 발명은 폴리실리콘 하드마스크를 이용하는 반도체 소자의 패턴 형성 방법에 관한 것으로, 본 발명의 반도체 소자의 패턴 형성 방법은, 패턴 선포이 작은 제1 영역과 상기 제1 영역보다 패턴 선포이 큰 제2 영역을 갖는 기판 상에 피식각층을 형성하는 단계; 상기 피식각층 상에 폴리실리콘 하드마스크를 형성하는 단계; 상기 폴리실리콘 하드마스크 상의 상기 제1 영역에 희생막 패턴을 형성하는 단계; 상기 희생막 패턴의 측벽에 카본 함유 폴리머 스페이서를 형성하는 단계; 상기 희생막 패턴을 제거하는 단계; 상기 폴리실리콘 하드마스크 상의 상기 제2 영역에 포토레지스트 패턴을 형성하는 단계; 상기 카본 함유 폴리머 스페이서 및 상기 포토레지스트 패턴을 식각 베리어로 상기 폴리실리콘 하드마스크를 식각하는 단계; 포토레지스트 스트립 공정으로 상기 카본 함유 폴리머 스페이서 및 상기 포토레지스트 패턴을 제거하는 단계; 및 상기 식각된 폴리실리콘 하드마스크를 식각 베리어로 상기 피식각층을 식각하는 단계를 포함하고, 상술한 본 발명에 의한 반도체 소자의 패턴 형성 방법은, 스페이서 패터닝 기술에 있어서 스페이서 물질을 적절히 선택함으로써, 폴리실리콘으로 이루어지는 단일 하드마스크의 이용을 가능하게 하여 공정 단계를 감소시킬 수 있고 아울러 스페이서 제거를 용이하게 하여 셀 영역과 주변회로 영역에 형성되는 패턴의 단차 발생을 방지할 수 있다.

대표도 - 도2b



특허청구의 범위

청구항 1

패턴 선평이 작은 제1 영역과 상기 제1 영역보다 패턴 선평이 큰 제2 영역을 갖는 기판 상에 피식각층을 형성하는 단계;

상기 피식각층 상에 폴리실리콘 하드마스크를 형성하는 단계;

상기 폴리실리콘 하드마스크 상의 상기 제1 영역에 희생막 패턴을 형성하는 단계;

상기 희생막 패턴의 측벽에 카본 함유 폴리머 스페이서를 형성하는 단계;

상기 희생막 패턴을 제거하는 단계;

상기 폴리실리콘 하드마스크 상의 상기 제2 영역에 포토레지스트 패턴을 형성하는 단계;

상기 카본 함유 폴리머 스페이서 및 상기 포토레지스트 패턴을 식각 베리어로 상기 폴리실리콘 하드마스크를 식각하는 단계;

포토레지스트 스트립 공정으로 상기 카본 함유 폴리머 스페이서 및 상기 포토레지스트 패턴을 제거하는 단계; 및

상기 식각된 폴리실리콘 하드마스크를 식각 베리어로 상기 피식각층을 식각하는 단계를 포함하는 반도체 소자의 패턴 형성 방법.

청구항 2

제1항에 있어서,

상기 희생막 패턴은 질화막으로 이루어지는

반도체 소자의 패턴 형성 방법.

청구항 3

제2항에 있어서,

상기 희생막 패턴 제거 단계는,

인산 포함 용액을 이용하여 수행되는

반도체 소자의 패턴 형성 방법.

청구항 4

제1항에 있어서,

상기 카본 함유 폴리머 스페이서 형성 단계는,

CH_xF_y 플라즈마, C_xF_y 플라즈마, C_xH_y 플라즈마 중 적어도 하나 이상을 이용하는 증착 방식으로 수행되는

반도체 소자의 패턴 형성 방법.

청구항 5

제1항에 있어서,

상기 포토레지스트 스트립 공정은, O_2 플라즈마를 이용하여 수행되는

반도체 소자의 패턴 형성 방법.

청구항 6

제1항에 있어서,

상기 피식각층은, 절연막으로 이루어지는
반도체 소자의 패턴 형성 방법.

청구항 7

제6항에 있어서,
상기 피식각층은, 질화막 및 산화막의 적층 구조로 이루어지는
반도체 소자의 패턴 형성 방법.

청구항 8

제1항에 있어서,
상기 제1 영역은 셀 영역이고, 상기 제2 영역은 주변회로 영역인
반도체 소자의 패턴 형성 방법.

청구항 9

패턴 선폴이 작은 제1 영역과 상기 제1 영역보다 패턴 선폴이 큰 제2 영역을 갖는 기판 상에 피식각층을 형성하
는 단계;
상기 피식각층 상에 폴리실리콘 하드마스크를 형성하는 단계;
상기 폴리실리콘 하드마스크 상의 상기 제1 영역에 희생막 패턴을 형성하는 단계;
상기 희생막 패턴의 측벽에 질화막 스페이서를 형성하는 단계;
상기 희생막 패턴을 제거하는 단계;
상기 폴리실리콘 하드마스크 상의 상기 제2 영역에 포토레지스트 패턴을 형성하는 단계;
상기 질화막 스페이서 및 상기 포토레지스트 패턴을 식각 베리어로 상기 폴리실리콘 하드마스크를 식각하는 단
계;
상기 포토레지스트 패턴을 제거하는 단계;
상기 질화막 스페이서를 제거하는 단계; 및
상기 식각된 폴리실리콘 하드마스크를 식각 베리어로 상기 피식각층을 식각하는 단계
를 포함하는 반도체 소자의 패턴 형성 방법.

청구항 10

제9항에 있어서,
상기 희생막 패턴은 산화막으로 이루어지는
반도체 소자의 패턴 형성 방법.

청구항 11

제9항에 있어서,
상기 희생막 패턴은 비정질 탄소막으로 이루어지는
반도체 소자의 패턴 형성 방법.

청구항 12

제10항에 있어서,
상기 희생막 패턴 제거 단계는,

불산 포함 용액을 이용하여 수행되는
반도체 소자의 패턴 형성 방법.

청구항 13

제11항에 있어서,
상기 희생막 패턴 제거 단계는,
O₂ 플라즈마를 이용하는 스트립 공정으로 수행되는
반도체 소자의 패턴 형성 방법.

청구항 14

제9항에 있어서,
상기 포토레지스트 패턴 제거 단계는,
포토레지스트 스트립 공정으로 수행되는
반도체 소자의 패턴 형성 방법.

청구항 15

제9항에 있어서,
상기 질화막 스페이서 제거 단계는,
인산 포함 용액을 이용하여 수행되는
반도체 소자의 패턴 형성 방법.

청구항 16

제9항에 있어서,
상기 피식각층은, 절연막으로 이루어지는
반도체 소자의 패턴 형성 방법.

청구항 17

제16항에 있어서,
상기 피식각층은, 질화막 및 산화막의 적층 구조로 이루어지는
반도체 소자의 패턴 형성 방법.

청구항 18

제9항에 있어서,
상기 제1 영역은 셀 영역이고, 상기 제2 영역은 주변회로 영역인
반도체 소자의 패턴 형성 방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 반도체 소자의 제조 기술에 관한 것으로, 특히 폴리실리콘 하드마스크를 이용하는 반도체 소자의 패턴 형성 방법에 관한 것이다.

배경 기술

- <2> DRAM 소자의 게이트 패턴, 플래쉬 메모리 소자의 금속 배선 등 반도체 소자의 소정 패턴 형성을 위해서는 절연막의 식각이 요구된다. 예를 들어, 게이트 패턴 형성을 위해서는 일반적으로 질화막으로 이루어지는 게이트 하드마스크의 식각이 요구되고, 플래쉬 메모리 소자의 금속 배선 형성을 위해서는 일반적으로 질화막 및 산화막이 적층된 이중막을 식각하여 금속 배선용 트렌치(trench)를 형성할 것이 요구된다. 이러한 절연막의 식각에는 일반적으로 절연막과의 식각 선택비를 확보할 수 있는 폴리실리콘 하드마스크가 이용되고 있다.
- <3> 한편, 최근 반도체 소자가 고집적화됨에 따라 패턴의 미세화가 필수적으로 요구되고 있다. 그러나, 현재까지 개발된 노광 장비의 해상도 한계로 인하여 40nm 이하의 미세 패턴을 구현하는 것은 실질적으로 어려운 실정이다. 따라서, 최근에는 스페이서를 하드마스크로 이용하여 하부막을 식각하는 스페이서 패터닝 기술(spacer patterning technology, SPT)이 제안되었다. 스페이서 패터닝 기술은 특히, 노광 한계 이하의 작은 폭을 갖는 패턴 형성이 요구되는 셀 영역에 적용되는 것이 바람직하다. 이하, 도1a 내지 도1f를 참조하여 종래 기술에 따른 스페이서 패터닝 기술을 설명하기로 하며, 특히, 플래쉬 메모리 소자의 금속 배선 형성 방법을 일례로 하여 설명을 진행하기로 한다.
- <4> 도1a 내지 도1f는 종래의 스페이서 패터닝 기술을 이용하는 플래쉬 메모리 소자의 금속 배선 형성 방법을 설명하기 위한 공정 단면도 및/또는 평면도이다.
- <5> 도1a에 도시된 바와 같이, 작은 폭을 갖는 패턴 형성이 요구되는 셀 영역 및 상대적으로 큰 폭을 갖는 패턴 형성이 요구되는 주변회로 영역을 갖는 기판(미도시됨) 상에 후속 금속 배선용 트렌치(trench)가 구비된 절연막(11)을 형성한다. 즉, 절연막(11)이 피식각층이 되며, 이때, 절연막(11)은 질화막(11a) 및 산화막(11b)의 적층 구조로 이루어질 수 있다.
- <6> 이어서, 절연막(11) 상에 폴리실리콘 하드마스크(12)를 형성한다.
- <7> 이어서, 폴리실리콘 하드마스크(12) 상에 질화막 하드마스크(13)를 형성한다. 이와 같이 하드마스크로 폴리실리콘 상에 질화막을 더 적층한 이중막 구조를 이용하는 것은 후속 스페이서 형성시 폴리실리콘 스페이서를 이용하기 때문에 선택비를 확보하기 위함이다.
- <8> 이어서, 질화막 하드마스크(13) 상의 셀 영역에 희생막 패턴(14)을 형성한 후, 희생막 패턴(14)의 측벽에 폴리실리콘 스페이서(15)를 형성한다. 이때, 희생막 패턴(14)은 산화막으로 이루어지는 것이 바람직하다.
- <9> 도1b에 도시된 바와 같이, 희생막 패턴(14)을 제거하여 질화막 하드마스크(13) 상의 셀 영역에는 폴리실리콘 스페이서(15)만 잔류하게 한다. 후속 공정에서는 이와 같은 폴리실리콘 스페이서(15)를 이용하여 셀 영역의 하부 레이어를 식각하기 때문에, 셀 영역에서 노광 한계 이하의 작은 폭을 갖는 패턴 형성이 가능하다.
- <10> 반면, 일반적으로 주변회로 영역에서는 노광 한계 이하의 작은 폭을 갖는 패턴 형성이 요구되지 않기 때문에, 스페이서 패터닝 기술을 적용할 필요가 없다. 따라서, 도1b의 공정을 수행한 후, 도1c에 도시된 바와 같이, 질화막 하드마스크(13) 상의 주변회로 영역에 포토레지스트 패턴(16)을 형성한다.
- <11> 도1d에 도시된 바와 같이, 셀 영역의 폴리실리콘 스페이서(15) 및 주변회로 영역의 포토레지스트 패턴(16)을 식각 베리어로 질화막 하드마스크(13)를 식각하여 질화막 하드마스크(13) 패턴을 형성한다. 이때, 포토레지스트 패턴(16)은 포토레지스트 스트립(Photoresist Strip) 공정에 의하여 제거될 수 있다. 그러나, 폴리실리콘 스페이서(15)는 용이하게 제거되지 않기 때문에, 질화막 하드마스크(13)의 식각 후에도 도면에서와 같이 대부분 잔류하게 된다. 따라서, 후속 폴리실리콘 하드마스크(12)의 식각시 셀 영역의 식각 베리어(폴리실리콘 스페이서(15) 및 질화막 하드마스크(13))와 주변회로 영역의 식각 베리어(질화막 하드마스크(13))가 다르게 된다.
- <12> 도1e에 도시된 바와 같이, 셀 영역의 폴리실리콘 스페이서(15) 및 질화막 하드마스크(13) 패턴과 주변회로 영역의 질화막 하드마스크(13) 패턴을 식각 베리어로 폴리실리콘 하드마스크(12)를 식각하여 폴리실리콘 하드마스크(12) 패턴을 형성한다. 이때, 셀 영역에서는 폴리실리콘 스페이서(15)의 존재로 질화막 하드마스크(13)가 잔류하여 폴리실리콘 하드마스크(12)가 완전히 보호되나, 주변회로 영역에서는 질화막 하드마스크(13)의 대부분이 손실되어 폴리실리콘 하드마스크(12)가 어택(attack)을 받아 손실될 수 있다. 다시 말하면, 전술한 도1d의 공정에서 폴리실리콘 하드마스크(12) 상에 잔류하는 식각 베리어의 차이로 인하여 도1e의 공정에서 셀 영역과 주변회로 영역의 폴리실리콘 하드마스크(12) 패턴 사이에는 단차가 발생하게 된다.
- <13> 도1f에 도시된 바와 같이, 셀 영역의 질화막 하드마스크(13) 패턴 및 폴리실리콘 하드마스크(12) 패턴과 주변회

로 영역의 폴리실리콘 하드마스크(12) 패턴을 식각 베리어로 절연막(11)을 식각하여 금속 배선용 트렌치를 구비하는 절연막(11) 패턴을 형성한다. 도1e에서 설명한 바와 마찬가지로 절연막(11) 상에 잔류하는 식각 베리어가 셀 영역과 주변회로 영역에서 다르기 때문에, 셀 영역과 주변회로 영역의 절연막(11) 패턴 사이에 단차가 발생하게 된다.

- <14> 이어서, 본 명세서에서는 도시되지 않았으나, 후속 공정으로 절연막(11) 패턴 사이의 공간 즉, 금속 배선용 트렌치에 매립되는 금속 배선을 형성한다.
- <15> 요약하자면, 진술한 종래 기술에 따른 스페이스 패터닝 기술의 문제점은 다음과 같다.
- <16> 폴리실리콘 하드마스크를 사용하는 경우에 있어서, 셀 영역에 스페이스 패터닝 기술을 적용하기 위하여 폴리실리콘 스페이스를 이용한다. 이 때문에, 필연적으로 폴리실리콘 하드마스크 상부에 질화막 하드마스크와 같이 폴리실리콘과 다른 선택비를 갖는 하드마스크를 형성할 것이 요구된다.
- <17> 그러나, 이와 같이 이중의 하드마스크를 이용하는 것은 하드마스크 형성 및 식각 단계가 한번 더 요구되어 공정 단계를 증가시키는 문제점이 있다.
- <18> 또한, 폴리실리콘 스페이스는 용이하게 제거되기 않기 때문에, 후속 공정에 영향을 미쳐 셀과 주변회로 영역에 형성되는 패턴 사이에 단차를 발생시키는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

- <19> 본 발명은 상기한 종래기술의 문제점을 해결하기 위하여 제안된 것으로, 스페이스 패터닝 기술에 있어서 스페이스 물질을 적절히 선택함으로써, 폴리실리콘으로 이루어지는 단일 하드마스크의 이용을 가능하게 하여 공정 단계를 감소시킬 수 있고 아울러 스페이스 제거를 용이하게 하여 셀 영역과 주변회로 영역에 형성되는 패턴의 단차 발생을 방지할 수 있는 반도체 소자의 패턴 형성 방법을 제공하고자 한다.

과제 해결수단

- <20> 상기 과제를 해결하기 위한 본 발명의 반도체 소자의 패턴 형성 방법은, 패턴 선포이 작은 제1 영역과 상기 제1 영역보다 패턴 선포이 큰 제2 영역을 갖는 기판 상에 피식각층을 형성하는 단계; 상기 피식각층 상에 폴리실리콘 하드마스크를 형성하는 단계; 상기 폴리실리콘 하드마스크 상의 상기 제1 영역에 희생막 패턴을 형성하는 단계; 상기 희생막 패턴의 측벽에 카본 함유 폴리머 스페이스를 형성하는 단계; 상기 희생막 패턴을 제거하는 단계; 상기 폴리실리콘 하드마스크 상의 상기 제2 영역에 포토레지스트 패턴을 형성하는 단계; 상기 카본 함유 폴리머 스페이스 및 상기 포토레지스트 패턴을 식각 베리어로 상기 폴리실리콘 하드마스크를 식각하는 단계; 포토레지스트 스트립 공정으로 상기 카본 함유 폴리머 스페이스 및 상기 포토레지스트 패턴을 제거하는 단계; 및 상기 식각된 폴리실리콘 하드마스크를 식각 베리어로 상기 피식각층을 식각하는 단계를 포함한다.
- <21> 또한, 상기 과제를 해결하기 위한 본 발명의 또다른 반도체 소자의 패턴 형성 방법은, 패턴 선포이 작은 제1 영역과 상기 제1 영역보다 패턴 선포이 큰 제2 영역을 갖는 기판 상에 피식각층을 형성하는 단계; 상기 피식각층 상에 폴리실리콘 하드마스크를 형성하는 단계; 상기 폴리실리콘 하드마스크 상의 상기 제1 영역에 희생막 패턴을 형성하는 단계; 상기 희생막 패턴의 측벽에 질화막 스페이스를 형성하는 단계; 상기 희생막 패턴을 제거하는 단계; 상기 폴리실리콘 하드마스크 상의 상기 제2 영역에 포토레지스트 패턴을 형성하는 단계; 상기 질화막 스페이스 및 상기 포토레지스트 패턴을 식각 베리어로 상기 폴리실리콘 하드마스크를 식각하는 단계; 상기 포토레지스트 패턴을 제거하는 단계; 상기 질화막 스페이스를 제거하는 단계; 및 상기 식각된 폴리실리콘 하드마스크를 식각 베리어로 상기 피식각층을 식각하는 단계를 포함한다.

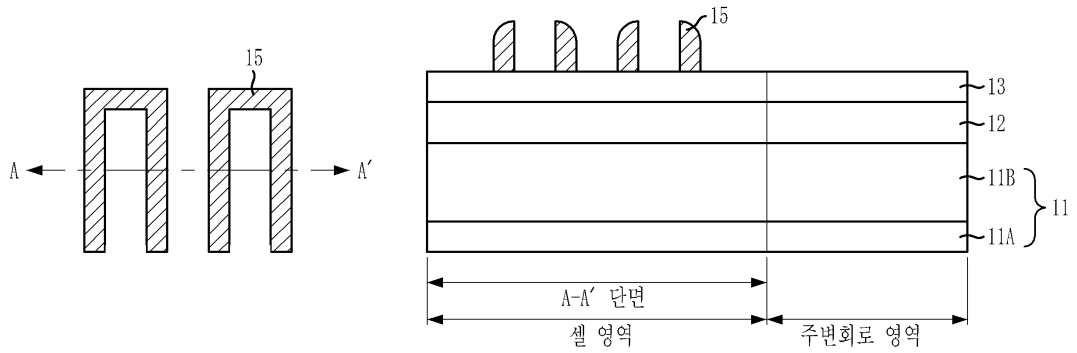
효과

- <22> 상술한 본 발명에 의한 반도체 소자의 패턴 형성 방법은, 스페이스 패터닝 기술에 있어서 스페이스 물질을 적절히 선택함으로써, 폴리실리콘으로 이루어지는 단일 하드마스크의 이용을 가능하게 하여 공정 단계를 감소시킬 수 있고 아울러 스페이스 제거를 용이하게 하여 셀 영역과 주변회로 영역에 형성되는 패턴의 단차 발생을 방지할 수 있다.

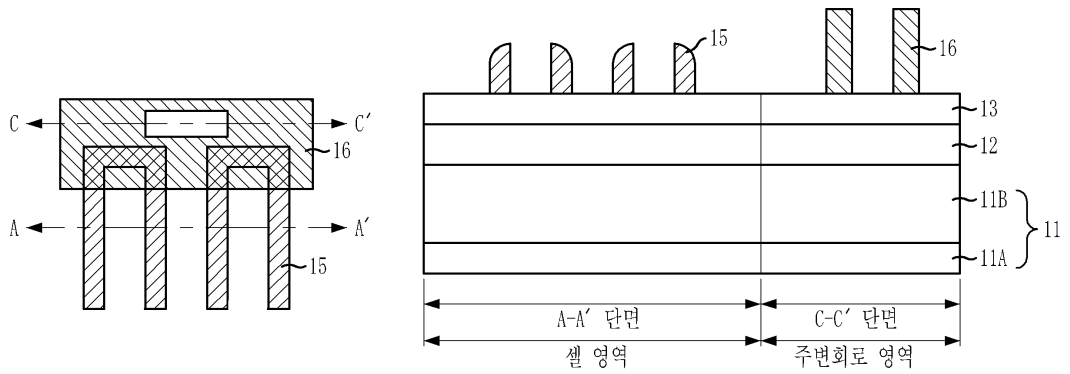
발명의 실시를 위한 구체적인 내용

- <23> 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.
- <24> 도2a 내지 도2f는 본 발명의 실시예에 따른 스페이서 패터닝 기술을 이용하는 반도체 소자의 패턴 형성 방법을 설명하기 위한 공정 단면도 및/또는 평면도이다. 특히, 본 도면에서는 플래쉬 메모리 소자의 금속 배선을 형성하는 방법을 일례로 하여 설명을 진행하기로 한다.
- <25> 도2a에 도시된 바와 같이, 작은 폭을 갖는 패턴 형성이 요구되는 셀 영역 및 상대적으로 큰 폭을 갖는 패턴 형성이 요구되는 주변회로 영역을 갖는 기판(미도시됨) 상에 피식각층으로 후속 금속 배선용 트렌치가 구비될 절연막(21)을 형성한다. 이때, 절연막(21)은 질화막(21a) 및 산화막(21b)의 적층 구조로 이루어질 수 있다.
- <26> 이어서, 절연막(21) 상에 폴리실리콘 하드마스크(22)를 형성한다.
- <27> 이어서, 폴리실리콘 하드마스크(22) 상의 셀 영역에 희생막 패턴(23)을 형성한다. 여기서, 희생막 패턴(23)은 후속 스페이서 물질에 따라 적절히 선택되어야 하며 그에 대한 설명은 스페이서 형성에 대한 설명(도2b 참조)과 함께 진행하기로 한다.
- <28> 도2b에 도시된 바와 같이, 희생막 패턴(23)의 측벽에 스페이서(24)를 형성한다. 이때, 단일의 폴리실리콘 하드마스크(22)만을 이용하여 후속 절연막(21) 식각을 수행하게 될 것이므로, 스페이서(24)로 종래의 폴리실리콘과 다른 물질막을 이용할 것이 요구된다.
- <29> 바람직하게는, 스페이서(24)는 카본(carbon) 함유 폴리머(polymer)로 이루어질 수 있다. 이 경우, 희생막 패턴(23)으로 질화막을 이용하는 것이 바람직하다. 이와 같이 카본 함유 폴리머를 스페이서(24)로 이용하면 폴리실리콘 하드마스크(22)와의 선택비를 확보할 수 있을 뿐 아니라, 후속 포토레지스트 스트립 공정시 포토레지스트와 함께 용이하게 제거될 수 있다. 카본 함유 폴리머의 형성은 CH_xF_y (예를 들어, CHF_3 , CH_2F_2 , CH_3F 등) 플라즈마, C_xF_y (예를 들어, C_2F_6 , C_4F_6 , C_5F_8 , C_4F_8 , C_3F_3 등) 플라즈마, C_xH_y (예를 들어, CH_4 , C_2H_4 등) 플라즈마 중 적어도 하나 이상을 이용하는 증착 방식으로 수행될 수 있다.
- <30> 또는, 바람직하게는, 스페이서(24)는 질화막으로 이루어질 수 있다. 이 경우, 희생막 패턴(23)으로 산화막 또는 비정질 탄소막을 이용하는 것이 바람직하다. 이와 같이 질화막을 스페이서(24)로 이용하면 폴리실리콘 하드마스크(22)와의 선택비를 확보할 수 있다. 또한, 인산 포함 용액에 의하여 용이하게 제거될 수 있다.
- <31> 이어서, 희생막 패턴(23)을 제거한다. 희생막 패턴(23)으로 질화막을 이용하는 경우에는 인산 포함 용액을 이용하여 제거한다. 또는, 희생막 패턴(23)이 산화막인 경우에는 불산 포함 용액을 이용하여 제거하고, 희생막 패턴(23)이 비정질 탄소막인 경우에는 O_2 플라즈마를 이용하는 스트립 공정으로 제거한다.
- <32> 도2c에 도시된 바와 같이, 폴리실리콘 하드마스크(22) 상의 주변회로 영역(C-C' 단면 참조) 및 셀 영역의 끝부분(B-B' 단면 참조)에 포토레지스트 패턴(25)을 형성한다.
- <33> 도2d에 도시된 바와 같이, 스페이서(24) 및 포토레지스트 패턴(25)을 식각 베리어로 폴리실리콘 하드마스크(22)를 식각하여 폴리실리콘 하드마스크(22) 패턴을 형성한다.
- <34> 이어서, O_2 플라즈마를 이용하는 포토레지스트 스트립 공정으로 포토레지스트 패턴(25)을 제거한다.
- <35> 이때, 스페이서(24)가 카본 함유 폴리머로 이루어지는 경우에는 도2e에서와 같이 포토레지스트 패턴(25)의 제거 시 함께 제거되어 절연막(21) 상에는 폴리실리콘 하드마스크(22) 패턴만 잔류하게 된다. 반면, 스페이서(24)가 질화막으로 이루어지는 경우에는 인산 포함 용액을 이용하여 별도의 제거 공정을 수행함으로써 도2e에서와 같이 절연막(21) 상에 폴리실리콘 하드마스크(22) 패턴만 잔류하게 한다.
- <36> 도2f에 도시된 바와 같이, 셀 영역 및 주변회로 영역의 폴리실리콘 하드마스크(22) 패턴을 식각 베리어로 절연막(21)을 식각하여 금속 배선용 트렌치(t)가 구비되는 절연막(21) 패턴을 형성한다. 여기서, 셀 영역과 주변회로 영역에서 식각 베리어가 동일하기 때문에 절연막(21) 패턴 사이의 단차 발생이 방지될 수 있다.
- <37> 도2g에 도시된 바와 같이, 절연막(21) 패턴 사이의 공간 즉, 금속 배선용 트렌치(t) 내부에 금속 물질을 매립함으로써 금속 배선(26)을 형성할 수 있다.
- <38> 이와 같이, 폴리실리콘 하드마스크를 이용하여 하부 레이어를 식각하는 경우에 있어서, 셀 영역에 스페이서 패

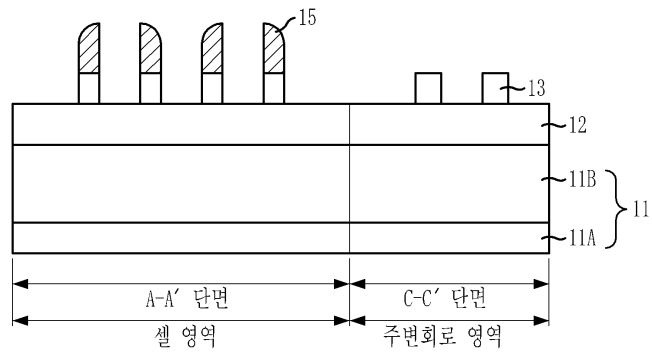
도면1b



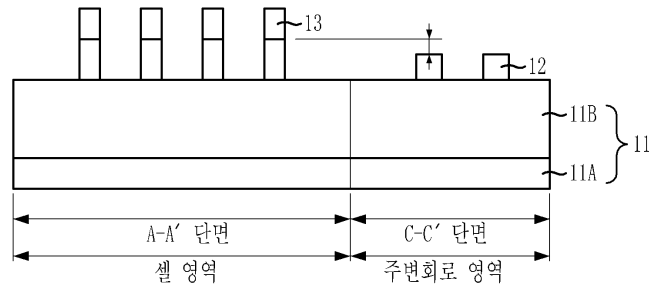
도면1c



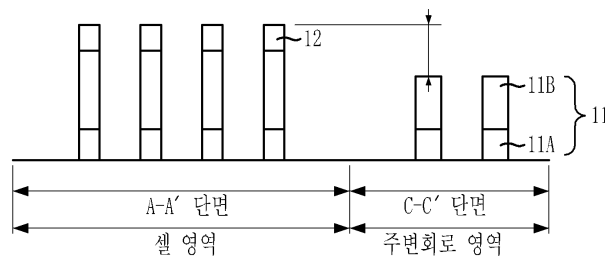
도면1d



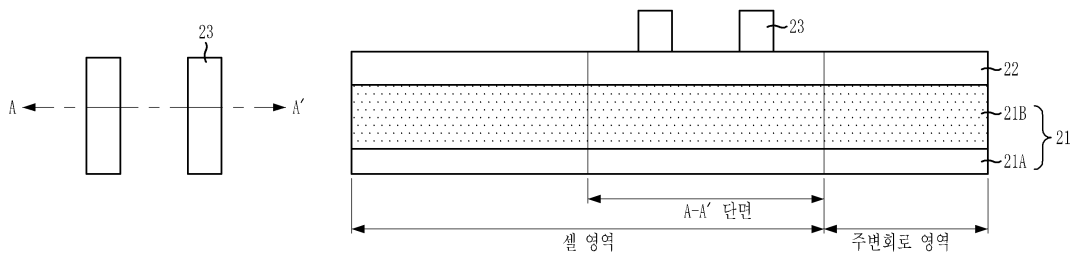
도면1e



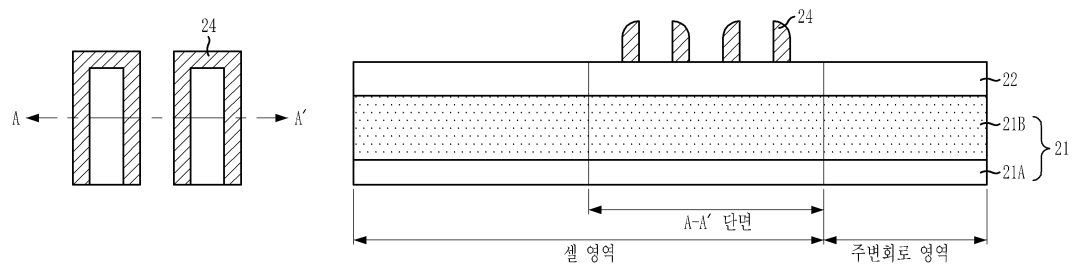
도면1f



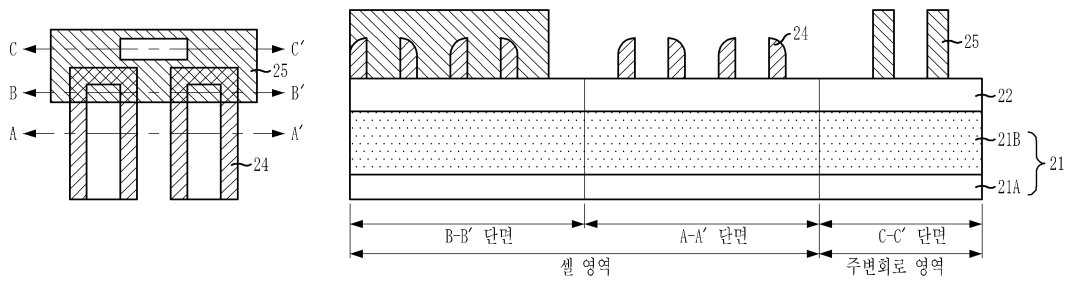
도면2a



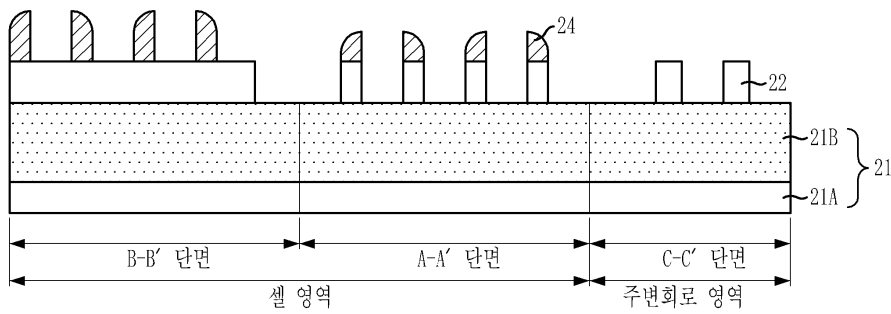
도면2b



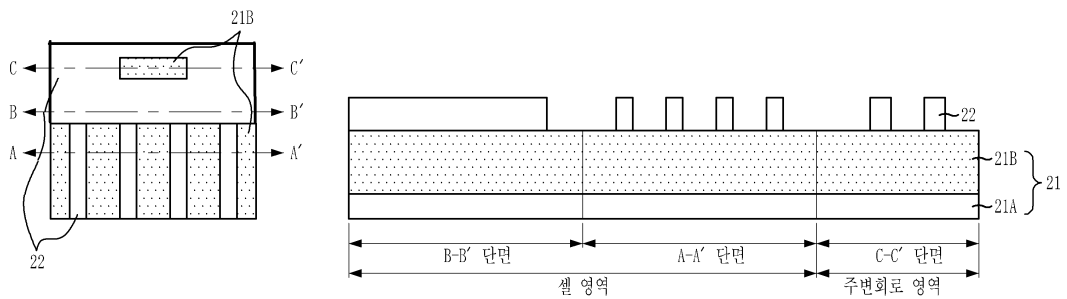
도면2c



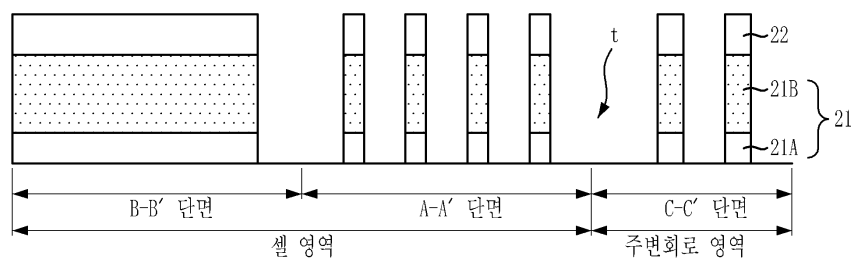
도면2d



도면2e



도면2f



도면2g

