

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3674564号
(P3674564)

(45) 発行日 平成17年7月20日(2005.7.20)

(24) 登録日 平成17年5月13日(2005.5.13)

(51) Int.Cl.⁷

F I

H O 1 L 21/8247

H O 1 L 29/78 3 7 1

H O 1 L 21/8234

H O 1 L 27/10 4 8 1

H O 1 L 27/088

H O 1 L 27/10 4 3 4

H O 1 L 27/10

H O 1 L 27/08 1 O 2 D

H O 1 L 27/115

請求項の数 20 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2001-292126 (P2001-292126)
 (22) 出願日 平成13年9月25日 (2001.9.25)
 (65) 公開番号 特開2003-100915 (P2003-100915A)
 (43) 公開日 平成15年4月4日 (2003.4.4)
 審査請求日 平成14年9月6日 (2002.9.6)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100090479
 弁理士 井上 一
 (74) 代理人 100090387
 弁理士 布施 行夫
 (74) 代理人 100090398
 弁理士 大淵 美千栄
 (72) 発明者 蝦名 昭彦
 長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内
 (72) 発明者 井上 晋
 長野県諏訪市大和3丁目3番5号 セイコ
 ーエプソン株式会社内
 最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

不揮発性記憶装置が複数の行および列に格子状に配列されたメモリセルアレイを構成するメモリ領域を含み、

前記不揮発性記憶装置は、

半導体層の上方に、第1ゲート絶縁層を介して形成されたワードゲートと、

前記半導体層に形成された、ソース領域またはドレイン領域を構成する不純物層と、

前記ワードゲートの一方の側面に沿って列方向に連続して形成された第1コントロールゲートであって、前記半導体層に対して第2ゲート絶縁層を介して、かつ、前記ワードゲートに対してサイド絶縁層を介して配置された、サイドウォール状の前記第1コントロールゲートと、

10

前記ワードゲートの他方の側面に沿って列方向に連続して形成された第2コントロールゲートであって、前記半導体層に対して第2ゲート絶縁層を介して、かつ、前記ワードゲートに対してサイド絶縁層を介して配置された、サイドウォール状の前記第2コントロールゲートと、を含み、

1つの前記不純物層を共有し行方向に隣り合う2つの不揮発性半導体記憶装置は、該不純物層を挟んで対向する1組の第1コントロールゲートと第2コントロールゲートとが、1つの共通コンタクト部に接続され、

前記共通コンタクト部は、前記第1および第2コントロールゲートと連続した第2コンタクト導電層と、前記第2コンタクト導電層上に形成されたパッド状の第3コンタクト導

20

電層と、を含む、半導体装置。

【請求項 2】

請求項 1 において、

前記共通コンタクト部は、さらに、前記第 2 コンタクト導電層の両側に形成された第 1 コンタクト導電層を含み、

前記第 3 コンタクト導電層は、前記第 1 コンタクト導電層上に延設されている、半導体装置。

【請求項 3】

請求項 2 において、

前記第 1 コンタクト導電層は、前記ワードゲートと同一の材質からなり、

前記第 2 コンタクト導電層は、前記第 1 および第 2 コントロールゲートと同一の材質からなり、

前記第 3 コンタクト導電層は前記ワードゲートに接続されるワード線と同一の材質からなる、半導体装置。

【請求項 4】

請求項 2 または 3 において、

前記第 1 コンタクト導電層は、前記半導体層の上方に、第 1 コンタクト絶縁層を介して配置され、

前記第 2 コンタクト導電層は、前記半導体層の上方に、第 2 コンタクト絶縁層を介して配置され、

前記第 1 コンタクト絶縁層は、前記第 1 ゲート絶縁層と同一の材質からなり、

前記第 2 コンタクト絶縁層は、前記第 2 ゲート絶縁層と同一の材質からなる、半導体装置。

【請求項 5】

請求項 4 において、

前記第 2 コンタクト導電層は、前記第 1 コンタクト導電層の内側に前記第 2 コンタクト絶縁層を介して配置されている、半導体装置。

【請求項 6】

請求項 1 ないし 5 のいずれかにおいて、

前記第 2 コンタクト導電層は凹部を構成し、該凹部には第 3 コンタクト絶縁層が埋め込まれている、半導体装置。

【請求項 7】

請求項 4 ないし 6 のいずれかにおいて、

前記第 2 コンタクト絶縁層は、前記サイド絶縁層と同一の材質からなる、半導体装置。

【請求項 8】

請求項 1 ないし 7 のいずれかにおいて、

前記サイド絶縁層は、その上端が前記第 1 および第 2 コントロールゲートより上方に位置する、半導体装置。

【請求項 9】

請求項 1 ないし 8 のいずれかにおいて、

隣り合う前記第 1 および第 2 コントロールゲートは、絶縁層によって埋め込まれている、半導体装置。

【請求項 10】

請求項 1 ないし 9 のいずれかにおいて、

前記共通コンタクト部は、前記不純物層の端部に隣接して設けられた、半導体装置。

【請求項 11】

請求項 10 において、

前記共通コンタクト部が複数形成され、前記不純物層が複数配列され、

前記複数の共通コンタクト部は、複数配列された前記不純物層に対して、該不純物層の一方の側の端部と他方の側の端部とにおいて交互に設けられた、半導体装置。

10

20

30

40

50

【請求項 1 2】

請求項 1 ないし 1 1 のいずれかにおいて、

前記第 2 ゲート絶縁層および前記サイド絶縁層は、第 1 酸化シリコン層、窒化シリコン層、および第 2 酸化シリコン層の積層膜からなる、半導体装置。

【請求項 1 3】

不揮発性記憶装置が複数の行および列に格子状に配列されたメモリセルアレイを構成するメモリ領域を含む半導体装置の製造方法であって、以下の工程を含む、半導体装置の製造方法。

半導体層の上方に、第 1 ゲート絶縁層のための第 1 絶縁層を形成する工程、

前記第 1 絶縁層の上方に、第 1 導電層を形成する工程、

前記第 1 導電層の上方に、ストッパ層を形成する工程、

前記第 1 導電層および前記ストッパ層をパターニングして、ゲート層を形成する工程、

少なくとも前記半導体層の上方に、第 2 ゲート絶縁層を形成する工程、

前記ゲート層の両側面にサイド絶縁層を形成する工程、

前記メモリ領域に第 2 導電層を形成する工程、

共通コンタクト部の形成領域に対応する前記第 2 導電層上にマスクを形成して、前記第 2 導電層を異方性エッチングすることにより、サイドウォール状の第 1 および第 2 コントロールゲートを形成する工程、

前記メモリ領域に第 2 絶縁層を形成した後、前記ストッパ層が露出するように該第 2 絶縁層および前記第 2 導電層を化学的機械的研磨法によって研磨することにより、前記共通コンタクト部の形成領域内に第 2 コンタクト導電層を形成し、その後前記ストッパ層を除去する工程、

ソース領域またはドレイン領域を構成する不純物層を前記半導体層に形成する工程、および

前記メモリ領域に第 3 導電層を形成した後、前記ゲート層および前記第 3 導電層をパターニングして、ワードゲートおよび前記ワードゲートに接続されたワード線を形成するとともに、前記共通コンタクト部の形成領域内に第 1 コンタクト導電層および第 3 コンタクト導電層を形成する工程。

【請求項 1 4】

請求項 1 3 において、

前記第 2 ゲート絶縁層および前記サイド絶縁層は、同一の成膜工程で形成され、かつ、第 1 酸化シリコン層、窒化シリコン層および第 2 酸化シリコン層の積層膜からなる、半導体装置の製造方法。

【請求項 1 5】

請求項 1 3 または 1 4 において、

前記第 1 コンタクト導電層は前記ワードゲートと同一の工程で成膜され、前記第 2 コンタクト導電層は前記第 1 および第 2 コントロールゲートと同一の工程で成膜され、前記第 3 コンタクト導電層は前記ワード線と同一の工程で成膜される、半導体装置の製造方法。

【請求項 1 6】

請求項 1 3 ないし 1 5 のいずれかにおいて、

前記共通コンタクト部の形成領域において、さらに、前記半導体層の上方に第 1 コンタクト絶縁層を形成する工程と、前記半導体層の上方および前記第 1 コンタクト導電層の側面に第 2 コンタクト絶縁層を形成する工程とを含み、

前記第 1 コンタクト絶縁層の形成は、前記第 1 ゲート絶縁層を形成する工程と同一工程にて行なわれ、

前記第 2 コンタクト絶縁層の形成は、前記第 2 ゲート絶縁層および前記サイド絶縁層を形成する工程と同一工程にて行なわれる、半導体装置の製造方法。

【請求項 1 7】

請求項 1 3 ないし 1 6 のいずれかにおいて、

前記サイド絶縁層を、その上端が前記第 1 および第 2 コントロールゲートより上方に位

10

20

30

40

50

置するように形成する、半導体装置の製造方法。

【請求項 18】

請求項 13 ないし 17 のいずれかにおいて、

前記第 2 絶縁層を化学的機械的研磨法によって研磨する工程において、前記不純物層を介して隣り合う前記第 1 および第 2 コントロールゲートは埋込み絶縁層によって覆われるように形成される、半導体装置の製造方法。

【請求項 19】

請求項 13 ないし 18 のいずれかにおいて、

前記共通コンタクト部は、前記不純物層の端部に隣接して形成される、半導体装置の製造方法。

10

【請求項 20】

請求項 13 ないし 19 のいずれかにおいて、

前記共通コンタクト部を複数形成し、前記不純物層を複数配列させ、

前記複数の共通コンタクト部は、複数配列された前記不純物層に対して、該不純物層の一方の側の端部と他方の側の端部とにおいて交互に形成される、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、MONOS型の不揮発性記憶装置を含む半導体装置およびその製造方法に関する。

【0002】

20

【背景技術および発明が解決しようとする課題】

不揮発性半導体記憶装置のひとつのタイプとして、チャネル領域とコントロールゲートとの間のゲート絶縁層が酸化シリコン層と窒化シリコン層との積層体からなり、前記窒化シリコン層に電荷がトラップされるMONOS(Metal Oxide Nitride Oxide Semiconductor)型もしくはSONOS(Silicon Oxide Nitride Oxide Silicon)型と呼ばれるタイプがある。

【0003】

MONOS型の不揮発性半導体記憶装置として、図16に示すデバイスが知られている(文献: Y. Hayashi, et al., 2000 Symposium on VLSI Technology Digest of Technical Papers p. 122 - p. 123)。

30

【0004】

このMONOS型のメモリセル100は、半導体基板10上に第1ゲート絶縁層12を介してワードゲート14が形成されている。そして、ワードゲート14の両側には、それぞれサイドウォール状の第1コントロールゲート20と第2コントロールゲート30とが配置されている。第1コントロールゲート20の底部と半導体基板10との間には、第2ゲート絶縁層22が存在し、第1コントロールゲート20の側面とワードゲート14との間には絶縁層24が存在する。同様に、第2コントロールゲート30の底部と半導体基板10との間には、第2ゲート絶縁層32が存在し、第2コントロールゲート30の側面とワードゲート14との間には絶縁層34が存在する。そして、隣り合うメモリセルの、対向するコントロールゲート20とコントロールゲート30との間の半導体基板10には、ソース領域またはドレイン領域を構成する不純物層16, 18が形成されている。

40

【0005】

このように、ひとつのメモリセル100は、ワードゲート14の側面に2つのMONOS型メモリ素子を有する。また、これらの2つのMONOS型メモリ素子は独立に制御される。したがって、ひとつのメモリセル100は、2ビットの情報を記憶することができる。

【0006】

本発明の目的は、MONOS型の不揮発性記憶装置を含む半導体装置およびその製造方法を提供することにある。

【0007】

【課題を解決するための手段】

50

(半導体装置)

本発明にかかる半導体装置は、不揮発性記憶装置が複数の行および列に格子状に配列されたメモリセルアレイを構成するメモリ領域を含み、

前記不揮発性記憶装置は、

半導体層の上方に、第1ゲート絶縁層を介して形成されたワードゲートと、

前記半導体層に形成された、ソース領域またはドレイン領域を構成する不純物層と、

前記ワードゲートの一方向の側面および他方向の側面に沿ってそれぞれ形成された、サイドウォール状の第1および第2コントロールゲートと、を含み、

前記第1コントロールゲートは、前記半導体層に対して第2ゲート絶縁層を介して、かつ、前記ワードゲートに対してサイド絶縁層を介して配置され、

10

前記第2コントロールゲートは、前記半導体層に対して第2ゲート絶縁層を介して、かつ、前記ワードゲートに対してサイド絶縁層を介して配置され、

前記第1および第2コントロールゲートは、それぞれ第1方向に連続して配置され、かつ、

前記第1方向と交差する第2方向に対して、前記不純物層を介して隣り合う前記第1および第2コントロールゲートは、共通コンタクト部に接続され、

前記共通コンタクト部は、第1コンタクト導電層、第2コンタクト導電層、およびパッド状の第3コンタクト導電層を含み、

前記第2コンタクト導電層は、前記第1および第2コントロールゲートと連続し、かつ、前記第1コンタクト導電層の内側に配置され、

20

前記第3コンタクト導電層は、前記第1コンタクト導電層および前記第2コンタクト導電層上に配置されている。

【0008】

本発明にかかる半導体装置によれば、サイドウォール状の前記第1および第2コントロールゲートは、1組ごとに、共通コンタクト部に接続されているので、幅の小さいコントロールゲートとの電氣的接続を確実にとることができる。

【0009】

本発明の半導体装置は、以下の各種態様をとりうる。

【0010】

(A) 前記第1コンタクト導電層は、前記ワードゲートと同一の材質からなり、前記第2コンタクト導電層は、前記第1および第2コントロールゲートと同一の材質からなり、前記第3コンタクト導電層は前記ワードゲートに接続されるワード線と同一の材質からなることができる。

30

【0011】

(B) 前記第1コンタクト導電層を、前記半導体層の上方に、第1コンタクト絶縁層を介して配置させ、前記第2コンタクト導電層を、前記半導体層の上方に、第2コンタクト絶縁層を介して配置させ、前記第1コンタクト絶縁層を、前記第1ゲート絶縁層と同一の材質から形成し、前記第2コンタクト絶縁層を、前記第2ゲート絶縁層と同一の材質から形成することができる。

【0012】

40

この場合、前記第2コンタクト導電層を、前記第1コンタクト導電層の内側に前記第2コンタクト絶縁層を介して配置できる。

【0013】

また、この場合、前記第2コンタクト絶縁層を、前記サイド絶縁層と同一の材質から形成することができる。

【0014】

(C) 前記第2コンタクト導電層は凹部を構成し、該凹部に第3コンタクト絶縁層を埋め込むことができる。

【0015】

(D) 前記サイド絶縁層は、その上端が前記第1および第2コントロールゲートより上方

50

に位置することができる。この構成により、前記第1および第2コントロールゲートを覆う埋込み絶縁層を確実に形成できる。すなわち、隣り合う前記第1および第2コントロールゲートは、同一の埋込み絶縁層によって覆われ、該埋込み絶縁層は、前記第1および第2コントロールゲートに接して配置された、対向する2つの前記サイド絶縁層の相互間に形成される。

【0016】

(E) 前記共通コンタクト部は、前記不純物層の端部に隣接して設けることができる。そして、前記共通コンタクト部が複数形成され、前記不純物層が複数配列され、前記複数の共通コンタクト部は、複数配列された前記不純物層に対して、該不純物層の一方の側の端部と他方の側の端部とにおいて交互に設けることができる。

10

【0017】

(F) 前記第2ゲート絶縁層およびサイド絶縁層は、第1酸化シリコン層、窒化シリコン層、および第2酸化シリコン層の積層膜から構成できる。

【0018】

(半導体装置の製造方法)

本発明にかかる製造方法は、不揮発性記憶装置が複数の行および列に格子状に配列されたメモリセルアレイを構成するメモリ領域を含む半導体装置の製造方法であって、以下の工程を含む。

【0019】

半導体層の上方に、第1ゲート絶縁層のための第1絶縁層を形成する工程、
前記第1絶縁層の上方に、第1導電層を形成する工程、
前記第1導電層の上方に、ストッパ層を形成する工程、
前記第1導電層および前記ストッパ層をパターニングして、ゲート層を形成する工程、
少なくとも前記半導体層の上方に、第2ゲート絶縁層を形成する工程、
前記ゲート層の両側面にサイド絶縁層を形成する工程、
前記メモリ領域に第2導電層を形成する工程、
共通コンタクト部の形成領域に対応する前記第2導電層上にマスクを形成して、前記第2導電層を異方性エッチングすることにより、サイドウォール状の第1および第2コントロールゲートを形成する工程、
前記メモリ領域に第2絶縁層を形成した後、前記ストッパ層が露出するように該第2絶縁層および前記第2導電層を化学的機械的研磨法によって研磨することにより、前記共通コンタクト部の形成領域内に第2コンタクト導電層を形成し、その後前記ストッパ層を除去する工程、
ソース領域またはドレイン領域を構成する不純物層を前記半導体層に形成する工程、および
前記メモリ領域に第3導電層を形成した後、前記ゲート層および前記第3導電層をパターニングして、ワードゲートおよび前記ワードゲートに接続されたワード線を形成するとともに、前記共通コンタクト部の形成領域内に第1コンタクト導電層および第3コンタクト導電層を形成する工程。

20

30

【0020】

本発明にかかる半導体装置の製造方法によれば、特に工程数を増加させることなく、サイドウォール状の第1、第2コントロールゲートとともに、共通コンタクト部を形成でき、この共通コンタクト部を介して確実な電氣的接続をとることができる。

40

【0021】

本発明にかかる製造方法においては、さらに以下に例示する態様をとることができる。

【0022】

(a) 前記第2ゲート絶縁層および前記サイド絶縁層は、同一の成膜工程で形成され、かつ、第1酸化シリコン層、窒化シリコン層および第2酸化シリコン層の積層膜からなることができる。

【0023】

50

(b) 前記第1コンタクト導電層は前記ワードゲートと同一の工程で成膜することができ、前記第2コンタクト導電層は前記第1および第2コントロールゲートと同一の工程で成膜することができ、前記第3コンタクト導電層は前記ワード線と同一の工程で成膜することができる。

【0024】

(c) 前記共通コンタクト部の形成領域において、さらに、前記半導体層の上方に第1コンタクト絶縁層を形成する工程と、前記半導体層の上方および前記第1コンタクト導電層の側面に第2コンタクト絶縁層を形成する工程とを含み、前記第1コンタクト絶縁層の形成は、前記第1ゲート絶縁層を形成する工程と同一工程にて行なわれ、前記第2コンタクト絶縁層の形成は、前記第2ゲート絶縁層および前記サイド絶縁層を形成する工程と同一工程にて行なわれることができる。

10

【0025】

(d) 前記サイド絶縁層を、その上端が前記第1および第2コントロールゲートより上方に位置するように形成できる。

【0026】

(e) 前記第2絶縁層を化学的機械的研磨法(以下、「CMP法」という)によって研磨する工程において、隣り合う前記第1および第2コントロールゲートは埋込み絶縁層によって覆われるように形成することができる。

【0027】

(f) 前記共通コンタクト部は、前記不純物層の端部に隣接して形成できる。また、前記共通コンタクト部を複数形成し、前記不純物層を複数配列させ、前記複数の共通コンタクト部は、複数配列された前記不純物層に対して、該不純物層の一方の側の端部と他方の側の端部とにおいて交互に形成できる。

20

【0028】

【発明の実施の形態】

図1および図17は、本実施の形態に係る製造方法によって得られた半導体装置のメモリ領域のレイアウトを示す平面図である。図2は、本実施の形態に係る半導体装置の一部分を示す平面図である。図3は、図2のA-A線に沿った断面図である。

【0029】

図1～図3および図17に示す半導体装置は、MONOS型不揮発性記憶装置(以下、「メモリセル」という)100が複数の行および列に格子状に配列されてメモリセルアレイを構成しているメモリ領域1000と、メモリの周辺回路などを含むロジック回路領域2000を含む。

30

【0030】

(デバイスの構造)

まず、図1および図17を参照しながら、メモリ領域1000のレイアウトについて説明する。

【0031】

図1には、メモリ領域1000の一部である第1のブロックB1と、これに隣り合う第2のブロックB2とが示されている。図17には、第1のブロックB1と、第1のブロックB1のコンタクト構造とが示されている。

40

【0032】

第1のブロックB1と第2のブロックB2との間の一部領域には、素子分離領域300が形成されている。各ブロックB1、B2においては、X方向(行方向)に延びる複数のワード線50(WL)と、Y方向(列方向)に延びる複数のビット線60(BL)とが設けられている。一本のワード線50は、X方向に配列された複数のワードゲート14に接続されている。ビット線60は不純物層16、18によって構成されている。

【0033】

第1および第2コントロールゲート20、30を構成する導電層40は、各不純物層16、18を囲むように形成されている。すなわち、第1、第2コントロールゲート20、3

50

0 は、それぞれ Y 方向に延びており、1 組の第 1 , 第 2 コントロールゲート 2 0 , 3 0 の一方の端部は、X 方向に延びる導電層によって互いに接続されている。また、1 組の第 1 , 第 2 コントロールゲート 2 0 , 3 0 の他方の端部はともに 1 つの共通コンタクト部 2 0 0 に接続されている。したがって、各第 1 , 第 2 コントロールゲート 2 0 , 3 0 は、メモリセルのコントロールゲートの機能と、Y 方向に配列された各コントロールゲートを接続する配線としての機能とを有する。

【 0 0 3 4 】

単一のメモリセル 1 0 0 は、1 つのワードゲート 1 4 と、このワードゲート 1 4 の両側に形成された第 1 , 第 2 コントロールゲート 2 0 , 3 0 と、これらのコントロールゲート 2 0 , 3 0 の外側であって、半導体基板内に形成された不純物層 1 6 , 1 8 とを含む。そして、不純物層 1 6 , 1 8 は、それぞれ隣り合うメモリセル 1 0 0 によって共有される。

10

【 0 0 3 5 】

Y 方向に互いに隣り合う不純物層 1 6 であって、ブロック B 1 に形成された不純物層 1 6 とブロック B 2 に形成された不純物層 1 6 とは、半導体基板内に形成されたコンタクト用不純物層 4 0 0 によって互いに電氣的に接続されている。このコンタクト用不純物層 4 0 0 は、不純物層 1 6 に対し、コントロールゲートの共通コンタクト部 2 0 0 とは反対側に形成される。

【 0 0 3 6 】

このコンタクト用不純物層 4 0 0 上には、コンタクト 3 5 0 が形成されている。不純物層 1 6 によって構成されたビット線 6 0 は、このコンタクト 3 5 0 によって、上層の配線層に電氣的に接続される。

20

【 0 0 3 7 】

同様に、Y 方向に互いに隣り合う 2 つの不純物層 1 8 は、共通コンタクト部 2 0 0 が配置されていない側において、コンタクト用不純物層 4 0 0 によって互いに電氣的に接続されている (図 1 7 参照) 。

【 0 0 3 8 】

図 1 からわかるように、1 つのブロックにおいて、複数の共通コンタクト部 2 0 0 の平面レイアウトは、不純物層 1 6 と不純物層 1 8 とで交互に異なる側に形成され、千鳥配置となる。同様に、図 1 7 に示すように、1 つのブロックにおいて、複数のコンタクト用不純物層 4 0 0 の平面レイアウトは、不純物層 1 6 と不純物層 1 8 とで交互に異なる側に形成され、千鳥配置となる。

30

【 0 0 3 9 】

次に、図 2 および図 3 を参照しながら、半導体装置の平面構造および断面構造について説明する。メモリ領域 1 0 0 0 と隣り合う位置に、例えばメモリの周辺回路を構成するロジック回路領域 2 0 0 0 が形成されている。メモリ領域 1 0 0 0 とロジック回路領域 2 0 0 0 とは、素子分離領域 3 0 0 によって電氣的に分離されている。メモリ領域 1 0 0 0 には、少なくともメモリセル 1 0 0 が形成されている。ロジック回路領域 2 0 0 0 には、少なくともロジック回路を構成する絶縁ゲート電界効果トランジスタ (以下、「M O S トランジスタ」という) 5 0 0 が形成されている。

【 0 0 4 0 】

40

まず、メモリ領域 1 0 0 0 について説明する。

【 0 0 4 1 】

メモリセル 1 0 0 は、半導体基板 1 0 の上方に第 1 ゲート絶縁層 1 2 を介して形成されたワードゲート 1 4 と、半導体基板 1 0 内に形成された、ソース領域またはドレイン領域を構成する不純物層 1 6 , 1 8 と、ワードゲート 1 4 の両側に沿ってそれぞれ形成された、サイドウォール状の第 1 および第 2 のコントロールゲート 2 0 , 3 0 とを含む。また、不純物層 1 6 , 1 8 上には、シリサイド層 9 2 が形成されている。

【 0 0 4 2 】

第 1 コントロールゲート 2 0 は、半導体基板 1 0 の上方に第 2 ゲート絶縁層 2 2 を介して形成され、かつ、ワードゲート 1 4 の一方の側面に対してサイド絶縁層 2 4 を介して形成

50

されている。同様に、第2コントロールゲート30は、半導体基板10の上方に第2ゲート絶縁層22を介して形成され、かつ、ワードゲート14の他方の側面に対してサイド絶縁層24を介して形成されている。

【0043】

第2ゲート絶縁層22およびサイド絶縁層24は、ONO膜である。具体的には、第2ゲート絶縁層22およびサイド絶縁層24は、ボトム酸化シリコン層（第1酸化シリコン層）、窒化シリコン層、トップ酸化シリコン層（第2酸化シリコン層）の積層膜である。

【0044】

第2ゲート絶縁層22の第1酸化シリコン層は、チャネル領域と電荷蓄積領域との間に電位障壁（potential barrier）を形成する。

10

【0045】

第2ゲート絶縁層22の窒化シリコン層は、キャリア（たとえば電子）をトラップする電荷蓄積領域として機能する。

【0046】

第2ゲート絶縁層22の第2酸化シリコン層は、コントロールゲートと電荷蓄積領域との間に電位障壁（potential barrier）を形成する。

【0047】

サイド絶縁層24は、ワードゲート14と、コントロールゲート20、30とをそれぞれ電氣的に分離させる。また、サイド絶縁層24の上端は、ワードゲート14と第1、第2コントロールゲート20、30とのショートを防ぐために、コントロールゲート20、30の上端に比べ、半導体基板10に対して上方に位置している。

20

【0048】

サイド絶縁層24と第2ゲート絶縁層22とは、同一の成膜工程で形成され、それぞれの層構造は等しくなる。

【0049】

そして、隣り合うメモリセル100において、隣り合う第1コントロールゲート20と第2コントロールゲート30との間には、埋め込み絶縁層70が形成される。この埋め込み絶縁層70は、少なくともコントロールゲート20、30が露出しないようにこれらを覆っている。具体的には、埋込み絶縁層70の上面は、サイド絶縁層24の上端より半導体基板10に対して上方に位置している。埋込み絶縁層70をこのように形成することで、第1、第2コントロールゲート20、30と、ワードゲート14およびワード線50との電氣的分離をより確実に行うことができる。

30

【0050】

共通コンタクト部200には、コントロールゲート20、30に所定の電位を供給するための導電層が形成される。共通コンタクト部200は、第1コンタクト絶縁層212、第2コンタクト絶縁層210、第1コンタクト導電層214、第2コンタクト導電層232、第3コンタクト絶縁層252および第3コンタクト導電層260から構成されている。

【0051】

第1コンタクト絶縁層212は、第1ゲート絶縁層12と同一の工程で形成される。

【0052】

第2コンタクト絶縁層210は、第2ゲート絶縁層22およびサイド絶縁層24と同一の工程で形成される。従って、第2コンタクト絶縁層210は、第1酸化シリコン層、窒化シリコン層および第2酸化シリコン層の積層膜から構成されている。

40

【0053】

第1コンタクト導電層214は、ワードゲート14と同一の工程で成膜される。この場合、第1コンタクト導電層214は、ワードゲート14と同一の材質から形成される。また、第1コンタクト導電層214は、第2コンタクト絶縁層210の外側に形成されている。さらに、第1コンタクト導電層214は、半導体基板10の上方に第1コンタクト絶縁層212を介して配置されている。

【0054】

50

第2コンタクト導電層232は、第1コンタクト導電層214の内側に、第2コンタクト絶縁層210を介して配置されている。また、この第2コンタクト導電層232は、半導体基板10の上方に第2コンタクト絶縁層210を介して配置されている。この第2コンタクト導電層232は、第1、第2コントロールゲート20、30の形成と同一の工程によって成膜され、かつ、第1、第2コントロールゲート20、30と連続するように形成されている。したがって、第2コンタクト導電層232と、第1、第2コントロールゲート20、30とは、同一の材質で形成されている。

【0055】

第1サイド絶縁層24、34は、ワードゲート14と、第1、第2コントロールゲート20、30とをそれぞれ電氣的に分離させる。また、第1サイド絶縁層24、34の上端は、ワードゲート14と第1、第2コントロールゲート20、30とのショートを防ぐために、第1、第2コントロールゲート20、30の上端に比べ、上方に位置している。

10

【0056】

本実施の形態では、第1サイド絶縁層24、34と第2ゲート絶縁層22、32とは、同一の成膜工程で形成され、それぞれの層構造は等しくなる。さらに、第1サイド絶縁層24、34は、その上端が第1、第2コントロールゲート20、30より上方に位置するように形成されている。そして、隣り合うメモリセル100において、隣り合う第1コントロールゲート20と第2コントロールゲート30との間には、埋め込み絶縁層70が形成される。本実施の形態においては、第1、第2コントロールゲート20、30は埋め込み絶縁層70によって埋め込まれている。この埋め込み絶縁層70は、少なくとも第1、第2コントロールゲート20、30が露出しないようにこれらを覆っている。具体的には、埋め込み絶縁層70の上面は、第1サイド絶縁層24、34の上端より半導体基板10に対して上方に位置している。埋め込み絶縁層70をこのように形成することで、第1、第2コントロールゲート20、30と、ワードゲート14およびワード線50との電氣的分離をより確実に行うことができる。

20

【0057】

ロジック回路領域2000においては、MOSトランジスタ500が形成されている。MOSトランジスタ500は、半導体基板10の上方に第3ゲート絶縁層122を介して形成されたゲート電極142と、半導体基板10内に形成されたソース領域またはドレイン領域を構成する不純物層162、182と、ゲート電極142の両側面に沿ってそれぞれ形成されたサイドウォール絶縁層152とを含む。さらに、不純物層162、182の上面にはシリサイド層192が形成され、ゲート電極142の上面にはシリサイド層194が形成されている。

30

【0058】

ロジック回路領域2000においては、MOSトランジスタ500は第2絶縁層270によって覆われている。この第2絶縁層270は、埋込み絶縁層70と同一の工程で形成される。

【0059】

メモリ領域1000とロジック回路領域2000との境界領域には、図2および図3に示すように、ワードゲート14およびゲート電極142と同一の材質からなる境界部140cが形成される。この境界部140cは、ワードゲート14およびゲート電極142と同一の成膜工程で形成される。また、境界部140cの少なくとも一部は、素子分離領域300の上方に形成される。

40

【0060】

境界部140cの一方の側面(メモリ領域1000側)には、コントロールゲート20、30と同一の材質のサイドウォール状導電層20aが形成されている。このサイドウォール状導電層20aは、Y方向に延びており、共通コンタクト部200を介して隣り合うコントロールゲート30と電氣的に接続されている。このサイドウォール状導電層20aは、メモリセルのコントロールゲートとしては利用されない。しかしながら、サイドウォール状導電層20aを隣り合うコントロールゲート30と電氣的に接続させることによって

50

、サイドウォール状導電層 20a と隣り合うコントロールゲート 30 の電気特性を、他のコントロールゲートの電気特性と等しくすることができる。

【0061】

また、境界部 140c の他の側面（ロジック回路領域 2000 側）には、MOS トランジスタ 500 のサイドウォール絶縁層 152 の形成と同一の工程によって形成されたサイドウォール状絶縁層 152 が形成されている。

【0062】

メモリセル 100 および MOS トランジスタ 500 などが形成された半導体基板 10 上には、層間絶縁層 72 が形成されている。そして、層間絶縁層 72 には、例えば共通コンタクト部 200 の第 3 コンタクト導電層 260 に到達するコンタクトホール 84 が形成されている。このコンタクトホール 84 内に、タングステンプラグまたは銅プラグなどの導電層 82 が充填され、この導電層 82 は層間絶縁層 72 上に形成された配線層 80 と接続されている。

10

【0063】

本実施の形態にかかる半導体装置によれば、メモリ領域 1000 において、サイドウォール状の第 1、第 2 コントロールゲート 20、30 は、1 組ごとに、パッド状の共通コンタクト部 200 と接続され、この共通コンタクト部 200 は、第 1 コンタクト導電層 214、第 2 コンタクト導電層 232、およびパッド状の第 3 コンタクト導電層 260 を含む。ここで、第 3 コンタクト導電層 260 が、第 1 コンタクト導電層 214 および第 2 コンタクト導電層 232 上に設置されていることにより、これらのコントロールゲートとの電気的接続を確実にとることができる。すなわち、本実施の形態の半導体装置を構成するコントロールゲート 20、30 は、サイドウォール状の形状を有し、その幅は通常 $0.1\mu\text{m}$ より小さい。したがって、第 1 コンタクト導電層 214 および第 2 コンタクト導電層 232 上に第 3 コンタクト導電層 260 を設置させることによって、コントロールゲート 20、30 と共通コンタクト部 200 との電気的接続を確保することができる。その結果、コントロールゲートとの電気的コンタクトを上記の共通コンタクト部によって必要最小限の面積で確保することができる。

20

【0064】

（半導体装置の製造方法）

次に、図 4～図 15 を参照しながら、本実施の形態に係る半導体装置の製造方法について説明する。各断面図は、図 2 の A-A 線に沿った部分に対応する。図 4～図 15 において、図 1～図 3 で示す部分と実質的に同一の部分には同一の符号を付し、重複する記載は省略する。

30

【0065】

（1）図 4 に示すように、まず、半導体基板 10 の表面に、トレンチアイソレーション法によって素子分離領域 300 を形成する。次いで、イオン注入によって、コンタクト用不純物層 400（図 1 参照）を半導体基板 10 内に形成する。

【0066】

次いで、半導体基板 10 の表面に、第 1 ゲート絶縁層となる第 1 絶縁層 120 を形成する。次いで、ワードゲート 14 とゲート電極 142 となる第 1 導電層 140 を第 1 絶縁層 120 上に堆積する。第 1 導電層 140 はドーフトポリシリコンからなる。次いで、後の CMP 工程におけるストッパ層 S100 を第 1 導電層 140 上に形成する。ストッパ層 S100 は、窒化シリコン層からなる。

40

【0067】

（2）次いで、ロジック回路領域 2000 の全てを覆い、さらに、メモリ領域 1000 の一部にまで張り出したレジスト層（図示しない）を形成する。次いで、このレジスト層をマスクとしてストッパ層 S100 をパターニングする。その後、パターニングされたストッパ層をマスクとして、第 1 導電層 140 をエッチングする。図 5 に示すように、メモリ領域 1000 では、第 1 導電層 140 がパターニングされゲート層 140a となる。一方、この工程では、ロジック回路領域 2000 内の第 1 導電層 140 はパターニングされな

50

い（以後、ロジック回路領域内の第１導電層１４０を便宜的にゲート層１４０ｂと呼ぶ）。

【００６８】

パターニング後の様子を平面的に示したのが図６である。このパターニングによって、メモリ領域１０００内の第１導電層１４０およびストッパ層Ｓ１００の積層体には、開口部１６０，１８０が設けられる。開口部１６０，１８０は、後のイオン注入によって不純物層１６，１８が形成される領域にほぼ対応している。そして、後の工程で、開口部１６０，１８０の側面に沿ってサイド絶縁層とコントロールゲートとが形成される。

【００６９】

（３）図７に示すように、半導体基板１０上に、ＯＮＯ膜２２０を全面的に形成する。Ｏ
ＮＯ膜２２０は、第１酸化シリコン層、窒化シリコン層および第２酸化シリコン層を順次
堆積させることで形成される。第１酸化シリコン層は、たとえば熱酸化法、ＣＶＤ法を用
いて成膜することができる。窒化シリコン層は、たとえばＣＶＤ法によって成膜するこ
とができる。第２酸化シリコン層は、ＣＶＤ法、具体的には高温酸化法（ＨＴＯ）を用いて
成膜することができる。これらの各層を成膜した後、アニール処理を行い、各層を緻密化
することが好ましい。

10

【００７０】

ＯＮＯ膜２２０は、後のパターニングによって、第２ゲート絶縁層２２およびサイド絶縁
層２４、ならびに第２コンタクト絶縁層２１０となる（図３参照）。

【００７１】

20

（４）図８に示すように、ドーフトポリシリコン層（第２導電層）２３０を、ＯＮＯ膜２
２０上に全面的に形成する。ドーフトポリシリコン層２３０は、後にエッチングされて、
コントロールゲート２０，３０を構成する導電層４０（図１参照）および共通コンタクト
部２００の第２コンタクト導電層２３２（図３参照）となる。

【００７２】

次いで、共通コンタクト部２００が形成される領域に、レジスト層Ｒ１００を形成する。

【００７３】

（５）図９に示すように、ドーフトポリシリコン層２３０（図８参照）を、レジスト層Ｒ
１００をマスクとして全面的に異方性エッチングすることにより、第１および第２コン
ロールゲート２０，３０および第２コンタクト導電層２３２を形成する。

30

【００７４】

すなわち、このエッチング工程によって、メモリ領域１０００の開口部１６０，１８０（
図６参照）の側面に沿って、サイドウォール状のコントロールゲート２０，３０が形成さ
れる。これと同時に、レジスト層Ｒ１００（図８参照）でマスクされた部分には、第２コ
ンタクト導電層２３２が形成される。一方、ロジック回路領域２０００内に堆積されたド
ーフトポリシリコン層２３０は完全に除去される。但し、境界領域においては、ゲート層
１４０ｂの一方の端部（メモリ領域１０００側）の側面に、ドーフトポリシリコン層２３
０がサイドウォール状に残存することになる。その後、レジスト層Ｒ１００は除去される
。

【００７５】

40

（６）図１０に示すように、メモリ領域１０００の全てを覆い、さらにロジック回路領域
の一部にまで張り出したレジスト層Ｒ２００を形成する。次いで、レジスト層Ｒ２００を
マスクとしてロジック回路領域２０００におけるＯＮＯ膜２２０とストッパ層Ｓ１００と
を除去する。このエッチング工程によって、境界領域を除くロジック回路領域２０００内
のストッパ層Ｓ１００は全て除去される。

【００７６】

このとき、メモリ領域１０００とロジック回路領域２０００との境界領域に位置するゲ
ート層１４０ｂであって、上記（２）のエッチング工程で使用されるレジスト層と、この（
６）のエッチング工程で使用されるレジスト層Ｒ２００とに共に覆われていた領域は、後
の工程で境界部１４０ｃ（図３参照）となる。また、このパターニングによって形成され

50

たストッパ層 S 1 0 0 a は、メモリ領域 1 0 0 0 内の他のストッパ層 S 1 0 0 より幅が大きい。その後、レジスト層 R 2 0 0 は除去される。

【 0 0 7 7 】

(7) 図 1 1 に示すように、ゲート電極 1 4 2 を形成するためのレジスト層 R 3 0 0 が形成される。このレジスト層 R 3 0 0 は、メモリ領域 1 0 0 0 の全てと、ロジック回路領域 2 0 0 0 内の所定の部分とを覆うようにパターニングされている。次いで、レジスト層 R 3 0 0 をマスクとしてゲート層 1 4 0 b (図 1 0 参照) をエッチングすることにより、ロジック回路領域 2 0 0 0 内にゲート電極 1 4 2 が形成される。また、このエッチングによって、境界領域にはレジスト層 R 3 0 0 とストッパ層 S 1 0 0 a とをマスクとして自己整合的に境界部 1 4 0 c がパターニングされる。

10

【 0 0 7 8 】

その後、レジスト層 R 3 0 0 は除去される。次いで、N型不純物をドーピングすることで、ロジック回路領域 2 0 0 0 においてソース領域およびドレイン領域のエクステンション層 1 6 1 , 1 8 1 が形成される。

【 0 0 7 9 】

(8) 図 1 2 に示すように、メモリ領域 1 0 0 0 およびロジック回路領域 2 0 0 0 において、酸化シリコンまたは窒化酸化シリコンなどの絶縁層 2 5 0 を全面的に形成する。

【 0 0 8 0 】

(9) 図 1 3 に示すように、絶縁層 2 5 0 (図 1 2 参照) を全面的に異方性エッチングすることにより、ロジック回路領域 2 0 0 0 において、ゲート電極 1 4 2 の両側面にサイドウォール絶縁層 1 5 2 が形成される。これと共に、境界部 1 4 0 c のロジック回路領域 2 0 0 0 側の側面にサイドウォール絶縁層 1 5 2 が形成される。また、コントロールゲート 2 0 , 3 0 上には絶縁層 1 5 2 a が残存させられる。また、第 2 コンタクト導電層 2 3 2 を覆う第 3 コンタクト絶縁層 2 5 2 が形成される。さらに、このエッチングによって、後の工程でシリサイド層が形成される領域に堆積された絶縁層は除去され、半導体基板が露出する。

20

【 0 0 8 1 】

このとき、ゲート層 1 4 0 a およびストッパ層 S 1 0 0 の側面に形成された第 1 サイド絶縁層 2 4 , 3 4 の上端は、第 1 , 第 2 コントロールゲート 2 0 , 3 0 の上端に比べ、上方に位置する。

30

【 0 0 8 2 】

次いで、シリサイド形成用の金属を全面的に堆積させる。シリサイド形成用の金属とは、例えば、チタンやコバルトである。その後、不純物層 1 6 , 1 8 , 1 6 2 , 1 8 2 と、ゲート電極 1 4 2 との上に形成された金属をシリサイド化反応させることにより、不純物層 1 6 , 1 8 の上面にシリサイド層 9 2 を形成させ、不純物層 1 6 2 , 1 8 2 の上面にシリサイド層 1 9 2 を形成させ、ゲート電極 1 4 2 の上面にシリサイド層 1 9 4 を形成させる。従って、このシリサイド工程によって、ロジック回路領域 2 0 0 0 の MOS トランジスタ 5 0 0 は、ゲート電極と、ソース領域またはドレイン領域とが共に自己整合的にシリサイド化される。また、同一のシリサイド工程によって、メモリ領域 1 0 0 0 のメモリセル 1 0 0 は、ソース領域またはドレイン領域の表面が自己整合的にシリサイド化される。

40

【 0 0 8 3 】

次いで、メモリ領域 1 0 0 0 およびロジック回路領域 2 0 0 0 において、酸化シリコンまたは窒化酸化シリコンなどの第 2 絶縁層 2 7 0 を全面的に形成する。第 2 絶縁層 2 7 0 は、ストッパ層 S 1 0 0 と S 1 0 0 a とを覆うように形成される。

【 0 0 8 4 】

(1 0) 図 1 4 に示すように、第 2 絶縁層 2 7 0 を、CMP 法を用いて、ストッパ層 S 1 0 0 , S 1 0 0 a が露出するまで研磨し、第 2 絶縁層 2 7 0 を平坦化する。この研磨によって、コントロールゲート 2 0 , 3 0 をはさんで対向する 2 つのサイド絶縁層 2 4 の間に第 2 絶縁層 2 7 0 が残存され、埋込み絶縁層 7 0 となる。また、図 1 4 に示すように、第 2 コンタクト導電層 2 3 2 から凹部 7 4 が構成され、この凹部 7 4 に第 3 コンタクト絶縁

50

層 2 5 2 が形成される。

【 0 0 8 5 】

このとき、メモリ領域 1 0 0 0 においては、ゲート層 1 4 0 a およびストッパ層 S 1 0 0 の側面に形成されたサイド絶縁層 2 4 の上端は、第 1 , 第 2 コントロールゲート 2 0 , 3 0 の上端に比べ、半導体基板 1 0 に対して上方に位置する。また、ロジック回路領域 2 0 0 0 においては、M O S トランジスタ 5 0 0 は第 2 絶縁層 2 7 0 によって完全に覆われている。

【 0 0 8 6 】

従って、この研磨工程が終わった段階で、ワードゲート 1 4 となるゲート層 1 4 0 a と境界部 1 4 0 c との上方にはそれぞれストッパ層 S 1 0 0 と S 1 0 0 a とが存在することになる。一方、ゲート電極 1 4 2 の上方にはストッパ層は無く、第 2 絶縁層 2 7 0 が存在することになる。

10

【 0 0 8 7 】

(1 1) ストッパ層 S 1 0 0 , S 1 0 0 a (図 1 4 参照) を熱りん酸で除去する。この結果、少なくともゲート層 1 4 0 a と境界部 1 4 0 c との上面が露出する。その後、全面的にドーフトポリシリコン層 (第 3 導電層、図示せず) を堆積させる。

【 0 0 8 8 】

次いで、図 1 5 に示すように、前記ドーフトポリシリコン層 (第 3 導電層) 上に、パターニングされたレジスト層 R 4 0 0 を形成する。レジスト層 R 4 0 0 をマスクとして、前記ドーフトポリシリコン層 (第 3 導電層) をパターニングすることにより、ワード線 5 0 と第 3 コンタクト導電層 2 6 0 とが形成される。

20

【 0 0 8 9 】

引き続き、レジスト層 R 4 0 0 をマスクとして、ゲート層 1 4 0 a (図 1 4 参照) のエッチングが行われる。このエッチングにより、ワード線 5 0 が上方に形成されないゲート層 1 4 0 a が除去される。その結果、アレイ状に配列したワードゲート 1 4 を形成することができる。ゲート層 1 4 0 a の除去領域は、後に形成される P 型不純物層 (素子分離用不純物層) 1 5 の領域と対応する (図 2 参照) 。

【 0 0 9 0 】

尚、このエッチング工程では、第 1 , 第 2 のコントロールゲート 2 0 , 3 0 をなす導電層 4 0 は、埋込み絶縁層 7 0 で覆われているために、エッチングされずに残る。また、ロジック回路領域 2 0 0 0 の M O S トランジスタ 5 0 0 は、第 2 絶縁層 2 7 0 によって完全に覆われているため、このエッチングによって影響を受けることは無い。

30

【 0 0 9 1 】

次いで、P 型不純物を半導体基板 1 0 に全面的にドーブする。これにより、Y 方向におけるワードゲート 1 4 の相互間の領域に P 型不純物層 (素子分離用不純物層) 1 5 (図 2 参照) が形成される。この P 型不純物層 1 5 によって、不揮発性半導体記憶装置 1 0 0 相互の素子分離がより確実に行われる。

【 0 0 9 2 】

(1 2) 次いで、第 1 層間絶縁層を形成した後、公知の方法でコンタクトホールを形成し、コンタクトホール内の導電層および第 1 配線層を形成できる。例えば、図 3 に示すように、層間絶縁層 7 2 にコンタクトホール 8 4 を形成した後、共通コンタクト部 2 0 0 と接続された導電層 8 2 および配線層 8 0 を形成する。この工程では、ロジック回路領域 2 0 0 0 においても同様にコンタクト部および配線層を形成することができる。

40

【 0 0 9 3 】

以上の工程により、図 1、図 2 および図 3 に示す半導体装置を製造することができる。

【 0 0 9 4 】

この製造方法による利点は以下の通りである。

【 0 0 9 5 】

第 1 に、特に工程数を増加させることなく、サイドウォール状の第 1 , 第 2 コントロールゲート 2 0 , 3 0 とともに共通コンタクト部 2 0 0 を形成できる。そして、共通コンタク

50

ト部 200 は、少なくとも不純物層 16, 18 の幅に近いサイズを有することができ、十分に大きなコンタクト面積を確保できる。したがって、本実施の形態では、十分なコンタクト領域をとりにくいサイドウォール状のコントロールゲート 20, 30 であっても、共通コンタクト部 200 を介して確実な電氣的接続をとることができる。

【0096】

第 2 に、第 1 コンタクト導電層 214 および第 2 コンタクト導電層 232 上に第 3 コンタクト導電層 260 が設置され、この第 3 コンタクト導電層 260 上に、導電層 82 が形成される。したがって、第 3 コンタクト導電層 260 が設置されていることにより、この導電層 82 を形成する際におけるアライメント余裕を確保することができる。

【0097】

第 3 に、前記(9)の工程によって、メモリセル 100 のソース領域またはドレイン領域 16, 18 と、MOS トランジスタ 500 のソース領域またはドレイン領域 162, 182 とを形成するイオン注入工程を同一の工程で行うことができる。

【0098】

第 4 に、前記(9)の工程によって、メモリセル 100 のソース領域またはドレイン領域 16, 18 と、MOS トランジスタ 500 のゲート電極 142 およびソース領域またはドレイン領域 162, 182 との上にシリサイド層を自己整合的に形成する工程を同一の工程で行うことができる。

【0099】

第 5 に、メモリセル 100 のワードゲート 14 をパターニングする前記(11)の工程において、MOS トランジスタ 500 は第 2 絶縁層 270 で覆われているため、MOS トランジスタ 500 がエッチングガスに晒され、特性上影響を受けることは無い。

【0100】

第 6 に、サイドウォール状のコントロールゲートを形成する前記(5)の工程において、メモリセルのコントロールゲートとして機能しないサイドウォール状導電層は境界領域 140c の側部に形成される導電層 20a のみである。しかしながら、この導電層 20a は隣り合うコントロールゲート 30 と接続されることにより、該コントロールゲート 30 の電気特性を、他のコントロールゲートの電気特性と等しくすることができる。すわわち、本実施の形態においては、余分なサイドウォール状導電層が形成されることは無い。

【0101】

以上、本発明の一実施の形態について述べたが、本発明はこれに限定されず、本発明の要旨の範囲内で種々の態様をとりうる。たとえば、上記実施の形態では、半導体層としてバルク状の半導体基板を用いたが、SOI 基板の半導体層を用いてもよい。

【図面の簡単な説明】

【図 1】半導体装置のメモリ領域のレイアウトを模式的に示す平面図である。

【図 2】半導体装置の要部を模式的に示す平面図である。

【図 3】図 2 の A - A 線に沿った部分を模式的に示す断面図である。

【図 4】図 1 から図 3 に示す半導体装置の製造方法の一工程を示す断面図である。

【図 5】図 1 から図 3 に示す半導体装置の製造方法の一工程を示す断面図である。

【図 6】図 5 に示す半導体装置の製造方法の一工程を示す平面図である。

【図 7】図 1 から図 3 に示す半導体装置の製造方法の一工程を示す断面図である。

【図 8】図 1 から図 3 に示す半導体装置の製造方法の一工程を示す断面図である。

【図 9】図 1 から図 3 に示す半導体装置の製造方法の一工程を示す断面図である。

【図 10】図 1 から図 3 に示す半導体装置の製造方法の一工程を示す断面図である。

【図 11】図 1 から図 3 に示す半導体装置の製造方法の一工程を示す断面図である。

【図 12】図 1 から図 3 に示す半導体装置の製造方法の一工程を示す断面図である。

【図 13】図 1 から図 3 に示す半導体装置の製造方法の一工程を示す断面図である。

【図 14】図 1 から図 3 に示す半導体装置の製造方法の一工程を示す断面図である。

【図 15】図 1 から図 3 に示す半導体装置の製造方法の一工程を示す断面図である。

【図 16】公知の MONOS 型メモリセルを示す断面図である。

10

20

30

40

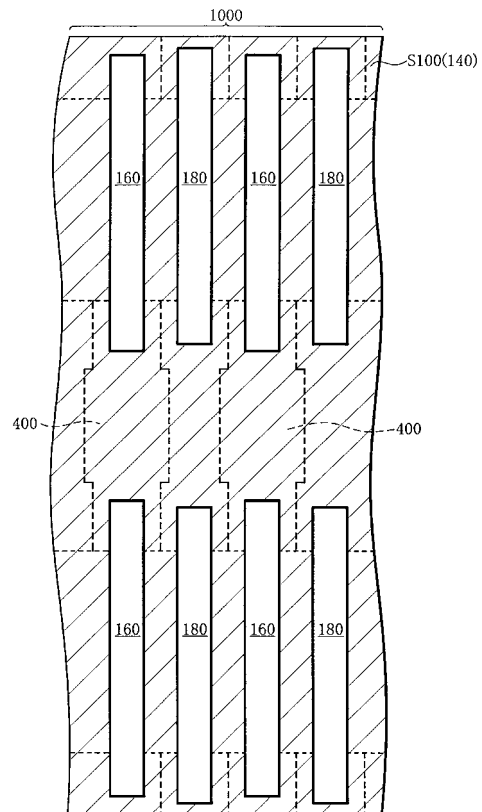
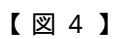
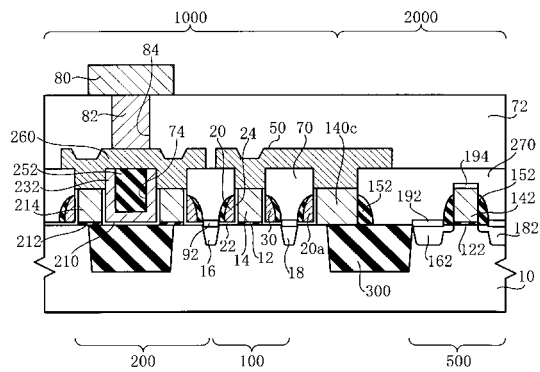
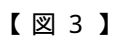
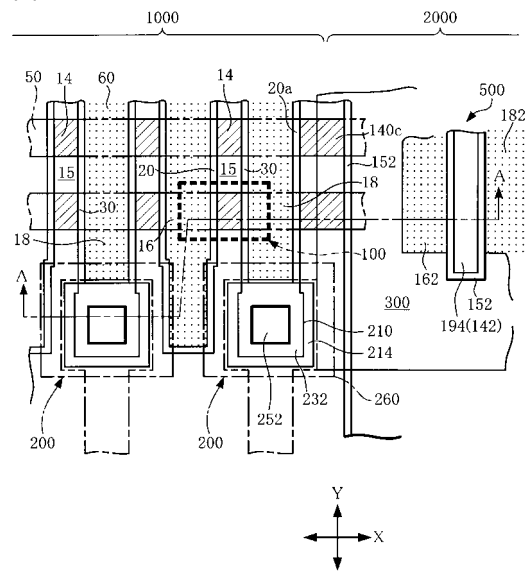
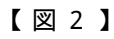
50

【図 17】半導体装置のメモリ領域のレイアウトを模式的に示す平面図である。

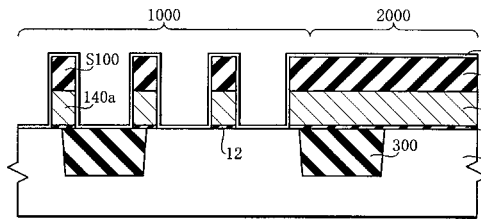
【符号の説明】

10	半導体基板	
12	第1ゲート絶縁層	
14	ワードゲート	
15	素子分離用不純物層	
16, 18	不純物層	
20	第1コントロールゲート	
22	第2ゲート絶縁層	
24	サイド絶縁層	10
30	第2コントロールゲート	
40	導電層	
50	ワード線	
60	ビット線	
70	埋込み絶縁層	
72	層間絶縁層	
74	凹部	
80	配線層	
82	導電層	
84	コンタクトホール	20
92, 192	シリサイド層	
100	不揮発性記憶装置(メモリセル)	
120	第1ゲート絶縁層(第1絶縁層)	
122	第3ゲート絶縁層	
140	(第1導電層)	
140a, 140b	ゲート層	
142	ゲート電極	
162, 182	不純物層	
160, 180	開口部	
200	共通コンタクト部	30
210	第2コンタクト絶縁層	
212	第1コンタクト絶縁層	
214	第1コンタクト導電層	
220	ONO膜	
230	ドーパドポリシリコン層(第2導電層)	
232	第2コンタクト導電層	
252	第3コンタクト絶縁層	
260	第3コンタクト導電層	
270	第2絶縁層	
300	素子分離領域	40
400	コンタクト用不純物層	
500	絶縁ゲート電界効果トランジスタ(MOSトランジスタ)	
S100	ストッパ層	
R100, R200, R300, R400	レジスト層	
1000	メモリ領域	
2000	ロジック回路領域	

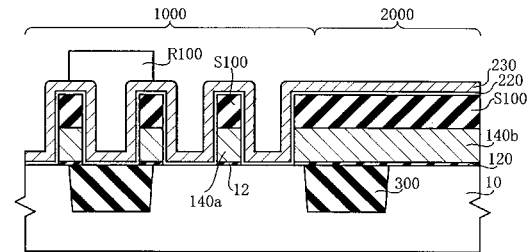
【 図 1 】



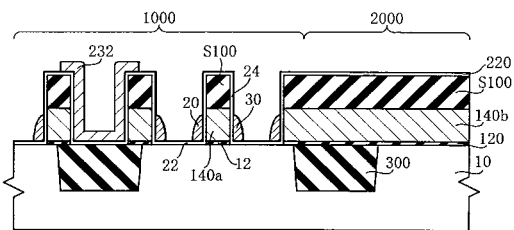
【図 7】



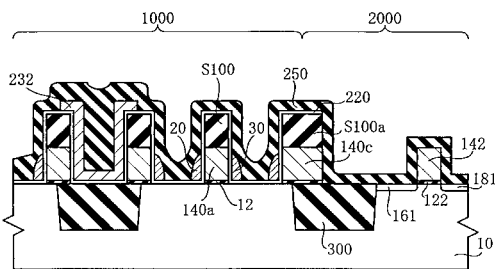
【図 8】



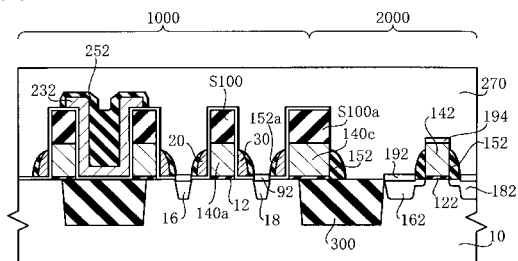
【図 9】



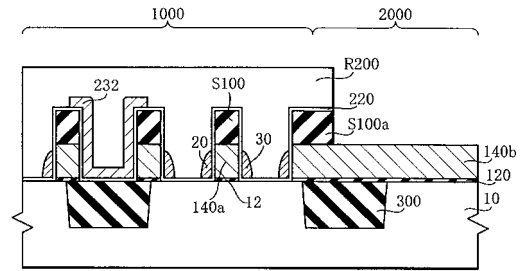
【図 12】



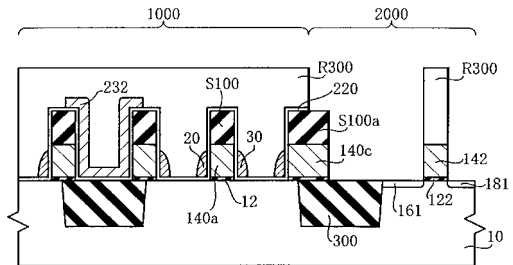
【図 13】



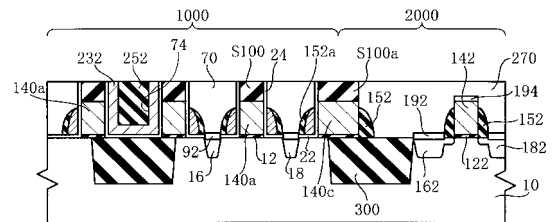
【図 10】



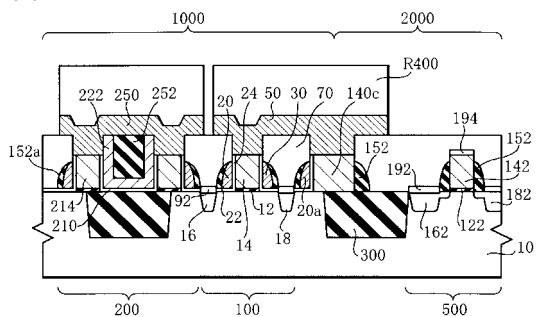
【図 11】



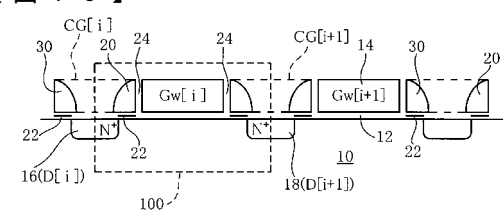
【図 14】



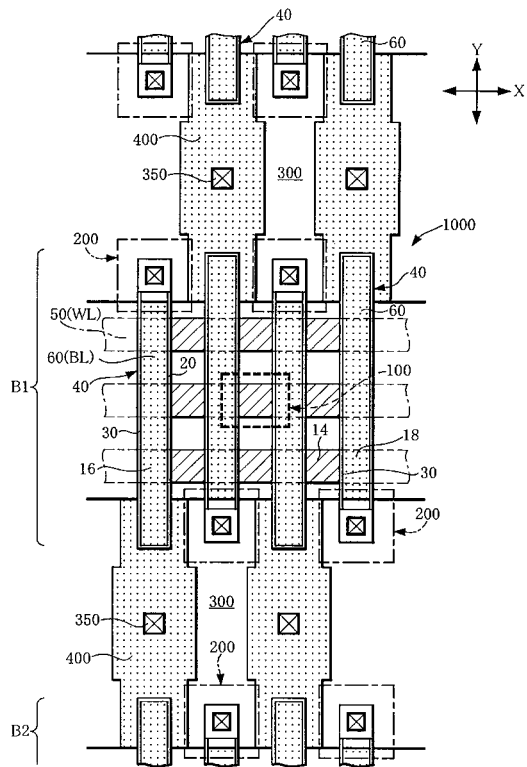
【図 15】



【図 16】



【図 17】



フロントページの続き

(51) Int.Cl.⁷ F I

H 0 1 L 29/788

H 0 1 L 29/792

審査官 正山 旭

(56) 参考文献 特開 2 0 0 1 - 2 3 0 3 3 2 (J P , A)

特開平 0 5 - 0 4 8 1 1 3 (J P , A)

特開 2 0 0 1 - 1 4 8 4 3 4 (J P , A)

特開 2 0 0 2 - 2 3 1 8 3 0 (J P , A)

(58) 調査した分野(Int.Cl.⁷, D B 名)

H01L 29/792

H01L 27/115

H01L 21/8247

H01L 27/088

H01L 21/8234

H01L 27/10