

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-324501

(P2006-324501A)

(43) 公開日 平成18年11月30日(2006.11.30)

(51) Int. Cl.		F I			テーマコード (参考)
HO 1 L 27/105 (2006.01)		HO 1 L 27/10	4 4 8		5 F O 8 3
HO 1 L 45/00 (2006.01)		HO 1 L 45/00	A		

審査請求 未請求 請求項の数 11 O L (全 26 頁)

(21) 出願番号	特願2005-146784 (P2005-146784)	(71) 出願人	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成17年5月19日 (2005.5.19)	(74) 代理人	100075812 弁理士 吉武 賢次
		(74) 代理人	100088889 弁理士 橘谷 英俊
		(74) 代理人	100082991 弁理士 佐藤 泰和
		(74) 代理人	100096921 弁理士 吉元 弘
		(74) 代理人	100103263 弁理士 川崎 康

最終頁に続く

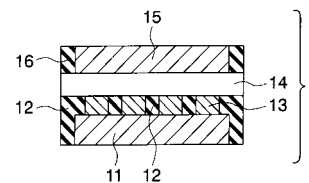
(54) 【発明の名称】 相変化メモリおよびその製造方法

(57) 【要約】

【課題】 記憶セルのサイズが小さくなった場合にも、記憶セル間の特性を略同一にすることが可能で、かつ相変化のために必要な電流量を十分に小さくすることを可能にする。

【解決手段】 第1の電極11と、第1の電極上に設けられた略同一形状を有する少なくとも2個の導電体13を有し、これらの導電体が導電体よりも高抵抗な高抵抗膜12によって隔てられている導電部と、導電部上に設けられ、第1の比抵抗を有する第1の相状態と、第1の比抵抗とは異なる第2の比抵抗を有する第2の相状態との間で相変化可能な相変化材料を有する記録層14と、記録層上に設けられた第2の電極15と、を備えた記憶セル1を有している。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の電極と、

前記第 1 の電極上に設けられた略同一形状を有する少なくとも 2 個の導電体を有し、これらの導電体が前記導電体よりも高抵抗な高抵抗膜によって隔てられている導電部と、

前記導電部上に設けられ、第 1 の比抵抗を有する第 1 の相状態と、前記第 1 の比抵抗とは異なる第 2 の比抵抗を有する第 2 の相状態との間で相変化可能な相変化材料を有する記録層と、

前記記録層上に設けられた第 2 の電極と、

を備えた記憶セルを有していることを特徴とする相変化メモリ。

10

【請求項 2】

前記導電体が略規則的に配列された配列構造を有することを特徴とする請求項 1 記載の相変化メモリ。

【請求項 3】

隣接する前記導電体の中心間の平均距離 x と、隣接する前記導電体間の最短距離の平均値 d との比 x/d が 1.5 以上であることを特徴とする請求項 1 または 2 記載の相変化メモリ。

【請求項 4】

前記導電体を隔ている高抵抗膜は、前記相変化材料の結晶化を促進する材料からなっていることを特徴とする請求項 1 乃至 3 のいずれかに記載の相変化メモリ。

20

【請求項 5】

前記高抵抗膜は、Ge 若しくは Hf の窒化物、Cr, Ce, Hf, Zr 若しくは Ta の酸化物、Si の炭化物、又はこれらの組み合わせからなることを特徴とする請求項 4 記載の相変化メモリ。

【請求項 6】

前記記憶セルの前記第 1 電極に接続される第 1 の配線と、前記記憶セルの第 2 の電極に直接接続される第 2 の配線とを備え、第 1 の配線と前記記憶セルの第 1 電極との間および第 2 の配線と前記記憶セルの第 2 電極との間の一方にトランジスタまたはダイオードが設けられていることを特徴とする請求項 1 乃至 5 のいずれかに記載の相変化メモリ。

【請求項 7】

第 1 の電極を形成する工程と、

前記第 1 の電極上に導電層を形成する工程と、

前記導電層上に第 1 のポリマー相と第 2 のポリマー相とが略規則的に配列した配列構造を有するブロックコポリマー層を形成する工程と、

前記第 1 のポリマー相を選択的に除去することにより前記ブロックコポリマー層の表面に複数の凹部を形成する工程と、

前記凹部をマスクとして前記導電層をエッチング処理することにより、前記ブロックコポリマー層の前記配列構造に対応した複数の導電体を形成する工程と、

前記複数の導電体間に前記導電体よりも高抵抗な高抵抗膜を形成する工程と、

前記複数の導電体および前記高抵抗膜上に、第 1 の比抵抗を有する第 1 の相状態と、前記第 1 の比抵抗とは異なる第 2 の比抵抗を有する第 2 の相状態との間で相変化可能な相変化材料層を形成する工程と、

40

前記相変化材料層上に第 2 の電極を形成する工程と、

を備えたことを特徴とする相変化メモリの製造方法。

【請求項 8】

前記導電層は、前記ブロックコポリマー層を形成する前の状態において、その表面に凹凸パターンを有し、

前記導電層の上に形成された前記ブロックコポリマー層の前記配列構造は、前記凹凸パターンに対応して配向してなることを特徴とする請求項 7 記載の相変化メモリの製造方法。

50

【請求項 9】

第 1 の電極を形成する工程と、

前記第 1 の電極上に導電層を形成する工程と、

前記導電層上に転写層を形成する工程と、

前記転写層上に、第 1 のポリマー相と第 2 のポリマー相とが略規則的に配列した配列構造を有するブロックコポリマー層を形成する工程と、

前記第 1 のポリマー相を選択的に除去することにより、前記ブロックコポリマー層の表面に複数の凹部を形成する工程と、

前記複数の凹部をマスクとして前記ブロックコポリマー層および前記転写層をエッチングすることにより、前記ブロックコポリマー層の前記配列構造に応じたパターンを前記転写層に形成する工程と、

前記転写層をマスクとしてエッチング処理することにより、前記ブロックコポリマー層の前記配列構造に対応した複数の導電体を形成する工程と、

前記複数の導電体間に前記導電体よりも高抵抗な高抵抗膜を形成する工程と、

前記複数の導電体および前記高抵抗膜上に、第 1 の比抵抗を有する第 1 の相状態と、前記第 1 の比抵抗とは異なる第 2 の比抵抗を有する第 2 の相状態との間で相変化可能な相変化材料層を形成する工程と、

第 2 の電極を形成する工程と、

を備えたことを特徴とする相変化メモリの製造方法。

10

【請求項 10】

前記転写層は、前記ブロックコポリマー層を形成する前の状態においてその表面に凹凸パターンを有し、

前記転写層の上に形成された前記ブロックコポリマー層の前記配列構造は、前記凹凸パターンに対応して配向してなることを特徴とする請求項 9 記載の相変化メモリの製造方法。

20

【請求項 11】

前記凹部にマスク層を形成する工程を更に有し、前記マスク層の充填量を調節することにより、前記配列構造に対応したパターンのサイズを制御することを特徴とする請求項 7 乃至 10 記載の相変化メモリの製造方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、第 1 の相状態と第 2 の相状態との間を相変化可能な相変化材料を記憶セルに用いた相変化メモリおよびその製造方法に関する。

【背景技術】

【0002】

電流などの電気エネルギーの印加によって情報を記録または消去可能な相変化メモリが知られている。相変化メモリに用いられる記録層の材料は、電気エネルギーの印加による温度上昇に起因して結晶相と非結晶相との間で可逆的な相変化を生じる。通常、結晶相の電気抵抗（または比抵抗）は低く、非結晶相の電気抵抗（または比抵抗）は高い。相変化メモリとは、このような結晶相と非結晶相との間の電気抵抗（または比抵抗）の違いを利用して情報を記録再生するメモリである。したがって、相変化する 2 状態が結晶相と非結晶相でなく、秩序化された非結晶相とこれよりも秩序が乱れた非結晶相であっても、その 2 つの相の間で十分な抵抗の変化が生じればよいことが知られている。

40

【0003】

相変化メモリは一般に、下部電極と、この下部電極上に設けられた導電部と、この導電部上に設けられた相変化材料からなる記録層と、この記録層上に設けられた上部電極とを有する記憶セルを備えている。また、下部および上部電極や導電部に比べて相変化材料からなる記録層の熱伝導率は小さいことが知られている。したがって、記憶セルの導電部近傍のみが温度上昇するように電流を印加しても、相変化材料からなる記録層内に熱がこも

50

るために、相変化材料からなる記録層内で温度上昇が生じる領域は導電部よりも大きな領域となってしまう。その結果、記憶セルサイズを小さくして更なる容量増大を目指した場合に、不必要な部分まで加熱することになり必要な電流量を小さくできない、隣接記憶セル間の熱的影響が無視できなくなる、という問題点があった。この問題を解決するために、外形が四角形でかつ中央部に四角形の穴が開いた面を記録層側にそれぞれ有する同一形状の二つの導電部を絶縁膜を介して並列に配置し、上記二つの導電部のそれぞれの上記面の一部と接触し導電部側の断面積が最小となるように記録層を構成することにより、導電部と記録層との接触面積を十分に小さくすることが知られている（例えば、非特許文献1参照）。

【非特許文献1】E. Varesi et al., "Advance in Phase Change Memory Technology", P 10
roceedings of EPCOS 2004, paper 16, http://www.epcos.org/E_PCOS04.htm.

【発明の開示】

【発明が解決しようとする課題】

【0004】

上述の非特許文献1のように、複数の導電部が相変化材料からなる記録層に接して設けられている場合には、導電部同士的位置関係を各記憶セル間で同一にしないと、記憶セル間で同一の特性を得ることが困難になる。このような記憶セル間の特性の制御は、記憶セルのサイズが小さいほど、つまり大容量メモリを実現しようとするほど、導電部のサイズも小さくなるため困難であるという問題点があった。

【0005】

本発明は、上記事情を考慮してなされたものであって、記憶セルのサイズが小さくなった場合にも、記憶セル間の特性を略同一にすることが可能で、かつ相変化のために必要な電流量を十分に小さくすることのできる相変化メモリおよびその製造方法を提供することを目的とする。

20

【課題を解決するための手段】

【0006】

本発明の第1の態様による相変化メモリは、第1の電極と、前記第1の電極上に設けられた略同一形状を有する少なくとも2個の導電体を有し、これらの導電体が前記導電体よりも高抵抗な高抵抗膜によって隔てられている導電部と、前記導電部上に設けられ、第1の比抵抗を有する第1の相状態と、前記第1の比抵抗とは異なる第2の比抵抗を有する第2の相状態との間で相変化可能な相変化材料を有する記録層と、前記記録層上に設けられた第2の電極と、を備えた記憶セルを有していることを特徴とする。

30

【0007】

また、本発明の第2の態様による相変化メモリの製造方法は、第1の電極を形成する工程と、前記第1の電極上に導電層を形成する工程と、前記導電層上に第1のポリマー相と第2のポリマー相とが略規則的に配列した配列構造を有するブロックコポリマー層を形成する工程と、前記第1のポリマー相を選択的に除去することにより前記ブロックコポリマー層の表面に複数の凹部を形成する工程と、前記凹部をマスクとして前記導電層をエッチング処理することにより、前記ブロックコポリマー層の前記配列構造に対応した複数の導電体を形成する工程と、前記複数の導電体間に前記導電体よりも高抵抗な高抵抗膜を形成する工程と、前記複数の導電体および前記高抵抗膜上に、第1の比抵抗を有する第1の相状態と、前記第1の比抵抗とは異なる第2の比抵抗を有する第2の相状態との間で相変化可能な相変化材料層を形成する工程と、前記相変化材料層上に第2の電極を形成する工程と、を備えたことを特徴とする。

40

【0008】

また、本発明の第3の態様による相変化メモリの製造方法は、第1の電極を形成する工程と、前記第1の電極上に導電層を形成する工程と、前記導電層上に転写層を形成する工程と、前記転写層上に、第1のポリマー相と第2のポリマー相とが略規則的に配列した配列構造を有するブロックコポリマー層を形成する工程と、前記第1のポリマー相を選択的に除去することにより、前記ブロックコポリマー層の表面に複数の凹部を形成する工程

50

と、前記複数の凹部をマスクとして前記ブロックコポリマー層および前記転写層をエッチングすることにより、前記ブロックコポリマー層の前記配列構造に応じたパターンを前記転写層に形成する工程と、前記転写層をマスクとしてエッチング処理することにより、前記ブロックコポリマー層の前記配列構造に対応した複数の導電体を形成する工程と、前記複数の導電体間に前記導電体よりも高抵抗な高抵抗膜を形成する工程と、前記複数の導電体および前記高抵抗膜上に、第1の比抵抗を有する第1の相状態と、前記第1の比抵抗とは異なる第2の比抵抗を有する第2の相状態との間で相変化可能な相変化材料層を形成する工程と、第2の電極を形成する工程と、を備えたことを特徴とする。

【発明の効果】

【0009】

本発明によれば、記憶セルのサイズが小さくなった場合にも、記憶セル間の特性を略同一にすることが可能で、かつ相変化のために必要な電流量を十分に小さくすることができる。

【発明を実施するための最良の形態】

【0010】

以下に、本発明にかかる相変化メモリおよびその製造方法の実施形態を図面を参照して詳細に説明する。なお、この実施形態によりこの発明が限定されるものではない。

【0011】

本発明の各実施形態においては、相変化材料からなる記録層に接して略規則的に配置された導電体を形成し、相変化材料からなる記録層内での熱の拡散を利用することにより、下部電極と上部電極間に小さな電流を流した場合にも、相変化材料からなる記録層に相変化が生じるような構成としている。ここで、「略規則的に配置された」とは以下のいずれかで代表されるような場合を示す。(1)特定の断面を考慮したとき、上記断面内の1軸方向に略等間隔で構成要素(導電体)が配置され、かつこれとは異なるもう1つの軸方向にも略等間隔で構成要素(導電体)が配置されている。(2)特定の断面を考慮したとき、全ての構成要素(導電体)が、最近接の構成要素(導電体)との距離が略一定となるように配置されている。

【0012】

(第1実施形態)

本発明の第1実施形態による相変化メモリを図1乃至図3を参照して説明する。本実施形態の相変化メモリは、図3に示すように、複数のワード線 WL_i ($i = 1, \dots$)と、これらのワード線に交差する複数のアドレス線 ADD_j ($j = 1, \dots$)と、各ワード線と各アドレス線の交差領域に設けられる記憶セル1とを備えている。記憶セル1は一端が対応するワード線に直接接続され、他端がセル選択用のトランジスタ10を介して対応するアドレス線に接続されている。なお、トランジスタ10を選択するための列選択線 Row_i ($i = 1, \dots$)が設けられており、トランジスタ10のゲートは対応する列選択線 Row_i ($i = 1, \dots$)に接続されている。トランジスタの代わりにダイオードを用いてもよい。この場合、列選択線 Row_i ($i = 1, \dots$)は不要となる。

本実施形態による相変化メモリの記憶セル1の断面を図2に示す。この記憶セル1は、下部電極11と、下部電極11上に設けられ絶縁膜12によって隔てられた導電体13と、導電体13上に設けられ相変化材料からなる記録層14と、記録層14上に設けられた上部電極15とを備えている。相変化材料からなる記録層14は全ての記憶セルにまたがって一様に広がるように形成されている。なお、上部電極15の側部は絶縁膜16によって覆われている。下部電極11は図3に示すセル選択用のトランジスタ10を介してアドレス線に直列接続され、上部電極15はワード線に直接接続されている。

【0013】

図2に示す記憶セル1において、下部電極11と上部電極15との間に電圧を印加し、下部電極11から導電体13および相変化材料からなる記録層14を介して、上部電極15に電流を流すことにより、記録層14の相変化材料の融点付近(例えば600程度)まで加熱すると、相変化材料層14は非結晶相(高抵抗相)に変化し、電圧の印加を止め

10

20

30

40

50

てもこの状態が維持される。このとき、高抵抗相での抵抗は典型的には100k である。同様に、下部電極11と上部電極15との間に電圧を印加して、記録層14の相変化材料の結晶化に適した温度付近(例えば130)まで加熱すると、記録層14の相変化材料は結晶相(低抵抗相)に変化し、加熱を止めてもこの状態が維持される。このとき、低抵抗相での抵抗は典型的には2k である。

【0014】

このように、下部電極11と上部電極15との間に電圧を印加して、導電体13および相変化材料からなる記録層14を加熱することにより、下部電極11と上部電極15との間の電気抵抗を変化させることができる。

【0015】

記憶セル1内の記録層14が結晶相であるか、非結晶相であるかは、上下電極11、15間に記録層14が結晶化も非結晶化も生じない程度の低電圧を印加し、電極間の電圧あるいは電流を読み取ることによって知ることができる。このため、結晶相の状態と非結晶相の状態を0と1または1と0に対応させることにより、1つの記憶セル1を用いて1ビットの情報を記録再生することが可能である。あるいは、結晶相と非結晶相との抵抗変化が十分に大きい場合には、1つの記憶セルを用いて多ビットのデータを記録再生することもできる。

【0016】

次に、本実施形態による相変化メモリの記憶セル1の導電体13の配置を図2を参照して説明する。図2は、図1に示す記憶セル1を下部電極11側から見た図である。上下電極11、15の重なり領域17内のみ、略同一の形状を有する導電体13が配置されている。図3では、重なり領域17は略正方形であり、その2辺の方向のいずれにも導電体13が2以上配列された構造を有する。導電体13は2方向のうち少なくとも1つの方向に、2以上10程度以下配列されていることが好ましい。導電体13が2個より少なくなると、低電流化の効果が得られにくく、逆に導電体13が10個を超えると、導電体13のサイズ(直径L)が小さくなりすぎて下部電極11から導電体13に電流が流れにくくなるという問題がある。

【0017】

本実施形態においては、図1からわかるように相変化材料からなる記録層14は全ての記憶セルにまたがって一様に広がるように形成されているが、図4に示すように、相変化材料からなる記録層14を下部電極11、あるいは上部電極16と同一の形状に加工して、相変化材料からなる記録層14の周りに絶縁膜16を配置すれば、隣接記憶セル間の熱的影響をより低減することが可能である。

【0018】

本実施形態に係る記憶セル1の導電体13の好ましい大きさと、好ましい配置を説明する。図1および図2に示すような導電体13を有する記憶セル1の上下電極11、15間に電圧を印加した場合、導電体13の電荷移動度と電荷の拡散係数の比が十分大きいときは、下部電極11から導電体13を通してのみ相変化材料からなる記録層14に電流が流れる。言い換えれば、電流が局在化する。記録層14が非晶質であるときは、結晶相にあるときと比べて、電荷移動度の拡散係数に対する比が小さくなるので、より電流の局在化が妨げられやすい。これを考慮した好ましい導電体13の大きさと配置は次のとおりである。隣接する導電体13間の最短距離の平均値をd、隣接する導電体13の中心間の距離の平均値をxとしたとき、比 x/d が1.5以上であることが好ましく、比 x/d が2あるいはそれ以上であることが特に好ましい。比 x/d が1.5より小さいときは、隣接する導電体13同士が近いため、電場が隣接する複数の導電体13にまたがって形成され、電流の局在化が妨げられる。

【0019】

上記の好ましい大きさと配置を採用した場合は、電流が局在化し、ジュール熱は電流パスに沿って選択的に生じる。それが熱伝導率の低い相変化材料からなる記録層14内を拡散して重なり領域17内の相変化材料からなる記録層14全体が加熱されることになる。

10

20

30

40

50

【0020】

このようにして相変化材料の一部を加熱したときに、相変化材料が加熱された領域よりも広い領域に渡って相変化することは、DVD (Digital Versatile Disc) においては記録光のパルス変調としてよく知られている。つまり、ディスクのトラック方向に沿って相変化材料が非結晶化したマークを記録するときに、マークの全域にわたって記録光パワーを増大させるのではなく、記録光パワーをパルス的に増減させて非晶質マークを記録することにより、記録光の全照射エネルギーを低減すると共に、隣接トラックへの熱的な影響を回避している。このとき、相変化材料層の膜厚およびトラック幅に応じて、記録光パワーの最大値および最小値を調整することにより、最適なマーク形状を得ることができる。

【0021】

したがって、図1および図2に示す記憶セル1を有する本実施形態の相変化メモリにおいても、記憶セル1のセルサイズ、相変化材料からなる記録層14の膜厚、および記録層14の相変化材料の電気的特性に応じて、導電体13のサイズおよび電気抵抗を最適化することにより、全電流量の低減と隣接セルへの熱的影響の回避が可能となる。このとき、上下電極11、15の重なり領域17内に存在する相変化材料層14が、均一に相変化を生じるためには、導電体13は略均一の形状を有し、絶縁膜12によって隔てられて略等間隔に配置されていることが好ましい。

【0022】

記憶セル1のセルサイズを小さくした場合に、記録層14内での電流の拡散を低減するためには、記録層14の膜厚を小さくすることが効果的である。しかしながら、記録層14が薄くなると、結晶相への相変化に長い時間を要するために結晶化が困難になることが知られている。このような場合に、結晶相への相変化を生じやすくするためには、記録層14に接して結晶化促進層を配置することが効果的である。これは、好適な組合せの相変化材料からなる層と結晶化促進層を隣接させた配置した場合には、相変化材料からなる層が加熱されたときに、結晶化促進層と相変化材料間の相変化にともなう界面エネルギー変化が十分に大きく、相変化材料からなる層と結晶化促進層との界面で不均質な結晶核生成が生じやすくなるためである。したがって、導電体13を隔てている絶縁膜12の代わりに、このような結晶化促進機能を有する材料からなる結晶化促進層を用いると結晶相への相変化が容易となる。この結晶化促進層は導電体13よりも高抵抗であることは言うまでもない。

【0023】

さらに、結晶化促進層として2種以上の材料が混合して使用されていると、相変化材料からなる層と結晶化促進層の界面で不連続性が生じ、不均質な結晶核生成が生じやすくなるために、結晶化促進層は2種以上の材料からなることがより好ましい。また、結晶化促進層としてGeNやSiCなど単体として用いた場合に十分に小さい電気抵抗を得ることが難しい材料でも、これらより電気抵抗が大きい材料との混合物とすることにより、結晶化促進層の電気抵抗を大きくすることができるので、2種以上の材料を含む混合物からなる層を絶縁体として用いることも可能となる。

【0024】

下部電極11は、Ta、Mo、Wなど高融点金属を配置するのがよい。一方、上部電極15は、単層の構成でもよいが、相変化材料の拡散を防ぐために、記録層14の間に例えば炭素膜を配し、その上に、Ta、Mo、Wなど高融点金属を配置してもよい。下部電極11および上部電極15の厚さは、例えば100nm以上200nm以下、炭素膜の厚さは、例えば5nm以上10nm以下とすることができる。

【0025】

導電体13は導電性材料からなる。例えば、TiN、TiAlN、TiBN、TiSiN、Ta₂N、TaAlN、TaBN、TaSiN、WN、WAlN、WBN、WSiN、ZrN、ZrAlN、ZrBN、ZrSiN、MoN、Al、Al-Cu、Al-Cu-Si、WSix、Ti、TiW及びCuから選択された少なくとも1つからなることが好ましい。あるいは、導電体13は、Ta、Mo、Wなど下部電極11と同じ材料からなっ

10

20

30

40

50

てもよく、この場合には、後述する図5(b)に示す導電層21の形成プロセスを省略することが可能である。

【0026】

記録層14の相変化材料としては、Ge-Sb-Te、In-Sb-Te、Ag-In-Sb-Te、Ge-Sn-Teなどのカルコゲン化合物をあげることができる。これらの材料は高速スイッチング性、繰り返し記録安定性、高信頼性を確保する上で望ましい。

【0027】

絶縁膜12は有機物、無機物の任意の材料からなっており、絶縁膜12に相変化材料層14の結晶化を促進する機能を持たせる場合には、例えば、Ta、Nb、Al、La、Ce、Zr、Ca、Hf、Cr、Mg、Th、Ti、Sc、Be、V、B、In、Ba、Li、Ga、Mn、Si、Geの窒化物、Ta、Si、Zr、Ti、Th、Li、Na、K、Ba、Zn、B、Sr、In、Sn、Hf、Cr、Ceの酸化物、あるいは、Ta、Ti、Al、Zr、Mn、Hf、Si、V、Cr、Be、Ce、Sm、Mo、Nbの炭化物から選択された少なくとも1つからなることが好ましい。特に、Ge若しくはHfの窒化物、Ta、Hf、Cr、Zr若しくはCeの酸化物、あるいはSiの炭化物を用いることが好ましく、さらにこれらの中から2種以上を選択し混合して用いることが好ましい。これらの材料は相変化材料を記録膜とした書き換え型の光記録媒体において広く用いられている。書き換え耐久性が向上するので、Hf、Cr、Zrの酸化物およびそれら材料を50at.%以上含む膜を絶縁膜12として用いることが特に好ましい。

10

【0028】

さらに、記憶セル1を湿度などから保護するために、図示しない保護層を記憶セル1上に設けてもよい。保護層としては、Si₃N₄、ポリイミド等を用いるのが好適である。

20

【0029】

なお、図2中のXおよびYは、図中一点鎖線で示す記憶セル1の2辺の長さを示し、図2中のLは導電体13を円近似したときの直径を示す。X、Yはそれぞれ、10nm以上200nm以下であることが好ましく、さらに好ましくは、10nm以上100nm以下であることが好ましい。XやYの値が10nmより小さくなると、これより小さな導電体13の製造が困難になり、Xの値が200nmより大きくなると、相変化材料からなる記録層14を相変化させるために必要な電流が過大になる。一方、Lは5nm以上、50nm以下であることが好ましい。Lが5nmより小さくなると導電体13の製造が困難になり、Lが50nmより大きくなると、低電流化の効果が得られにくくなる。しかし、これらの値は、上下電極11、15間の電圧印加により相変化材料からなる記録層14が結晶相・非結晶相のいずれにも変化しやすいように、用いる記録層14の相変化材料や印加電圧、電圧印加時間に応じて適宜選択すればよい。

30

【0030】

(製造方法)

次に、本実施形態による相変化メモリの製造方法を図5(a)乃至図7(b)を参照して説明する。

【0031】

図1および図2で示す形状を有する記憶セル1を備えた相変化メモリは、まず、通常の半導体プロセスに用いられる手法を用いて、アドレス線、およびセル選択用のトランジスタあるいはダイオードを作製した後、セル選択用のトランジスタあるいはダイオードの上に、図1および図2に示す形状を有する記憶セル1を作製することにより製造することができる。

40

【0032】

まず、絶縁膜12を、形成すべき下部電極11の高さより高く形成し、その後、下部電極が形成される部分をエッチング除去し開口部(図示せず)を形成する。そして、この開口部に例えば異方性スパッタもしくはCVD(Cheical Vapor Deposition)を用いて下部電極材料膜を埋め込み下部電極11を形成する(図5(a)参照)。絶縁膜12の上へ製膜された下部電極材料はCMP(Cheical Mechanical Polishing)もしくはリフトオ

50

フ法で除去する。

【0033】

次に、絶縁体12および下部電極11上に絶縁膜12と同じ材料からなる絶縁体を堆積し、下部電極11上の絶縁体をエッチングにより除去し底部に下部電極11が露出する開口部(図示せず)を形成する。そして、この開口部に導電体13を形成する材料を、同じく異方性スパッタもしくはCVD法を用いて埋め込み、導電層21を形成する(図5(b)参照)。絶縁膜12の上へ製膜された導電体を形成する材料はCMPもしくはリフトオフ法で除去する。

【0034】

次に、導電層21上に第1のレジスト層としてブロックコポリマー層を選択的に形成する。ここで、用いるブロックコポリマーとしては、例えば、2種類のポリマー鎖AとBとが結合したA-B型の「ジブロックコポリマー」を挙げることができる。または、3種類のポリマー鎖がA-B-Cと結合した「トリブロックコポリマー」を用いてもよい。

10

【0035】

導電層21の上に選択的にブロックコポリマー層22を形成する第1の方法について説明する。まず、絶縁膜12および導電層21上に絶縁膜12と同じ材料からなる絶縁体を堆積し、導電層21上の絶縁体をエッチングにより除去し、底面に導電層21が露出する開口部(図示せず)を形成する。そして導電層21上に、ブロックコポリマー層22を形成する(図5(c)参照)。この後、後述するように、ブロックコポリマーをアニール処理等を行うことにより、導電層21上において、ブロックコポリマー22の相分離構造が配向し、所定の方向に規則的に配列した周期的構造が得られる。また、導電層21の絶縁膜12の上面からの深さは、ブロックコポリマーの規則配列構造の格子間隔より小さい程度とすることが好ましい。これは、規則配列構造の格子間隔より大きいと、膜厚方向にも規則的に積層された相分離構造が形成される可能性があるためである。このような規則配列構造として最も一般的な構造は、六方格子である。規則配列構造がシリンダ構造もしくはラメラ構造である。これらの構造が膜面に対して垂直に配向するようなブロックコポリマーを用いる場合には、導電層21の絶縁膜12の上面からの深さが規則配列構造の格子間隔より大きくてもかまわない。

20

【0036】

また、導電層21の上に選択的にブロックコポリマー層22を形成する第2の方法として、ブロックコポリマーを形成する前に、絶縁膜12の表面を疎水化処理してもよい。すると、絶縁膜12の上部の疎水化された領域では、ブロックコポリマーがはじかれて形成されないので、この場合にも、導電層21の上部にのみブロックコポリマーを堆積させることが可能である。この後、後述するようにアニール処理することによりブロックコポリマーは導電層21のサイズに応じて配向した相分離構造を形成する。絶縁膜12としてSiO₂などの疎水化可能な材料を用い、導電体13として疎水化処理されない材料を用いている場合には、オクタデシルトリメチルシラン、ヘキサメチルジサラザンなどのシランカップラーもしくはアルカンチオールなどの界面活性剤を用いることができる。あるいは、絶縁膜12および導電層21上に疎水化可能な材料を薄膜で被覆した後、レジストを塗布し、所定の部分のみ疎水化処理を施してもよい。

30

40

【0037】

いずれの場合にも、導電層21は、ブロックコポリマー層22の規則配列構造の格子間隔すなわち周期より幅広であるとよい。これは、導電層21上にブロックコポリマーが閉じ込められ、規則配列が導電層21上でのみ起きることを促進させるためである。導電層21上に相分離構造を配向させて周期的配列が形成されるためには、導電層21の一辺をおおよそ周期的配列の格子間隔の数倍程度とすることが好ましい。

【0038】

なお、導電層21を、ブロックコポリマー層22を形成する前の状態において、導電層21の表面に凹凸パターンを有するように形成し、その後、導電層21上にブロックコポリマー層を形成してもよい。この場合、導電層21上に形成されるブロックコポリマー層

50

22の配列構造は、上記凹凸パターンに対応して配向することになる。

【0039】

これらのブロックコポリマー層22は、適当な温度でアニール処理を行うことによって、ポリマー相23とポリマー相24とに相分離して規則配列構造を形成する。例えば、図5(c)に示すように、ポリマー相23をマトリックスとし、ポリマー相23中にポリマー相24が2次元的に規則配列した構造を形成する。このような規則配列構造を構成するポリマー相23、24の形状及びサイズは、ポリマー鎖A、B及びCの長さに依存し、これらを調整することで、例えば、15nm程度あるいはそれ以下の微細なサイズに制御することができる。

【0040】

このようにして形成されるブロックコポリマーの規則配列構造それ自体が、図5(d)に示す規則配列した凹凸形状を有している場合には、ブロックコポリマーの規則配列構造の表面をそのまま利用することができる。

【0041】

しかし、ブロックコポリマーの規則配列構造が平坦な場合には、ブロックコポリマー22の相分離構造を凹凸構造に変換する必要がある。例えば、ブロックコポリマー22の少なくとも一つの種類のポリマー相24を選択的に除去することにより、図5(d)に示したように、ポリマー相24の形状と同様の半球状の曲率を持った凹部24aが規則的に配列した構造を形成することができる。

【0042】

ポリマー相24を選択的に除去するためには、プラズマ、光、電子線などのエネルギー線や熱などを照射した場合に、それらに対する耐性の異なる2種類以上のポリマー鎖によりブロックコポリマーを構成すればよい。例えば、Nをモノマー単位の総原子数、Ncをモノマー単位の炭素原子数、Noをモノマー単位の酸素原子数としたとき、モノマー単位の $N / (Nc - No)$ の値が小さいほうが、各種プラズマ照射に対する耐性が高い。この観点から、プラズマ耐性の大きく異なる2種類以上のポリマー鎖を組み合わせてもよい。

【0043】

また、これらのエネルギー線の照射により架橋反応などが起こり硬化するようなポリマー鎖を、エネルギー線照射により硬化しない、もしくは分解されるポリマー鎖と組み合わせたものを用いてもよい。さらに、親和性を考慮して、例えばポリマー鎖の親水性/疎水性を変え、どちらか一方のポリマー鎖領域に架橋剤を偏析させるようにしてもよい。このようにして、サイズ15nm以下の規則配列パターンの相分離構造を有するブロックコポリマー膜の少なくとも一つのポリマー相24を選択的に除去することにより、凹部が規則的に配列した第1のレジスト層(ポリマー相)23を形成することができる(図5(d)参照)。

【0044】

次に、第1のレジスト層23のエッチング耐性が高くない場合には、レジスト層23の凹部のパターンをエッチング耐性の高い材料に転写するために、図6(a)に示したように、第1のレジスト層23の上に、第2のレジスト層25を堆積してもよい。第2のレジスト層25の材料としては、金属、金属酸化物、金属窒化物、カーバイトなど無機材料を用いることにより、プラズマエッチングに対するエッチング耐性の高いマスクパターンを形成することができる。また、芳香環含有低分子有機材料を用いてもよい。さらに、芳香環含有低分子有機材料に金属が含まれる材料を用いてもよい。またさらに、ポリシランやポリシロキサンなどのSi(シリコン)などの金属含有ポリマーを用いてもよい。

【0045】

無機材料あるいは低分子有機材料を第2のレジスト層25として用いる場合、第1のレジスト層23の上に堆積させるために、真空蒸着の方法を用いることができる。蒸着時に試料を加熱することにより、選択的に第1のレジスト層23の凹部において核成長を起こし、無機材料を選択的に凹部に堆積することが可能である。このようにして、第2のレジスト層25を第1のレジスト層23の凹部を埋め込むように形成することが可能である。

10

20

30

40

50

あるいは、真空蒸着した後にアニール処理することにより、堆積した第2のレジスト層25を第1のレジスト層23の凹部に埋め込ませ、その表面を平坦化することも可能である。

【0046】

また、第2のレジスト層25としては、金属含有ポリマーなどのポリマー材料を用いることもできる。この場合、第1のレジスト層23の上に第2のレジスト層25を塗布するために、適当な溶媒に溶かしてスピコートすることができる。スピコート直後にはポリマー材料からなる第2のレジスト層25は表面張力により第1のレジスト層23の凹部を埋めるように平坦化する。場合によっては、表面張力の効果をより高めるために、第2のレジスト層25をスピコートするために、第1のレジスト層23の表面を疎水化してもよい。第1のレジスト層23の表面を炭化フッ素のプラズマに晒すことによって簡単に疎水化することが可能である。また、第2のレジスト層25としてポリマー膜をスピコートした後に、アニール処理を行うことにより、凹部にのみポリマー材料を堆積させたりもしくは平坦化を促進することも可能である。またここで、第2のレジスト層25は、図6(a)に示したように、第1のレジスト層23の凹部を完全に充填してその上の平坦部も覆うように形成してもよく、または、第1のレジスト層23の凹部のみを充填するように形成してもよい。

10

【0047】

次に、このようにして形成されたマスクパターン23, 25を用いて、図6(b)に示したように、導電層21を直接エッチング加工し、残ったレジスト層をアッシングなどにより取り除くことにより、導電体13を形成する(図6(c)参照)。

20

【0048】

なお、第2のレジスト層25を設けない場合には、第1のレジスト層23をマスクとして、導電層21をエッチングするので、このエッチングに際しては、第1のレジスト層23(ポリマー相23)の材料とエッチング方法を選択する必要がある。

【0049】

第2のレジスト層25を設けた場合には、第2のレジスト層25をマスクとして、第1のレジスト層23をエッチングし、さらにその下の導電層21をエッチングするので、このエッチングに際しては、第2のレジスト層25の材料とエッチング方法を選択する必要がある。また、第2のレジスト層25とのエッチング選択比が確保できる範囲であれば、第1のレジスト層23をエッチングする方法と、その下の導電層21をエッチングする方法とは同一である必要はない。例えば、ドライエッチングによる場合、第1のレジスト層23をエッチングする際のエッチングガスと、導電層21をエッチングする際のエッチングガスとを使い分けることも可能である。

30

【0050】

また、例えば、導電層21をエッチングする前に、酸素プラズマによるRIE(Reactive Ion Etching)を行うことにより、ブロックコポリマーの除去されなかったポリマー鎖領域(ポリマー相23)をエッチングした後、導電層21を適当な方法で加工すれば、アスペクト比の高いパターンニングを行うことができる。

【0051】

このようにして、導電体13を形成した後、絶縁膜12と同じ材料からなる絶縁体を全面に堆積し、この絶縁体を導電体13が露出するまで例えばCMPを用いて平坦化処理することにより、図6(d)に示すように、略規則的に配列した略同一形状を有する導電体13と絶縁膜12を得ることができる。

40

【0052】

次に、相変化材料からなる記録層14を形成する(図7(a)参照)。相変化材料からなる記録層14の形成プロセスとしては、いくつかの例を示すことができる。

【0053】

その一つ例としては、図7(a)に示すように、相変化材料層14を一様に製膜する。別の例としては、予め絶縁膜12と同じ材料からなる絶縁体を、形成すべき相変化材料が

50

らなる記録層 14 の高さまで一様に堆積し、相変化材料からなる記録層 14 となる絶縁体部分除去して、底面に導電体 13 および絶縁膜 12 が露出する開口（図示せず）を形成する。そして、この開口に相変化材料を異方性スパッタもしくは CVD 埋め込むことにより相変化材料からなる記録層 14 を形成する。記録層 14 の側部の絶縁膜 12 の上に製膜された相変化材料は CMP もしくはリフトオフ法で除去する。この場合は、図 4 に示す構造となり、隣接記憶セル間の熱的影響をより低減することが可能となる。

【0054】

さらに別の方法としては、下部電極 11 上部に相変化材料からなる記録層 14 を形成後、図 5 (b) から図 6 (d) に示す工程を行ってもよい。この場合、相変化材料からなる記録層 14 は、下部電極 11 と導電体 13 の間に形成されることになる。

10

【0055】

次に、記録層 14 上に上部電極 15 を形成する（図 7 (b) 参照）。この上部電極 15 の形成は、相変化材料からなる記録層 14 上に絶縁体を堆積した後、この絶縁体をパターニングすることにより底部に記録層 14 が露出した開口（図示せず）を有する絶縁膜 16 を形成する。そして、絶縁膜 16 の開口に上部電極材料を埋め込むことにより、上部電極 15 を形成する。その後、アドレス線と異なる方向に伸張するワード線と上部電極 15 とを接続する。

【0056】

以上説明したように、本実施形態では、下部電極 11 の形状に応じた凹凸パターン内にブロックコポリマー層を形成した後、ブロックコポリマーを相分離させて規則配列を形成し、その一方のポリマー相を選択的に除去してマスクを形成する。相分離したブロックコポリマーの規則配列構造は、そのポリマー鎖の材料や配合のバランスを調節することにより、任意に制御することができる。その結果として、下部電極の形状を制御することにより、それより微細な 15 nm 以下の規則配列構造を自己組織的に形成させることができ、この配列を反映した導電体 13 のパターニングを確実に実施することができる。従って記憶セル間での特性も確実に制御することができる。

20

【0057】

本実施形態によれば、図 6 (b) に示した導電層 21 のエッチング加工の際に、下部電極 11 を同時にエッチング加工することも可能である。記憶セル 1 のセルサイズが小さくなるか、導電体 13 の直径 L が小さいときには、下部電極 11 が導電体 13 と略同一の形状を有するように加工されている場合には、加工されていない場合に比べて、下部電極 11 から導電体 13 に電流が流れやすくなる場合がある。これは、例えば、近接場光プローブにおいて、プローブ部にテーパ角を設けた場合に、プローブの出力が増大することと同様である。したがって、導電層 21 のエッチング加工の際に、下部電極 11 を同時にエッチング加工した場合は、記憶セル 1 は図 8 に示すような構造を有することになる。このような構造を有する記憶セル 1 を備えた相変化メモリでは、上下電極間に効率的に電流を流すことが可能になる。

30

【0058】

さて、本実施形態によれば、第 2 のレジスト層 25 を用いた場合に、さらに、導電体 13 のパターンサイズを制御することも可能である。つまり、プロセス条件を調節することにより、最終的に形成される導電体 13 のパターンの幅を変えることができる。これには、2 種類の方法がある。まずその一つの方法は、第 2 のレジスト層 25 の堆積量を調節する方法である。

40

【0059】

図 9 (a)、(b) は、第 2 のレジスト層 25 の堆積量を調節することにより、マスクとなる領域の面積を任意に変える方法を説明するための概念図である。例えば、図 9 (a) に示したように、第 2 のレジスト層 25 を第 1 のレジスト層 23 の凹部を完全に埋めるように堆積すると、マスクされる領域は凹部全体となる。したがって、導電層 21 がエッチングされて形成される導電体 13 のサイズ L は、図 9 (a) に示したように凹部の外縁サイズと同程度となる。これに対して、図 9 (b) に示したように、凹部は半球状の曲率

50

をもった形状をしているために第2のレジスト層25の堆積量を減らすと、第2のレジスト層25で覆われる部分は小さくなり、マスクとして作用する部分の面積が小さくなるため、最終的に得られる導電体13のサイズLも小さくすることができる。これは、凹部が曲面状に形成されることを利用したものである。

【0060】

このように、本実施形態によれば、第2のレジスト層25の堆積量を調節することにより、マスクのサイズを変えることが可能となり、これにより導電体13のパターンサイズを制御することができる。なお、この場合には、導電体13および第1のレジスト層23に対する第2のレジスト層25のエッチング速度が十分に低いエッチング方法を用いることにより、第2のレジスト層25に対応した正確なパターンニングができる。

10

【0061】

導電体13のサイズを調節するもう一つの方法は、マスクとして作用する第2のレジスト層25をオーバーエッチングする方法である。

【0062】

図10(a)、(b)は、第2のレジスト層25をオーバーエッチングすることにより導電体13のサイズが変化することを説明する概念図である。

【0063】

図10(a)に示したように、第2のレジスト層25を第1のレジスト層23の凹部を埋めるように堆積し、これをマスクとして高い選択比でエッチングを施した場合、導電体13のサイズL1は第2のレジスト層25の外縁、すなわち、凹部の外縁と同一となる。なお、このようにマスクの外縁に合わせた正確なエッチングを行うためには、エッチング方法として、高い異方性を有し、サイドエッチングが抑制された方法を用いることが望ましい。

20

【0064】

これに対して、第2のレジスト層25もある程度エッチングされる条件を用いてオーバーエッチングを実施すると、図10(b)に示したように、マスクとなる第2のレジスト層25は、その層厚が薄い外縁部から順次消失する。そして、その下の第1のレジスト層23および導電層21がエッチングされる。その結果として、オーバーエッチング量に応じて、導電層21のサイズL2~L4を適宜縮小することができる。つまり、本実施形態によれば、第2のレジスト層25を適宜オーバーエッチングすることにより、導電体13のサイズを制御することができる。またここで、オーバーエッチングにより形成された略円柱状のピラー状のパターンは、その下端にパターン幅が徐々に変化する裾野部を有する。この裾野部は、第2のレジスト層25のオーバーエッチングに伴って外側から順次エッチングが進行したことにより形成される。このように、導電体13の下端に徐々に太くなる裾野部を形成すると、下部電極11から導電体13への電流が流れやすくなるばかりでなく、ピラーが根元から折れることを防ぐことができる。この効果は、高いアスペクト比のエッチングを行うときに特に顕著である。

30

【0065】

また、このオーバーエッチングを用いたサイズの調整方法においては、第1のレジスト層23をエッチングする方法と、導電層21をエッチングする方法とは、異なっていることが好ましい。つまり第1のレジスト層23をエッチングする工程においてサイズを独立に制御することが可能ということである。図6(b)に示すように、このような裾野部を下部電極11まで到達するように形成すると、図8に示す場合に比べて、さらに効率的に下部電極11から導電体13へと電流を流すことが可能になる。なお、ここでは、導電体13と下部電極11のどちらもが相変化材料からなる記録層14側からその径が増大するような形状を有する記憶セル1としたが、いずれか一方のみが相変化材料からなる記録層14側から下部電極11側に進むにつれてその径が増大するような形状を有する場合にも同様な効果を得ることが可能である。導電体13と下部電極11とが同じ材料から形成されていてもよい。

40

【0066】

50

このような製造プロセスにより作製された記憶セル 1 を有する相変化メモリを初期アニール処理する場合には、以下のようにして行うことができる。初期アニール処理を行うと、相変化材料からなる記録層 1 4 を低抵抗状態である結晶相にして、抵抗値が基準値外にあるセルを不良記憶セルとして除去することができる。また、全ての記憶セルにわたって一様な相変化材料からなる記録層 1 4 を形成した場合には、初期アニール処理により、相変化領域を決定することも可能である。

【0067】

相変化材料からなる記録層 1 4 を下部電極 1 1 あるいは上部電極 1 5 と同様な形状に加工した場合には、記憶セル 1 の製造後に、記憶セル 1 全体を相変化材料層 1 4 の結晶化が生じる温度に加熱することにより、相変化材料からなる記録層 1 4 を結晶相にすることができる。このとき、下部電極 1 1 と上部電極 1 5 との間に電流を流しながら初期アニール処理を行うこともできる。

10

【0068】

相変化材料からなる記録層 1 4 が下部電極 1 1 あるいは上部電極 1 5 と同様な形状に加工されず一様な層である場合にも、同様の方法によって初期アニール処理を行うことが可能である。この場合、絶縁膜 1 2 として相変化材料からなる記録層 1 4 の結晶化を促進する結晶化促進材料を用いていると、下部電極 1 1 の上部では、結晶化促進層が相変化材料からなる記録層 1 4 に接して形成されているので、初期アニール条件を調整することにより、下部電極 1 1 上部にある相変化材料のみを初期結晶化することが可能である。初期アニール時に結晶化が生じた領域のみが、情報の記録再生時には相変化領域として機能することになるので、初期アニール処理により、相変化領域を決定することができる。

20

【0069】

以上説明したように、本実施形態によれば、記憶セルのサイズが小さくなった場合にも、導電体 1 3 が略均一の形状を有し、絶縁膜 1 2 によって隔てられて略等間隔に配置されているため、相変化材料層 1 4 が均一に相変化を生じ、このため、記憶セル間の特性を略同一にすることが可能で、かつ相変化のために必要な電流量を十分に小さくすることができる。

【0070】

また、本実施形態の相変化メモリを製造する製造方法によれば、第 1 のポリマー相と第 2 のポリマー相とが略規則的に配列した配列構造を有するブロックコポリマー層の配列構造に応じたパターンを有する導電体を形成することが可能となり、略規則的な位置および形状を有する導電体を作成することが容易となり、その結果、均一な性能を有する記憶セルが配置された相変化メモリを安価に製造することができる。

30

【0071】

(第 2 の実施形態)

次に、本発明の第 2 実施形態による相変化メモリを図 1 1 および図 1 2 を参照して説明する。図 1 1 は、第 2 実施形態による相変化メモリの断面図であり、図 1 2 は、第 2 実施形態による相変化メモリを下部電極側からみた図である。

【0072】

本実施形態の相変化メモリと、第 1 実施形態の相変化メモリとの違いは、図 1 2 に示すように、略同一の形状を有する導電体 1 3 が、上下電極の重なり領域 1 7 全域ではなく、重なり領域 1 7 よりも小さな導電体領域 1 8 内にのみ形成されていることである。

40

【0073】

図 1 1 および図 1 2 に示す記憶セルを有する相変化メモリにも図 1 に示す相変化メモリと同様に情報を記録再生することができる。つまり、下部電極 1 1 と上部電極 1 5 間に電圧を印加し、下部電極 1 1 から導電体 1 3 および相変化材料からなる記録層 1 4 を介して上部電極 1 5 に電流を流して、相変化材料からなる記録層 1 4 を加熱することにより、相変化材料の相変化を起こすことができる。この場合にも、図 1 を用いて説明したのと同様に、相変化材料からなる記録層 1 4 内で、導電体 1 3 の上に相当する部分で多く電流が流れるので、ジュール熱の発生が多くなる。

50

【0074】

したがって、図11および図12に示した本実施形態に係る記憶セルにおいて相変化材料層14の相変化を生じさせた場合、図1に示した記憶セルにおいて相変化材料層14の相変化を生じさせた場合に比べて、より小さな断面積を持つ領域のみを相変化させることが可能である。このため、電極サイズを変えなくても、相変化が生じる領域が減少するために、相変化に必要な電流量を減らすことが可能である。この結果、電極に単位面積あたり過大な電流を印加することによる電極の破壊や電極の発熱を抑制することができる。また、電極サイズを小さくすると、電極とその他の素子との位置あわせが困難となるため、電極サイズを小さくすることなく、相変化が生じる領域を小さくできることは、製造の観点からも有意義である。

10

【0075】

図11および図12に示す記憶セル1を有する第2実施形態の相変化メモリにおいても、上下電極間の電圧印加により、相変化材料からなる記録層14が結晶相・非結晶相のいずれにも変化しやすいように、記録層14に用いる相変化材料や印加電圧、電圧印加時間に応じて、導電体13の形状、大きさ、および電気抵抗を最適化することができる。

【0076】

(製造方法)

次に、図11および図12に示す記憶セル1を有する第2実施形態の相変化メモリの製造方法について図13(a)乃至図15(c)を参照して説明する。図13(a)乃至図15(c)は本実施形態の製造方法を示す工程断面図である。本実施形態の製造方法は、転写層を介して導電層21にパターンを形成するものである。

20

【0077】

まず、絶縁膜12を、形成すべき下部電極11の高さより高く形成し、その後、下部電極が形成される部分をエッチング除去し開口部(図示せず)を形成する。そして、この開口部に例えば異方性スパッタもしくはCVDを用いて下部電極材料膜を埋め込み下部電極11を形成する(図13(a)参照)。絶縁体12の上へ製膜された下部電極材料はCMP(Chemical Mechanical Polishing)もしくはリフトオフ法で除去する。続いて、絶縁体12および下部電極11上に絶縁膜12と同じ材料からなる絶縁体を堆積し、下部電極11上の絶縁体をエッチングにより除去し底部に下部電極11が露出する開口部(図示せず)を形成する。そして、この開口部に導電体13を形成する材料を、同じく異方性スパッタもしくはCVD法を用いて埋め込み、導電層21を形成する(図13(a)参照)。絶縁膜12の上へ製膜された導電体を形成する材料はCMPもしくはリフトオフ法で除去する。

30

【0078】

次に、図13(b)に示すように、炭素系有機高分子材料からなる転写層31を塗布した後、図13(c)に示すように、転写層32に凹部32を形成する。凹部32は、転写層31の上からさらに別のレジストを塗布してリソグラフィにより形成してもよい。あるいは、炭素系有機高分子材料が柔らかいことを利用して、「ナノインプリント法」によって所定の原盤の凹凸パターンを直接転写してもよい。

【0079】

なお、転写層31は、凹部32を形成する前もしくは後に硬化させる。これは、転写層31に形成したパターンがその上に塗布する第1のレジスト層つまりブロックコポリマーの溶媒もしくは規則配列化する際のアニール処理により破壊されることを防ぐために重要である。転写層31の硬化は、光照射あるいは加熱により行う。光硬化性の樹脂としては、ポリスチレン、ポリブタジエン、ポリイソプレン、ノボラック樹脂、ジアゾ系樹脂などを用いることができる。熱硬化性樹脂としては、ポリアクリロニトリル誘導体、ポリアミド酸、ポリイミド、ポリアニリン誘導体、ポリブタジエン、ポリイソプレン、ノボラック樹脂などを用いることができる。ポリマー鎖をより効率的に硬化させるために、有機過酸化物などのラジカル発生剤、架橋剤を添加することにより架橋反応を促進させ硬化させることも有効である。

40

50

【0080】

凹部32を形成した後に硬化処理を行う場合は、熱硬化の際にパターン崩れが起きることがあるので光硬化の方が望ましい。光硬化と熱硬化とを併用することにより、さらに硬化反応を促進し、耐熱性、耐溶媒性が高まる。ナノインプリントにより原盤のパターンを直接転写するときには、原盤を圧着している最中に基板を加熱するか、もしくは光照射により転写層31を硬化させてもよい。

【0081】

次に、凹部32の上に、ブロックコポリマー22をスピコート法などにより塗布し、適当な温度でアニール処理することにより、ブロックコポリマー22をポリマー相23とポリマー相24に相分離させ規則配列化させる(図13(d)参照)。

10

【0082】

次に、図14(a)に示すように、相分離したブロックコポリマー22から、前述したようにエネルギー線照射などの手段により、ポリマー相24を選択的に除去し、凹部24aが規則的に配列したポリマー相からなる第1のレジスト層23を形成する。

【0083】

第1実施形態で説明したのと同様に、必要に応じて、第2のレジスト層25を第1のレジスト層23の上に形成し(図14(b)参照)、これらのレジスト層をマスクとして酸素プラズマなどにより転写層31に対してパターンを転写する。

【0084】

第2のレジスト層25としては、酸素プラズマに対する耐性が高いものを用いることが好ましい。例えば、第2のレジスト層25としては、金属、金属酸化物、金属窒化物、カーバイトなどの無機材料、芳香環含有低分子有機材料や芳香環含有低分子有機材料に金属が含まれている材料、ポリシリコンやポリシロキサンなどのSi等の金属を含有するポリマーを用いることができる。これらの材料の酸素プラズマに対するエッチング耐性は、炭素系有機高分子材料と比較して非常に高いため、本実施形態において、転写層31へのパターン転写を非常に高アスペクト比で実現することができる。

20

【0085】

次に、転写層31をマスクとして、例えばRIE(Reactive Ion Etching)を用いて導電層21をパターンニングする(図14(c)参照)。続いて、転写層31を除去することにより(図14(d)参照)、パターンニングされた導電層が導電体13として残置される。

30

【0086】

次に、絶縁膜12と同じ材料からなる絶縁体を導電体13を覆うように形成し、例えばCMPを用いて、導電体13の表面が露出するまで、絶縁体を加工することにより、図15(a)に示すように、略規則的に配列した略同一形状を有する導電体13と絶縁膜12を得ることができる。

【0087】

続いて、第1実施形態と同様にして、相変化材料からなる記憶層14を形成し(図15(b)参照)、その後、上部電極15および絶縁膜16を形成する(図15(c)参照)。

【0088】

本実施形態でも、必要に応じて、相変化材料からなる記憶層14を加工し、周辺に絶縁膜16を形成した図4に示す構造とすることも可能である。

40

【0089】

また、第1実施形態で説明したように、第2のレジスト層25の塗布量を調整し、あるいは、第2のレジスト層25を適宜オーバーエッチングすることにより、転写層31に転写されるパターンのサイズを調整し、その結果として、導電体13のサイズを制御することができる。

【0090】

本実施形態でも、凹部32は、ブロックコポリマーの規則配列構造の格子間隔すなわち周期より幅広であるとよい。これは、凹部32上にブロックコポリマーが閉じ込められ、

50

規則配列が凹部 3 2 上でのみ起きることを促進させるためである。導電層 2 1 上に相分離構造を配向させて周期的配列が形成されるためには、凹部 3 2 の一辺をおおよそ周期的配列の格子間隔の数倍程度とすることが好ましい。典型的には、凹部 3 2 の一辺は、下部電極 1 1 の一辺の 0.25 倍以上 0.9 倍以下であることが好ましい。凹部 3 2 の一辺は下部電極 1 1 の一辺の 0.3 倍以上 0.6 倍以下であることがさらに好ましい。凹部 3 2 の一辺が下部電極に対してあまり小さすぎると、十分な数の導電体 1 3 を形成することが困難になり、凹部 3 2 の一辺が下部電極 1 1 の一辺の 0.9 倍より大きくなると低電流化の効果が得られにくいばかりでなく、インプリント法などを用いて凹部 3 2 を形成するときの位置あわせに精度が求められる。逆に言えば、凹部 3 2 の一辺を下部電極 1 1 の一辺よりも小さくすることにより、高い精度でインプリントを行わなくても、凹部 3 2 を下部電極 1 1 上に設けることができるという利点がある。

【0091】

また、図 1 2 では、正方形の凹部 3 2 を形成したが、本実施の形態で形成され得る凹部 3 2 の形状はこれに限るものではない。例えば、正方形の 4 隅の角がとれた形状であってもよい。あるいは、ブロックコポリマーの配列構造が六方格子構造を形成しやすいことを考慮して、図 1 6 に示すように六方格子の 3 軸 4 0 ~ 4 2 に平行な辺を有する正六角形、正三角形、平行四辺形、あるいは台形状の凹部 3 2 を形成してもよい。

【0092】

以上説明したように、本実施形態によれば、記憶セルのサイズが小さくなった場合にも、導電体 1 3 が略均一の形状を有し、絶縁膜 1 2 によって隔てられて略等間隔に配置されているため、相変化材料層 1 4 が均一に相変化を生じ、このため、記憶セル間の特性を略同一にすることが可能で、かつ相変化のために必要な電流量を十分に小さくすることができる。

【0093】

また、本実施形態の相変化メモリを製造する製造方法によれば、第 1 のポリマー相と第 2 のポリマー相とが略規則的に配列した配列構造を有するブロックコポリマー層の配列構造に応じたパターンを有する導電体を形成することが可能となり、略規則的な位置および形状を有する導電体を作成することが容易となり、その結果、均一な性能を有する記憶セルが配置された相変化メモリを安価に製造することができる。

【実施例】

【0094】

以下、実施例を参照しつつ、本発明の実施形態についてさらに詳細に説明する。

【0095】

(実施例 1)

(メモリの作成)

本発明の実施例 1 を図 5 (a) 乃至図 7 (b) を参照して説明する。

【0096】

まず、アドレス線、およびこれに直列接続するセル選択用のダイオードをシリコン基板上に形成した。次に、 SiO_2 からなる絶縁膜 1 2 を形成した後、W からなる下部電極 1 1 を CVD 法を用いて埋め込み形成した (図 5 (a) 参照)。下部電極 1 1 の形状は一辺が 90 nm の正方形とした。同様にして、TiN からなる導電層 2 1 を CVD 法を用いて埋め込み形成した後 (図 5 (b) 参照)、ブロックコポリマー層 2 2 を形成した (図 5 (c) 参照)。具体的には、分子量 11 万のポリスチレン (PS) と分子量 3 万のポリメチルメタクリレート (PMMA) からなるジブロックコポリマーを、プロピレングリコールモノメチルエーテルアセテート (PGMEA) に溶解したものを膜厚 50 nm となるようにスピンコート法により塗布した。そして水素還元雰囲気中で、210 で 30 時間アニールすることにより、相分離させて規則配列構造を形成した。

【0097】

次に、図 5 (d) に示した凹部 2 4 a を形成した。具体的には、酸素の流量 20 sccm、全圧 30 mTorr、投入 RF パワー 300 W の条件で、20 秒間、RIE すること

により、P M M A のポリマー相を取り除いた。

【0098】

この時点で、ブロックコポリマー層の表面を原子顕微鏡により観察すると、図17に示すように、直径約30nm、深さ約20nm、間隔約50nmの凹部が縦横方向に2個ずつ十字状に並んでいることが確認された。

【0099】

次に、図6(a)に示したように、第2のレジスト層25としてS O G からなる層を形成した。具体的には、S O G を乳酸エチルに溶解し、スピンコート法により塗布した。さらに、図6(b)に示したように、この上からエッチングを実施した。具体的には、S O G を酸素流量20sccm、全圧30mTorr、全投入パワー100Wの条件で100秒間、R I E した。 10

【0100】

次に、酸素の流量20sccm、全圧30mTorr、投入RFパワー300Wの条件で60秒間R I E を行うことにより、レジスト部23、25を取り除くとともに導電層21を加工した(図6(c)参照)。加工形状を原子顕微鏡により観察すると、ブロックコポリマーの表面と同様に、図15に示すように、直径約30nm、間隔約50nmの導電体が縦横方向に2個ずつ十字状に並んでいることが確認された。下部電極11上で十字状に配列された導電体13を得た。

【0101】

さらに、絶縁膜12としてS i O₂ を製膜した後、表面加工することにより図6(d)に示す構造を得た。続いて、絶縁膜としてS i O₂ を形成した後、G e₂ S b₂ T e₅ からなる相変化材料層14をC V D法を用いて埋め込み形成した。同様にしてWからなる上部電極15をC V D法を用いて埋め込み形成した後、ワード線を形成し、図4に示す構造を有する相変化メモリを製造した。 20

【0102】

(メモリの評価)

1つの記憶セルを選択し、結晶化、非結晶化のための印加電流および印加時間を評価した結果、結晶化のためには0.4mAの電流を100ns、非結晶化のためには0.8mAの電流を10ns印加することが適していることがわかった。全ての記憶セルに関して結晶状態の抵抗のばらつきを評価したところ、最大値と最小値の比は10であった。 30

【0103】

(実施例2)

(メモリの作成)

本発明の実施例2による相変化メモリを作成した。この実施例の相変化メモリは、下部電極11が導電体13と略同一形状を有している。

【0104】

実施例1と同様にメモリを作成した。ただし、レジスト層のエッチングとして、酸素流量20sccm、全圧30mTorr、全投入パワー100Wの条件で200秒間R I E を行い、下部電極部も導電層と略同一な形状に加工した。

【0105】

(メモリの評価)

実施例1と同様にして評価したところ、結晶化のためには0.4mAの電流を100ns、非結晶化のためには0.8mAの電流を10ns印加することが適していることがわかった。全ての記憶セルに関して結晶状態の抵抗のばらつきを評価したところ、最大値と最小値の比は8であった。

【0106】

(実施例3)

(メモリの作成)

本発明の実施例3による相変化メモリを作成した。本実施例の相変化メモリは、第2実施形態の相変化メモリである。 40

【0107】

実施例1と同様に、図13(a)に示すように、絶縁膜12内に設けた開口に電極材料を埋め込み下部電極11を形成し、その後、下部電極11上に導電層21を形成する。

【0108】

続いて、転写層31としてノボラック樹脂を120nmの膜厚に塗布した(図13(b)参照)。そして、このノボラック樹脂の表面に凸部が70nmの正方形をした原盤を、30トンの圧力でナノインプリントした。次に、300Wの深紫外光を3分間照射した後、210度で30分間アニールすることにより、インプリントにより形成されたノボラック樹脂のパターンを硬化させた。位置あわせをした結果、一辺が90nmの正方形をした下部電極のほぼ中央に一辺が70nmの凹部32を形成することができた(図13(c)参照)。

10

【0109】

さらに、その上から、実施例1と同様にブロックコポリマー22を塗布した後、アニール処理して規則配列化させた(図13(d)参照)。ここで、分子量8万のポリスチレンと分子量2万のPMMAからなるジブロックコポリマーを、プロピレングリコールモノメチルエーテルアセテート(PGMEA)に溶解したものを扱い、その膜厚が40nmになるように調整した。

【0110】

続けて、実施例1と同様に、PMMAポリマー相24の除去、SOGマスク層25のスピンコートを行った(図14(a)、(b)参照)。これをマスクとした酸素RIEにより、レジスト層とノボラック樹脂をエッチングしてノボラック樹脂からなる転写層31にパターンを転写した。さらに、ノボラック樹脂からなる転写層31をマスクとしてAryオンミリングで2分間、導電層21を加工することにより略同一の形状に加工された導電体13が得られた(図14(c)参照)。

20

【0111】

最後に、酸素流量300sccm、全圧200mTorr、投入RFパワー300Wの条件で2分間RIEすることによりノボラック樹脂31を除去した。加工形状を原子顕微鏡により観察すると、ブロックコポリマーの表面と同様に、図17に示すと同様に、直径約20nm、間隔約40nmの導電体13が縦横方向に2個ずつ十字状に並んでいることが確認された。

30

【0112】

さらに、実施例1と同様にして、 HfO_2 と Cr_2O_3 からなる絶縁膜12を形成した後、 $Ge_2Sb_2Te_5$ からなる相変化膜14を一様に製膜した。続けて、絶縁膜16、上部電極15、ワード線の順に形成し、相変化メモリを製造した。

【0113】

さらに続けて、この相変化メモリを初期アニール処理した。具体的には、相変化メモリを120度に設定した恒温層に入れ、上下電極間に1秒間0.1mAの電流を流した。

【0114】

(相変化メモリの評価)

実施例1と同様にして評価したところ、結晶化のためには0.3mAの電流を100ns、非結晶化のためには0.6mAの電流を10ns印加することが適していることがわかった。全ての記憶セルに関して結晶状態の抵抗のばらつきを評価したところ、最大値と最小値の比は9であった。実施例1に比べて相変化材料層の中で、相変化を生じうる領域が限定されているために、相変化に必要な電流量をさらに低減することが可能となった。

40

【0115】

(実施例4)

(メモリの作成)

本発明の実施例4による相変化メモリを作成した。この実施例4の相変化メモリは実施例3の相変化メモリにおいて、下部電極11が導電体13と略同一な形状となっている。実施例3と異なる点は、ノボラック樹脂をマスクとしたAryオンミリングを4分間行い

50

、下部電極部も導電層と略同一な形状に加工した点であり、これ以外は実施例3と同様に形成した。

【0116】

(相変化メモリの評価)

実施例1と同様にして評価したところ、結晶化のためには0.3mAの電流を100ns、非結晶化のためには0.6mAの電流を10ns印加することが適していることがわかった。全ての記憶セルに関して結晶状態の抵抗のばらつきを評価したところ、最大値と最小値の比は9であった。実施例3と同様に、実施例1に比べて相変化材料層の中で、相変化を生じうる領域が限定されているために、相変化に必要な電流量をさらに低減することが可能となった。

10

【0117】

(比較例1)

(メモリの作成)

比較例1の相変化メモリを作成した。この比較例1の相変化メモリは、実施例1の相変化メモリにおいて、ジブロックコポリマー層の形成、加工部分を省略した以外は実施例1と同様の方法で相変化メモリを製造し、導電層が下部電極上に一様に設けられた相変化メモリを得た。この比較例1の相変化メモリは、実施例1の場合と異なり、導電体13が絶縁膜12によって隔てられておらず、一様な導電体層となっている。

【0118】

(相変化メモリの評価)

実施例1と同様にして評価したところ、結晶化のためには1.2mAの電流を100ns、非結晶化のためには2.5mAの電流を10ns印加することが適していることがわかった。全ての記憶セルに関して結晶状態の抵抗のばらつきを評価したところ、最大値と最小値の比は20であった。実施例1と比べて、相変化材料層内で熱が籠ることを利用せず、相変化材料層全体を加熱しているために、相変化のために必要な電流量が大きくなったと予想される。

20

【0119】

(比較例2)

(メモリの作成)

比較例2の相変化メモリを作成した。この比較例2の相変化メモリは、実施例1の相変化メモリにおいて、絶縁膜12、下部電極11を形成した後、さらに絶縁膜を形成し、下部電極より大きな部分をエッチング加工して除いた。除いた領域全域に導電層を設けた後、エッチング加工することにより導電層の中央部に穴をあけ、周辺の領域のみ導電層を残す。その後、上記穴に再び絶縁膜を形成する。即ち、非特許文献1と同じ構造の導電層を作成した。これ以降は、実施例1と同様の方法に従って、図1に示した相変化メモリを製造した。

30

【0120】

(相変化メモリの評価)

実施例1と同様にして評価したところ、結晶化のためには0.6mAの電流を100ns、非結晶化のためには1.2mAの電流を10ns印加することが適していることがわかった。全ての記憶セルに関して結晶状態の抵抗のばらつきを評価したところ、最大値と最小値の比は50であった。実施例1と同様に相変化材料層に接してこれより小さな形状を有する導電体2が形成されているので、比較例1と比べて、相変化のために必要な電流量は減少しているが、導電体2つの位置およびサイズの制御が困難であるために、抵抗値のバラつきが大きくなったものと思われる。

40

【0121】

以上説明したように、本発明の各実施形態によれば、記憶セルのサイズが小さくなった場合にも、記憶セル間の特性を略同一にすることが可能で、かつ相変化のために必要な電流量を十分に小さくすることができる。

【図面の簡単な説明】

50

【 0 1 2 2 】

【図 1】本発明の第 1 実施形態による相変化メモリの記憶セルを示す断面図。

【図 2】第 1 実施形態による相変化メモリの記憶セルを下部電極側からみた平面図。

【図 3】相変化メモリの記憶セルアレイの一般的な配置を示す回路図。

【図 4】第 1 実施形態の第 1 変形例による相変化メモリの記憶セルを示す断面図。

【図 5】第 1 実施形態による相変化メモリの製造工程を示す断面図。

【図 6】第 1 実施形態による相変化メモリの製造工程を示す断面図。

【図 7】第 1 実施形態による相変化メモリの製造工程を示す断面図。

【図 8】第 1 実施形態の第 2 変形例による相変化メモリの記憶セルを示す断面図。

【図 9】第 1 実施形態の相変化メモリの導電体の幅を変える方法の第 1 具体例を説明する図。 10

【図 10】第 1 実施形態の相変化メモリの導電体の幅を変える方法の第 2 具体例を説明する図。

【図 11】本発明の第 2 実施形態による相変化メモリの記憶セルを示す断面図。

【図 12】第 2 実施形態による相変化メモリの記憶セルを下部電極側からみた平面図。

【図 13】第 2 実施形態による相変化メモリの製造工程を示す断面図。

【図 14】第 2 実施形態による相変化メモリの製造工程を示す断面図。

【図 15】第 2 実施形態による相変化メモリの製造工程を示す断面図。

【図 16】第 2 実施形態におけるブロックコポリマーの配列構造が六方格子構造となるための凹部の形状を説明する図。 20

【図 17】ブロックコポリマーから PMMA のポリマー相を取り除いたときのブロックコポリマーの表面を原子顕微鏡で観察した場合の模式図。

【符号の説明】

【 0 1 2 3 】

1 記憶セル

1 0 選択トランジスタ

1 1 下部電極

1 2 絶縁膜

1 3 導電体

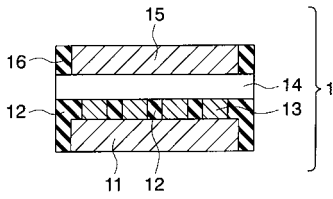
1 4 記録層（相変化材料層） 30

1 5 上部電極

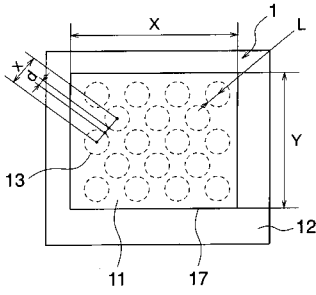
1 6 絶縁膜

1 7 上部電極と下部電極の重なり領域

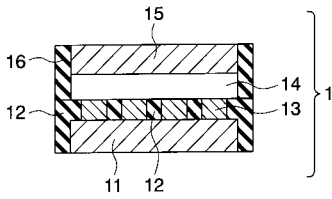
【 図 1 】



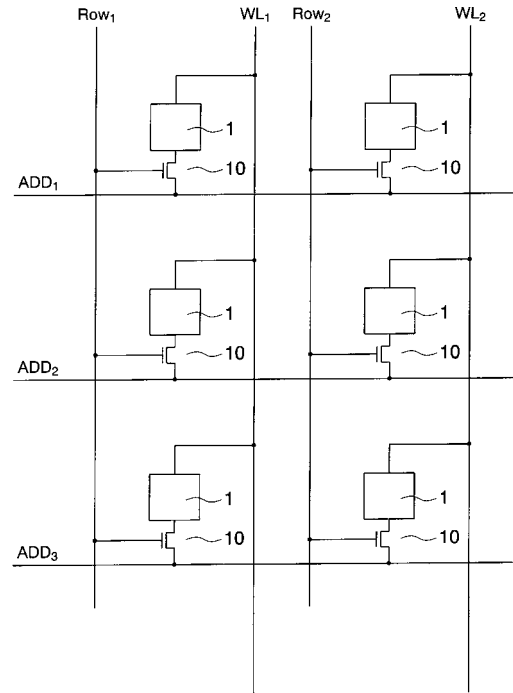
【 図 2 】



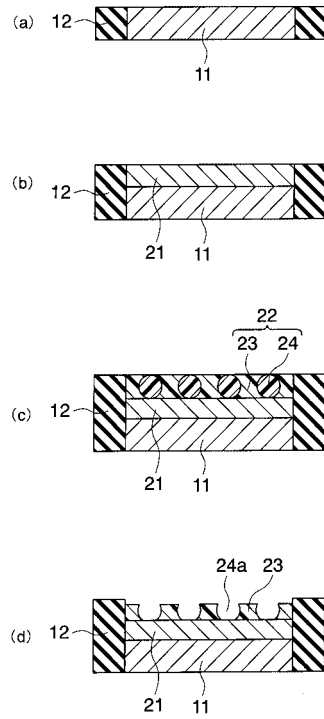
【 図 4 】



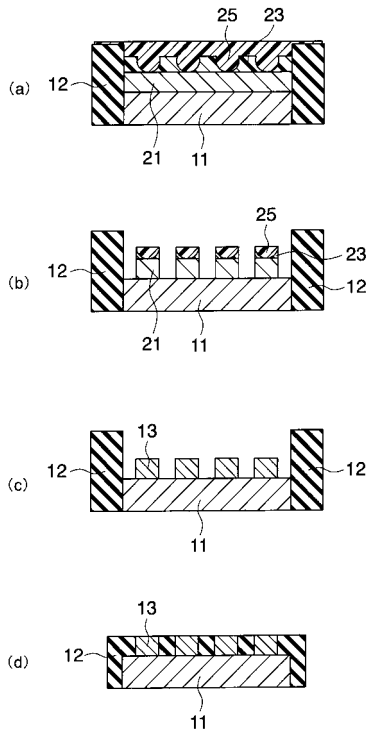
【 図 3 】



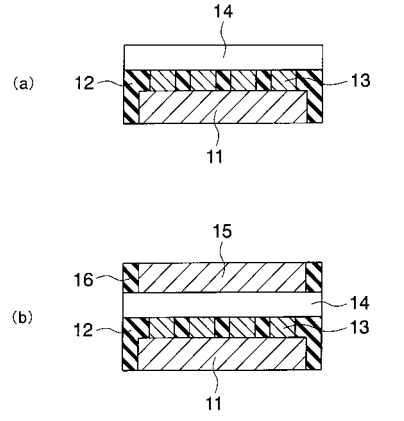
【 図 5 】



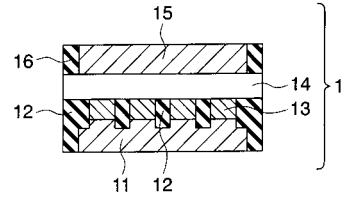
【 図 6 】



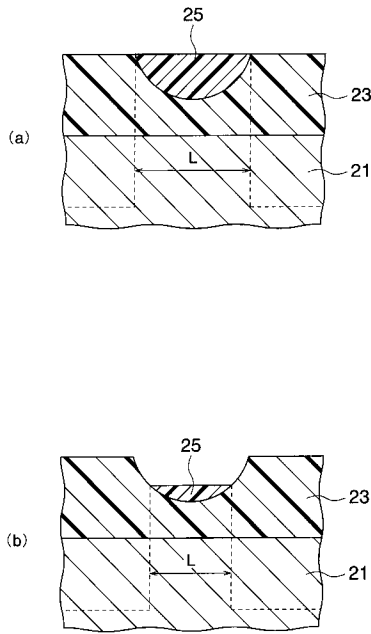
【 図 7 】



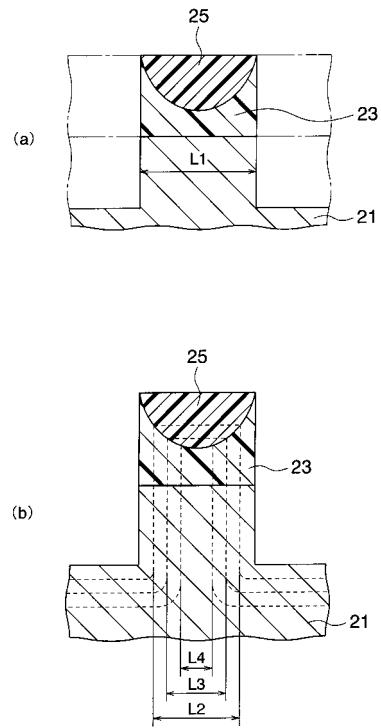
【 図 8 】



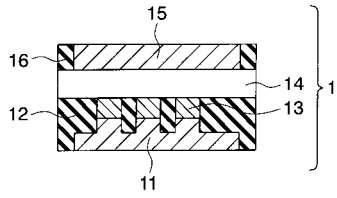
【 図 9 】



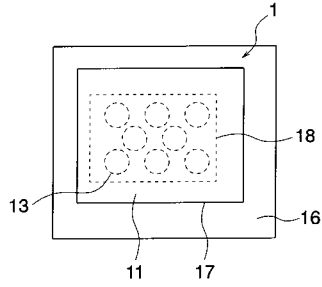
【 図 10 】



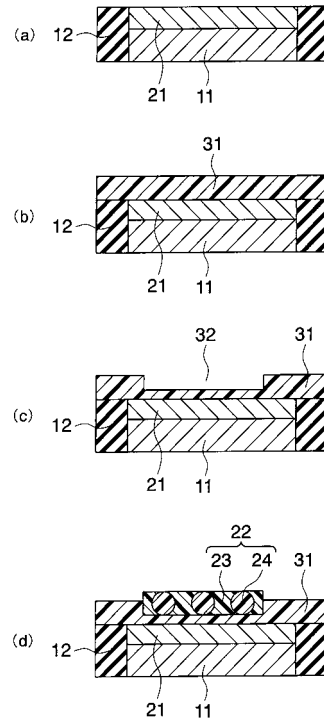
【図 1 1】



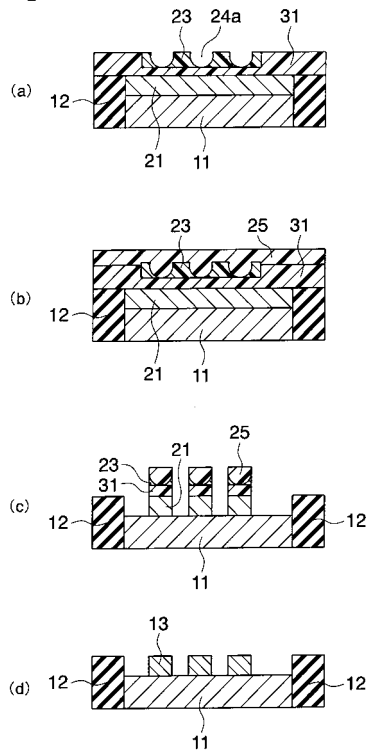
【図 1 2】



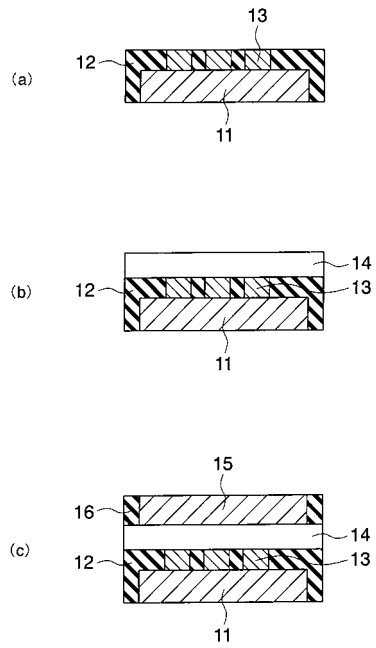
【図 1 3】



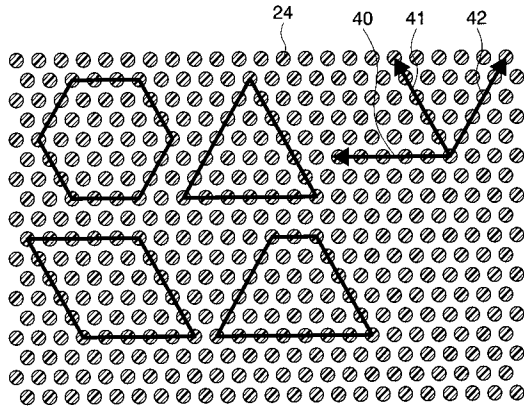
【図 1 4】



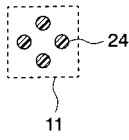
【図 1 5】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

(72)発明者 塚本 隆之
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 内藤 勝之
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72)発明者 芦田 純生
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

Fターム(参考) 5F083 FZ10 GA05 GA09 GA27 JA35 JA36 JA37 JA39 JA40 LA21
PR40 ZA21