



# (12) 发明专利

(10) 授权公告号 CN 111213246 B

(45) 授权公告日 2023. 10. 31

(21) 申请号 201880067071.X

(22) 申请日 2018.09.21

(65) 同一申请的已公布的文献号  
申请公布号 CN 111213246 A

(43) 申请公布日 2020.05.29

(30) 优先权数据  
15/784,384 2017.10.16 US

(85) PCT国际申请进入国家阶段日  
2020.04.15

(86) PCT国际申请的申请数据  
PCT/IB2018/057288 2018.09.21

(87) PCT国际申请的公布数据  
W02019/077424 EN 2019.04.25

(73) 专利权人 国际商业机器公司  
地址 美国纽约

(72) 发明人 J·P·德苏扎 李宁 姚瑶  
D·萨达纳 李允锡

(74) 专利代理机构 中国贸促会专利商标事务所  
有限公司 11038  
专利代理师 边海梅

(51) Int.Cl.  
H01L 33/00 (2006.01)

(56) 对比文件  
JP 2014093327 A, 2014.05.19  
JP 2013102093 A, 2013.05.23  
US 2013140561 A1, 2013.06.06  
JP 2014225597 A, 2014.12.04

审查员 陆然

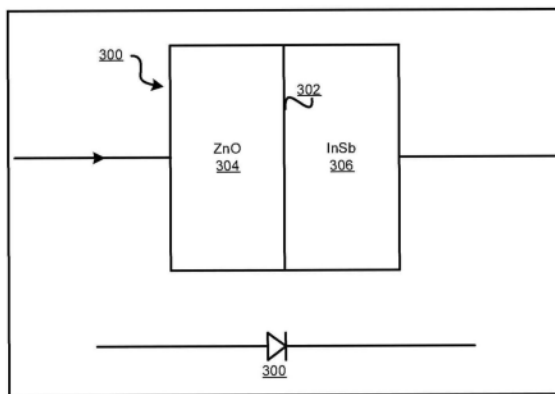
权利要求书1页 说明书5页 附图7页

## (54) 发明名称

具有窄带隙半导体的异质结二极管

## (57) 摘要

半导体器件,其使用氧化锌的n型层、由窄带隙材料形成的p型层来形成。窄带隙材料使用3A族元素和5A族元素。在n型层和p型层之间形成结,该结可作为在室温具有上限的温度范围内具有整流特性的异质结二极管操作。



1. 一种半导体器件,包括:  
掺杂有铝的氧化锌的n型层;  
由包含3A族元素和5A族元素的窄带隙材料形成的p型层,所述p型层包括所述窄带隙材料的单晶;以及  
所述n型层和所述p型层之间的结,所述结能够在无需冷却的情况下作为在室温下具有整流特性的异质结二极管操作。
2. 根据权利要求1所述的半导体器件,其中所述3A族元素是镉,所述5A族元素是铟。
3. 根据权利要求2所述的半导体器件,其中所述窄带隙材料包括铟化镉InSb。
4. 根据权利要求1所述的半导体器件,还包括:  
窗口结构,其中所述窗口结构允许光到达所述p型层。
5. 根据权利要求4所述的半导体器件,其中所述窗口结构的材料包括Al掺杂的ZnO。
6. 一种方法,包括:  
使用半导体制造系统形成掺杂有铝的氧化锌的n型层;  
使用所述半导体制造系统形成由窄带隙材料形成的p型层,所述窄带隙材料包括3A族元素和5A族元素,所述p型层包括所述窄带隙材料的单晶;以及  
使用所述半导体制造系统在所述n型层和所述p型层之间形成结,所述结能够在无需冷却的情况下作为在室温下具有整流性质的异质结二极管操作。
7. 根据权利要求6所述的方法,其中所述3A族元素为镉,所述5A族元素为铟。
8. 根据权利要求7所述的方法,其中所述窄带隙材料包括铟化镉InSb。
9. 根据权利要求6所述的方法,还包括:  
窗口结构,其中所述窗口结构允许光到达所述n型层。
10. 根据权利要求9所述的方法,其中所述窗口结构的材料包括Al掺杂的ZnO。
11. 根据权利要求6所述的方法,其中带隙是电子从价带跃迁到导带所需的能量的度量,并且其中所述窄带隙包括低于阈值的带隙值。
12. 根据权利要求6所述的方法,还包括:  
作为形成所述结的一部分,沉积接触(i)所述p型层的表面和(ii)所述n型层的表面中的至少一个的界面材料层。
13. 根据权利要求12所述的方法,其中所述界面材料层包含氧化铝( $Al_2O_3$ )。
14. 根据权利要求6所述的方法,其中使用原子层沉积(ALD)来沉积所述掺杂的氧化锌。
15. 根据权利要求6所述的方法,还包括:  
在所述n型层的表面上沉积第一金属,所述表面不同于所述p型层的第二表面,所述第二表面用于所述结中,并且所述金属可用于与所述结的第一侧形成电连接。
16. 根据权利要求6所述的方法,其中所述结在所述室温下光检测可见光。
17. 一种包括光刻部件的半导体制造系统,所述半导体制造系统在被操作以制造半导体器件时执行根据权利要求6至16中任一项所述的方法的步骤。

## 具有窄带隙半导体的异质结二极管

### 技术领域

[0001] 本发明一般涉及用于制造具有窄带隙半导体的二极管的方法和装置,该二极管在室温下以整流特性工作。更具体地说,本发明涉及异质结窄带隙二极管及其制造方法。

### 背景技术

[0002] 结型二极管是基本的半导体器件,其在正向极化中在阈值电压以上(即,向p型半导体施加正电压,向n型半导体施加负电压)呈现低阻抗,对于硅p-n二极管通常为0.6V,并且在反向极化中呈现高得多的阻抗。基本上,理想的二极管是在电流流动的一个方向上的电导体和在相反方向上的绝缘体。

[0003] 光电探测器二极管是对光吸收导电敏感的二极管。构造光电探测器二极管以响应特定波长范围的光,包括但不限于可见光、紫外光和红外光。例如,X射线探测器和伽马射线探测器二极管在探测到其它高能光子时导通。

[0004] 在固态物理学中,带隙(也称为能隙或带隙)是固体中不存在电子态的能量范围。在固体的电子能带结构的曲线图中,带隙通常是指绝缘体和半导体中价带顶部与导带底部之间的能量差(以电子伏特“eV”表示)。带隙是促使束缚于固体中的原子的价电子成为传导电子所需的最小能量,所述传导电子在晶格内自由移动并且充当电荷载体以传导电流。

### 发明内容

[0005] 本发明的实施例提供了一种方法、设备和光电检测器系统。本发明的实施例采用半导体器件的形式,该半导体器件包括:n型掺杂氧化锌层和由来自周期表的3A列和5A列的元素的窄带隙材料形成的p型层;以及在n型层和p型层之间的结,该结可作为在温度范围内具有整流特性的异质结二极管操作,该温度范围在室温下具有上限,由此提供可在室温下操作的异质结二极管。

[0006] 3A族元素可以是镉,5A族元素可以是铟。因此,实施例提供了用于在室温下可操作的异质结二极管的特定类型的材料。

[0007] 窄带隙材料可以包括铟化镉(InSb)。

[0008] p型层可以包括窄带隙材料的单晶。

[0009] n型层可以包括掺杂有铝的氧化锌。

[0010] 本发明的实施例还包括窗口结构,其中窗口结构允许光到达n型层,从而为异质结二极管提供可用于光检测的附加结构。

[0011] 本发明的实施例包括一种用于制造半导体器件的制造方法。

### 附图说明

[0012] 在所附权利要求中阐述了被认为是本发明的特性的新颖特征。然而,通过参考以下结合附图对本发明的说明性实施例的详细描述,将最好地理解本发明本身及其优选使用模式、进一步的优点和优点,其中:

- [0013] 图1描绘了半导体的能带图；
- [0014] 图2描绘了光电检测器的能带图；
- [0015] 图3描绘使用体现本发明的p-n结形成的实例二极管的示意性框图，
- [0016] 图4描述了根据说明性实施例的可以在室温下工作的体现本发明的异质结窄带隙光电探测器二极管的示例实现的示意性框图；
- [0017] 图5示出异质结窄带隙光电探测器二极管的另一示例实施方式的示意性框图；
- [0018] 图6描绘了根据本发明的实施例的由Al掺杂的ZnO和p型InSb形成的异质结在室温和平衡状态下的能带图；
- [0019] 图7描绘了体现本发明的异质结二极管的操作的曲线图；以及
- [0020] 图8是用于制造体现本发明的异质结窄带隙二极管的示例工艺的流程图中，该异质结窄带隙二极管在室温下表现出光检测性能。

### 具体实施方式

- [0021] 图1描绘了示出带隙的简化图。 $E_v$ 是材料的价带的最大能级， $E_c$ 是相同材料的导带的最小能级， $E_g$ 是电子从价带跃迁到导带以使材料导电的能隙，即带隙能量。
- [0022] 图2描绘了带隙的光激发跃迁的图表。当材料暴露于能量超过带隙 $E_g$ 的光子时，电子可以从价带跃迁到导带。
- [0023] 对于长波长光，例如大于1微米的光，具有窄带隙的二极管是理想的。这里，窄带隙定义为小于1eV。
- [0024] 不窄的带隙（例如，在一些上述实例中大于1eV）是大或高的带隙。带隙越窄，材料变得导电所需的能量越少。在光电检测二极管的情况下，带隙越窄，触发二极管导通所需的光子的能量越低。
- [0025] 一些窄带隙光电检测二极管目前是可行的。目前可行的具有窄带隙的光电探测器二极管难以使用，因为它们需要冷却到液氮温度77开尔文或-196摄氏度（°C）以使这些二极管减少热载流子产生，并因此增加了信噪比。
- [0026] 二极管包括n型材料（也称为n掺杂材料）和p型材料（也称为p掺杂材料）之间的电结。该结被称为p-n结。
- [0027] 本发明的实施例提供了一种具有窄带隙半导体的p-n二极管，其在室温下可以呈现整流器特性，这使得能够在室温下或者在不需要冷却到非常低的温度的情况下检测长波长的光子。
- [0028] 因此，本发明的实施例一般地解决和应对了上述对异质结窄带隙二极管在低温下操作的需要。本发明的实施例还提供了一种采用在室温下呈现整流器性质的窄带隙半导体的异质结二极管的制造方法。
- [0029] 体现本发明的装置是由大带隙和窄带隙半导体形成的异质结二极管，其可以在室温和低于室温的温度下工作。本发明的另一实施例是一种用于制造该装置的方法。本发明的实施例可以被配置为现有半导体制造系统（例如光刻系统）的修改、作为与现有半导体制造系统结合操作的单独应用、独立应用或其某种组合。例如，本申请使得半导体制造系统执行本文描述的方法的步骤，以制造可以在室温下操作的异质结窄带隙二极管，如本文描述的。

[0030] 仅为了描述的清楚,而不是对其进行任何限制,使用这里描述的新颖p-n结的二极管型半导体器件来描述本发明的实施例。可以用不同类型的半导体器件来实现实施例,其中期望在室温下具有低能量光辐射的窄带隙跃迁,并且在本发明的范围内可以设想这样的其它半导体器件。

[0031] 此外,在图中使用p-n结的简化图。在实际制造中,在不脱离本发明的范围的情况下,可以存在这里未示出或描述的附加结构,或者与这里示出和描述的结构不同的结构。类似地,在本发明的范围内,示例半导体器件中所示或所述的结构可以由相同的材料制造,但是使用不同的方法以产生如本文所述的类似的操作或结果。

[0032] 如本文所述,示例性结构、层和形成物的二维图中的不同阴影部分旨在表示示例性制造中的不同结构、层和形成物。可以使用所述材料或所述材料的其它合适的等效物来制造不同的结构、层和构造,只要等效材料表现出与本文所述的材料、所得到的器件或两者相同或相似的性质。

[0033] 本文所描绘的形状的特定形状、位置、定位或尺寸不希望限制本发明的实施例,除非此特性明确地描述为本发明的实施例的特征。选择形状、位置、方位、尺寸或其某种组合仅是为了附图和描述的清楚,并且可能已经相对于实际光刻中可能使用的实际形状、位置、方位或尺寸进行了夸大、最小化或其他改变,以实现根据本发明实施例的目的。

[0034] 此外,仅作为示例,关于特定的实际或假设的半导体器件描述了本发明的实施例。这里描述的步骤可以适于以类似的方式制造各种平面和非平面半导体器件,并且这样的改变被认为在本发明的范围内。特定的触点放置也仅用作描述本发明实施例的各种操作的示例。本领域的普通技术人员将能够使用本发明的实施例,以类似地提供对p-n结的电接入,用于以其它方式的其它目的,并且这样的修改也被认为在本发明的范围内。

[0035] 本发明的实施例在应用中实现时使得制造过程执行如本文所述的某些步骤。在几个附图中描述了制造过程的步骤。在特定的制造过程中,并非所有的步骤都是必需的。一些制造工艺可以以不同的顺序实施步骤、组合某些步骤、移除或替换某些步骤、或执行这些步骤的某些组合和其它步骤操作,而不脱离本发明的范围。

[0036] 当在器件或数据处理系统上执行时,这里描述的本发明的实施例的方法包括在制造可以在室温和室温以下工作的异质结窄带隙光电探测器二极管时,该器件或数据处理系统的功能的实质性进步。因此,通过执行本发明的实施例的方法的这种器件或数据处理系统的实质性进步在于具有窄带隙半导体的异质结的改进制造,该异质结在室温及以下具有整流性质。

[0037] 仅作为示例,关于某些类型的器件、电特性、结构、形成、层取向、方向、步骤、操作、平面、结构、尺寸、数量、数据处理系统、环境、组件和应用来描述本发明的实施例。这些和其它类似的人为因素的任何特定表现形式不是要限制本发明。在本发明的范围内可以选择这些和其它类似的人工产物的任何适当的表现形式。

[0038] 此外,本发明的实施例可以关于任何类型的数据、数据源或通过数据网络对数据源的访问来实现。在本发明的范围内,任何类型的数据存储设备可以在本地地在数据处理系统处或通过数据网络向本发明的实施例提供数据。在使用移动设备描述本发明的实施例的情况下,在本发明的范围内,适于与移动设备一起使用的任何类型的数据存储设备可以在移动设备处本地地或者通过数据网络向这样的实施例提供数据。

[0039] 使用特定代码、设计、体系结构、协议、布局、示意图和工具来描述本发明的实施例,这些仅作为示例,而不是对本发明的限制。此外,在一些实例中,为了描述的清楚,仅使用特定软件、工具和数据处理环境作为示例来描述本发明的实施例。本发明的实施例可以与其他相当或类似目的结构、系统、应用或架构结合使用。例如,在本发明的范围内,其他可比较的移动设备、结构、系统、应用或其架构可以与本发明的这种实施例结合使用。本发明的实施例可以以硬件、软件或其组合来实现。

[0040] 本说明书中的本发明的实施例仅用于解释清楚,而不是限制本发明。从该描述中可以想到附加的数据、操作、动作、任务、活动和操纵,并且在本发明的范围内可以设想这些。

[0041] 本文列出的任何优点仅是示例,而不旨在限制本发明。本发明的特定实施例可以实现附加的或不同的优点。此外,本发明的特定实施例可以具有上面列出的优点中的一些、全部或者不具有上面列出的优点。

[0042] 参考图3,该图描绘了使用根据本发明的实施例的p-n结形成的示例二极管的示意性框图。二极管300包括p-n结302。结302是使用铝掺杂的氧化锌( $ZnO:Al$ 或AZO)作为n型半导体材料304且使用锑化铟(InSb)作为p型半导体材料306而形成。铟是周期表中的3A族元素,锑是周期表中的5A族元素。也可形成包含2B和/或3A族和5A和/或6A族元素的其它合金,以表现出与本文所述InSb的行为类似的行为。选择AZO是因为它对可见光和红外光透明,并且具有较高的带隙以允许形成异质结。

[0043] 构造材料304和306以形成结302的具体方式是实施方式特定的,并且可以在不偏离本发明的范围的情况下改变。使用304和306的指定材料来形成结302的实施方案在本发明的范围内,即使(i)材料304(或306)被嵌入、注入、掺杂或以其它方式与其它材料混合;(ii)在结302处或附近形成或使用附加结构、层、材料;(iii)在除了材料304(或306)面向结302的侧面之外的其它侧面上形成或使用附加结构、层、材料;或其某种组合。

[0044] 参考图4,该图描述了可以在室温下工作的异质结窄带隙光电探测器二极管的示例实现的示意性框图。半导体器件400是图3中的二极管300的更详细的示例。半导体器件400包括层404,其包括掺杂有铝(Al)的ZnO。用Al掺杂ZnO的一个非限制性实例方法是使用原子层沉积(ALD)方法。材料406包括InSb,其掺杂有受主掺杂剂,例如Be、Zn或Cd。

[0045] 结402是图3中的结302的示例。作为替代方法,结402可以通过将材料404的表面直接电结合到材料406的表面彼此而形成。

[0046] 可选地,也可以例如使用ALD在结402处沉积例如氧化铝( $Al_2O_3$ )的合适材料层408作为材料404和406之间的中间层,以改善材料406的表面钝化,从而改善二极管的整流特性。

[0047] 层410和412可选地被制造以实现触点放置。置于层410和412上的触点(未示出)可用于将半导体器件400与电路中的其它部件电连接。层410和412可以由任何材料或适于该目的材料形成,并且通过使用任何合适的制造方法形成。作为一些非限制性示例,层410被示为使用Al制造,并且层412被示为使用包括铬(Cr)和金(Au)的双层制造。

[0048] 参考图5,该图描述了体现本发明的异质结窄带隙光电探测器二极管的另一实施方式的示意性框图,该异质结窄带隙光电探测器二极管可以在室温下工作。半导体器件500是图4中的器件400的一个修改的例子。在器件500中,以形成窗口502的方式形成层410。实

质上,窗口502是允许光到达层404的合适结构或没有该结构。在所描绘的非限制性形成中,窗口502仅为层410中的间隙,光可穿过所述间隙且到达层406。

[0049] 参考图6,该图描述了由Al掺杂的ZnO和p型InSb形成的异质结在室温和平衡(层408不存在)下的可能能带图。在所描绘的曲线600中使用半导体器件400或500的实施方式。可以看出,对于层406,当由p型材料InSb构造时,有利地提供在室温下非常窄的带隙 $E_g = 0.17\text{eV}$ 。当层406配置有层404(具有 $E_g = 3.57\text{eV}$ 的掺杂有铝的ZnO)时,由此形成的p-n异质结在室温下在 $0.17\text{eV}$ 处被光触发。

[0050] 参考图7,该图描绘了体现本发明的异质结二极管在室温下的操作的曲线图。在曲线700中示出半导体器件400或500的实施方式用于在室温下在黑暗中进行的测量。曲线700示出半导体器件400或500表现出整流二极管行为。对于窄带隙InSb二极管,泄漏电流(当器件被反向极化时(即,正电压施加到n型材料))也是低的。在室温下对曲线702进行的测量在黑暗中和在用可见光照射下示出了在层406中使用InSb作为p型材料的器件400或500的期望的窄带隙光探测特性。考虑到InSb的窄带隙能量,光探测将延伸到红外光谱的红外区域中的较长波长,图7中描绘的具体实现和测量不旨在限制本发明。可以通过本发明的实施方式的特定于实现方式的变体来实现不同的测量,但是当层406如本文中所描述的那样被配置有InSb时,即使特定于实现方式的变体也应当表现出与图6和图7中所描绘的相当的具有行业认可的公差范围内的室温窄带隙光电检测性能。

[0051] 参考图8,该图描绘了体现本发明的用于制造在室温下展现光检测性能的异质结窄带隙二极管的示例工艺的流程。工艺800可以被实现为与半导体制造系统结合操作的制造方法。

[0052] 清洗p型InSb晶片以去除有机污染物(框802)。可选地,通过原子层沉积法(ALD)在 $100\text{摄氏度}$ 至 $350\text{摄氏度}$ 的温度下沉积 $\text{Al}_2\text{O}_3$ 至 $0.2$ 至 $1.5\text{nm}$ 的厚度, $T = 200\text{摄氏度}$ 是优选的温度(框804)。优选的厚度为 $0.5\text{nm}$ 。

[0053] 沉积掺杂Al的氧化锌(AZO)(框806)。AZO通过ALD在 $T = 180\text{摄氏度}$ 沉积至 $100\text{nm}$ 的厚度。AZO也可通过溅射沉积。ALD温度可以在 $100\text{摄氏度}$ 至 $300\text{摄氏度}$ 的范围内,优选的温度是 $180\text{摄氏度}$ 。厚度不是关键的,并且可以是大于 $10\text{nm}$ 且小于几微米的任何厚度,因为该层必须对可见光和红外光透明。

[0054] 进行光刻工艺以界定AZO区域,且随后进行AZO蚀刻及晶片清洁(框808)。进行光刻工艺以限定用于接触n型半导体的区域(框810)。通过热蒸发沉积铝薄膜以接触AZO(框812)。用于薄膜沉积的替代方法包括电子束蒸发或溅射沉积。Al的厚度优选在 $50$ 至 $500\text{nm}$ 的范围内。将铝剥离并进行晶片清洗(框814)。对晶片的背面进行金属化(框816)。过程800随后结束。可以用Cr接着用Au执行框816的金属化,以便与p型InSb欧姆接触。铬的厚度优选为 $10\text{nm}$ ,Au的厚度优选为 $50\text{nm}$ 。Cr用于增强Au的粘附。Au的厚度不是关键的,可以更厚。

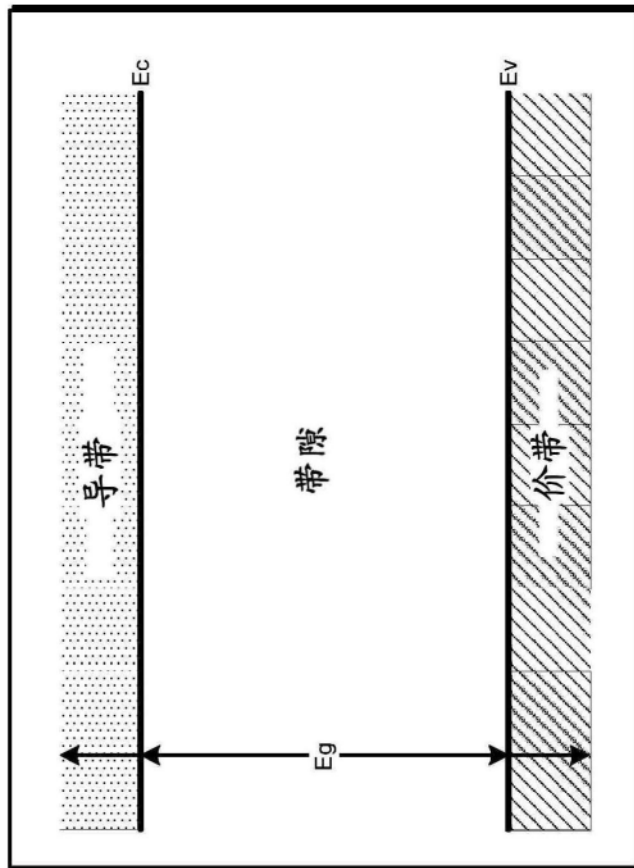


图1(现有技术)

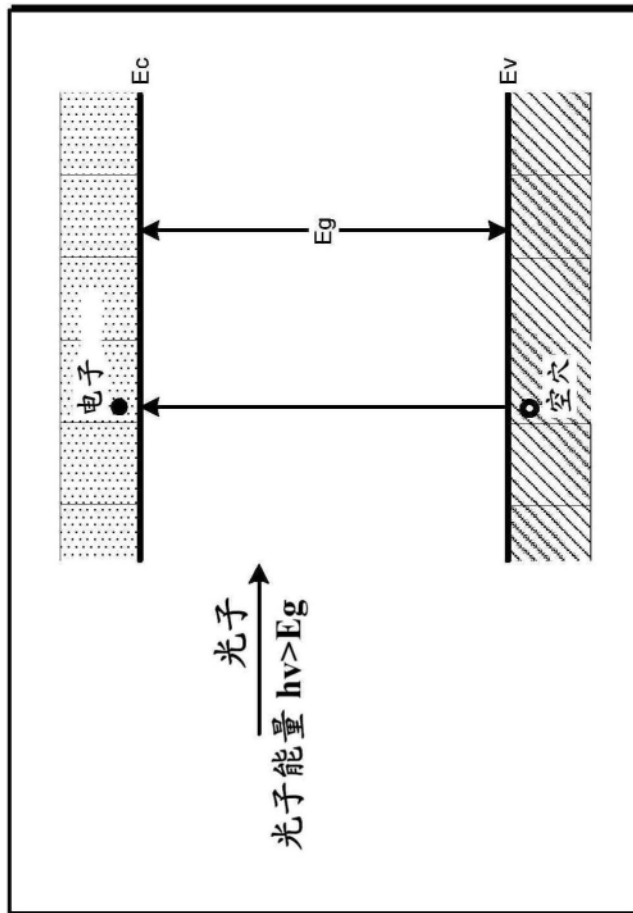


图2(现有技术)

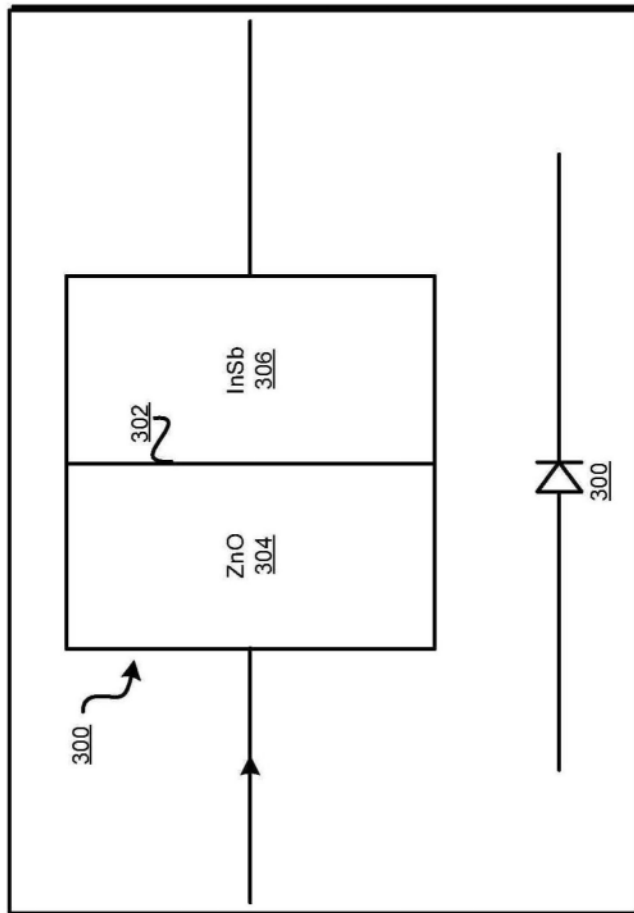


图3

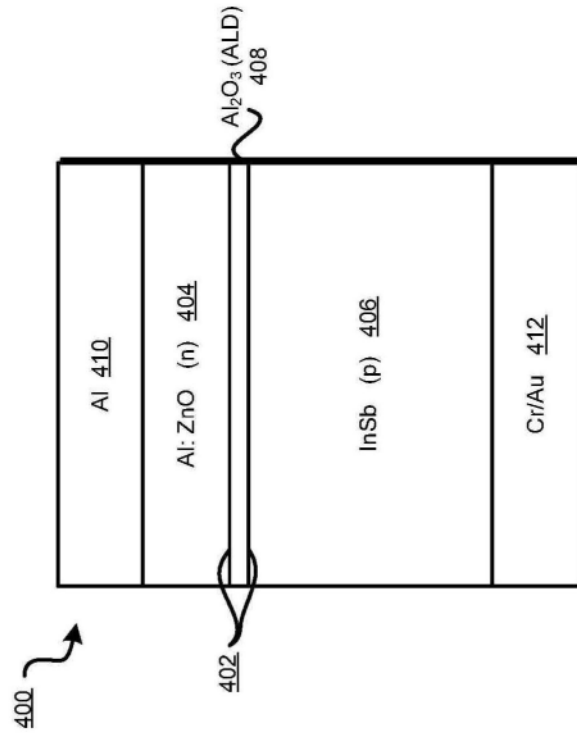


图4

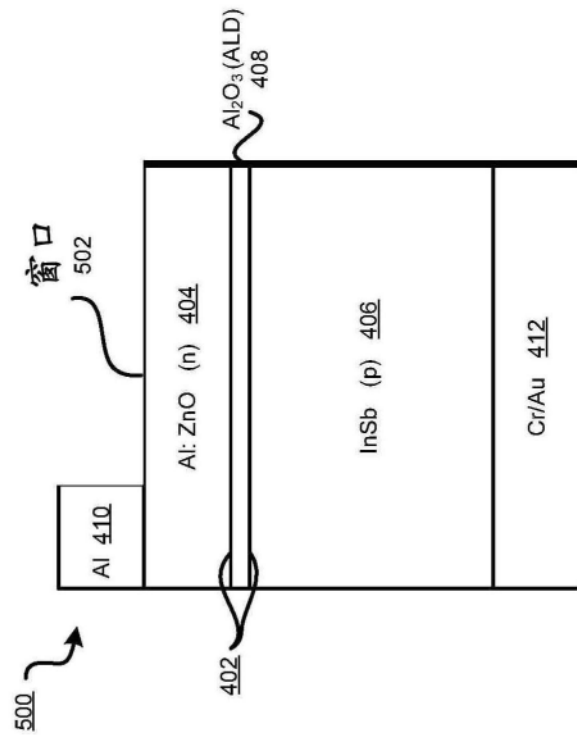


图5

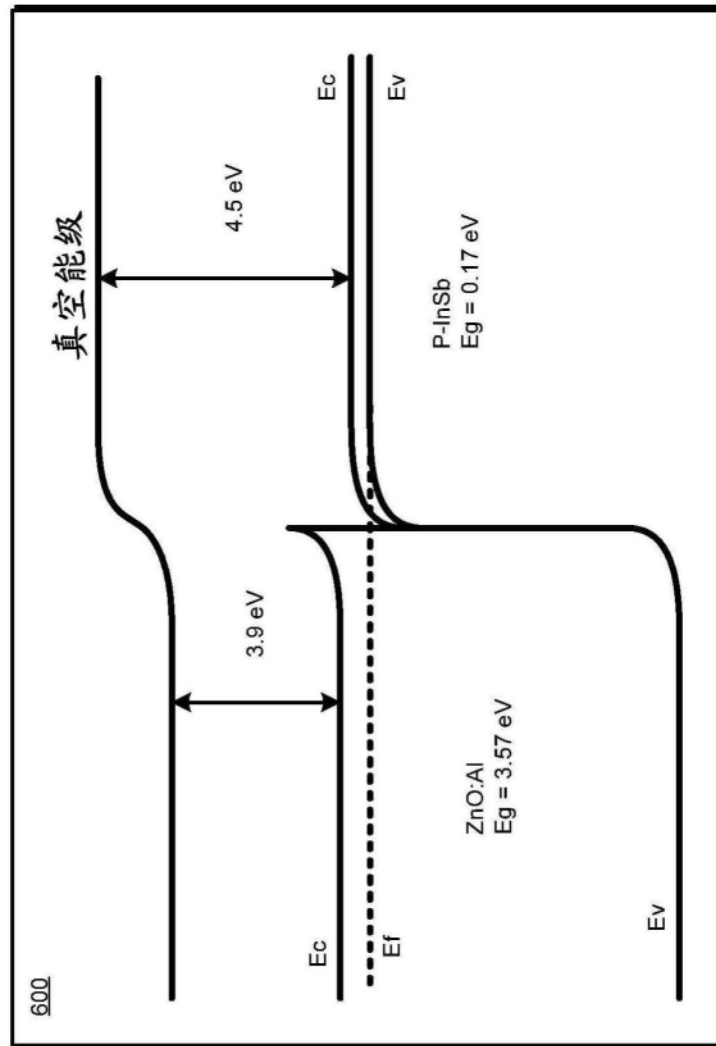


图6

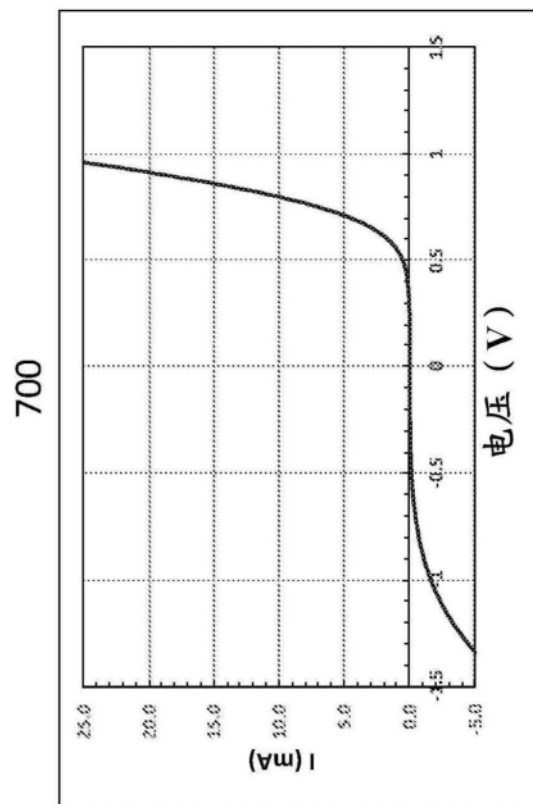
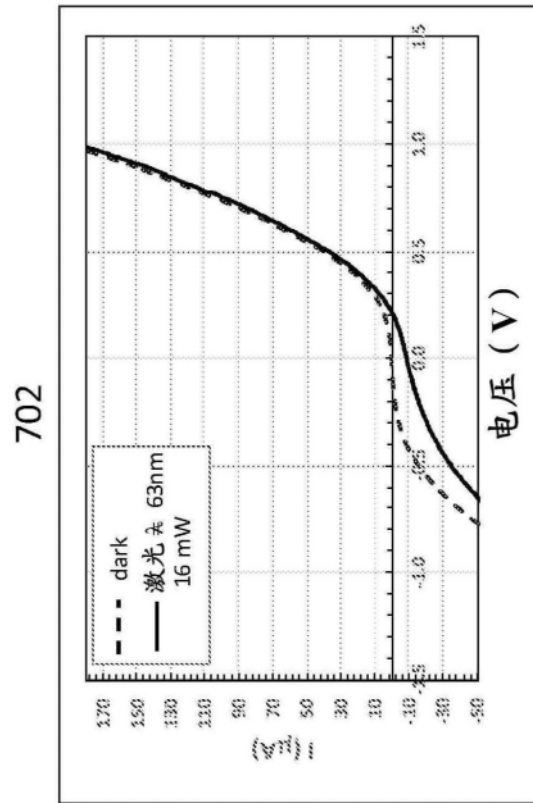


图7

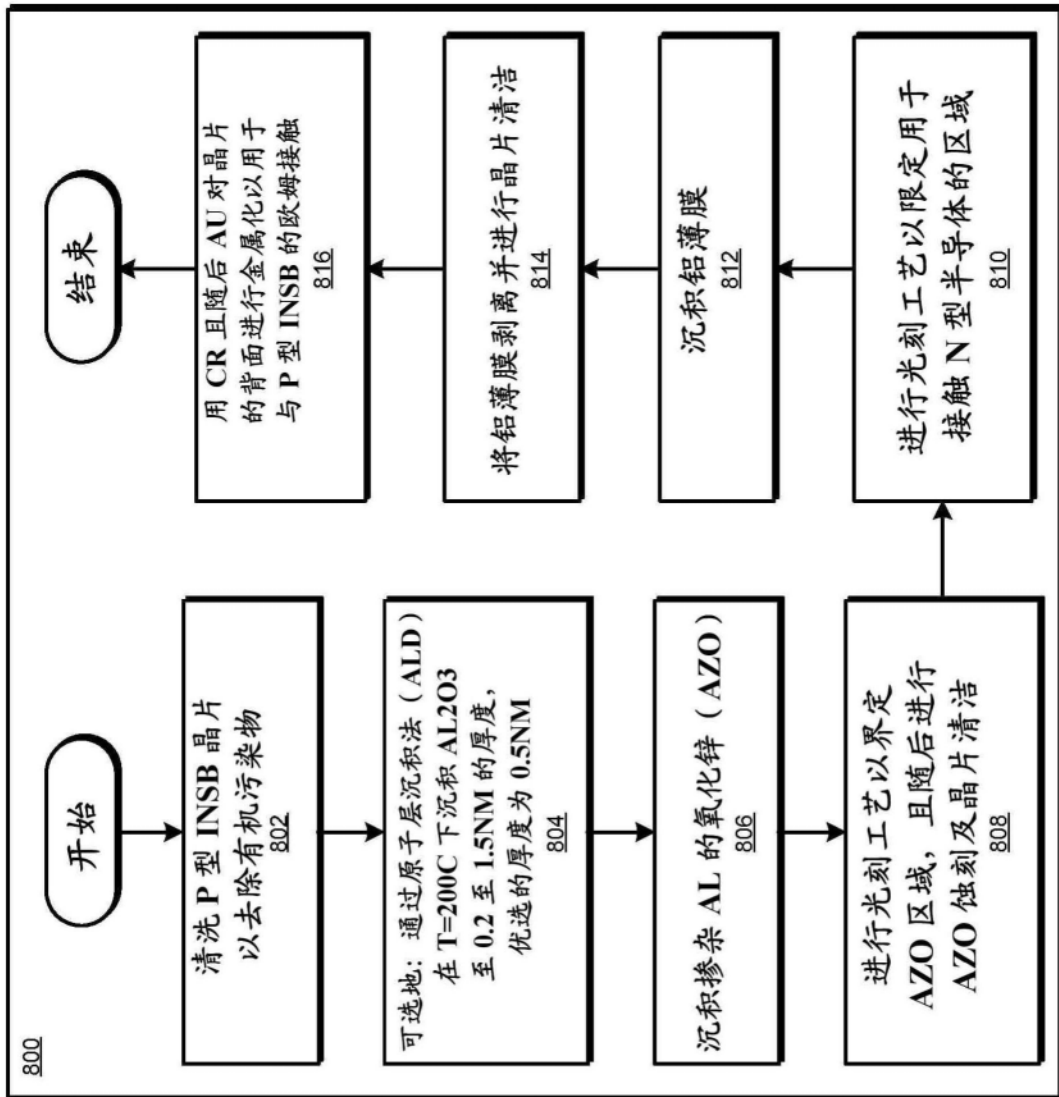


图8