

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 6 月 30 日 (30.06.2005)

PCT

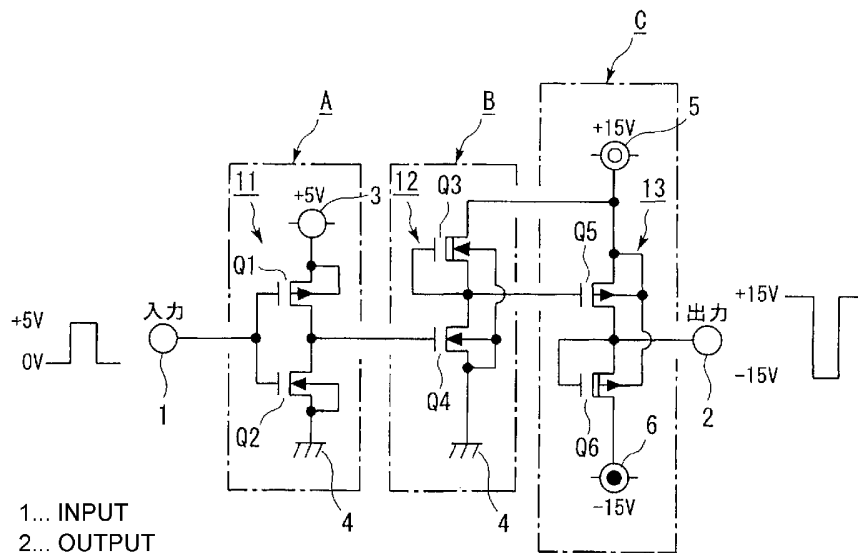
(10) 国際公開番号
WO 2005/060102 A1

- (51) 国際特許分類: H03K 19/0185 (72) 発明者; および
(21) 国際出願番号: PCT/JP2004/018868 (75) 発明者/出願人(米国についてのみ): 駒井 敦 (KOMAI, Atsushi) [JP/JP]; 〒1008331 東京都千代田区丸の内 3 丁目 2 番 3 号株式会社ニコン内 Tokyo (JP).
(22) 国際出願日: 2004 年 12 月 10 日 (10.12.2004)
(25) 国際出願の言語: 日本語 (74) 代理人: 井上 義雄 (INOUE, Yoshio); 〒1030027 東京都中央区日本橋 3 丁目 1 番 4 号画廊ビル 3 階 Tokyo (JP).
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願 2003-421673 (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, 2003 年 12 月 18 日 (18.12.2003) JP
(71) 出願人(米国を除く全ての指定国について): 株式会社ニコン (NIKON CORPORATION) [JP/JP]; 〒1008331 東京都千代田区丸の内 3 丁目 2 番 3 号 Tokyo (JP).

/ 続葉有 /

(54) Title: LEVEL SHIFT CIRCUIT, ACTUATOR APPARATUS USING THE SAME, AND OPTICAL SWITCH SYSTEM

(54) 発明の名称: レベルシフト回路、並びに、これを用いたアクチュエータ装置及び光スイッチシステム



(57) Abstract: A level shift circuit for shifting both of high and low potential levels of an input voltage, a micro-actuator using the level shift circuit, and an optical switch. A CMOS inverter (11) connected to a +5V power supply and to a 0V power supply provides, in response to an input signal, output voltages having an H-level of +5V and an L-level of 0V. A single-channel MOS inverter (12) connected to a +15V power supply and to the 0V power supply provides, in response to the output voltages of the CMOS inverter (11), output voltages having an H-level of +15V and an L-level of 0V. A single-channel MOS inverter (13) connected to the +15V power supply and to a -15V power supply provides output voltages having an H-level of +15V and an L-level of -15V. The inverter (12) has, as a driving element, an NMOS transistor (Q4). The inverter (13) has, as a driving element, an opposite conductive type of PMOS transistor (Q5).

(57) 要約: 入力電圧の高電位レベルと低電位レベルの両方をシフトするレベルシフト回路、これを用いたマイクロアクチュエータおよび光スイッチが開示される。+5V電源と0V電源とに

/ 続葉有 /



SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

接続されるCMOSインバータ11は、入力信号に応じて、+5VをHレベルとし0VをLレベルとする出力電圧を得る。+15V電源と0V電源とに接続される単一チャネルMOSインバータ12は、CMOSインバータ11の出力電圧に応じて、+15VをHレベルとし0VをLレベルとする出力電圧を得る。+15V電源と-15V電源とに接続される単一チャネルMOSインバータ13は、+15VをHレベルとし-15VをLレベルとする出力電圧を得る。インバータ12は、駆動素子としてNMOSトランジスタQ4を有する。インバータ13は、駆動素子として逆導電型のPMOSTランジスタQ5を有する。

明 細 書

レベルシフト回路、並びに、これを用いたアクチュエータ装置及び光スイッチシステム

5

技術分野

本発明は、入力信号の電圧値を変換して別の電圧値にして出力するレベルシフト回路、並びに、これを用いたアクチュエータ装置及び光スイッチシステムに関するものである。

10 背景技術

日本特許第 2 5 4 4 8 1 5 号公報には、1 チップの I C にモノリシック化された回路によって入力電圧の高電位レベルと低電位レベルの両方をシフトすることができるレベルシフト回路が、開示されている。

この従来のレベルシフト回路は、初段回路部と、第 1 の中段回路部と、第 2 の中段回路部と、終段回路部とを備え、1 チップの半導体集積回路にモノリシック化されている。前記初段回路部は、第 1 の高電位電源（+ 5 V）と第 1 の低電位電源（0 V）とに接続されるインバータを含み、入力信号に応答して前記第 1 の高電位電源の電圧レベル（+ 5 V）を H レベルとし前記第 1 の低電位電源の電圧レベル（0 V）を L レベルとする出力電圧を得る。前記第 1 の中段回路部は、前記第 1 の高電位電源（+ 5 V）と前記第 1 の低電位電源の電圧レベル（0 V）よりも低い第 2 の低電位電源（- 1 0 V）とに接続されるインバータを含み、前記初段回路部の出力電圧に応答して前記入力信号と逆論理の出力電圧であって、前記第 1 の高電位電源の電圧レベル（+ 5 V）を H レベルとし前記第 2 の低電位電源の電圧レベル（- 1 0 V）を L レベルとする出力電圧を得る。第 2 の中段回路部は、前記第 1 の高電位電源の電圧レベル（+ 5 V）よりも高い第 2 の高電位電源（+ 1 0 V）と前記第 1 の低電位電源（0 V）とに接続されるインバータを含

み、前記初段回路部の出力電圧に応答して前記入力信号と逆論理の出力電圧であ
って、前記第2の高電位電源（+10V）の電圧レベルをHレベルとし前記第1
の低電位電源の電圧レベル（0V）をLレベルとする出力電圧を得る。前記終段
回路部は、前記第2の高電位電源（+10V）と前記第2の低電位電源（-10
5 V）とに接続されるインバータを含み、前記第1の中段回路部の出力電圧と前記
第2の中段回路部の出力電圧に応答して前記入力信号と同一論理の出力電圧で
あって、前記第2の高電位電源の電圧レベル（+10V）をHレベルとし前記第
2の低電位電源の電圧レベル（-10V）をLレベルとする出力電圧を得る。

ところで、マイクロマシニング技術の進展に伴い、種々の分野においてアクチ
10 ュエータの重要性が高まっている。マイクロアクチュエータが用いられている分
野の一例として、例えば、光通信などに利用され光路を切り替える光スイッチを
挙げることができる。このような光スイッチの一例として、例えば、日本特開2
001-42233号公報および日本特開2003-334798号公報に開
示された光スイッチを挙げることができる。

15 日本特開2001-42233号公報および日本特開2003-33479
8号公報に開示された各光スイッチにおいて採用されているマイクロミラーを
移動させる各マイクロアクチュエータは、固定部に対して移動可能にされた可動
部を有し、バネ力にて可動部が上方位置（マイクロミラーが入射光を反射させる
位置）に復帰するように構成されている。そして、固定部に第1の電極部（固定
20 電極）が配置され、可動部に第2の電極部（可動電極）が配置されている。第1
及び第2の電極部間に電圧を印加して両者の間に静電力を発生させることで、可
動部が下方位置であるマイクロミラーが入射光をそのまま通過させる位置に移
動されて保持される。第1及び第2の電極部間への電圧の印加を停止すると、バ
ネ力により可動部が上方位置に復帰する。

25 しかしながら、日本特許第2544815号公報に開示されたレベルシフト回
路では、中段に2つの回路部（第1及び第2の中段回路部）を有するので、MO

Sトランジスタ等の素子を多数必要としていた。このため、微細化が困難であり、また、製造時の歩留まりが低下していた。

また、レベルシフト回路は、用途によっては、入力電圧の高電位レベルと低電位レベルとの差が比較的大きいことが要求される場合がある。このような場合、
5 当該レベルシフト回路は、高耐圧であることが要求される。例えば、日本特開2001-42233号公報および日本特開2003-334798号公報に開示されている光スイッチで採用されているような静電力を利用するマイクロアクチュエータを制御するために、レベルシフト回路を用いて可動電極と固定電極との間に電圧を供給する場合、当該電圧は比較的大きいことが要求されるので、
10 当該レベルシフト回路は比較的高い耐圧を有することが要求される。

さらに、レベルシフト回路は、一般的な半導体装置と同様に、構造が簡単で製造が容易であることが要求される。

発明の開示

15 本発明は、このような事情に鑑みてなされたもので、入力電圧の高電位レベルと低電位レベルの両方をシフトすることができ、しかも、素子数が少なくすむとともに構造が簡単で、微細化及び高耐圧化が容易であるとともに、容易に製造することができるレベルシフト回路、並びに、これを用いたマイクロアクチュエータ及び光スイッチを提供することを目的とする。

20 前記課題を解決するため、本発明の第1の態様によるレベルシフト回路は、
(a) 第1の高電位電源と第1の低電位電源とに接続されるCMOSインバータを含み、入力信号に応じて前記第1の高電位電源の電圧レベル又はこれに近い電圧レベルをHレベルとし前記第1の低電位電源の電圧レベル又はこれに近い電圧レベルをLレベルとする出力電圧を得る第1の回路部と、(b) 前記第1の高
25 電位電源の電圧レベルよりも高い第2の高電位電源と前記第1の低電位電源とに接続される第1の単一チャネルMOSインバータを含み、前記第1の回路部の

出力電圧に応じて、前記第 2 の高電位電源の電圧レベル又はこれに近い電圧レベルを H レベルとし前記第 1 の低電位電源の電圧レベル又はこれに近い電圧レベルを L レベルとする出力電圧を得る第 2 の回路部と、(c) 前記第 2 の高電位電源と前記第 1 の低電位電源の電圧レベルよりも低い第 2 の低電位電源とに接続
5 される第 2 の単一チャネル MOS インバータを含み、前記第 2 の回路部の出力電圧に応じて、前記第 2 の高電位電源の電圧レベル又はこれに近い電圧レベルを H レベルとし前記第 2 の低電位電源の電圧レベル又はこれに近い電圧レベルを L レベルとする出力電圧を得る第 3 の回路部と、を備えものである。そして、前記第 1 の単一チャネル MOS インバータは、駆動素子として NMOS トランジスタ
10 を有し、前記第 2 の単一チャネル MOS インバータは、駆動素子として PMOS トランジスタを有する。

本発明の第 2 の態様によるレベルシフト回路は、前記第 1 の態様において、当該レベルシフト回路の出力電圧を前記入力信号と同一論理の電圧にするためのインバータを含む第 4 の回路部を、更に備えたものである。

15 本発明の第 3 の態様によるレベルシフト回路は、前記第 2 の態様において、前記第 4 の回路部に含まれる前記インバータは、前記第 2 の高電位電源と前記第 2 の低電位電源とに接続され、前記第 4 の回路部は、前記第 3 の回路部の出力電圧に応じて、前記第 2 の高電位電源の電圧レベル又はこれに近い電圧レベルを H レベルとし前記第 2 の低電位電源の電圧レベル又はこれに近い電圧レベルを L レベルとする出力電圧を取得し、前記第 4 の回路部に含まれる前記インバータは、
20 駆動素子として PMOS トランジスタを有する第 3 の単一チャネル MOS インバータであるものである。

本発明の第 4 の態様によるレベルシフト回路は、前記第 1 乃至第 3 のいずれかの態様において、前記各回路部が同一の半導体基板に設けられたものである。

25 本発明の第 5 の態様によるレベルシフト回路は、前記第 4 の態様において、前記 CMOS インバータに含まれる NMOS トランジスタのドレイン及びソース、

並びに、前記第 1 の単一チャネル MOS インバータに含まれる NMOS トランジスタのソース及びドレインは、同一の P 型半導体領域中に配置され、前記 CMOS インバータに含まれる PMOS トランジスタのドレイン及びソースは、第 1 の N 型ウエル中に配置され、前記第 2 の単一チャネル MOS インバータに含まれる PMOS トランジスタのドレイン及びソースは、前記第 1 の N 型ウエルとは異なる第 2 の N 型ウエル中に配置されたものである。前記第 1 の N 型ウエルと前記第 2 の N 型ウエルとは、同一プロセスで同時に形成することができる。両者を同時に形成すると、製造工程を簡略化することができるので、好ましい。

本発明の第 6 の態様によるマイクロアクチュエータ装置は、固定部と該固定部に対して移動し得るように設けられた可動部とを有するマイクロアクチュエータと、前記マイクロアクチュエータを制御する制御手段と、を備え、前記固定部は第 1 の電極部を有し、前記可動部は、前記第 1 の電極部との間の電圧により静電力を生じ得る第 2 の電極部を有し、前記制御手段は、前記第 1 乃至第 5 のいずれかの態様によるレベルシフト回路を含み、該レベルシフト回路の出力電圧に基づいて前記第 1 及び第 2 の電極部間に所望の電圧を供給するものである。

本発明の第 7 の態様による光スイッチシステムは、前記第 6 の態様によるマイクロアクチュエータ装置と、前記マイクロアクチュエータの前記可動部に設けられたミラーと、を備えたものである。

以下に説明するように、本発明によれば、入力電圧の高電位レベルと低電位レベルの両方をシフトすることができ、しかも、素子数が少なくてすむとともに構造が簡単で、微細化及び高耐圧化が容易であるとともに、容易に製造することができるレベルシフト回路、並びに、これを用いたマイクロアクチュエータ及び光スイッチシステムを提供することができる。

図面の簡単な説明

図 1 は、本発明の第 1 の実施の形態によるレベルシフト回路を示す電気回路図

である。

図 2 は、本発明の第 1 の実施の形態によるレベルシフト回路の構造の一例を模式的に示す概略断面図である。

図 3 は、本発明の第 2 の実施の形態によるレベルシフト回路を示す電気回路図である。

図 4 は、第 1 及び第 2 の実施の形態における第 1 の回路部の入出力特性を示す図である。

図 5 は、第 1 及び第 2 の実施の形態における第 2 の回路部の入出力特性を示す図である。

図 6 は、第 1 及び第 2 の実施の形態における第 3 の回路部の入出力特性を示す図である。

図 7 は、第 2 の実施の形態における第 4 の回路部の入出力特性を示す図である。

図 8 は、第 1 の実施の形態の変形例によるレベルシフト回路を示す電気回路図である。

図 9 は、第 1 の実施の形態の他の変形例によるレベルシフト回路を示す電気回路図である。

図 10 は、本発明の第 3 の実施の形態による光スイッチシステムを示す概略構成図である。

図 11 は、本発明の第 3 の実施の形態による光スイッチシステムで用いられているデバイスに搭載されている 1 つの光スイッチを模式的に示す概略平面図である。

図 12 は、図 11 中の X 11 - X 12 線に沿った概略断面図である。

図 13 は、図 11 中の X 13 - X 14 線に沿った概略断面図である。

図 14 は、図 11 中の X 15 - X 16 線に沿った概略断面図である。

図 15 は、図 11 中の Y 11 - Y 12 線に沿った概略断面図である。

図 16 は、図 11 中の Y 13 - Y 14 線に沿った概略断面図である。

図 1 7 は、図 1 1 中の Y 1 5 - Y 1 6 線に沿った概略断面図である。

図 1 8 は、図 1 1 中の Y 1 7 - Y 1 8 線に沿った概略断面図である。

図 1 9 A および図 1 9 B は、本発明の第 1 の実施の形態における、マイクロアクチュエータに設けられたミラーによる光の切り替え状態を模式的に示す概略側面図である。

図 2 0 は、本発明の第 1 の実施の形態における、光スイッチ及びこれを制御する制御回路を示す電気回路図である。

図 2 1 A、図 2 1 B、図 2 1 C は、図 2 0 中の各部の信号波形を示す図である。

図 2 2 は、本発明の第 4 の実施の形態による光スイッチシステムで用いられているデバイスに搭載されている 1 つの光スイッチを模式的に示す概略平面図である。

図 2 3 は、本発明の第 4 の実施の形態における制御回路を示す電気回路図である。

発明を実施するための最良の形態

以下、本発明によるレベルシフト回路、並びに、これを用いたアクチュエータ装置及び光スイッチシステムについて、図面を参照して説明する。

[第 1 の実施の形態]

図 1 は、本発明の第 1 の実施の形態によるレベルシフト回路を示す電気回路図である。

本実施の形態によるレベルシフト回路は、図 1 に示すように、入力信号として 0 V ~ + 5 V の入力電圧を受ける入力端子 1 と、レベルシフト後の出力信号として + 1 5 V ~ - 1 5 V の出力電圧を出力する出力端子 2 と、CMOS インバータ 1 1 を含む第 1 の回路部 A と、第 1 の単一チャネル MOS インバータ 1 2 を含む第 2 の回路部 B と、第 2 の単一チャネル MOS インバータ 1 3 を含む第 3 の回路部 C と、を備えている。

本実施の形態では、第 1 の回路部 A は、1 つの CMOS インバータ 1 1 で構成

されている。CMOSインバータ11は、PMOSトランジスタQ1と、NMOSトランジスタQ2とから構成されている。

PMOSトランジスタQ1のソースは、+5Vの高電位電源（第1の高電位電源）3に接続される。PMOSトランジスタQ1のドレインは、NMOSトランジスタQ2のドレインに接続されている。NMOSトランジスタQ2のソースは、0Vの低電位電源（第1の低電位電源）4に接続される（すなわち、接地される）。PMOSトランジスタQ1のゲート及びNMOSトランジスタQ2のゲートは、入力端子1に接続されている。PMOSトランジスタQ1のドレインとNMOSトランジスタQ2のドレインとの接続中点は、CMOSインバータ11の出力端子（本実施の形態では、第1の回路部Aの出力端子）となっており、第2の回路部Bの後述するNMOSトランジスタQ4のゲート（本実施の形態では、第2の回路部Bの入力端子）に接続されている。PMOSトランジスタQ1のゲート対向領域（チャネルを構成する領域）は、+5Vの高電位電源3に接続されている。NMOSトランジスタQ2のゲート対向領域は、0Vの低電位電源4に接続される。例えば、PMOSトランジスタQ1の閾値は-1.5V、NMOSトランジスタQ2の閾値は+1.5Vに設定されている。

本実施の形態では、第2の回路部Bは、1つの単一チャネルMOSインバータ12で構成されている。単一チャネルMOSインバータ12は、負荷としてのディプレッション型NMOSトランジスタQ3と、駆動素子としてのエンハンスドメント型NMOSトランジスタQ4とから構成されている。もっとも、単一チャネルMOSインバータ12では、負荷として、ディプレッション型NMOSトランジスタQ3に代えて、エンハンスドメント型NMOSトランジスタ又は抵抗を用いてもよい。

NMOSトランジスタQ3のドレインは、+15Vの高電位電源（第2の高電位電源）5に接続される。NMOSトランジスタQ3のソースは、NMOSトランジスタQ4のドレインに接続されている。NMOSトランジスタQ4のソース

は、0 Vの低電位電源（第1の低電位電源）4に接続される。NMOSトランジスタQ3のゲートは、NMOSトランジスタQ3のソースとNMOSトランジスタQ4のドレインとの接続中点に接続されている。NMOSトランジスタQ4のゲートは、単一チャネルMOSインバータ12の入力端子（本実施の形態では、
5 第2の回路部Bの入力端子）となっており、前述したように第1の回路部Aの出力端子に接続されている。NMOSトランジスタQ3のソースとNMOSトランジスタQ4のドレインとの接続中点は、単一チャネルMOSインバータ12の出力端子（本実施の形態では、第2の回路部Bの出力端子）となっており、第3の回路部Cの後述するPMOSトランジスタQ5のゲート（本実施の形態では、第
10 3の回路部Cの入力端子）に接続されている。NMOSトランジスタQ3のゲート対向領域及びNMOSトランジスタQ4のゲート対向領域は、0 Vの低電位電源4に接続される。例えば、NMOSトランジスタQ3の閾値は -3.3 V 、NMOSトランジスタQ4の閾値は $+1.2\text{ V}$ に設定されている。

本実施の形態では、第3の回路部Cは、1つの単一チャネルMOSインバータ
15 13で構成されている。単一チャネルMOSインバータ13は、駆動素子としてのエンハンスメント型PMOSトランジスタQ5と、負荷としてのディプレッション型PMOSトランジスタQ6とから構成されている。もっとも、単一チャネルMOSインバータ13では、負荷として、ディプレッション型PMOSトランジスタQ6に代えて、エンハンスメント型PMOSトランジスタ又は抵抗を用いてもよい。
20

PMOSトランジスタQ5のソースは、 $+1.5\text{ V}$ の高電位電源（第2の高電位電源）5に接続される。PMOSトランジスタQ5のドレインは、PMOSトランジスタQ6のソースに接続されている。PMOSトランジスタQ6のドレインは、 -1.5 V の低電位電源（第2の低電位電源）6に接続される。PMOSトランジスタQ5のゲートは、単一チャネルMOSインバータ13の入力端子（本実施の形態では、第3の回路部Cの入力端子）となっており、前述したように第2
25

の回路部Bの出力端子に接続されている。PMOSトランジスタQ6のゲートは、PMOSトランジスタQ5のドレインとPMOSトランジスタQ6のソースとの接続中点に接続されている。PMOSトランジスタQ5のドレインとPMOSトランジスタQ6のソースとの接続中点は、単一チャネルMOSインバータ13
5 の出力端子（本実施の形態では、第3の回路部Cの出力端子）となっており、出力端子2に接続されている。PMOSトランジスタQ5のゲート対向領域及びPMOSトランジスタQ6のゲート対向領域は、+1.5Vの高電位電源5に接続される。例えば、PMOSトランジスタQ5の閾値は-3.0V、PMOSトランジスタQ6の閾値は+5.0Vに設定されている。

10 ここで、本実施の形態によるレベルシフト回路の動作について、説明する。

入力端子1にLレベルである0Vの入力信号が印加されると、PMOSトランジスタQ1がオン状態でNMOSトランジスタQ2がオフ状態となるので、第1の高電位電圧源3の電圧+5V（Hレベル）が、第1の回路部Aから出力されて第2の回路部Bに入力される。

15 したがって、第2の回路部Bでは、NMOSトランジスタQ4のゲートに+5Vが印加されるので、NMOSトランジスタQ4はオン状態となり、第1の低電位電源の電圧0Vに近い電圧（ほぼ0V、Lレベル）が、第2の回路部Bから出力されて第3の回路部Cに入力される。なお、単一チャネルMOSインバータ12における負荷であるNMOSトランジスタQ3は、オン状態を維持する。

20 その結果、第3の回路部Cでは、PMOSトランジスタQ5のゲートにほぼ0Vが印加されるので、PMOSトランジスタQ5はオン状態となり、第2の高電位電源5の電圧+1.5Vに近い電圧（ほぼ+1.5V、Hレベル）が出力されて出力端子2に与えられる。なお、単一チャネルMOSインバータ13における負荷であるPMOSトランジスタQ6は、オン状態を維持する。

25 一方、入力端子1にHレベルである+5Vの入力信号が入力された場合、前述した動作の全ての論理が反転した動作となり、PMOSトランジスタQ1がオフ

状態でNMOSトランジスタQ2がオン状態となって第1の回路部AからLレベル(0V)が出力され、NMOSトランジスタQ3がオン状態を維持したままNMOSトランジスタQ4はオフ状態となって第2の回路部BからHレベル(+1.5V)が出力され、PMOSトランジスタQ6がオン状態を維持したままPMOSトランジスタQ5はオフ状態となって、第3の回路部CからLレベル(ほぼ-1.5V)が出力されて出力端子2に与えられる。

このようにして、入力端子1に入力された0V~+5Vの入力電圧に対して、高低両電位について電圧レベルのシフトした+1.5V~-1.5Vの、入力電圧とは逆論理の出力電圧が出力端子2から得られることになる。

10 日本特許第2544815号公報に開示された従来のレベルシフト回路では中段に2つの回路部(第1及び第2の中段回路部)が必要であったのに対し、本実施の形態では、中段には、単一チャネルMOSインバータBで構成された1つの回路部Bしか存在していないため、日本特許第2544815号公報に開示された従来のレベルシフト回路に比べて、素子数が大幅に少なくなる。したがって、
15 本実施の形態によれば、特許文献1に開示された従来のレベルシフト回路に比べて、微細化が容易となるとともに、製造時の歩留りが向上する。

ここで、本実施の形態によるレベルシフト回路の構造の一例について、図2を参照して説明する。図2は、この構造を模式的に示す概略断面図である。

図2に示すように、P型半導体基板21には、その表面側に、互いに異なる2つのNウェル22、23が形成されている。Nウェル22中には、PMOSトランジスタQ1のソース(P⁺型拡散領域)1S及びドレイン(P⁺型拡散領域)1Dが配置されている。また、Nウェル22中には、Nウェル22を電極24を介して+5Vの高電位電源3に接続するためのN⁺型拡散領域25も、配置されている。PMOSトランジスタQ1のソース1Sは、電極1sを介して電極24に
20 接続されており、+5Vの高電位電源3に接続される。PMOSトランジスタQ1のゲート1Gは、入力端子1及びNMOSトランジスタQ2のゲート2Gに接

続されている。PMOSトランジスタQ1のドレイン1Dは、電極1dを介して、
更には電極2dを介してNMOSトランジスタQ2のドレイン2Dに接続され
るとともに、NMOSトランジスタQ4のゲート4Gに接続されている。

P型半導体基板（P型半導体領域）21には、その表面側に、NMOSトラン
5 ジスタQ2のソース（N⁺型拡散領域）2S及びドレイン（N⁺型拡散領域）2D、
NMOSトランジスタQ3のソース（N⁺型拡散領域）3S及びドレイン（N⁺型
拡散領域）3D、並びに、NMOSトランジスタQ4のソース（N⁺型拡散領域）
4S及びドレイン（N⁺型拡散領域）4Dが、配置されている。また、P型半導
体基板21の表面側には、P型半導体基板21を電極26を介して0Vの低電位
10 電源（接地）4に接続するためのP⁺型拡散領域27も、配置されている。NM
OSトランジスタQ2のソース2Sは、電極2sを介して電極26に接続されて
いる。NMOSトランジスタQ4のソース4Sは、電極4sを介して電極26に
接続されている。これにより、各ソース2S、4Sが0Vの低電位電源4に接続
される。NMOSトランジスタQ4のドレイン4Dは、電極4dを介して、更に
15 は電極3sを介してNMOSトランジスタQ3のソース3Sに接続されるとと
ともに、NMOSトランジスタQ3のゲート3G及びPMOSトランジスタQ5の
ゲート5Gに接続されている。NMOSトランジスタQ3のドレイン3Dは、電
極3dを介して+15Vの高電位電源5に接続される。

Nウエル23中には、PMOSトランジスタQ5のソース（P⁺型拡散領域）
20 5S及びドレイン（P⁺型拡散領域）5D、並びに、PMOSトランジスタQ6
のソース（P⁺型拡散領域）6S及びドレイン（P⁺型拡散領域）6Dが配置され
ている。また、Nウエル23中には、Nウエル23を電極28を介して+15V
の高電位電源5に接続するためのN⁺型拡散領域29も、配置されている。PM
OSトランジスタQ5のソース5Sは、電極5sを介して電極28に接続されて
25 おり、+15Vの高電位電源5に接続される。PMOSトランジスタQ5のドレ
イン5Dは、電極5dを介して、更には電極6sを介してPMOSトランジスタ

Q 6 のソース 6 S に接続されるとともに、PMOS トランジスタ Q 6 のゲート 6 G 及び出力端子 2 に接続されている。PMOS トランジスタ Q 6 のドレイン 6 D は、電極 6 d を介して -1.5 V の低電位電源 6 に接続される。

このように、図 2 に示す例では、第 1 の回路部 A の CMOS インバータ 1 1 に
5 含まれる NMOS トランジスタ Q 2 のドレイン 2 D 及びソース 2 S、並びに、第 2 の回路部 B の単一チャネル MOS インバータ 1 3 に含まれる NMOS トランジスタ Q 3、Q 4 のドレイン 3 D、4 D 及びソース 3 S、4 S が、同一の P 型半導体領域（P 型半導体基板 2 1）中に、まとめて配置されている。また、第 1 の回路部 A の CMOS インバータ 1 1 に含まれる PMOS トランジスタ Q 1 のド
10 レイン 1 D 及びソース 1 S は、第 1 の N 型ウエル 2 2 中に配置されている。さらに、第 3 の回路部 C の単一チャネル MOS インバータ 1 3 に含まれる PMOS トランジスタ Q 5、Q 6 のドレイン 5 D、6 D 及びソース 5 S、6 S は、第 1 の N 型ウエル 2 2 とは異なる第 2 の N 型ウエル 2 3 中に、まとめて配置されている。

したがって、図 2 に示す例では、必要な半導体領域の数が 3 つ（すなわち、P
15 型半導体基板 2 1、N ウエル 2 2 及び N ウエル 2 3）と非常に少なくてすみ、しかも、N 型ウエル 2 2 と N 型ウエル 2 3 は電氣的に分離する必要があるが、プロセス的な構造では同一のものでよく、一度のウエル拡散で形成することができる。このため、図 2 に示す構造は極めて簡単となっていてその製造が容易になるとともに、容易に耐圧を高めることができ、また、ラッチアップが生ずる可能性も極
20 めて低減される。

本実施の形態において、図 2 に示すような簡単な構造を実現し得る主たる理由は、第 2 の回路部 B のインバータとして、NMOS トランジスタ Q 4 を駆動素子として有する単一チャネル MOS インバータ 1 2 が採用されている一方、第 3 の回路部 C のインバータとして、NMOS トランジスタ Q 4 とは逆導電型の PMO
25 S トランジスタ Q 4 を駆動素子として有する単一チャネル MOS インバータ 1 3 が採用されているためである。例えば、本実施の形態において、単一チャネル

MOSインバータ13をCMOSインバータに置き換えたり、単一チャネルMOSインバータ12, 13をそれぞれCMOSインバータに置き換えたりすると、必要な半導体領域の数がいたずらに増大したり特別な分離拡散領域が必要になったりする。なお、前述したような構成を採用することで図2に示すような簡単な構造を実現し得ることは、本発明者の研究の結果として判明したものである。

なお、各電源3～6の電圧レベルの値が前述した例に限定されるものではないことは、言うまでもない。

[第2の実施の形態]

図3は、本発明の第2の実施の形態によるレベルシフト回路を示す電気回路図である。図3において、図1中の要素と同一又は対応する要素には同一符号を付し、その重複する説明は省略する。

本実施の形態が前記第1の実施の形態と異なる所は、第3の回路部Cと出力端子2との間に、第4の回路部Dが配置されている点のみである。

本実施の形態では、第4の回路部Dは、第3の回路部Cの単一チャネルMOSインバータ13と同一の構成を有する単一チャネルMOSインバータ14で構成されている。すなわち、単一チャネルMOSインバータ14は、駆動素子としてのエンハンスメント型PMOSトランジスタQ7と、負荷としてのディプレッション型PMOSトランジスタQ8とから構成されている。もっとも、単一チャネルMOSインバータ14では、負荷として、ディプレッション型PMOSトランジスタQ8に代えて、エンハンスメント型PMOSトランジスタ又は抵抗を用いてもよい。

PMOSトランジスタQ7のソースは、+1.5Vの高電位電源（第2の高電位電源）5に接続される。PMOSトランジスタQ7のドレインは、PMOSトランジスタQ8のソースに接続されている。PMOSトランジスタQ8のドレインは、-1.5Vの低電位電源（第2の低電位電源）6に接続される。PMOSトランジスタQ7のゲートは、単一チャネルMOSインバータ14の入力端子（本実

施の形態では、第4の回路部Dの入力端子)となっており、第3の回路部Cの出力端子(単一チャネルMOSインバータ13の出力端子、すなわち、PMOSトランジスタQ5のドレインとPMOSトランジスタQ6のソースとの接続中点)に接続されている。PMOSトランジスタQ8のゲートは、PMOSトランジスタQ7のドレインとPMOSトランジスタQ8のソースとの接続中点に接続されている。PMOSトランジスタQ7のドレインとPMOSトランジスタQ8のソースとの接続中点は、単一チャネルMOSインバータ14の出力端子(本実施の形態では、第4の回路部Dの出力端子)となっており、出力端子2に接続されている。PMOSトランジスタQ7のゲート対向領域及びPMOSトランジスタQ8のゲート対向領域は、+1.5Vの高電位電源5に接続される。例えば、PMOSトランジスタQ7の閾値は-3.0V、PMOSトランジスタQ8の閾値は+5.0Vに設定されている。

本実施の形態によれば、第4の回路部Dによって、第3の回路部Cの出力電圧と逆論理の電圧が出力され、この逆論理の電圧が出力端子2に与えられる。したがって、前記第1の実施の形態では、入力端子1への入力電圧0V~+5Vとは逆論理の出力電圧(+1.5V~-1.5V)が出力端子2から得られるのに対し、本実施の形態では、入力端子1への入力電圧0V~+5Vと同一論理の出力電圧(-1.5V~+1.5V)が出力端子2から得られる。したがって、本実施の形態によるレベルシフト回路は、入力電圧に対して同一論理の出力電圧を利用する用途に適している。

また、本実施の形態によれば、前記第1の実施の形態と同様の利点を得ることができる。

さらに、本実施の形態によれば、第4の回路部Dを設けたことによって、出力端子2からの出力電圧のHレベル及びLレベルをそれぞれ正確に第2の高電位電源5の電圧レベル+1.5V及び第2の低電位電源6の電圧レベル-1.5Vにすることができるという利点も、得ることができる。

この点について、図4乃至図7を参照して説明する。図4は第1及び第2の実施の形態における第1の回路部Aの入出力特性を示す図、図5は第1及び第2の実施の形態における第2の回路部Bの入出力特性を示す図、図6は、第1及び第2の実施の形態における第3の回路部Cの入出力特性を示す図、図7は第2の実施の形態における第4の回路部Dの入出力特性を示す図である。

第1の回路部Aは、無比率型インバータであるCMOSインバータ11で構成されていることにより図4に示す入出力特性を有しているため、図4からわかるように、第1の回路部Aに対する入力電圧範囲（すなわち、入力端子1への入力電圧範囲） $0\text{ V} \sim +5\text{ V}$ に対して、第1の回路部Aの出力電圧範囲は、正確に $0\text{ V} \sim +5\text{ V}$ となる。

第2の回路部Bは、比率型インバータである単一チャネルMOSインバータ12で構成されていることにより図5に示す入出力特性を有しているため、図5からわかるように、第1の回路部Aの出力電圧の範囲（すなわち、第2の回路部Bの入力電圧範囲） $0\text{ V} \sim +5\text{ V}$ に対して、第2の回路部Bの出力電圧範囲は、 $V_1 \sim +1.5\text{ V}$ となる。

第3の回路部Cは、比率型インバータである単一チャネルMOSインバータ13で構成されていることにより図6に示す入出力特性を有しているため、図6からわかるように、第2の回路部Bの出力電圧の範囲（すなわち、第3の回路部Cの入力電圧範囲） $V_1 \sim +1.5\text{ V}$ に対して、第3の回路部Cの出力電圧範囲は、 $-1.5\text{ V} \sim V_2$ となる。

したがって、前記第1の実施の形態では、出力端子2からの出力電圧が第3の回路部Cの出力電圧であることから、出力端子2の出力電圧範囲は $-1.5\text{ V} \sim V_2$ となり、Hレベルの電圧レベルは、正確には $+1.5\text{ V}$ にならず、 $(1.5\text{ V} - V_2)$ だけ低下してしまう。

第4の回路部Dは、比率型インバータである単一チャネルMOSインバータ14により構成されていることにより図7に示す入出力特性（図6に示す入出力特

性と同一)を有しているが、第4の回路部Dの入力電圧範囲(すなわち、第3の回路部Cの出力電圧範囲)が $-1.5\text{ V} \sim V_2$ と比較的広いため、図7からわかるように、正確に $-1.5\text{ V} \sim +1.5\text{ V}$ となる。

よって、前記第2の実施の形態によれば、出力端子2からの出力電圧のHレベル及びLレベルをそれぞれ正確に第2の高電位電源5の電圧レベル $+1.5\text{ V}$ 及び第2の低電位電源6の電圧レベル -1.5 V にすることができるという利点も得られるのである。

この利点を得る必要がない場合において、前記第1の実施の形態と同様の利点を得つつ、入力端子1への入力電圧と同一論理の出力電圧を出力端子2から得るためには、インバータをいずれの位置に配置してもよい。例えば、前記第1の実施の形態を図8や図9に示すように変形してもよい。

図8は、前記第1の実施の形態の変形例によるレベルシフト回路を示す電気回路図である。図9は、前記第1の実施の形態の他の変形例によるレベルシフト回路を示す電気回路図である。図8及び図9において、図1中の要素と同一又は対応する要素には同一符号を付し、その重複する説明は省略する。

図8に示す変形例が前記第1の実施の形態と異なる所は、第1の回路部Aと入力端子2との間に、第1の回路部AのCMOSインバータ11と同一の構成を有するCMOSインバータ15で構成された回路部Eが、配置されている点のみである。CMOSインバータ15を構成するPMOSトランジスタQ9及びNMOSトランジスタQ10は、CMOSインバータ11を構成するPMOSトランジスタQ1及びNMOSトランジスタQ2にそれぞれ相当している。

図9に示す変形例が前記第1の実施の形態と異なる所は、第2の回路部Bと第3の回路部Cとの間に、第2の回路部Bの単一チャネルMOSインバータ12と同一の構成を有する単一チャネルMOSインバータ16で構成された回路部Fが、配置されている点のみである。単一チャネルMOSインバータ16を構成するNMOSトランジスタQ11及びNMOSトランジスタQ12は、単一チャネ

ルMOSインバータ12を構成するNMOSトランジスタQ3及びNMOSトランジスタQ4にそれぞれ相当している。

5 なお、本発明では、例えば、図8又は図9に示すレベルシフト回路において、第3の回路部Cと出力端子2との間に、図3中の回路部Dに相当する回路部（第3の回路部Cの単一チャネルMOSインバータ13と同一の構成を有する単一チャネルMOSインバータで構成された回路部）を、配置してもよい。この場合、入力端子1への入力電圧と逆論理の出力電圧が出力端子2から得られることになる。この点以外については、前記第2の実施の形態と同様の利点を得られる。

〔第3の実施の形態〕

10 図10は、本発明の第3の実施の形態による光スイッチシステムを示す概略構成図である。説明の便宜上、図10に示すように、互いに直交するX軸、Y軸及びZ軸を定義する（後述する図についても同様である。）。図1において、X'軸及びY'軸は、X軸及びY軸をそれぞれZ軸回りに45°回転した軸を示す。デバイス101の基板121の面がXY平面と平行となっている。なお、Z軸方向の+側を上側、Z軸方向の-側を下側という場合がある。

 本実施の形態による光スイッチシステムは、図1に示すように、デバイス101と、1本の光入力用光ファイバ102と、1本の光出力用光ファイバ103と、1本の光出力用光ファイバ104と、を備えている。

20 デバイス101は、図10に示すように、基板121と、基板121上に配置された1個のミラー200とを備えている。光入力用光ファイバ102は、基板121に対するY'軸方向の一方の側からY'軸方向に入射光を導くように、XY平面と平行な面内に配置されている。光出力用光ファイバ103は、光入力用光ファイバ2と対向するように基板121に対する他方の側に配置され、デバイス101のミラー200によって反射されずにY'軸方向に進行する光が入射する
25 ように、XY平面と平行な面内に配置されている。光出力用光ファイバ104は、デバイス101のミラー200により反射されて-X'軸方向に進行する光

が入射するように、XY平面と平行な面内に配置されている。ミラー200は、光入力用光ファイバ102の出射光路と光出力用光ファイバ104の入射光路との交差点に対して、後述するマイクロアクチュエータ111により進出及び退出可能にZ軸方向に移動し得るように、基板121上に配置されている。なお、
5 本例では、ミラー200の向きは、その法線がXY平面と平行な面内においてY'軸と45°をなすY軸と平行となるように設定されている。もっとも、その角度は適宜変更することも可能であり、ミラー200の角度を変更する場合には、その角度に応じて光出力用光ファイバ104の向きを設定すればよい。

次に、図10中のデバイス101に搭載されている光スイッチの構造について、
10 図11乃至図18を参照して説明する。図11は、本発明の第3の実施の形態による光スイッチシステムで用いられているデバイス101に搭載されている1つの光スイッチ（すなわち、1つのマイクロアクチュエータ111及びこれにより駆動される1つのミラー200）を模式的に示す概略平面図である。図11では、可動部及び脚部の表面に全体に渡って形成された保護膜としてのSiN膜144は省略して示し、本来実線で書くべき凸条部149、150のラインを破線で示し、A1膜142にハッチングを付している。図12は、図11中のX11-X12線に沿った概略断面図である。図面には示していないが、図11中のX19-X20線に沿った概略断面図は図12と同様となる。図13は、図11中のX13-X14線に沿った概略断面図である。図面には示していないが、図1
15 1中のX17-X18線に沿った概略断面図は図13と同様となる。図14は、図11中のX15-X16線に沿った概略断面図である。図15は、図11中のY11-Y12線に沿った概略断面図である。図16は、図11中のY13-Y14線に沿った概略断面図である。図17は、図11中のY15-Y16線に沿った概略断面図である。図18は、図11中のY17-Y18線に沿った概略断面図である。なお、図12乃至図18では、梁構成部132、134がZ軸方向に湾曲していないものとして示しているが、梁構成部132、134は、実際に
20 25

は、可動部が力を受けていない状態において、当該梁構成部 1 3 2, 1 3 4 を構成する膜の応力によって + Z 方向に湾曲している。

本実施の形態では、マイクロアクチュエータ 1 1 1 は片持ち梁構造を有している。

- 5 本実施の形態で用いられているマイクロアクチュエータ 1 1 1 は、シリコン基板 1 2 1 と、脚部 1 2 2 a, 1 2 3 a と、Z 軸方向から見た平面視で主として X 軸方向に並行して延びた 2 本の帯板状の梁部 1 2 4, 1 2 5 と、梁部 1 2 4, 1 2 5 の先端（自由端、+ X 方向の端部）に設けられそれらの間を機械的に接続する平面視で長形状の接続部 1 2 6 と、梁部 1 2 4 を構成する梁構成部 1 3 3 及び梁部 1 2 5 を構成する梁構成部 1 3 5 の固定端側同士を補強のために機械的に接続する接続部 1 2 7 と、固定電極（第 1 の電極部）1 2 8 と、を備えている。

- 15 梁部 1 2 4 の固定端（- X 方向の端部）は、基板 1 2 1 上のシリコン酸化膜等の絶縁膜 1 2 9 上に形成された A 1 膜からなる配線パターン 1 3 0（図 1 1 では省略）をそれぞれ介して基板 1 2 1 から立ち上がる立ち上がり部を持つ脚部 1 2 2 a を介して、基板 1 2 1 に機械的に接続されている。同様に、梁部 1 2 5 の固定端（- X 方向の端部）は、基板 1 2 1 上の絶縁膜 1 2 9 上に形成された A 1 膜からなる配線パターン（図示せず）を介して基板 1 2 1 から立ち上がる立ち上がり部を持つ脚部 1 2 3 a を介して、基板 1 2 1 に機械的に接続されている。前述したように、梁部 1 2 4, 1 2 5 の自由端間が接続部 1 2 6 で機械的に接続され、
- 20 梁構成部 1 3 2, 1 3 4 の固定端側同士が接続部 1 2 7 で機械的に接続されている。したがって、本実施の形態では、梁部 1 2 4, 1 2 5 及び接続部 1 2 6, 1 2 7 が、全体として、片持ち梁構造を持つ可動部を構成している。本実施の形態では、基板 1 2 1、固定電極 1 2 8 及び絶縁膜 1 2 9 が、固定部を構成している。

- 25 梁部 1 2 4 は、前記可動部の固定端と自由端との間に機械的に X 軸方向に直列に接続された 2 つの梁構成部 1 3 2, 1 3 3 を有している。梁構成部 1 3 2 は、Z 軸方向から見た平面視で X 軸方向に延びた帯板状に構成されている。梁構成部

1 3 3は、帯板状に構成され、図11に示すように、Z軸方向から見た平面視で、主としてX軸方向に延びているものの、-X側の位置でY軸方向に折れ曲がったような形状を有している。固定端側（-X側）の梁構成部132はZ軸方向に撓み得る板ばね部となっているのに対し、自由端側（+X側）の梁構成部133は
5 Z軸方向（基板121側及びその反対側）の撓み及びその他の方向の撓みに対して実質的に剛性を有する剛性部となっている。

梁構成部132は、下側のSiN膜141と中間のAl膜142と上側の保護膜としてのSiN膜144とが積層された3層の薄膜で、板ばねとして作用するように構成されている。梁構成部132におけるAl膜142は、静電力用の可
10 動電極への配線の一部として用いられている。

梁構成部133は、梁構成部132からそのまま連続して延びた下側のSiN膜141と中間のAl膜142と上側の保護膜としてのSiN膜144とが積層された3層の薄膜で、構成されている。しかし、後述する凸条部149、150を形成することによって、梁構成部133に前述した剛性を持たせている。

15 図12では、梁構成部132がZ軸方向に湾曲していないものとして示しているが、梁構成部132は、実際には、駆動信号が供給されていない状態において、膜141、142、144の応力によって、上方（基板121と反対側、+Z方向）に湾曲している。このような湾曲状態は、膜141、142、144の成膜条件を適宜設定することにより、実現することができる。一方、梁構成部133
20 は、駆動信号の供給の有無に拘わらずZ軸方向に実質的に湾曲しておらず、前述した剛性を持つことにより、膜141、142、144の応力により湾曲することがなく常に平板状の状態を維持する。このように、梁構成部132と梁構成部133とは、梁部124が力を受けない状態で、異なる湾曲・非湾曲状態を持っている。

25 本実施の形態では、脚部122aは、梁構成部132を構成するSiN膜141、144及びAl膜142がそのまま連続して延びることによって構成されて

いる。A 1 膜 1 4 2 は、脚部 1 2 2 a において S i N 膜 1 4 1 に形成された開口を介して配線パターン 1 3 0 に電氣的に接続されている。なお、脚部 1 2 2 a の上部には、脚部 1 2 2 a の強度を補強するために、凸条部 1 5 1 が Z 方向から見た平面視で口の字状に形成されている。

5 梁部 1 2 5 及び脚部 1 2 3 a は、前述した梁部 1 2 4 及び脚部 1 2 2 a とそれぞれ全く同一の構造を有している。梁部 1 2 5 を構成する梁構成部 1 3 4, 1 3 5 は、梁部 1 2 4 を構成する梁構成部 1 3 2, 1 3 3 に相当している。また、脚部 1 2 3 a の上部には、前述した凸条部 1 5 1 に相当する凸条部 1 5 2 が形成されている。

10 接続部 1 2 7 は、梁構成部 1 3 3, 1 3 5 からそのまま連続して延びた S i N 膜 1 4 1, 1 4 4 の 2 層膜で構成されている。接続部 1 2 7 には、梁構成部 1 3 3, 1 3 5 からの A 1 膜 1 4 2 は延びておらず、接続部 1 2 7 においては、何ら電氣的な接続は行われていない。

本実施の形態では、梁構成部 1 3 3, 1 3 5 及び接続部 1 2 6, 1 2 7 に一括
15 して剛性を付与するべく、図 1 1 中の破線で示すように、平面視でこれらの一括した領域の外周側において周回するように凸条部 1 4 9 が形成され、前記一括した領域の内周側に周回するように凸条部 1 5 0 が形成されている。この凸条部 1 4 9, 1 5 0 によって、梁構成部 1 3 3, 1 3 5 が補強されて剛性を有している。梁構成部 1 3 3, 1 3 5 は、駆動信号の供給の有無に拘わらず Z 軸方向に実質的
20 に湾曲しておらず、前述した剛性を持つことにより、膜 1 4 1, 1 4 2, 1 4 4 の応力により湾曲することがなく常に平板状の状態を維持する。

接続部 1 2 6 は、梁構成部 1 3 3, 1 3 5 を構成する S i N 膜 1 4 1, 1 4 4 及び A 1 膜 1 4 2 がそのまま連続して延びることによって構成されている。接続部 1 2 6 には、被駆動体としての A u, N i 又はその他の金属からなるミラー 2
25 0 0 が設けられている。

接続部 1 2 6 における A 1 膜 1 4 2 の部分が、静電力用の可動電極（第 2 の電

極部)として兼用されている。この可動電極に対向する基板121上の領域には、A1膜からなる静電力用の固定電極128が形成されている。図面には示していないが、固定電極128を構成するA1膜は配線パターンとしても延びており、前記配線パターン130と共に利用することによって、固定電極128と可動電極として兼用された接続部126におけるA1膜142との間に電圧(静電力用電圧)を、印加できるようになっている。

以上の説明からわかるように、本実施の形態では、梁部124、125及び接続部126、127が構成する可動部が、基板121、固定電極128及び絶縁膜129からなる固定部に対して、上下に(Z軸方向に)移動し得るようになっている。すなわち、本実施の形態では、前記可動部は、板ばねを構成する梁構成部132、134のバネ力により復帰しようとする上側位置と、接続部126が固定電極128に当接する下側位置との間を、移動し得るようになっている。前記上側位置において、固定電極128と固定電極128と可動電極として兼用された接続部126におけるA1膜142との間に静電力用電圧を印加すると、両者の間に生ずる静電力によって、前記可動部が下側位置へ移動してクランプされる。この下側位置において、前記静電力用電圧を印加を停止すると、梁構成部132、134のバネ力によって、前記可動部が上側位置へ復帰する。

したがって、本実施の形態では、前記静電力用電圧を制御することで、ミラー200が上側(すなわち基板121と反対側)に保持された状態及びミラー200が下側(すなわち基板121側)に保持された状態にすることができる。本実施の形態では、後述するように、デバイス101に搭載された制御回路によって、外部からの光路切替状態指令信号に応答して、当該光路切替状態指令信号が示す光路切替状態を実現するべく、このような制御が行われるようになっている。

図19A、図19Bは、マイクロアクチュエータ111に設けられたミラー200による光の切り替え状態を模式的に示す概略側面図である。図19Aはミラー200が上側に保持されて光路に進出した状態、図19Bはミラー200が下

側に保持されて光路から退出した状態を示している。なお、図 19 A、図 19 B において、各部の構造は大幅に簡略化して示している。図 19 A、図 19 B において、K は、ミラー 200 の進出位置に対する光路の断面を示している。

図 19 A に示すように、前記静電力が印加されていない状態では、梁構成部 132、134 がそれらを構成する膜の応力によって +Z 方向に湾曲した状態に復帰し、ミラー 200 が上側に保持される。これにより、ミラー 200 が光路 K に進出して、当該光路に入射した光を反射させる。この状態から、光路に入射した光をミラー 200 で反射させずにそのまま通過させる状態に切り替える場合には、前記静電力を印加すればよい。

図 20 は、デバイス 101 に搭載されている、光スイッチ及びこれを制御する制御回路を示す電気回路図である。図 11 乃至図 18 に示す 1 つの光スイッチは、電気回路的には、1 個のコンデンサ（固定電極 128 と可動電極（接続部 126 における A1 膜 142）とがなすコンデンサに相当）と見なせる。図 20 では、この光スイッチをコンデンサ C1 として表記している。コンデンサ C1 の一方側電極が固定電極、他方側電極が可動電極となっている。

デバイス 101 に搭載されている制御回路は、図 20 に示すように、パルス発生回路 201 と、レベルシフト回路 202 ~ 205 と、スイッチング素子としての MOS トランジスタ 206、207 と、を備えている。

パルス発生回路 201 は、図 21 A に示すように、所定周波数で 0 V と +5 V とを繰り返すパルス信号 V_p を出力する。レベルシフト回路 202 は、パルス発生回路 201 からのパルス信号 V_p を入力信号とし、図 21 B に示すように、パルス信号 V_p と同一論理で -15 V ~ +15 V の駆動パルス信号 V_a を出力する。この駆動パルス信号 V_a は、コンデンサ C1 の一方電極に供給されるとともに、MOS トランジスタ 206 のドレインに供給される。本実施の形態では、レベルシフト回路 202 として、前述した図 3、図 8 及び図 9 のいずれかに示すレベルシフト回路が用いられている。

レベルシフト回路 203 は、パルス発生回路 201 からのパルス信号 V_p を入力信号とし、パルス信号 V_p と逆論理で $+1.5\text{ V} \sim -1.5\text{ V}$ の駆動パルス信号 V_b を出力する。この駆動パルス信号 V_b は、コンデンサ C1 の他方電極に供給するために、MOS トランジスタ 207 のドレインに供給される。本実施の形態では、レベルシフト回路 203 として、前述した図 1 に示すレベルシフト回路が用いられている。

なお、レベルシフト回路 202 として図 3 に示すレベルシフト回路を用いる場合、その出力端子 2 から駆動パルス信号 V_a を得ることができると同時に、図 1 に示すレベルシフト回路の PMOS トランジスタ Q5 のドレインと PMOS トランジスタ Q6 のソースとの接続中点から駆動パルス信号 V_b を得ることができる。したがって、その接続中点から得た駆動パルス信号 V_b を用いれば、レベルシフト回路 203 を除去することも可能である。

本実施の形態では、外部からの光路切替状態指令信号は、図 19A に示す切替状態を指令する場合には 0 V （又は $+5\text{ V}$ ）となるとともに、図 19B に示す切替状態を指令する場合には $+5\text{ V}$ （又は 0 V ）となるようになっている。このように光路切替状態指令信号は $0\text{ V} \sim 5\text{ V}$ である。一方、 $-1.5\text{ V} \sim +1.5\text{ V}$ の駆動パルス信号 V_a がコンデンサ C1 の一方電極に印加され、コンデンサ C1 の他方電極が MOS トランジスタ 206、207 のソースに接続されていることから、MOS トランジスタ 206、207 のソースの電位は、 $-1.5\text{ V} \sim +1.5\text{ V}$ の範囲で変化し得る。よって、光路切替状態指令信号を MOS トランジスタ 206、207 のゲートに直接に印加しても、MOS トランジスタ 206、207 を適切にオン・オフさせることはできない。

そこで、本実施の形態では、MOS トランジスタ 206、207 を適切にオン・オフできるように、レベルシフト回路 204、205 が設けられている。レベルシフト回路 204 は、光路切替状態指令信号を入力とし、その信号と同一論理で $-1.5\text{ V} \sim +1.5\text{ V}$ のスイッチング制御信号 V_A を出力して MOS トランジス

タ 206 のゲートに供給する。レベルシフト回路 205 は、光路切替状態指令信号を入力とし、その信号と逆論理で $+1.5\text{ V} \sim -1.5\text{ V}$ のスイッチング制御信号 VB を出力して MOS トランジスタ 207 のゲートに供給する。これにより、光路切替状態指令信号に応じて、MOS トランジスタ 206, 207 は相補的にオン・オフするようになっている。すなわち、光路切替状態指令信号が図 19 A に示す切替状態を指令する場合には、MOS トランジスタ 206 がオンするとともに MOS トランジスタ 207 がオフする状態となる一方、光路切替状態指令信号が図 19 B に示す切替状態を指令する場合には、MOS トランジスタ 206 がオフするとともに MOS トランジスタ 207 がオンする状態となるようになっている。

したがって、光路切替状態指令信号が図 19 A に示す切替状態を指令する場合には、コンデンサ C 1 の両電極にそれぞれ駆動パルス信号 V a が印加されるため、コンデンサ C 1 の両電極間の印加電圧の絶対値は、駆動パルス信号 V a が交流パルス信号であるにも拘わらずに 0 V と一定になり、可動電極及び固定電極間に静電力が印加されず、図 19 A に示す状態となる。一方、光路切替状態指令信号が図 19 B に示す切替状態を指令する場合には、コンデンサ C 1 の一方電極に駆動パルス信号 V a が印加されるとともに他方電極に逆相の駆動パルス信号 V b が印加されるため、コンデンサ C 1 の両電極間の印加電圧の絶対値は、駆動パルス信号 V a, V b が交流パルス信号であるにも拘わらずに 30 V と一定になり、可動電極及び固定電極間に静電力が印加され、図 19 B に示す状態となる。

このように、コンデンサ C 1 の両電極を交流駆動パルス V a, V b で駆動すると、駆動パルスに直流成分がないため、可動電極を支持している絶縁物のチャージアップ現象を防止できる。もしチャージアップが生じると、絶縁物がチャージアップしている分の電圧が印加電圧に重なってしまい、固定電極と可動電極との間の電圧差が変化するので、正常な動作が行えなくなるが、そのような可能性がなくなり、好ましい。

本実施の形態によれば、前述したように、各レベルシフト回路202～205として、前記図1、図3、図8及び図9のいずれかのレベルシフト回路が用いられているので、デバイス101ひいては光スイッチシステム全体の、小型化や製造の容易化によるコストダウン等を図ることができる。

5 ここで、前記デバイス101の製造方法の一例の概要を説明する。まず、通常の半導体製造技術により、シリコン基板121上に図20に示す制御回路を形成する。次に、制御回路が形成されたシリコン基板121上に、マイクロアクチュエータ111及びミラー200の部分、膜の形成及びパターニング、エッチング、犠牲層の形成・除去などの半導体製造技術を利用して形成することで、デバイス101を製造することができる。なお、ミラー200は、例えば、前記日本特開2001-42233号公報に開示されているように、ミラー200に対応する凹所をレジストに形成した後、電解メッキによりミラー200となるべきAu、Niその他の金属を成長させ、その後に前記レジストを除去することで、形成することができる。

15 本実施の形態による光スイッチシステムは、単一の光スイッチを用いたものであったが、本発明では、本実施の形態を変形して2次元光スイッチを用いた光スイッチシステムとしてもよい。この場合、例えば、図10において、光入力用光ファイバ102及び光出力用光ファイバ103をm本ずつ並置し、光出力用光ファイバ103をn本並置し、ミラー200を $m \times n$ 個、m本の光入力用光ファイバ2の出射光路と光出力用光ファイバ4の入射光路との交差点に対してそれぞれ、後述するマイクロアクチュエータ111により進出及び退出可能にZ軸方向に移動し得るように、2次元マトリクス状に基板121上に配置し、デバイス101においてマイクロアクチュエータ111をミラー200と1対1に設ける。そして、デバイス101において、各光スイッチ（マイクロアクチュエータ111をミラー200の組）に対して、1対1に、図20に示す制御回路を設ければよい。この場合、 $m \times n$ の数が多くなると、光路切替状態指令信号を供給するた

めの端子が増大してしまうので、これを避けるため、アドレスデコーダや各光スイッチのXアドレス及びYアドレスを選択する選択スイッチなどを設けて、選択された光スイッチのマイクロアクチュエータ111を選択的に動作させ得るようにするなどの変形を加えることが好ましい。

- 5 これと同様に、以下に説明する第4の実施の形態による光スイッチシステムを変形して2次元光スイッチを用いた光スイッチシステムを得ることもできる。

〔第4の実施の形態〕

- 図22は、本発明の第4の実施の形態による光スイッチシステムで用いられているデバイス101に搭載されている1つの光スイッチ（すなわち、1つのマイクロアクチュエータ211及びこれにより駆動される1つのミラー200）を模式的に示す概略平面図であり、図11に対応している。図22では、可動部及び脚部の表面に全体に渡って形成された保護膜としてのSiN膜144は省略して示し、本来実線で書くべき凸条部149、150のラインを破線で示し、A1膜142、143にそれぞれ異なるハッチングを付している。図22において、
10 図11乃至図18中の要素と同一又は対応する要素には同一符号を付し、その重複する説明は省略する。

- 図23は、本発明の第4の実施の形態による光スイッチシステムで用いられているデバイス101に搭載されている制御回路を示す電気回路図である。図23において、図20中の要素と同一又は対応する要素には同一符号を付し、その重複する説明は省略する。
20

- 本実施の形態による光スイッチシステムが前記第3の実施の形態による光スイッチシステムと異なる所は、図11乃至図18に示すマイクロアクチュエータ111に代えて図22に示すマイクロアクチュエータ211がデバイス101に搭載されている点と、図20に示す制御回路に代えて図23に示す制御回路が
25 デバイス101に搭載されている点と、デバイス101に対して後述するように磁界を発生する磁界発生部が追加されている点のみである。

図 2 2 に示すマイクロアクチュエータ 2 1 1 が図 1 1 乃至図 1 8 に示すマイクロアクチュエータ 1 1 1 と異なる所は、以下に説明する点のみである。両者が基本的異なる所は、前記第 1 の実施の形態では静電力のみを利用するように構成されているのに対し、本実施の形態では静電力だけでなくローレンツ力も利用
5 するように構成されている点である。

マイクロアクチュエータ 2 1 1 では、梁部 1 2 4 の固定端（-X 方向の端部）は、基板 1 2 1 上のシリコン酸化膜等の絶縁膜 1 2 9 上に形成された A 1 膜からなる 2 つの配線パターン（図示せず）をそれぞれ介して基板 1 2 1 から立ち上がる立ち上がり部を持つ 2 つの個別脚部 1 2 2 a, 1 2 2 b からなる脚部 1 2 2 を
10 介して、基板 1 2 1 に機械的に接続されている。同様に、梁部 1 2 5 の固定端（-X 方向の端部）は、基板 1 2 1 上の絶縁膜 1 2 9 上に形成された A 1 膜からなる 2 つの配線パターン（図示せず）をそれぞれ介して基板 1 2 1 から立ち上がる立ち上がり部を持つ 2 つの個別脚部 1 2 3 a, 1 2 3 b からなる脚部 1 2 3 を介して、基板 1 2 1 に機械的に接続されている。

15 梁構成部 1 3 2 は、下側の S i N 膜 1 4 1 と中間の A 1 膜 1 4 2, 1 4 3 と上側の保護膜としての S i N 膜 1 4 4 とが積層された 3 層（ただし、A 1 膜 1 4 2, 1 4 3 間の隙間では 2 層）の薄膜で、板ばねとして作用するように構成されている。A 1 膜 1 4 2 と A 1 膜 1 4 3 とは、同一階層に形成されているが、図 2 2 に示すように、若干 Y 軸方向に隙間をあけて形成され、互いに電氣的に分離されて
20 いる。これは、A 1 膜 1 4 2 を静電力用の可動電極への配線として用い、A 1 膜 1 4 3 をローレンツ力用の電流経路を形成するための配線として用いるためである。静電力用の配線ではほとんど電流を流さない一方、ローレンツ力用の配線では比較的大きい電流を流すため、ローレンツ力用の配線の電気抵抗を低減するべく、A 1 膜 1 4 2 は幅が狭く形成され、A 1 膜 1 4 3 は幅が広く形成されている。
25

梁構成部 1 3 3 は、梁構成部 1 3 2 からそのまま連続して延びた下側の S i N

膜 1 4 1 と中間の A 1 膜 1 4 2, 1 4 3 と上側の保護膜としての S i N 膜 1 4 4 とが積層された 3 層（ただし、A 1 膜 1 4 2, 1 4 3 間の隙間では 2 層）の薄膜で、構成されている。

本実施の形態では、脚部 1 2 2 は、梁構成部 1 3 2 を構成する S i N 膜 1 4 1, 1 4 4 及び A 1 膜 1 4 2, 1 4 3 がそのまま連続して延びることによって構成され、2 つの個別脚部 1 2 2 a, 1 2 2 b を有している。脚部 1 2 2 が 2 つの個別脚部 1 2 2 a, 1 2 2 b を有しているのは、静電力用の配線とローレンツ力用の配線とを分離して、A 1 膜 1 4 2 と A 1 膜 1 4 3 とを基板 1 2 1 上の別々の配線パターン 1 3 0, 1 3 1 にそれぞれ電氣的に接続させるためである。A 1 膜 1 4 2 は、個別脚部 1 2 2 a において S i N 膜 1 4 1 に形成された開口を介して所定の配線パターンに電氣的に接続されている。A 1 膜 1 4 3 は、個別脚部 1 2 2 b において S i N 膜 1 4 1 に形成された開口を介して所定の配線パターンに電氣的に接続されている。なお、脚部 1 2 2 の上部には、脚部 1 2 2 の強度を補強するために、凸条部 1 5 1 が Z 方向から見た平面視で個別脚部 1 2 2 a, 1 2 2 b を一括して囲むように口の字状に形成されている。

梁部 1 2 5 及び脚部 1 2 3 は、前述した梁部 1 2 4 及び脚部 1 2 2 とそれぞれ全く同一の構造を有している。梁部 1 2 5 を構成する梁構成部 1 3 4, 1 3 5 は、梁部 1 2 4 を構成する梁構成部 1 3 2, 1 3 3 に相当している。脚部 1 2 3 を構成する個別脚部 1 2 3 a, 1 2 3 b は、脚部 1 2 2 を構成する個別脚部 1 2 2 a, 1 2 2 b にそれぞれ相当している。また、脚部 1 2 3 の上部には、前述した凸条部 1 5 1 に相当する凸条部 1 5 2 が形成されている。

接続部 1 2 7 は、梁構成部 1 3 3, 1 3 5 からそのまま連続して延びた S i N 膜 1 4 1, 1 4 4 の 2 層膜で構成されている。接続部 1 2 7 には、梁構成部 1 3 3, 1 3 5 からの A 1 膜 1 4 2, 1 4 3 は延びておらず、接続部 1 2 7 においては、何ら電氣的な接続は行われていない。

接続部 1 2 6 は、梁構成部 1 3 3, 1 3 5 を構成する S i N 膜 1 4 1, 1 4 4

及びA 1 膜 1 4 2, 1 4 3 がそのまま連続して延びることによって構成されている。接続部 1 2 6 には、被駆動体としてのA u、N i 又はその他の金属からなるミラー 2 0 0 が設けられている。

5 接続部 1 2 6 において、A 1 膜 1 4 2 とA 1 膜 1 4 3 とは図 2 2 に示すように分離されており、接続部 1 2 6 におけるA 1 膜 1 4 2 の部分が静電力用の可動電極として兼用されている。この可動電極に対向する基板 1 2 1 上の領域には、A 1 膜からなる静電力用の固定電極（図示せず）が形成されている。図面には示していないが、固定電極を構成するA 1 膜は配線パターンとしても延びており、固定電極と可動電極として兼用された接続部 1 2 6 におけるA 1 膜 1 4 2 との間
10 に電圧（静電力用電圧）を、印加できるようになっている。

一方、前述した説明からわかるように、A 1 膜 1 4 3 によって、脚部 1 2 2 の個別脚部 1 2 2 b 下の配線パターン（図示せず）から、梁構成部 1 3 2 → 梁構成部 1 3 3 → 接続部 1 2 6 → 梁構成部 1 3 5 → 梁構成部 1 3 4 を経て、脚部 1 2 3 の個別脚部 1 2 3 b 下の配線パターン（図示せず）へ至る、電流経路が構成され
15 ている。この電流経路のうち、接続部 1 2 6 におけるY 軸方向に沿った電流経路が、X 軸方向の磁界内に置かれたときに、Z 軸方向へ向かうローレンツ力を発生させる部分となっている。図面には示していないが、本実施の形態では、デバイス 1 0 1 の下部などに、このX 軸方向の磁界を発生する磁界発生部としての磁石等が設けられている。したがって、前記電流経路へ電流（ローレンツ力用電流）
20 を流すと、接続部 1 2 6 におけるA 1 膜 1 4 3 にローレンツ力（駆動力）がZ 方向へ作用する。なお、このローレンツ力の向きが+ Z 方向であるか- Z 方向であるかは、ローレンツ力用電流の向きによって定まる。

したがって、本実施の形態では、前記電極間電圧及びローレンツ力用電流を制御することで、ミラー 2 0 0 が上側（すなわち基板 1 2 1 と反対側）に保持された状態及びミラー 2 0 0 が下側（すなわち基板 1 2 1 側）に保持された状態にする
25 ことができる。本実施の形態では、後述するように、このような制御が行われ

るようになっている。

図 2 3 に示す制御回路が図 2 0 に示す制御回路と異なる所は、以下に説明する点のみである。図 2 2 に示す 1 つの光スイッチは、電気回路的には、1 個のコンデンサ（固定電極と可動電極（接続部 1 2 6 における A 1 膜 1 4 2）とがなすコン
5 デンサに相当）と、1 個のコイル（接続部 1 2 6 における A 1 膜 1 4 3 に相当）と見なせる。図 2 3 では、この光スイッチのコンデンサを図 2 0 と同じく C 1 と表記する他、この光スイッチのコイルを L 1 と表記している。

本実施の形態では、コイル L 1 が追加されていることに伴い、図 2 3 に示すように、駆動力制御信号生成回路 2 5 1 及び電流供給回路 2 5 2 が追加されている。

10 駆動力制御信号生成回路 2 5 1 は、ローレンツ力を発生させる指示を + 5 V（又は 0 V）で示すとともにローレンツ力を発生させない指示を 0 V（又は + 5 V）で示すローレンツ力制御信号を、電流供給回路 2 5 2 に供給する。電流供給回路 2 5 2 は、駆動力制御信号生成回路 2 5 1 からローレンツ力を発生させる指示を示す駆動力制御信号を受け取っている期間だけ、コイル L 1 にローレンツ力
15 が下向きに発生する電流を流す。

また、駆動力制御信号生成回路 2 5 1 は、静電力を発生させる指示を + 5 V（又は 0 V）で示すとともに静電力を発生させない指示を 0 V（又は + 5 V）で示す静電力制御信号を、光路切替状態指令信号の代わりに、レベルシフト回路 2 0 4、2 0 5 に供給する。

20 そして、駆動力制御信号生成回路 2 5 1 は、外部からの光路切替状態指令信号に応じて、ミラー 2 0 0 が上側位置に保持されている状態からミラー 2 0 0 を下側位置に切り替えることを示す指令信号を受けてから、ミラー 2 0 0 が下側位置へ移動するまでの期間だけ、ローレンツ力を発生させる旨のローレンツ力制御信号を電流供給回路 2 3 2 に供給する。これにより発生したローレンツ力によって、
25 ミラー 2 0 0 が上側位置から下側位置へ移動していく。駆動力制御信号生成回路 2 5 1 は、ミラー 2 0 0 が下側位置へ移動した後に、静電力を発生させる旨の静

電力制御信号をレベルシフト回路 204, 205 に供給する。これにより発生した静電力によって、ミラー 200 は下側位置に保持される。このようにして、ミラー 200 は静電力により下側位置にラッチされる。駆動力制御信号生成回路 251 は、ミラー 200 が静電力により下側位置にラッチされた後には、ローレンツ力を発生させない旨のローレンツ力制御信号を電流供給回路 252 へ与える。

駆動力制御信号生成回路 251 は、その後、ミラー 200 を下側位置から上側位置へ切り替える旨の光路切替状態指令信号を受けると、静電力を発生させない旨の静電力制御信号をレベルシフト回路 204, 205 に供給する。このとき、駆動力制御信号生成回路 251 は、電流供給回路 252 にはローレンツ力を発生させない旨のローレンツ力制御信号を供給しているので、静電力もローレンツ力も発生しない状態となり、可動部のバネ力によってミラー 200 が上方位置へ移動しその上方位置で保持される。

本実施の形態によれば、前述した第 3 の実施の形態と同様に、各レベルシフト回路 202 ~ 205 として、前述した図 1、図 3、図 8 及び図 9 のいずれかのレベルシフト回路が用いられているので、デバイス 101 については光スイッチシステム全体の、小型化や製造の容易化によるコストダウン等を図ることができる。

以上、本発明の各実施の形態及び変形例について説明したが、本発明はこれらに限定されるものではない。例えば、本発明によるマイクロアクチュエータ装置は、光スイッチシステムのみならず、他の種々の用途に用いることができる。また、本発明によるレベルシフト回路は、マイクロアクチュエータ装置のみならず、他の種々の用途に用いることができる。

請 求 の 範 囲

1. 第1の高電位電源と第1の低電位電源とに接続されるCMOSインバータを含み、入力信号に応じて前記第1の高電位電源の電圧レベル又はこれに近い電
5 圧レベルをHレベルとし前記第1の低電位電源の電圧レベル又はこれに近い電
圧レベルをLレベルとする出力電圧を得る第1の回路部と、

前記第1の高電位電源の電圧レベルよりも高い第2の高電位電源と前記第1
の低電位電源とに接続される第1の単一チャネルMOSインバータを含み、前記
第1の回路部の出力電圧に応じて、前記第2の高電位電源の電圧レベル又はこれ
10 に近い電圧レベルをHレベルとし前記第1の低電位電源の電圧レベル又はこれ
に近い電圧レベルをLレベルとする出力電圧を得る第2の回路部と、

前記第2の高電位電源と前記第1の低電位電源の電圧レベルよりも低い第2
の低電位電源とに接続される第2の単一チャネルMOSインバータを含み、前記
第2の回路部の出力電圧に応じて、前記第2の高電位電源の電圧レベル又はこれ
15 に近い電圧レベルをHレベルとし前記第2の低電位電源の電圧レベル又はこれ
に近い電圧レベルをLレベルとする出力電圧を得る第3の回路部と、

を備え、

前記第1の単一チャネルMOSインバータは、駆動素子としてNMOSトラン
ジスタを有し、

20 前記第2の単一チャネルMOSインバータは、駆動素子としてPMOSトラン
ジスタを有することを特徴とするレベルシフト回路。

2. 当該レベルシフト回路の出力電圧を前記入力信号と同一論理の電圧にする
ためのインバータを含む第4の回路部を、更に備えたことを特徴とする請求項1
25 記載のレベルシフト回路。

3. 前記第4の回路部に含まれる前記インバータは、前記第2の高電位電源と前記第2の低電位電源とに接続され、

前記第4の回路部は、前記第3の回路部の出力電圧に応じて、前記第2の高電位電源の電圧レベル又はこれに近い電圧レベルをHレベルとし前記第2の低電位電源の電圧レベル又はこれに近い電圧レベルをLレベルとする出力電圧を取
5 得し、

前記第4の回路部に含まれる前記インバータは、駆動素子としてPMOSトランジスタを有する第3の単一チャネルMOSインバータであることを特徴とする請求項2記載のレベルシフト回路。

10

4. 前記各回路部が同一の半導体基板に設けられたことを特徴とする請求項1乃至3のいずれかに記載のレベルシフト回路。

5. 前記CMOSインバータに含まれるNMOSトランジスタのドレイン及び
15 ソース、並びに、前記第1の単一チャネルMOSインバータに含まれるNMOSトランジスタのソース及びドレインは、同一のP型半導体領域中に配置され、

前記CMOSインバータに含まれるPMOSトランジスタのドレイン及びソースは、第1のN型ウェル中に配置され、

前記第2の単一チャネルMOSインバータに含まれるPMOSトランジスタ
20 のドレイン及びソースは、前記第1のN型ウェルとは異なる第2のN型ウェル中に配置されたことを特徴とする請求項4記載のレベルシフト回路。

6. 固定部と該固定部に対して移動し得るように設けられた可動部とを有するマイクロアクチュエータと、前記マイクロアクチュエータを制御する制御手段と、
25 を備え、

前記固定部は第1の電極部を有し、

前記可動部は、前記第 1 の電極部との間の電圧により静電力を生じ得る第 2 の電極部を有し、

前記制御手段は、請求項 1 乃至 3 のいずれかに記載のレベルシフト回路を含み、該レベルシフト回路の出力電圧に基づいて前記第 1 及び第 2 の電極部間に所望の電圧を供給することを特徴とするマイクロアクチュエータ装置。

7. 請求項 6 記載のマイクロアクチュエータ装置と、前記マイクロアクチュエータの前記可動部に設けられたミラーと、を備えたことを特徴とする光スイッチシステム。

10

8. 固定部と該固定部に対して移動し得るように設けられた可動部とを有するマイクロアクチュエータと、前記マイクロアクチュエータを制御する制御手段と、を備え、

前記固定部は第 1 の電極部を有し、

15 前記可動部は、前記第 1 の電極部との間の電圧により静電力を生じ得る第 2 の電極部を有し、

前記制御手段は、請求項 4 に記載のレベルシフト回路を含み、該レベルシフト回路の出力電圧に基づいて前記第 1 及び第 2 の電極部間に所望の電圧を供給することを特徴とするマイクロアクチュエータ装置。

20

9. 請求項 8 記載のマイクロアクチュエータ装置と、前記マイクロアクチュエータの前記可動部に設けられたミラーと、を備えたことを特徴とする光スイッチシステム。

25 10. 固定部と該固定部に対して移動し得るように設けられた可動部とを有するマイクロアクチュエータと、前記マイクロアクチュエータを制御する制御手段

と、を備え、

前記固定部は第 1 の電極部を有し、

前記可動部は、前記第 1 の電極部との間の電圧により静電力を生じ得る第 2 の電極部を有し、

- 5 前記制御手段は、請求項 5 に記載のレベルシフト回路を含み、該レベルシフト回路の出力電圧に基づいて前記第 1 及び第 2 の電極部間に所望の電圧を供給することを特徴とするマイクロアクチュエータ装置。

- 10 1 1. 請求項 1 0 記載のマイクロアクチュエータ装置と、前記マイクロアクチュエータの前記可動部に設けられたミラーと、を備えたことを特徴とする光スイッチシステム。

図 1

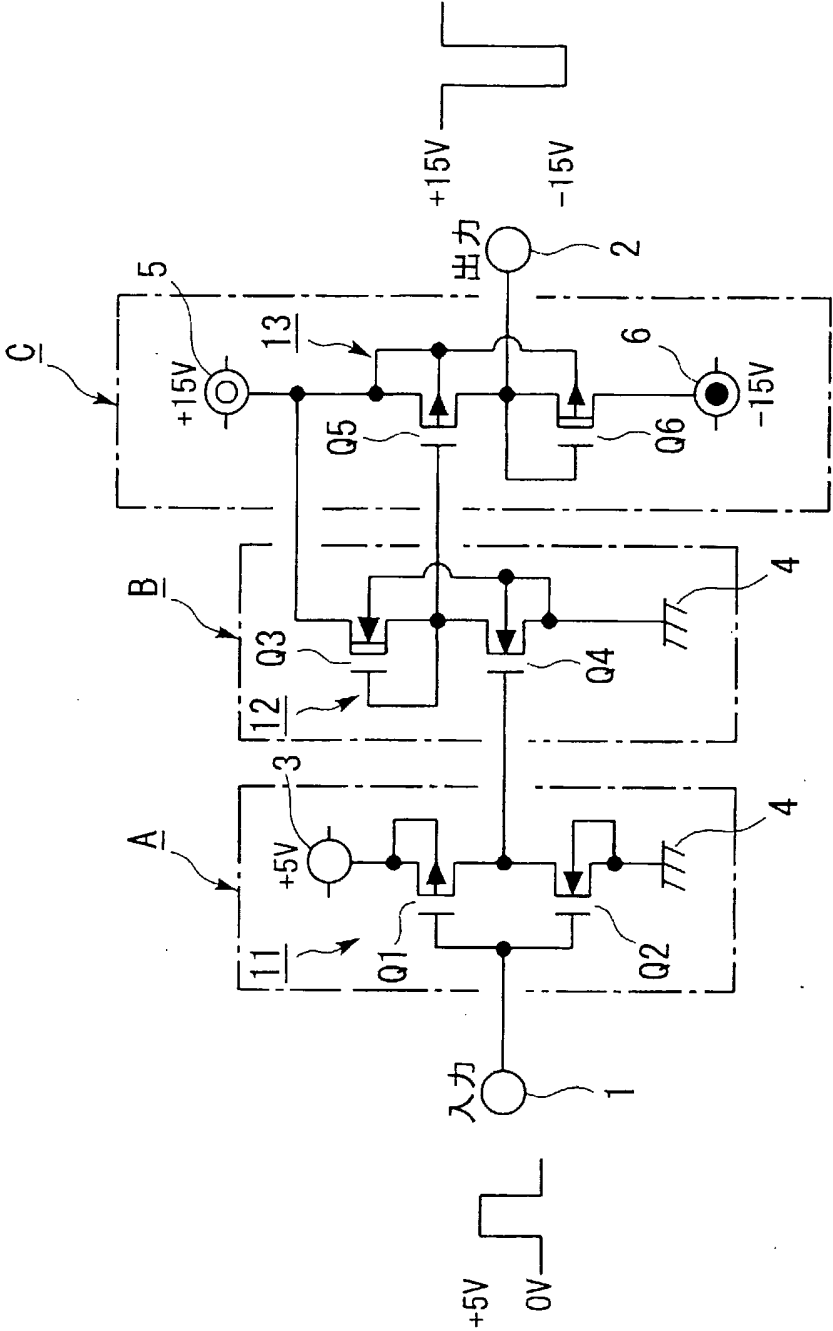


図 2

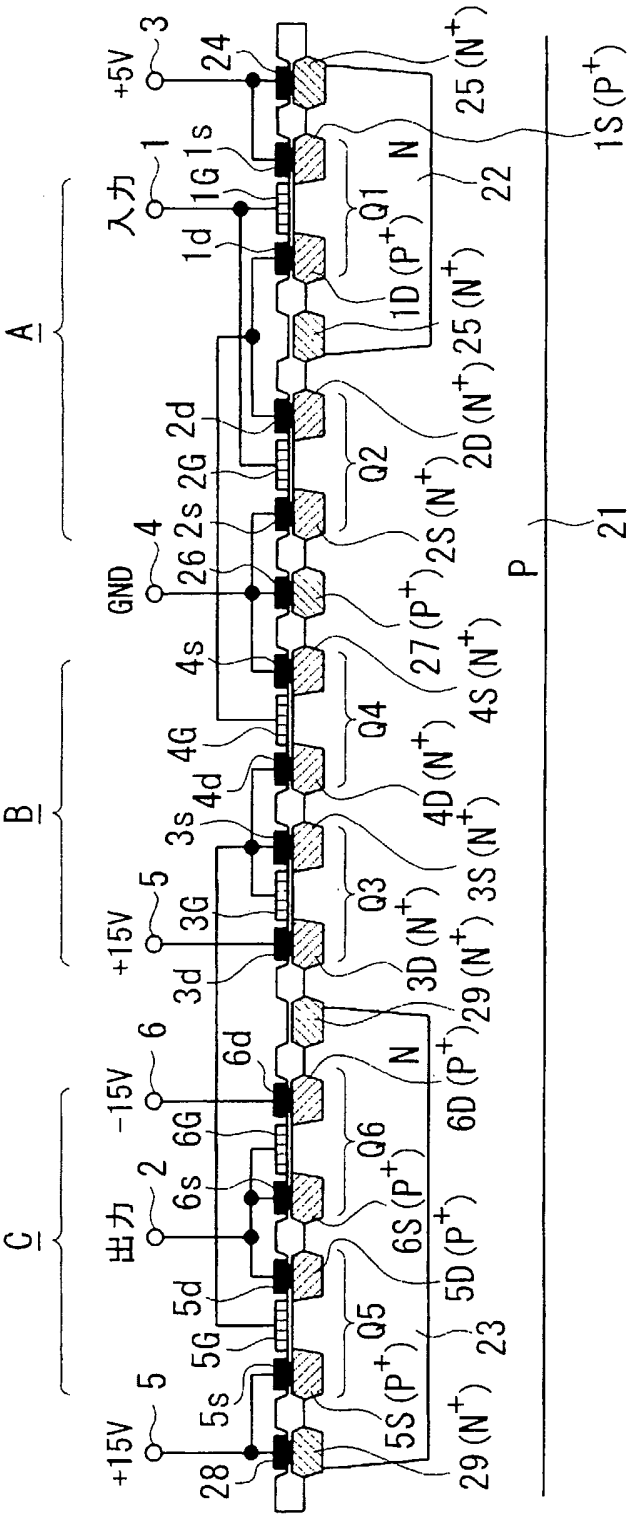
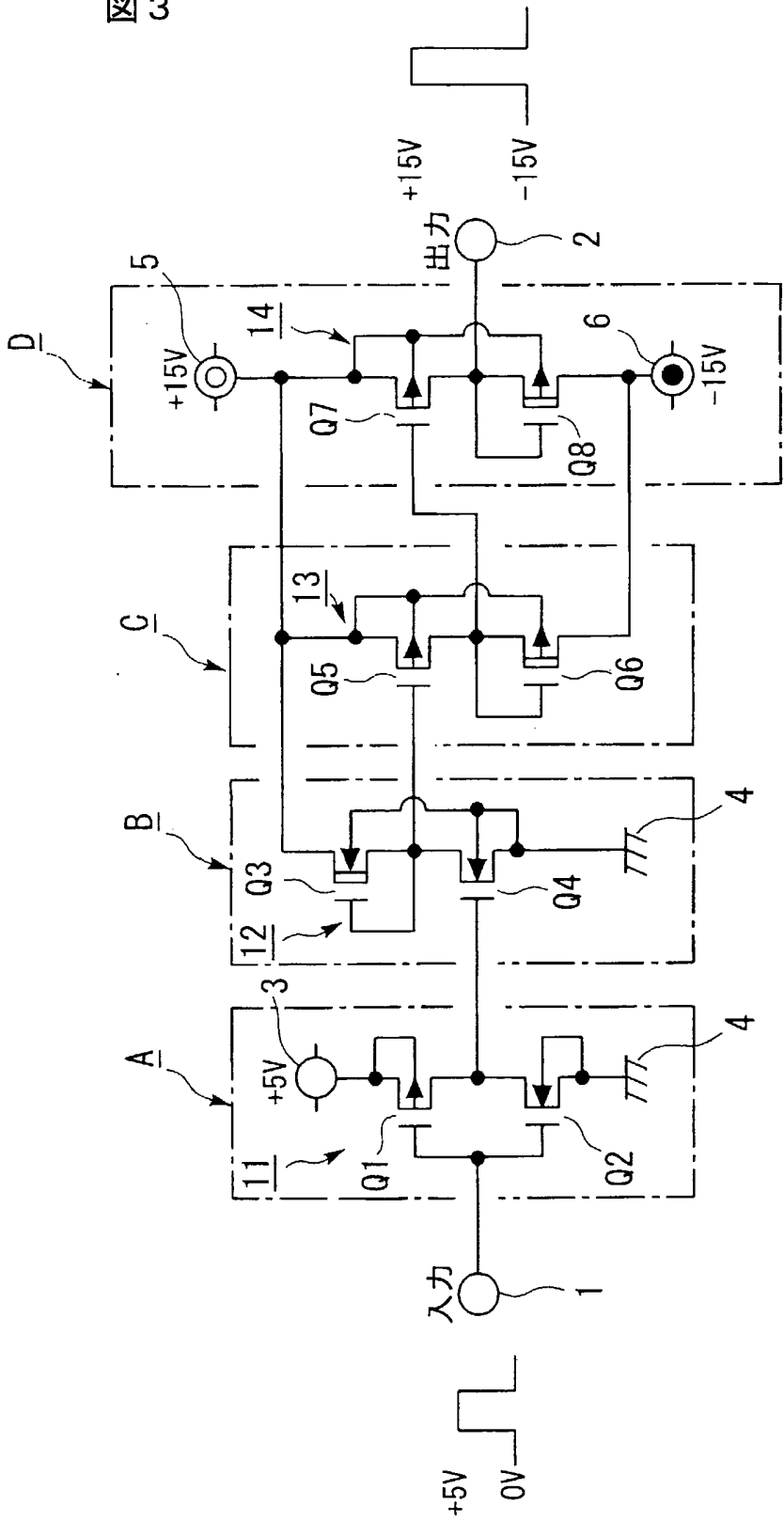


図 3



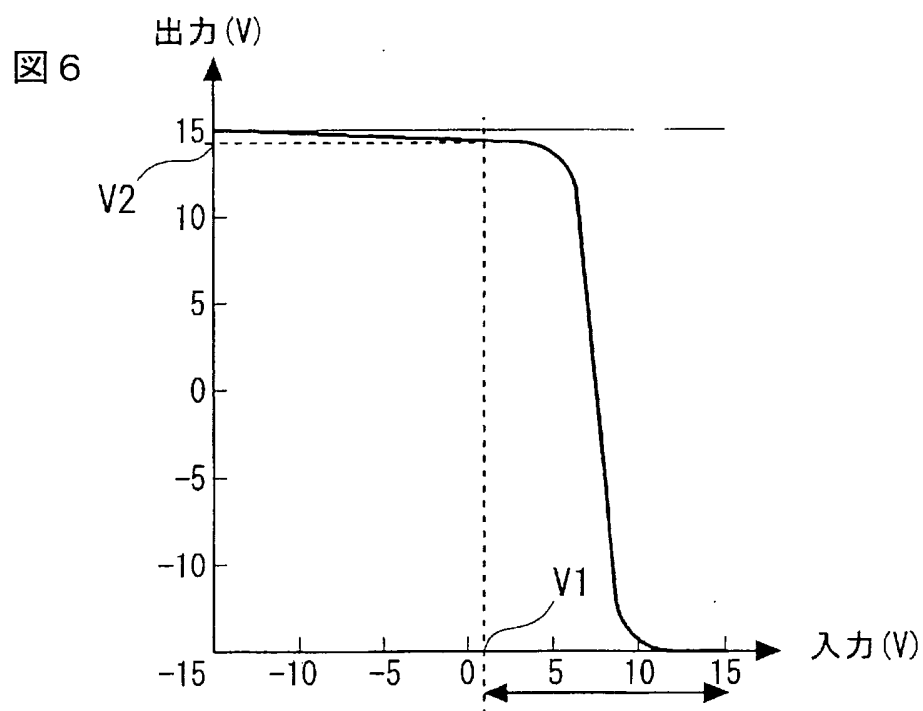
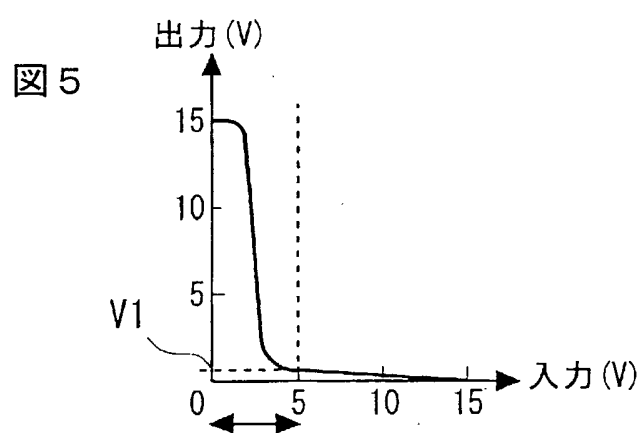
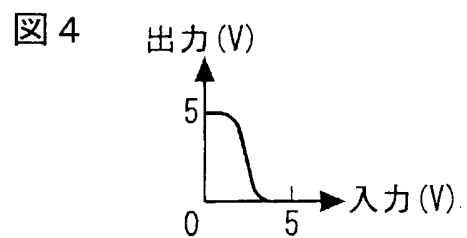


図 7

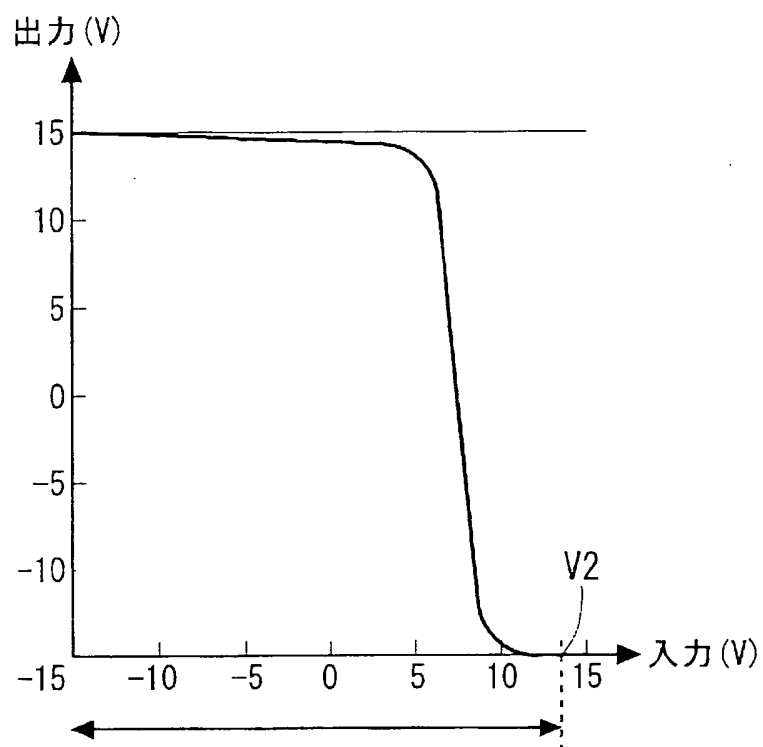
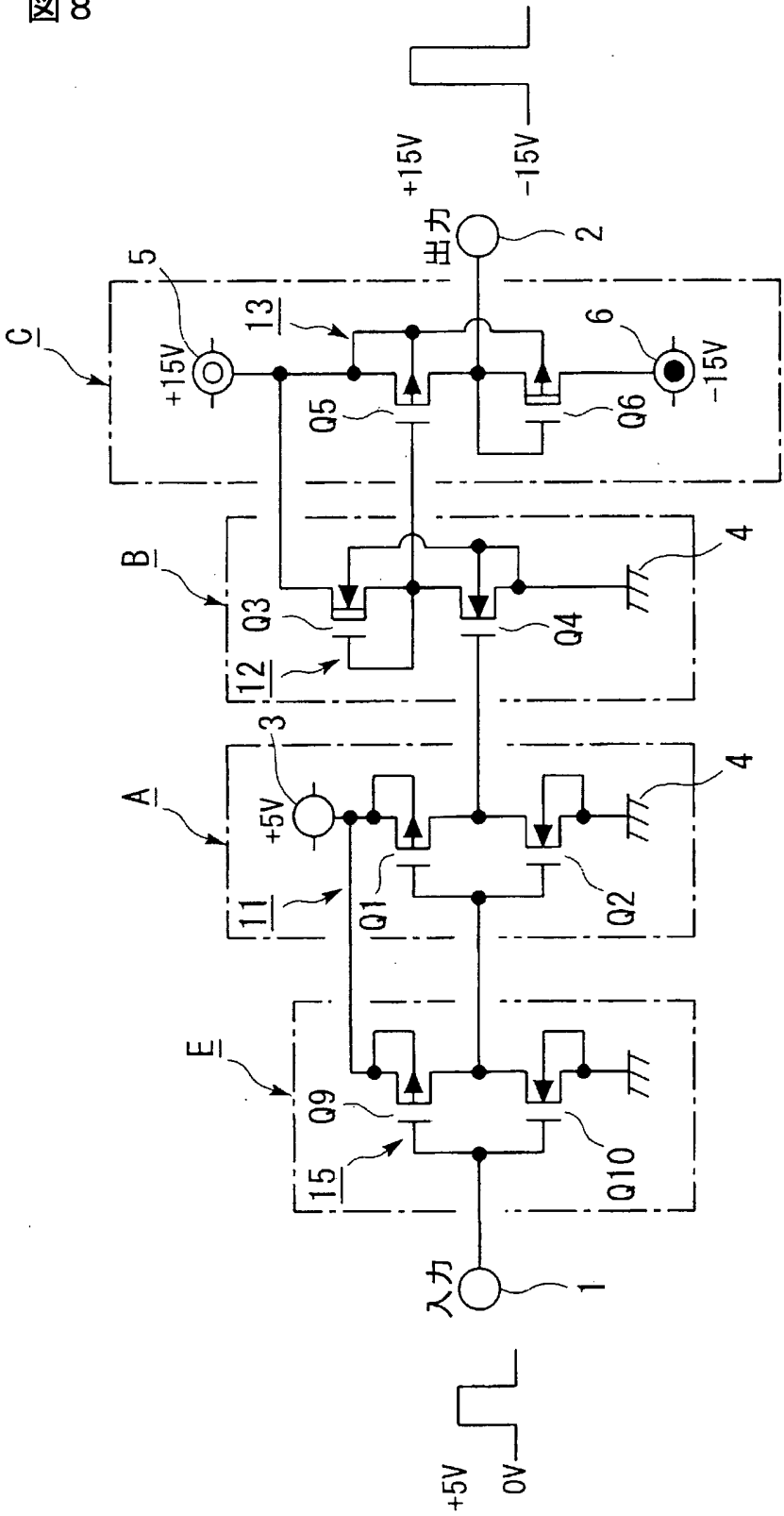


図 8



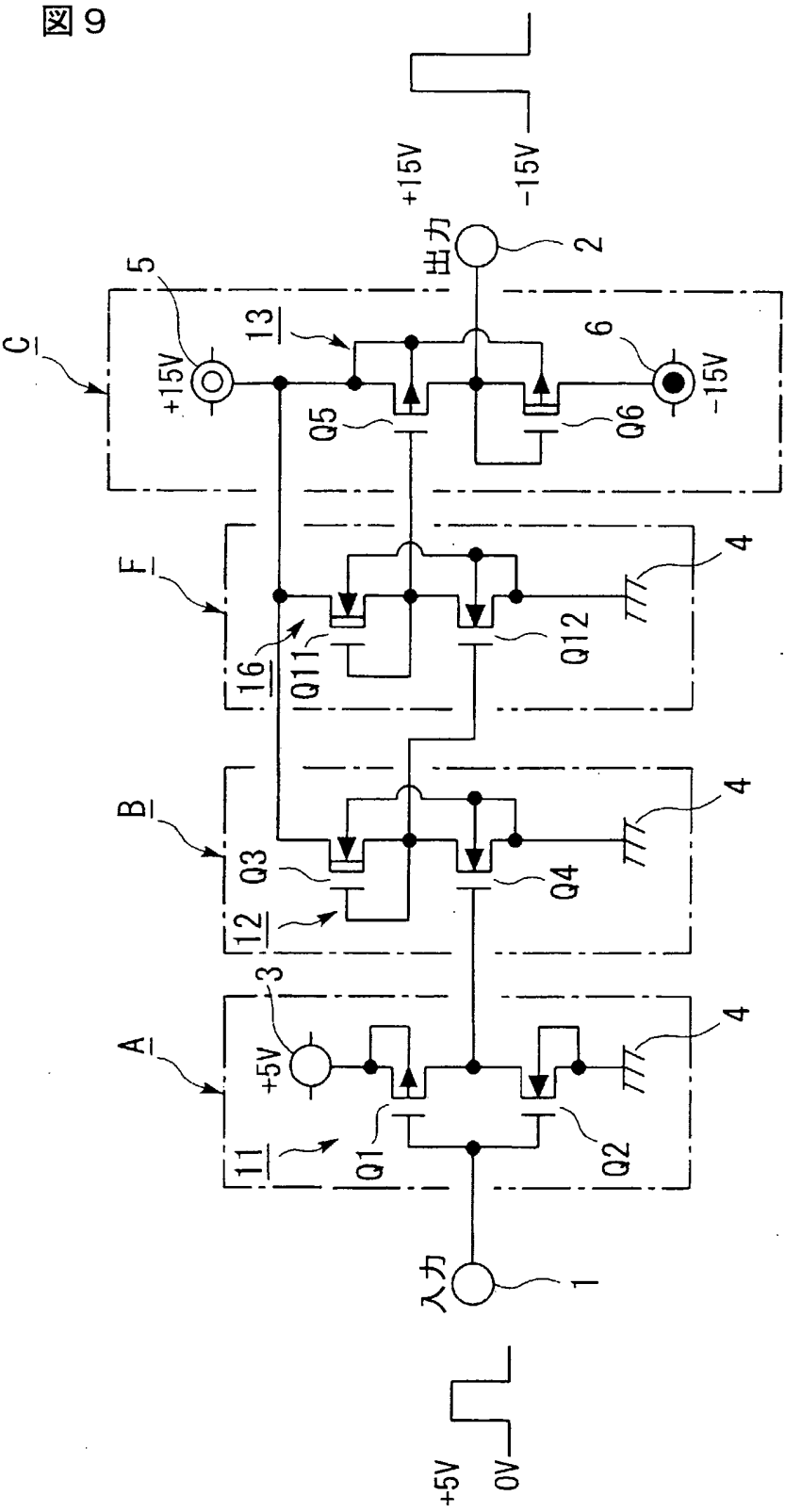


图 10

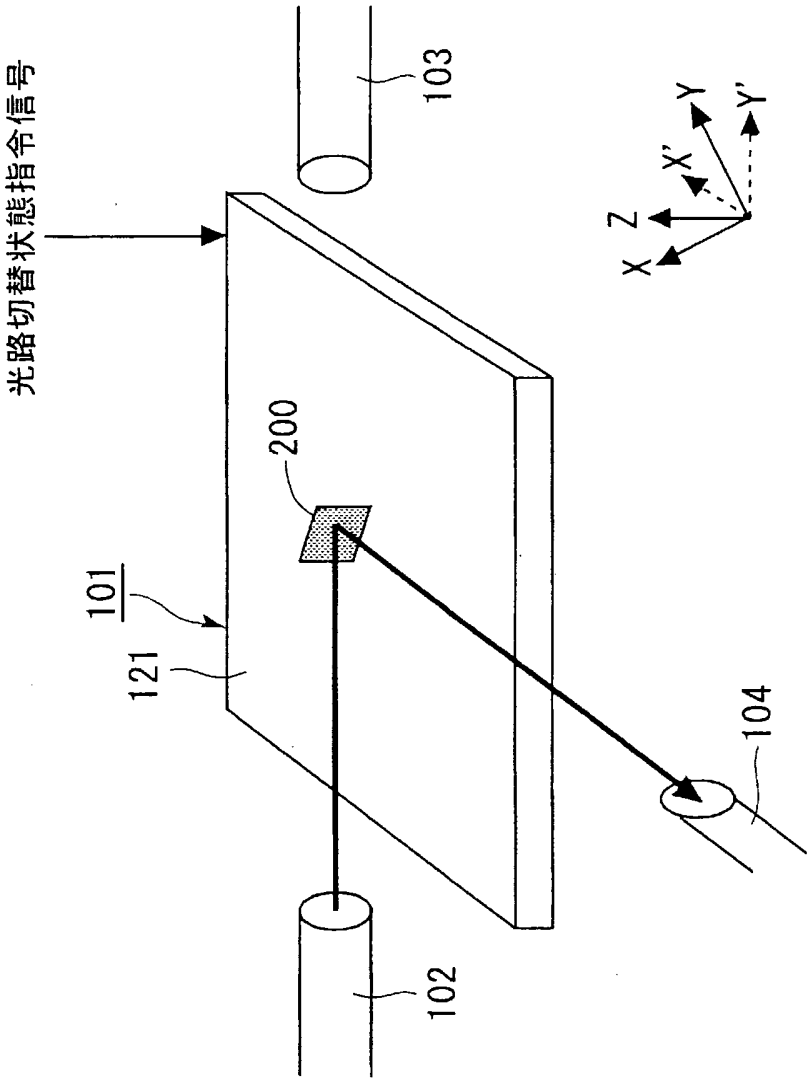


図 1 1

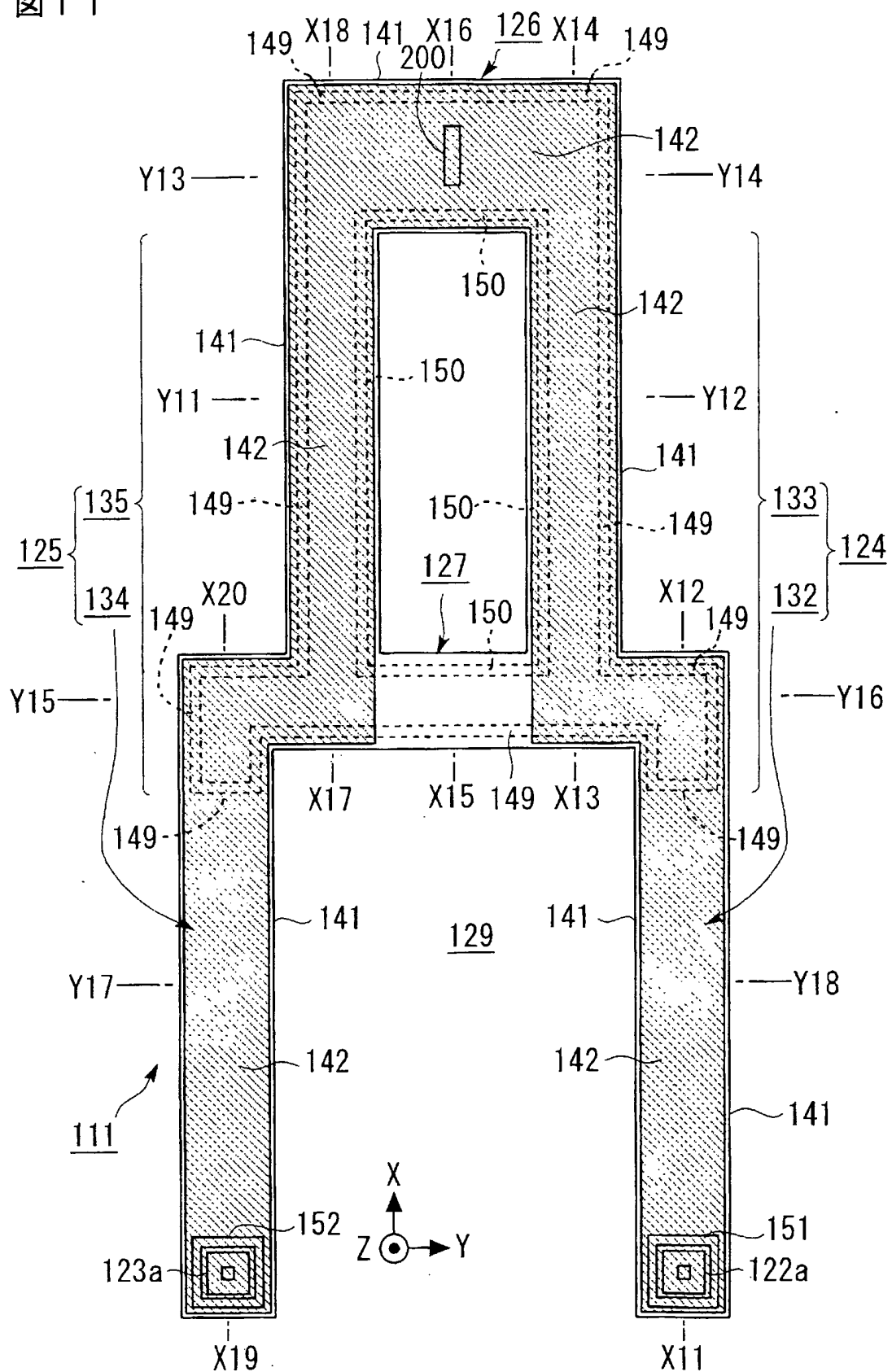


図 1 2

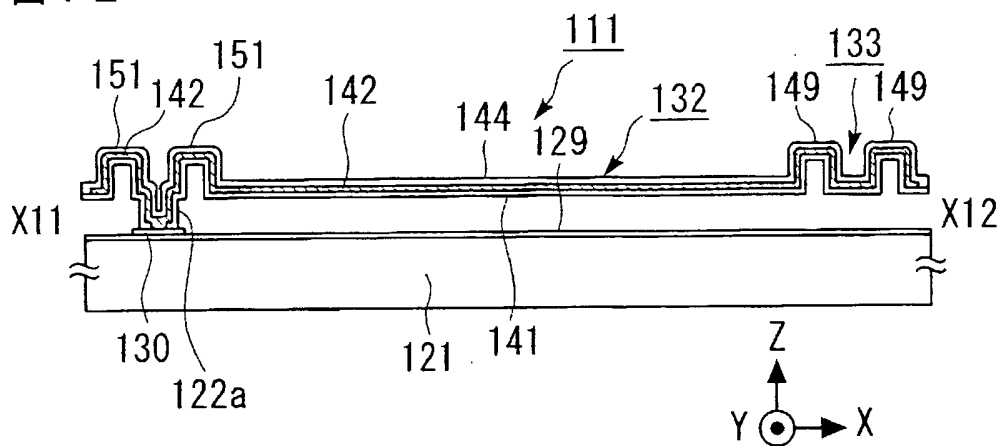


図 1 3

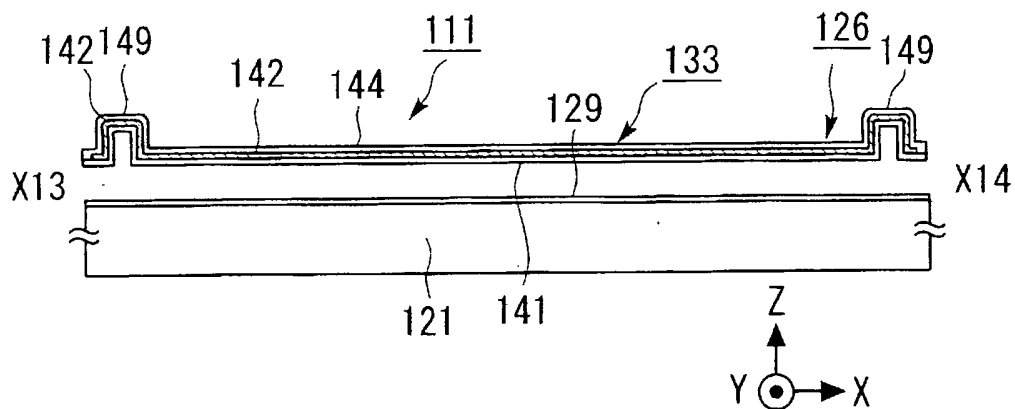
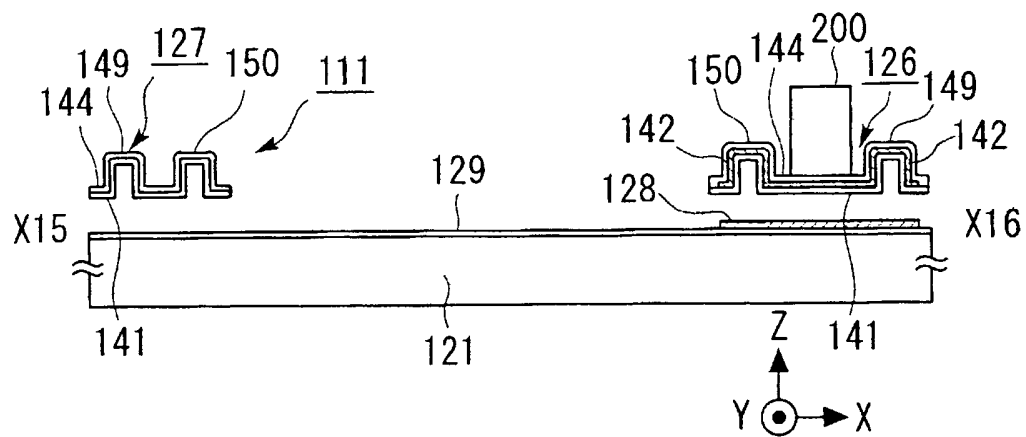
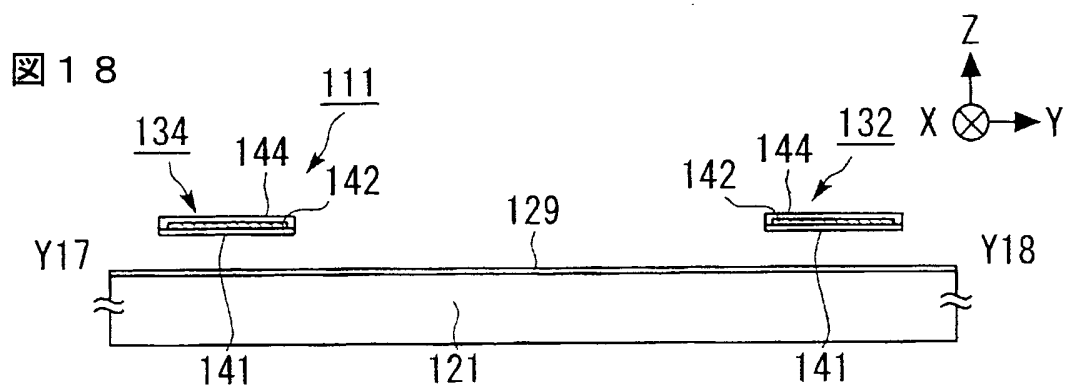
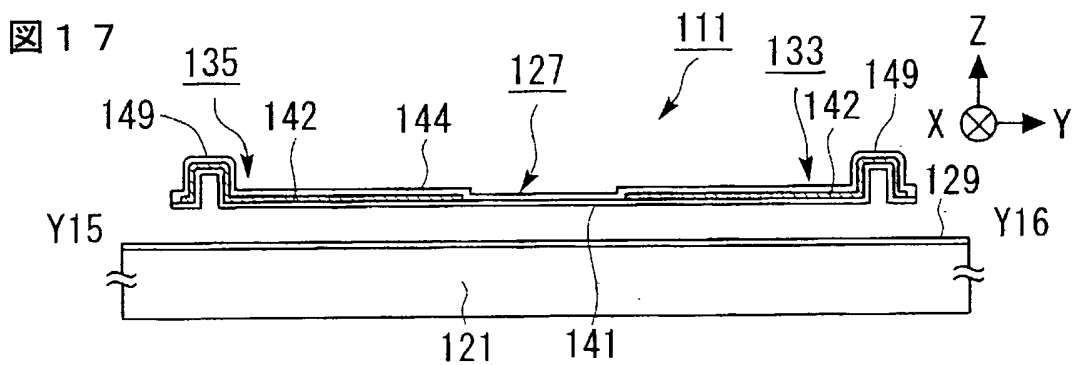
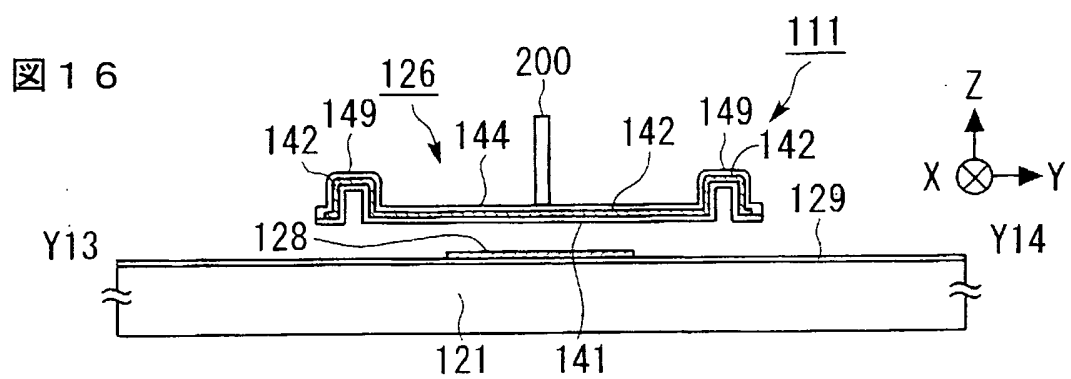
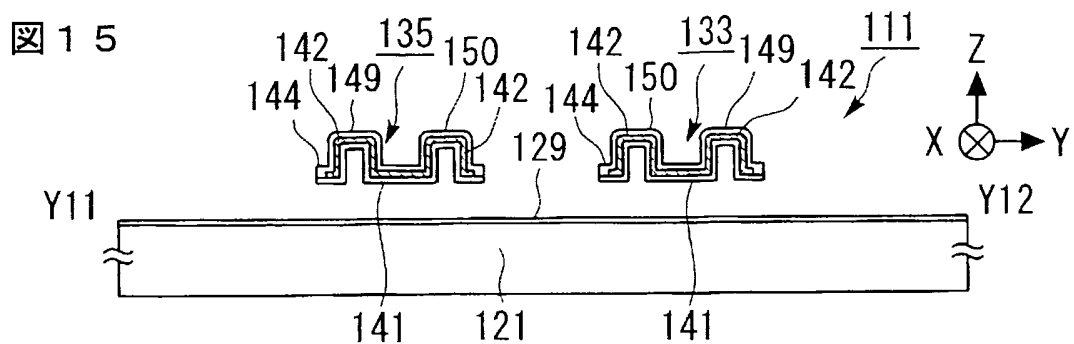


図 1 4





12/16

図 19 A

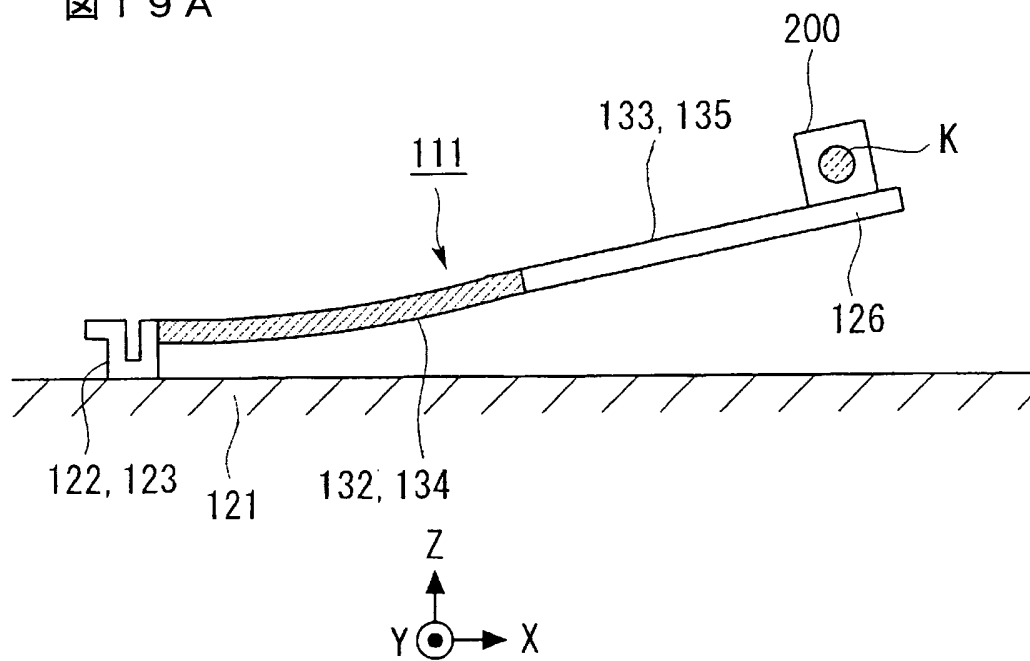


図 19 B

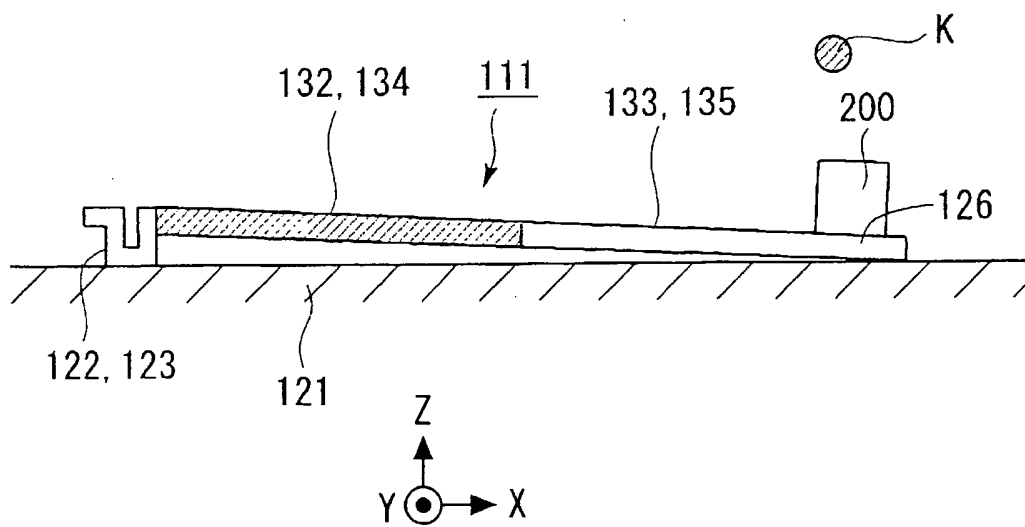
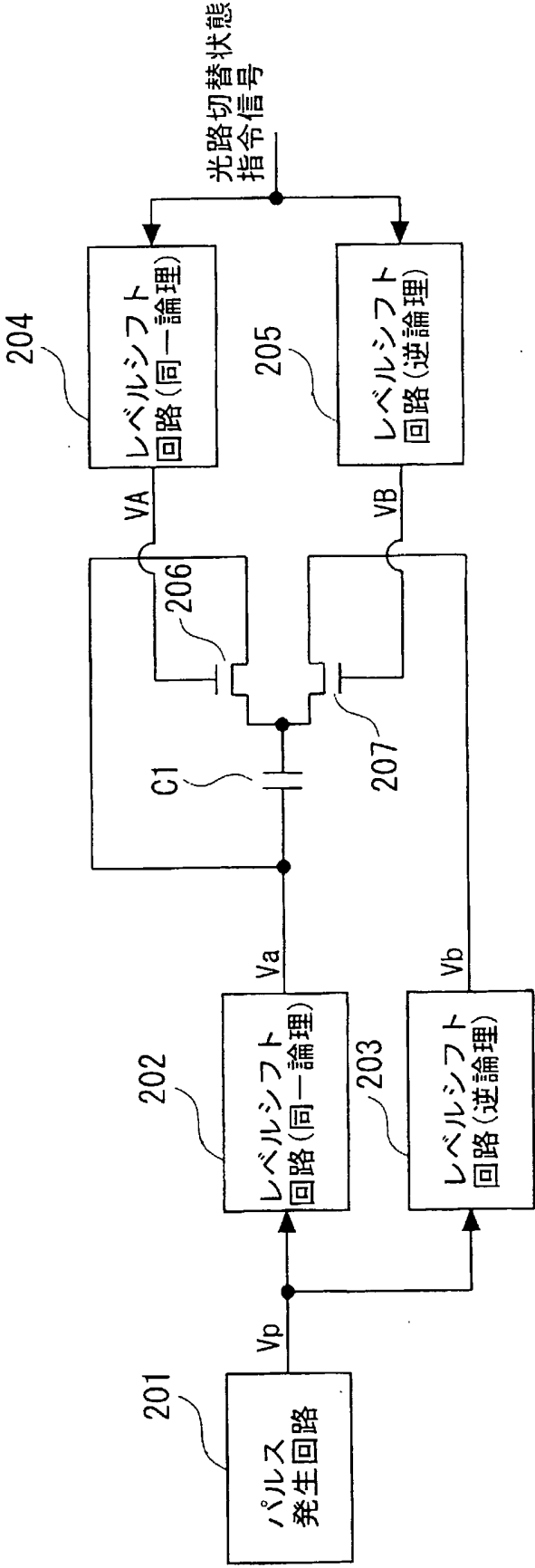
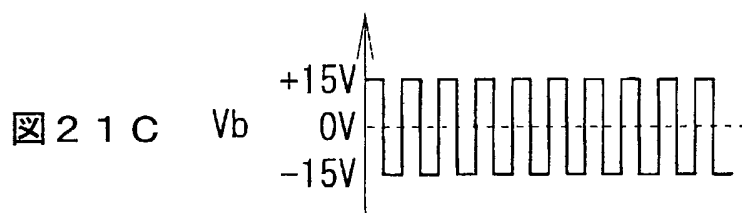
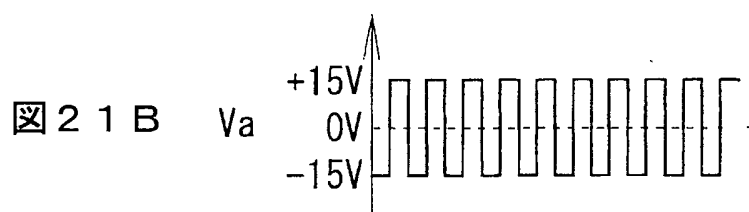
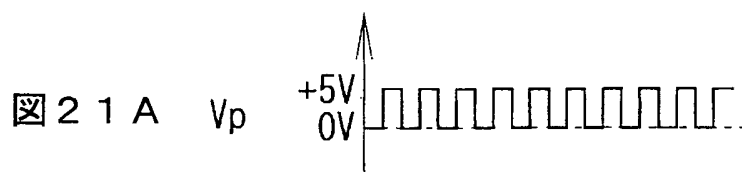


図 20

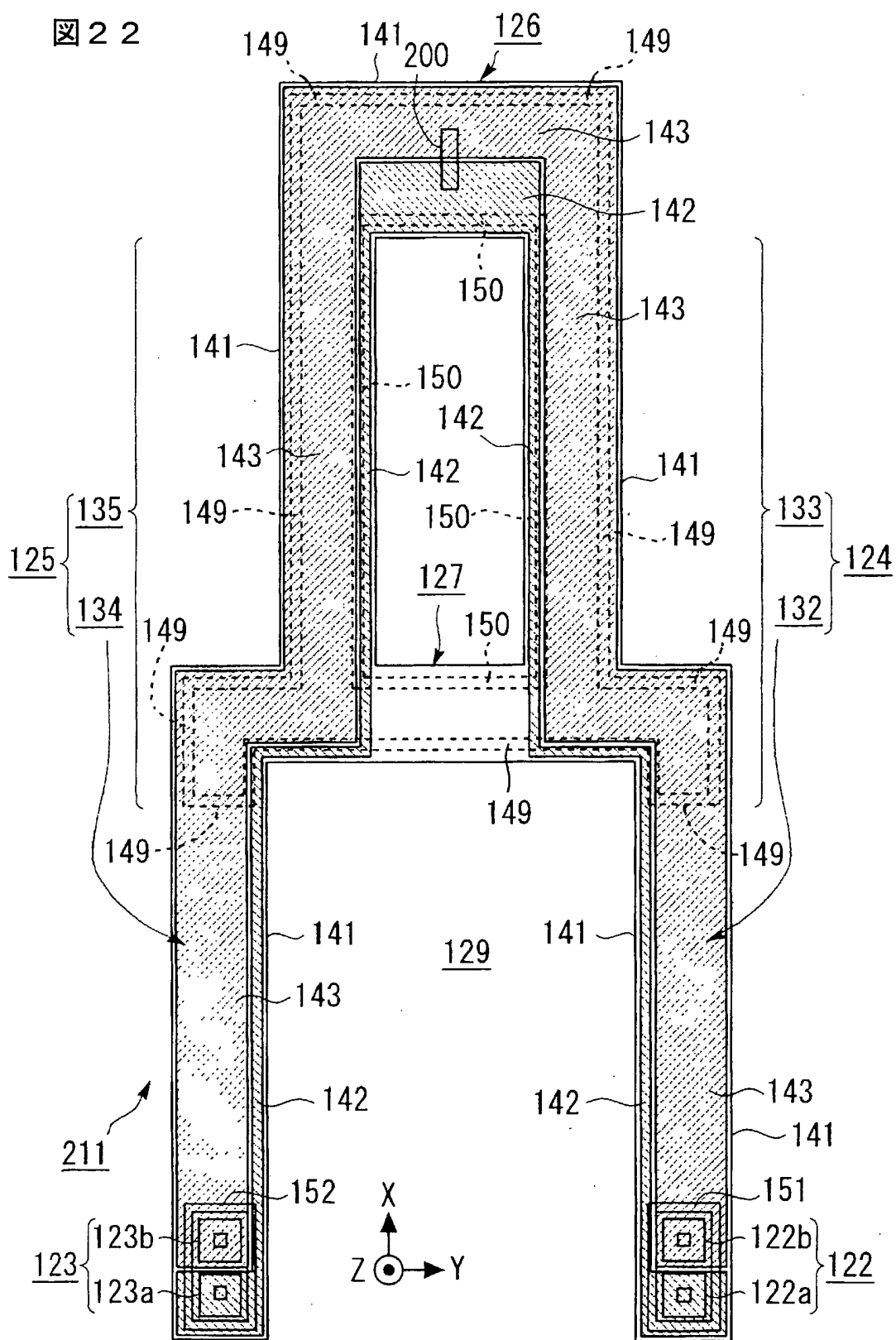


14/16



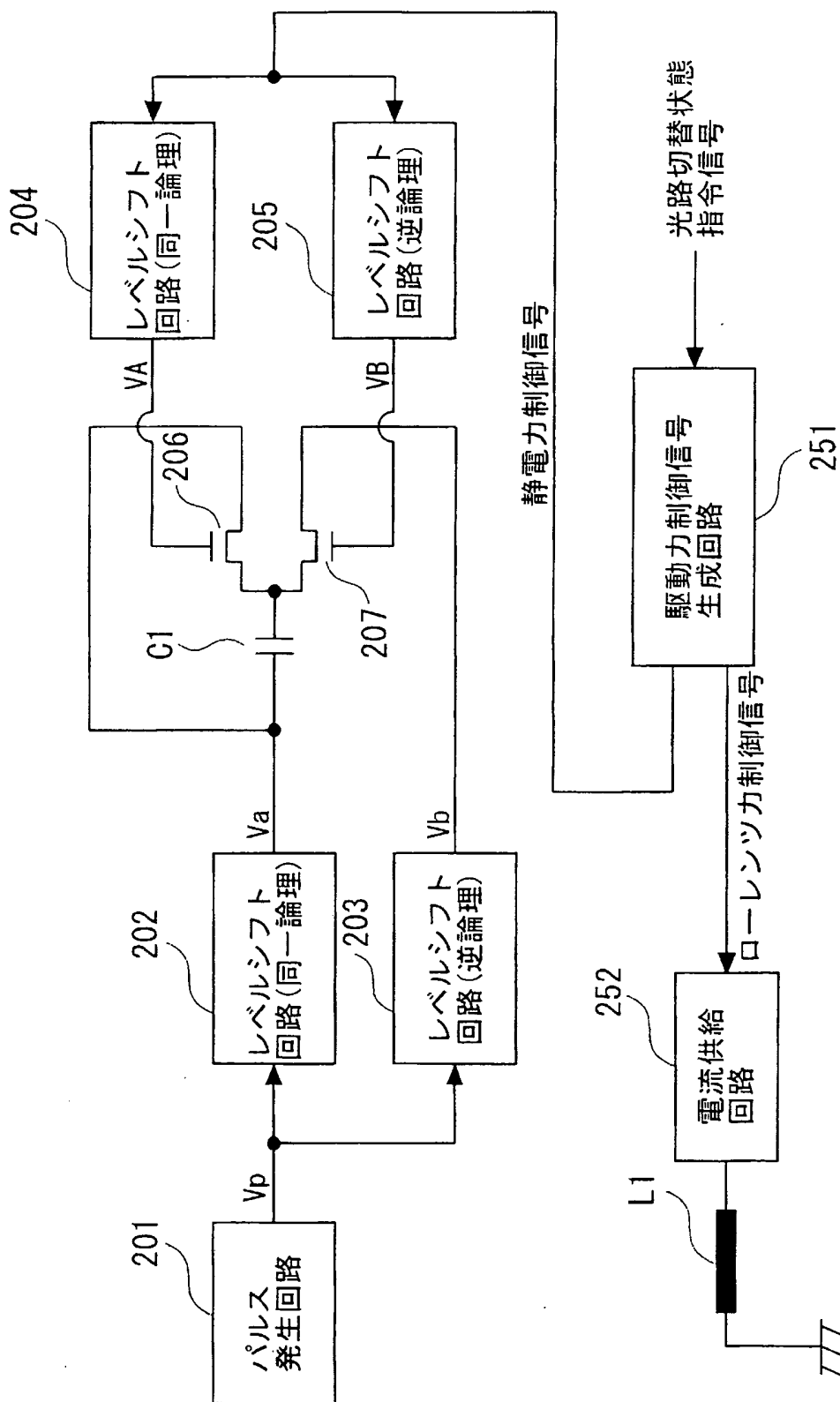
15/16

図 2 2



16/16

図 2 3



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/018868

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03K19/0185

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H03K19/0185, G02B26/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Jitsuyo Shinan Toroku Koho 1996-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-203326 A (Toshiba Corp.), 27 July, 2001 (27.07.01), Fig. 3; Par Nos. [0026] to [0027] (Family: none)	1-11
A	JP 6-188718 A (Mitsubishi Electric Corp.), 08 July, 1994 (08.07.94), Fig. 9; Par Nos. [0007] to [0011] & US 5451888 A	1-11
A	JP 4-178016 A (Fujitsu Ltd.), 25 June, 1992 (25.06.92), Fig. 1 (Family: none)	1-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
07 January, 2005 (07.01.05)

Date of mailing of the international search report
25 January, 2005 (25.01.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/018868

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-42233 A (Japan Aviation Electronics Industry Ltd.), 16 February, 2001 (16.02.01), Fig. 5; Par Nos. [0023] to [0024] (Family: none)	1-11
A	JP 2544815 B2 (Mitsubishi Electric Corp.), 25 July, 1996 (25.07.96), Fig. 1 (Family: none)	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. Cl ⁷ H03K 19/0185		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. Cl ⁷ H03K 19/0185、G02B 26/08		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1926-1996年 日本国公開実用新案公報 1971-2005年 日本国登録実用新案公報 1994-2005年 日本国実用新案登録公報 1996-2005年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2001-203326 A (株式会社東芝) 2001. 07. 27, 図 3、本文第26段落～第27段落 (ファミリーなし)	1-11
A	JP 6-188718 A (三菱電機株式会社) 1994. 07. 08, 図 9、本文第7段落～第11段落 & US 5451888 A	1-11
A	JP 4-178016 A (富士通株式会社) 1992. 06. 25, 第1図 (ファミリーなし)	1-11
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 07. 01. 2005	国際調査報告の発送日 25. 1. 2005	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 彦田克文	5X 9182
		電話番号 03-3581-1101 内線 3556

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2001-42233 A (日本航空電子工業株式会社) 2001. 02. 16, 図5、本文第23段落～第24段落 (ファミリーなし)	1-11
A	J P 2544815 B2 (三菱電機株式会社) 1996. 07. 25, 第1図 (ファミリーなし)	1-11