Союз Советских Социалистических Республик

Государственный комитет СССР по делам изобретений и открытий

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 815863

(61) Дополнительное к авт. свид-ву –

(22) Заявлено 01.06.79 (21) 2778804/18-21

(51) М. Кл.[3] H 03 D 13/00

с присоединением заявки № –

(23) Приоритет –

Опубликовано 23.03.81. Бюллетень № 11

Дата опубликования описания 25.03.81

(53) УДК 621.374 (088.8)

(72) Авторы изобретения В. А. Могунов, К. Д. Лазинцев и Р. Н. Туровский

(71) Заявитель –

Библиотека

(54) ЦИФРОВОЙ ЧАСТОТНЫЙ ДЕТЕКТОР

1

Изобретение относится к радиотехнике и может быть использовано в частотных системах телемеханики.

Известен частотный дискриминатор, содержащий формирователь импульсов, узел задержки, фазосдвигающий элемент, дополнительный формирователь, схемы совпадения, накопительные и выходные элементы [1].

Недостатком известного дискриминатора является невысокая стабильность, вызванная наличием резонансного четырехполюсника и работой на его крутой части фазовой характеристики.

Наиболее близким техническим решением к предлагаемому является цифровой частотный детектор, содержащий формирователь импульсов, вход которого является входом устройства, элемент задержки, триггер, первый выход которого подключен к первому входу логического элемента, соединенные последовательно реверсивный счетчик и дешифратор [2].

2

Недостатком устройства является его низкое быстродействие.

Цель изобретения – повышение быстродействия устройства.

Поставленная цель достигается тем, что в цифровой частотный детектор, содержащий формирователь импульсов, вход которого является входом устройства, элемент задержки, триггер, первый выход которого подключен к первому входу логического элемента, соединенные последовательно реверсивный счетчик импульсов и дешифратор, введены делитель частоты, расширитель импульсов, ключ и накопительные блоки, причем вход устройства соединен со входом триггера и вторым входом логического элемента, первый и второй выходы триггера соединены соответственно со входами направления счета реверсивного счетчика импульсов, выход формирователя импульсов соединен со входом расширителя импульсов, выход которого подключен к третьему входу логического элемента и к управляюще-

му входу ключа, коммутируемый переход которого включен между управляющим входом делителя частоты и счетным входом реверсивного счетчика импульсов, а выход логического элемента подключен ко входу установки нуля делителя частоты и входу элемента задержки, выход которого подключен ко входу установки реверсивного счетчика импульсов, и входам записи накопительных блоков, выходы которых являются выходами устройства, информационные входы которых соединены с выходами дешифратора, а выходы являются выходами устройства.

На чертеже приведена структурная электрическая схема устройства.

Устройство содержит формирователь 1 импульсов, расширитель 2 импульсов, ключ 3, счетчик 4 импульсов, реверсивный дешифратор 5, накопительные блоки 6, логический элемент 7, триггер 8, элемент 9 задержки, делитель 10 частоты.

Устройство работает следующим образом.

Импульсы входной частоты поступают на входы формирователя 1, логического элемента 7 и триггера 8. На выходе триггера 8 импульсы следуют с частотой, равной половине входной, период этой частоты равен времени определения значения входной частоты. Одновременно с перебросом выхода триггера 8, импульсы входной частоты устанавливают выход формирователя 1 и логического элемента 7 в "единичное" состояние. "Единичное" напряжение на выходе логического элемента 7 устанавливает делитель 10 в счетный режим. На выходе делителя 10 формируются отрицательные импульсы, имеющие период следования равный среднему периоду входной частоты, и сдвинутые относительно импульсов входной частоты на время τ.

Появившийся со сдвигом на τ выходной импульс делителя 10 возвращает формирователь 1 в "нулевое" состояние. С выхода формирователя 1 сформированные импульсы поступают на вход расширителя 2 импульсов, где их длительность увеличивается в K раз. Величина K выбирается такой, чтобы импульс максимальной длительности после расширения не превышал величины минимального периода входного сигнала. Таким образом, за время анализа на выходе расширителя 2 импульсов появляется пара импульсов. Если длительность импульсов пары одинакова, то входная частота равна частоте импульсов с выхода делителя 10. Если длительность второго импульса больше первого, то входная частота больше частоты с выхода делителя 10, а если второй импульс короче первого, то входная частота меньше частоты с выхода делителя 10. В количественной величине разницы длительностей импульсов заключена количественная величина отклонения входной частоты от величины частоты сформированной на выходе делителя 10. Импульсы с выхода расширителя 2 импульсов управляют ключом 3, который пропускает на счетный вход реверсивного счетчика 4 серию импульсов опорной частоты. Выходы триггера 8 управляют направлением счета реверсивного счетчика 4, при "единичном" состоянии первого выхода триггера 8 импульсы опорной частоты суммируются, а при "нулевом" – вычитаются. Подключенный к выходам разрядов реверсивного счетчика 4 дешифратор 5 выдает на одном из своих выходов сигнал зависящий от числа записанного в реверсивном счетчике 4. После окончания расширенного импульса заканчивается время анализа и на выходе логического элемента 7 формируется импульс, который устанавливает делитель 10 в исходное состояние и блокирует поступление на его вход импульсов опорной частоты. Элемент 9 задержки при поступлении на его вход отрицательного перепада напряжения формирует на своем выходе короткий отрицательный импульс, задержанный относительно перепада напряжения на время, достаточное для завершения переходных процессов в реверсивном счетчике 4 и дешифраторе 5. Импульс с выхода элемента 9 задержки дает разрешение на запись в накопительные элементы 6 информации с выхода дешифратора 5 и возвращает реверсивный счетчик 4 в исходное состояние. Схема готова к следующему циклу работы. Когда в накопительных элементах 6 накапливается информация, достаточная для принятия решения о величине входной частоты, на выходе одного из накопительных элементов 6 появляется сигнал, свидетельствующий о нахождении входной частоты в интервале частот, определяемом дешифратором 5.

Формула изобретения

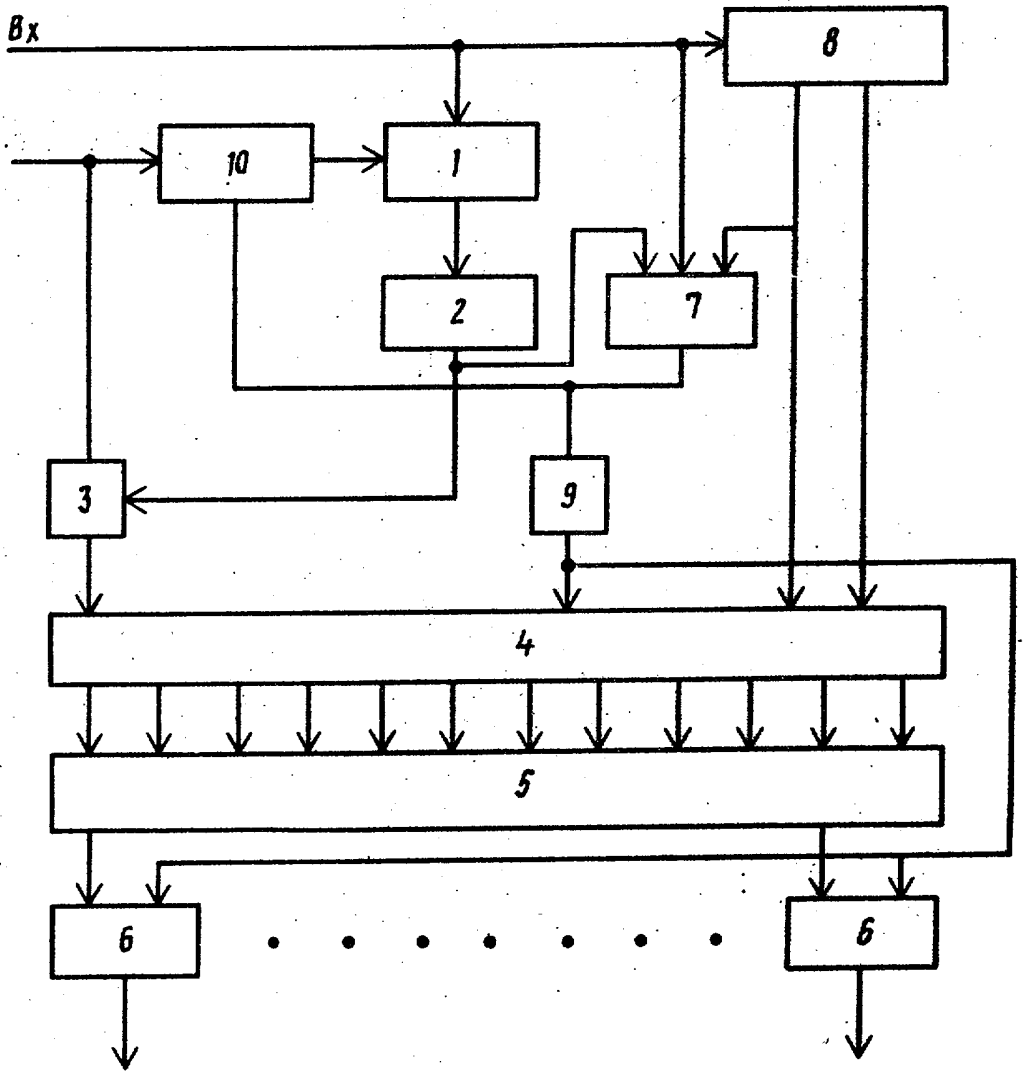
Цифровой частотный детектор, содержащий формирователь импульсов, вход которого является входом устройства, элемент задержки, триггер, первый выход

которого подключен к первому входу логического элемента, соединенные последовательно реверсивный счетчик импульсов и дешифратор, отличающийся тем, что, с целью повышения быстродействия, в него введены делитель частоты, расширитель импульсов, ключ и накопительные блоки, причем вход устройства соединен со входом триггера и вторым входом логического элемента, первый и второй выходы триггера соединены со входами направления счета реверсивного счетчика импульсов, выход формирователя импульсов соединен со входом расширителя импульсов, выход которого подключен к третьему входу логического элемента и к управляющему входу ключа, коммутируемый переход которого включен между управляемым входом делителя частоты и счетным входом реверсивного счетчика импульсов, а выход логического элемента подключен ко входу установки нуля делителя частоты и входу элемента задержки, выход которого подключен ко входу установки реверсивного счетчика импульсов и входам записи накопительных блоков, выходы которых являются выходами устройства, информационные входы которых соединены с выходами дешифратора, а выходы являются выходами устройства.

Источники информации,
принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 570975, кл. H 03 D 3/02, 30.08.77.

2. Авторское свидетельство СССР № 542328, кл. H 03 D 13/00, 05.01.77.



ВНИИПИ Заказ 1050/87 Тираж 988 Подписное
Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4