



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년12월14일
(11) 등록번호 10-1093426
(24) 등록일자 2011년12월06일

(51) Int. Cl.

G11C 15/00 (2006.01) G11C 11/21 (2006.01)

G11C 7/12 (2006.01)

(21) 출원번호 10-2010-0096537

(22) 출원일자 2010년10월04일

심사청구일자 2010년10월04일

(56) 선행기술조사문헌

US20030179623 A1

JP2009026437 A

KR1020040067302 A

전체 청구항 수 : 총 6 항

(73) 특허권자

경희대학교 산학협력단

경기도 용인시 기흥구 서천동 1 경희대학교 국제 캠퍼스내

(72) 발명자

홍상훈

경기도 성남시 분당구 정자동 두산위브파빌리온 A-1301

(74) 대리인

서재승

심사관 : 한선경

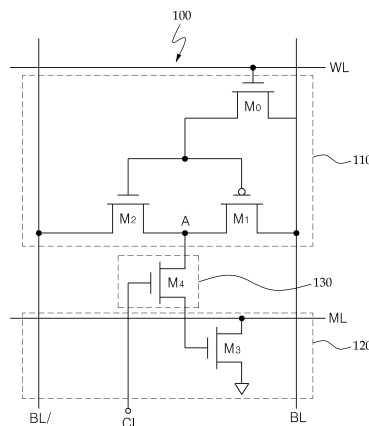
(54) 무정값 검색이 가능한 바이너리 내용 주소화 메모리

(57) 요약

본 발명은 바이너리 내용 주소화 메모리(content addressable memory, CAM)에 관한 것으로, 보다 구체적으로 바이너리 내용 주소화 메모리를 구성하는 전체 트랜지스터의 수를 줄여 바이너리 내용 주소화 메모리의 사이즈를 작게하여 집적도를 높일뿐만 아니라 소비 전력을 향상시킬 수 있으며, 무정값도 검색 가능한 바이너리 내용 주소화 메모리에 관한 것이다.

본 발명에 따른 바이너리 내용 주소화 메모리 셀은 종래 바이너리 내용 주소화 메모리 셀과 비교하여 구성 트랜지스터의 수가 적어 작은 크기로 메모리 셀을 제작할 수 있어서, 메모리 설계에 있어서 가장 중요한 요인 중 하나인 집적도를 향상시킬 수 있으며 소형화되고 경량화된 제품을 설계하는데 도움을 준다. 또한 본 발명에 따른 바이너리 내용 주소화 메모리는 무정값 비교 신호에 따라 비교 회로부를 비활성화시켜 저장 데이터와 비교 데이터에 무관하게 저장 데이터와 비교 데이터가 일치함을 나타내는 비교값을 출력하도록 제어함으로써, 0, 1 이외에 무정값을 포함하는 데이터를 검색할 수 있다.

대표도 - 도3



특허청구의 범위

청구항 1

바이너리 내용 주소화 메모리(content addressable memory, CAM) 셀에 있어서,

제1 비트라인(BL)을 통해 입력되는 저장 데이터를 저장하는 제1 트랜지스터와 제2 트랜지스터;

상기 제1 트랜지스터와 제2 트랜지스터에 저장된 저장 데이터 및 상기 제1 비트라인(BL)과 제2 비트라인(BL/)을 통해 입력된 비교 데이터를 비교하여 비교값을 출력하는 비교 회로부; 및

무정값 비교 신호에 따라 상기 비교 회로부를 활성화 제어하여 상기 저장 데이터와 비교 데이터에 무관하게 상기 저장 데이터와 비교 데이터가 일치함을 나타내는 비교값을 출력 제어하는 무정값 검색 제어부를 포함하는 것을 특징으로 하는 바이너리 내용 주소화 메모리.

청구항 2

제 1 항에 있어서, 상기 비교 회로부는

비교 신호에 따라 프리차지되는 매치라인; 및

상기 매치라인이 프리차지된 후, 상기 무정값 검색 제어부의 제어에 따라 상기 비교 데이터와 상기 저장 데이터에 무관하게 상기 저장 데이터와 비교 데이터가 일치함을 나타내는 비교값을 출력하는 제3 트랜지스터를 포함하는 것을 특징으로 하는 바이너리 내용 주소화 메모리.

청구항 3

제 2 항에 있어서, 상기 무정값 검색 제어부는

상기 무정값 비교 신호에 따라 상기 제3 트랜지스터를 활성화 제어하는 제4 트랜지스터인 것을 특징으로 하는 바이너리 내용 주소화 메모리.

청구항 4

제 3 항에 있어서, 상기 바이너리 내용 주소화 메모리는

워드라인(WL)에 게이트가 연결되어 활성화 제어되는 제0 트랜지스터를 더 포함하며,

상기 제0 트랜지스터의 활성화시 제1 비트라인(BL)을 통해 전달된 상기 저장 데이터가 상기 제1 트랜지스터와 제2 트랜지스터로 입력되는 것을 특징으로 하는 바이너리 내용 주소화 메모리.

청구항 5

제 4 항에 있어서, 상기 바이너리 내용 주소화 메모리에서

상기 제1 트랜지스터는 PMOS 트랜지스터이며

상기 제0 트랜지스터, 제2 트랜지스터, 제3 트랜지스터, 제4 트랜지스터는 NMOS 트랜지스터인 것을 특징으로 하는 바이너리 내용 주소화 메모리.

청구항 6

제 5 항에 있어서,

상기 제0 트랜지스터의 소스, 드레인, 게이트는 각각 상기 제1 비트라인(BL), 상기 제1 트랜지스터와 제2 트랜지스터의 게이트, 워드 라인(WL)에 연결되어 있으며,

상기 제1 트랜지스터의 소스, 드레인은 각각 상기 제1 비트라인(BL), 상기 제2 트랜지스터의 드레인에 연결되어 있으며,

상기 제2 트랜지스터의 소스는 상기 제2 비트라인(BL/)에 연결되어 있으며,

상기 제3 트랜지스터의 소스, 드레인, 게이트는 각각 접지 단자, 매칭 라인(ML), 제4 트랜지스터의 드레인에 연결되어 있으며,

상기 제4 트랜지스터의 소스와 게이트는 상기 제1 트랜지스터의 드레인, 무정값 비교 신호의 입력 단자(CI)에 연결되어 있는 것을 특징으로 하는 바이너리 내용 주소화 메모리.

명세서

기술분야

[0001] 본 발명은 바이너리 내용 주소화 메모리(content addressable memory, CAM)에 관한 것으로, 보다 구체적으로 바이너리 내용 주소화 메모리를 구성하는 전체 트랜지스터의 수를 줄여 바이너리 내용 주소화 메모리의 사이즈를 작게하여 집적도를 높일뿐만 아니라 소비 전력을 향상시킬 수 있으며, 무정값도 검색 가능한 바이너리 내용 주소화 메모리에 관한 것이다.

배경기술

[0002] 통상적인 메모리는 데이터가 저장되어 있는 주소를 정확히 알아야만 저장되어 있는 데이터에 접근할 수 있다. 그러나 내용 주소화 메모리 장치(Content AddressableMemory, CAM)는 데이터가 저장되어 있는 정확한 주소를 모르더라도 데이터의 내용을 입력하면 해당 내용의 데이터들이 저장되어 있는 위치의 주소를 찾아주는 기능을 갖는 메모리이다. 따라서 많은 데이터에서 특정 내용을 탐색할 경우 주어진 내용과 일치하는 데이터와 관련된 데이터를 찾을 수 있는 특유의 빠른 검색 특성 때문에 내용 주소화 메모리를 이용한 IP 주소 룩업 방법들이 널리 사용되고 있으며 데이터 검색 엔진에도 많이 이용되고 있다.

[0003] 이러한 내용 주소화 메모리는 크게 바이너리 내용 주소화 메모리(binary CAM)와 터너리 내용 주소화 메모리(ternary CAM)로 구분할 수 있다. 바이너리 내용 주소화 메모리는 메모리 셀에 0 또는 1 데이터가 저장되며, 입력되는 데이터와 저장되어 있는 데이터를 비교하여 해당 내용의 데이터가 저장된 위치의 주소를 검색한다. 이에 반해 터너리 내용 주소화 메모리는 메모리에 0 또는 1 이외에 무정값(don't care)을 저장할 수 있으며, 저장되어 있는 데이터를 검색하는 경우에도 0, 1, 무정값의 조합을 입력하고 입력한 데이터와 저장되어 있는 값을 비교하여 해당 내용의 데이터가 저장된 위치의 주소를 검색한다. 여기서 무정값이란 저장 데이터와 검색하고자 하는 비교 데이터가 서로 일치하는지에 상관없이 무조건 저장 데이터와 비교 데이터가 일치하는 것으로 판단되는 로직값을 의미한다.

[0004] 도 1은 종래 바이너리 내용 주소화 메모리의 저장셀부를 설명하기 위한 개략적인 회로도이다.

[0005] 도 1을 참고로 살펴보면, 종래 바이너리 내용 주소화 메모리의 저장셀부는 0, 1의 데이터를 저장하기 위한 저장부(10)와, 저장부(10)에 저장할 데이터를 입력하거나 저장된 데이터를 판단하기 위한 비교 데이터를 입력하기 위한 제1 비트라인(BL)과 제2 비트라인(BL/)으로 구성된 비트라인부, 저장부(10)의 활성화를 제어하는 워드라인(WL) 및 비트라인부(BL, BL/)을 통해 입력되는 비교데이터와 저장부(10)에 저장된 저장데이터를 비교하여 내용 주소화 메모리에 저장된 저장데이터와 입력된 비교데이터가 일치하는지 판단하는 비교 회로부(20)를 구비하고 있다.

[0006] 저장부(10)는 비트 라인부(BL, BL/)에 소스 연결된 제1 NMOS 트랜지스터(M1)와 제2 NMOS 트랜지스터(M2), 순환 고리 형태로 연결되어 비트 라인부(BL, BL/)를 통해 입력된 데이터를 저장하고 있는 한 쌍의 인버터(I1, I2)를 구비하고 있다. 여기서 제1 인버터(I1)와 제2 인버터(I2)는 각각 1개의 PMOS 트랜지스터와 1개의 NMOS 트랜지스터로 구성되어 있다.

[0007] 한편, 비교 회로부(20)는 프리차지 신호에 의해 하이 레벨로 프리차징되는 매칭 라인(ML), 한 쌍의 인버터(I1, I2)에 각각 게이트가 접속되어 있어 한 쌍의 인버터(I1, I2)에 저장된 데이터에 의해 활성화/비활성화되는 제3 NMOS 트랜지스터(M3)와 제4 NMOS 트랜지스터(M4) 및 매칭 라인(ML)에 드레인이 연결된 제5 NMOS 트랜지스터(M5)를 구비하고 있다. 제3 NMOS 트랜지스터(M3)의 드레인과 제4 NMOS 트랜지스터(M4)의 소스는 서로 연결되어 있으며, 제3 NMOS 트랜지스터(M3)와 제4 NMOS 트랜지스터(M4)가 연결되어 있는 노드(A)에 제5 NMOS 트랜지스터(M5)의 게이트가 연결되어 있다. 여기서 제5 NMOS 트랜지스터(M5)의 소스는 접지되어 있다. 저장부(10)에 저장되어 있는 데이터를 판단하는 경우, 워드 라인(WL)은 비활성화되며, 비트 라인부(BL, BL/)을 통해 입력된 비교 데이터와 저장부(10)에 저장된 저장데이터가 일치하는 경우 매칭 라인(ML)은 프리차징된 상태를 유지하여 하

이 레벨의 비교값을 출력한다. 반면, 비트 라인부(BL, BL/)을 통해 입력된 비교 데이터와 저장부(10)에 저장된 저장 데이터가 상이한 경우 매칭 라인(ML)은 디스차지되어 로우 레벨의 비교값을 출력한다.

[0008] 도 2는 종래 터너리 내용 주소화 메모리의 저장셀부를 설명하기 위한 개략적인 회로도이다.

[0009] 도 2를 참고로 살펴보면, 종래 터너리 내용 주소화 메모리의 저장셀부는 0, 1, 무정값의 데이터를 저장하기 위한 제1 저장부(50)와 제2 저장부(60), 제1 저장부(50)에 저장할 데이터를 입력하기 위한 제1 비트 라인쌍(BL1, BL1/), 제2 저장셀부(60)에 저장할 데이터를 입력하기 위한 제2 비트 라인쌍(BL2, BL2/), 제1 저장부(50) 또는 제2 저장부(60)의 활성화를 제어하는 워드 라인(WL), 비교 데이터를 입력하기 위한 비교 라인쌍(CL, CL/) 및 비교 라인쌍(CL, CL/)을 통해 입력되는 데이터와 제1 저장부(50) 및 제2 저장부(60)에 저장된 데이터를 비교하여 터너리 내용 주소화 메모리에 저장된 데이터와 입력된 데이터가 일치하는지 판단하는 비교 회로부(70)를 구비하고 있다.

[0010] 제1 저장부(50)는 제1 비트라인쌍(BL1, BL1/)에 소스가 연결된 제1 NMOS 트랜지스터(M1)와 제2 NMOS 트랜지스터(M2), 순환 고리 형태로 연결되어 제1 비트라인쌍(BL1, BL1/)을 통해 입력된 데이터를 저장하고 있는 한 쌍의 인버터(I1, I2)를 구비하고 있다. 또한 제2 저장부(60)는 제2 비트라인쌍(BL2, BL2/)에 소스가 연결된 제3 NMOS 트랜지스터(M3)와 제4 NMOS 트랜지스터(M4), 순환 고리 형태로 연결되어 제2 비트라인쌍(BL2, BL2/)을 통해 입력된 데이터를 저장하고 있는 한 쌍의 인버터(I3, I4)를 구비하고 있다.

[0011] 한편, 비교 회로부(70)는 한 쌍의 인버터(I1, I2)에 저장된 데이터에 의해 활성화/비활성화되는 제5 NMOS 트랜지스터(M5), 한 쌍의 인버터(I3, I4)에 저장된 데이터에 의해 활성화/비활성화되는 제6 NMOS 트랜지스터(M6), 비교 라인쌍(CL, CL/)에 게이트가 각각 연결되어 있으며 매칭 라인(ML)에 드레인이 연결된 제7 NMOS 트랜지스터(M7)와 제8 NMOS 트랜지스터(M8)를 구비하고 있다. 제7 NMOS 트랜지스터(M7)와 제8 NMOS 트랜지스터(M8)의 소스는 각각 제5 NMOS 트랜지스터(M5)와 제6 NMOS 트랜지스터(M6)의 드레인에 연결되어 있다. 여기서 제5 NMOS 트랜지스터(M5)와 제6 NMOS 트랜지스터(M6)의 소스는 각각 접지되어 있다. 비교 라인쌍(CL, CL/)을 통해 입력된 비교 데이터와 제1 저장부(50)와 제2 저장부(60)에 저장된 데이터가 일치하는 경우 매칭 라인(ML)은 프리차지된 상태로 유지된다. 반면, 비교 라인쌍(CL, CL/)을 통해 입력된 비교 데이터와 제1 저장부(50)와 제2 저장부(60)에 저장된 데이터가 상이한 경우 매칭 라인(ML)은 디스차지된다.

발명의 내용

해결하려는 과제

[0012] 위에서 살펴본 종래 바이너리 내용 주소화 메모리는 저장부(10)에 데이터를 입력하기 위하여 제1 입력 라인(BL)과 제2 입력 라인(BL/)에 개별적으로 각각 데이터를 입력하여야 한다. 더욱이 저장부(10)에는 다수의 트랜지스터들, 즉 저장부(10)에는 입력 라인부(BL, BL/)에 연결된 2개의 NMOS 트랜지스터들(M1, M2) 및 한 쌍의 인버터(I1, I2)를 구성하는 4개의 트랜지스터들(미도시), 총 6개의 트랜지스터를 구비하고 있다. 따라서 종래 바이너리 내용 주소화 메모리에는 저장부(10)에서 사용되는 6개의 트랜지스터와 비교 회로부(20)에서 사용되는 3개의 트랜지스터, 총 9개의 트랜지스터를 구비하고 있다.

[0013] 한편 0, 1 이외에 무정값 조합의 데이터를 검색하기 위하여 종래 터너리 내용 주소화 메모리는 2개의 저장부(50, 60)를 비롯하여 바이너리 내용 주소화 메모리보다 더 많은 트랜지스터를 필요로 하며, 2개의 저장부(50, 60)에 데이터를 입력하기 위한 2쌍의 비트라인 등 복잡한 구조를 가지게 된다.

[0014] 메모리 설계에 있어 가장 중요하게 고려하여야 할 요인으로 메모리의 크기를 작게 하여 집적도를 늘리는 것이며, 또한 고성능 설계로 소비 전력을 줄이는 것이다. 그러나 종래 바이너리 내용 주소화 메모리는 비교 회로부(20)를 포함하여 총 9개의 트랜지스터를 기본적으로 사용하고 있으며, 저장부(10)에 데이터를 저장하기 위하여 제1 입력 라인(BL)과 제2 입력 라인(BL/)에 각각 데이터를 개별적으로 입력하여야 한다. 따라서 종래 바이너리 내용 주소화 메모리는 집적화에 한계를 가지며, 많은 트랜지스터와 제1 입력 라인과 제2 입력 라인을 이용함으로써 소비 전력이 많고 프로세스가 복잡하여 높은 성능을 발휘하지 못한다는 문제점을 가진다. 또한 종래 바이너리 내용 주소화 메모리는 무정값의 조합으로 이루어진 데이터를 검색하지 못하여 복잡한 구조의 터너리 내용 주소화 메모리를 사용하여야 한다는 문제점을 가진다.

[0015] 따라서 본 발명은 종래 바이너리 내용 주소화 메모리가 가지는 문제점들을 해결하기 위한 것으로, 본 발명이 이루고자 하는 목적은 바이너리 내용 주소화 메모리에 사용되는 소자의 수를 줄여 작은 면적을 차지하는 바이너리 내용 주소화 메모리를 제공하는 것이다.

[0016] 본 발명이 이루고자 하는 또 다른 목적은 바이너리 내용 주소화 메모리를 구성하는 트랜지스터의 수를 줄여 소비 전력을 줄일 수 있는 바이너리 내용 주소화 메모리를 제공하는 것이다.

[0017] 본 발명이 이루고자 하는 또 다른 목적은 구성 트랜지스터의 수를 줄이고 단일 데이터 입력으로 데이터를 저장하여 적은 프로세스로 데이터 저장 또는 검색을 가능하게 하여 높은 성능을 발휘할 수 있는 바이너리 내용 주소화 메모리를 제공하는 것이다.

[0018] 본 발명이 이루고자 하는 또 다른 목적은 바이너리 내용 주소화 메모리의 저장셀부에 저장되어 있는 데이터를 검색하는 경우, 0, 1를 비롯하여 무정값의 데이터를 검색할 수 있는 바이너리 내용 주소화 메모리를 제공하는 것이다.

과제의 해결 수단

[0019] 위에서 언급한 목적을 달성하기 위하여 본 발명에 따른 바이너리 내용 주소화 메모리는 제1 비트라인(BL)을 통해 입력되는 저장 데이터를 저장하는 제1 트랜지스터와 제2 트랜지스터와, 제1 트랜지스터와 제2 트랜지스터에 저장된 저장 데이터 및 제1 비트라인(BL)과 제2 비트라인(BL/)을 통해 입력된 비교 데이터를 비교하여 비교값을 출력하는 비교 회로부와, 무정값 비교 신호에 따라 비교 회로부를 활성화 제어하여 저장 데이터와 비교 데이터에 무관하게 저장 데이터와 비교 데이터가 일치함을 나타내는 비교값을 출력 제어하는 무정값 검색 제어부를 포함한다.

[0020] 비교 회로부는 비교 신호에 따라 프리차지되는 매치라인과, 매치라인이 프리차지된 후, 무정값 검색 제어부의 제어에 따라 상기 비교 데이터와 상기 저장 데이터에 무관하게 상기 저장 데이터와 비교 데이터가 일치함을 나타내는 비교값을 출력하는 제3 트랜지스터를 포함한다.

[0021] 바람직하게, 제0 트랜지스터의 소스, 드레인, 게이트는 각각 제1 비트라인(BL), 제1 트랜지스터와 제2 트랜지스터의 게이트, 워드 라인(WL)에 연결되어 있으며, 제1 트랜지스터의 소스, 드레인은 각각 제1 비트라인(BL), 제2 트랜지스터의 드레인에 연결되어 있으며, 제2 트랜지스터의 소스는 제2 비트라인(BL/)에 연결되어 있으며, 제3 트랜지스터의 소스, 드레인, 게이트는 각각 접지 단자, 매칭 라인(ML), 제4 트랜지스터의 드레인에 연결되어 있으며, 제4 트랜지스터의 소스와 게이트는 제1 트랜지스터의 드레인, 무정값 비교 신호의 입력 단자(CI)에 연결되어 있는 것을 특징으로 한다.

발명의 효과

[0022] 본 발명에 따른 바이너리 내용 주소화 메모리는 종래 바이너리 내용 주소화 메모리와 비교하여 다음과 같은 다양한 효과들을 가진다.

[0023] 첫째, 본 발명에 따른 바이너리 내용 주소화 메모리는 종래 바이너리 내용 주소화 메모리와 비교하여 구성 트랜지스터의 수가 적어 작은 크기로 메모리를 제작할 수 있어서, 메모리 설계에 있어서 가장 중요한 요인 중 하나인 집적도를 향상시킬 수 있다.

[0024] 둘째, 본 발명에 따른 바이너리 내용 주소화 메모리는 집적도를 향상시킴으로써 소형화되고 경량화된 제품을 설계하는데 도움을 준다.

[0025] 셋째, 본 발명에 따른 바이너리 내용 주소화 메모리는 적은 수의 트랜지스터를 이용하여 바이너리 내용 주소화 메모리의 기능을 수행함으로써, 소비 전력을 줄일 수 있다.

[0026] 넷째, 본 발명에 따른 바이너리 내용 주소화 메모리는 트랜지스터의 수를 줄이고 단일 데이터로 데이터를 저장하여 적은 프로세스로 데이터 저장 또는 비교가 가능함으로써, 높은 성능을 발휘할 수 있다.

[0027] 다섯째, 본 발명에 따른 바이너리 내용 주소화 메모리는 무정값 비교 신호에 따라 비교 회로부를 비활성화시켜 저장 데이터와 비교 데이터에 무관하게 저장 데이터와 비교 데이터가 일치함을 나타내는 비교값을 출력하도록 제어함으로써, 0, 1 이외에 무정값을 포함하는 데이터를 검색할 수 있다.

도면의 간단한 설명

[0028] 도 1은 종래 바이너리 내용 주소화 메모리의 저장셀부를 설명하기 위한 개략적인 회로도이다.

도 2는 종래 터너리 내용 주소화 메모리의 저장셀부를 설명하기 위한 개략적인 회로도이다.

도 3은 본 발명의 일 실시예에 따른 바이너리 내용 주소화 메모리 저장셀(100)의 회로도도를 도시하고 있다.

도 4는 본 발명의 일 실시예에 따른 바이너리 내용 주소화 메모리에 0 또는 1을 저장하기 위해 제1 비트 라인(BL)에 입력되는 데이터와 바이너리 메모리에 저장된 데이터를 비교 검색하기 위하여 제1 비트 라인(BL), 제2 비트 라인(BL/) 및 무정값 비교 신호의 입력 단자(CI)로 입력되는 비교 데이터를 도시하고 있다

발명을 실시하기 위한 구체적인 내용

- [0029] 이하 첨부한 도면을 참고로 본 발명에 따른 바이너리 내용 주소화 메모리 셀에 대해 보다 구체적으로 살펴본다.
- [0030] 도 3은 본 발명의 일 실시예에 따른 바이너리 내용 주소화 메모리 저장셀(100)의 회로도도를 도시하고 있다.
- [0031] 도 3을 참고로 살펴보면, 본 발명에 따른 바이너리 내용 주소화 메모리 저장셀은 0 또는 1의 데이터를 저장하기 위한 저장부(110)와, 저장부(110)에 저장할 데이터를 입력하거나 제1 비교 데이터를 입력하기 위한 제1 비트 라인(BL)과 제2 비교 데이터를 입력하기 위한 제2 비트 라인(BL/)으로 구성된 비트 라인부와, 저장부(110)의 활성화를 제어하는 워드 라인(WL)과, 저장부(110)에 저장된 데이터와 비교 데이터를 비교하여 바이너리 내용 주소화 메모리에 저장된 데이터를 판단하는 비교 회로부(120)와, 무정값 비교 신호에 따라 비교 회로부(120)를 비활성화시켜 저장 데이터와 비교 데이터가 서로 일치하는지에 무관하게 저장 데이터와 비교 데이터가 일치함을 나타내는 비교값을 출력 제어하는 무정값 검색 제어부(130)를 포함한다.
- [0032] 저장부(110)는 워드라인(WL)을 통해 입력되는 워드라인 제어 신호에 따라 활성화되거나 비활성화되는 제0 트랜지스터(M0), 제1 비트 라인(BL)을 통해 입력된 데이터를 저장하는 제1 트랜지스터(M1)와 제2 트랜지스터(M2)를 구비하고 있다. 제0 트랜지스터(M0)의 소스, 드레인 및 게이트는 각각 제1 비트라인(BL), 제1 트랜지스터(M1)와 제2 트랜지스터(M2)의 게이트, 워드 라인(WL)에 연결되어 있다. 한편, 제1 트랜지스터(M1)의 소스와 드레인은 각각 제1 비트 라인(BL)과 제2 트랜지스터(M2)의 드레인에 연결되어 있으며, 제2 트랜지스터(M2)의 소스는 제2 비트 라인(BL/)에 연결되어 있다.
- [0033] 한편, 비교 회로부(120)는 비교 신호에 따라 프리차지되는 매치라인(ML)과, 매치라인(ML)이 프리차지된 후 무정값 비교 신호에 따라 제1 및 제2 비트라인(BL, BL/)을 통해 입력된 비교 데이터와 저장 데이터를 비교하여 비교값을 출력하는 제3 트랜지스터(M3)를 구비하고 있다. 제3 트랜지스터(M3)의 게이트, 드레인, 소스는 각각 무정값 검색 제어부(130), 매칭 라인(ML), 접지 단자에 연결되어 있다. 여기서 무정값 검색 제어부(130)는 하이값의 무정값 비교 신호가 입력되는 경우 활성화되거나 로우값의 무정값 비교 신호가 입력되는 경우 비활성화되는 트랜지스터인(M4) 것을 특징으로 한다. 무정값 검색 제어부(130)는 하이값의 무정값 비교 신호가 입력 단자(CI)를 통해 게이트로 입력되는 경우 활성화되어 저장 데이터와 비교 데이터가 일치하는지 여부를 나타내는 비교값을 매칭라인(ML)을 통해 출력 제어하며, 로우값의 무정값 비교 신호가 입력 단자(CI)를 통해 게이트로 입력되는 경우 비활성되어 저장 데이터와 비교 데이터에 무관하게 저장 데이터와 비교 데이터가 서로 일치함을 나타내는 비교값을 매칭라인(ML)을 통해 출력 제어한다.
- [0034] 바람직하게, 제0 트랜지스터(M0), 제2 트랜지스터(M2), 제3 트랜지스터(M3), 제4 트랜지스터(M4)는 NMOS 트랜지스터이며, 제1 트랜지스터(M1)는 PMOS 트랜지스터이다.
- [0035] 도 4는 본 발명의 일 실시예에 따른 바이너리 내용 주소화 메모리에 0 또는 1을 저장하기 위해 제1 비트 라인(BL)에 입력되는 데이터와 바이너리 메모리에 저장된 데이터를 비교 검색하기 위하여 제1 비트 라인(BL), 제2 비트 라인(BL/) 및 무정값 비교 신호의 입력 단자(CI)로 입력되는 비교 데이터를 도시하고 있다.
- [0036] 도 4(a)에 도시되어 있는 것과 같이, 0을 바이너리 내용 주소화 메모리에 저장하기 위하여 제1 비트 라인(BL)에 0을 입력하고, 1을 바이너리 내용 주소화 메모리에 저장하기 위하여 제1 비트 라인(BL)에 1을 입력한다. 한편, 도 4(b)에 도시되어 있는 것과 같이, 바이너리 내용 주소화 메모리에 저장된 데이터가 0인지를 판단하기 위하여 제1 비트 라인(BL)에 0을 입력하고 제2 비트 라인(BL/)에 1을 입력하며, 1의 무정값 비교 신호를 입력한다. 바이너리 내용 주소화 메모리에 저장된 데이터가 1인지를 판단하기 위하여 제1 비트 라인(BL)에 1을 입력하고 제2 비트 라인(BL/)에 0을 입력하며, 1의 무정값 비교 신호를 입력한다. 한편, 바이너리 내용 주소화 메모리의 저장 데이터와 비교 데이터가 실제 일치하는지 무관하게 항상 저장 데이터와 비교 데이터가 일치한다는 검색 결과를 나오게 하기 위하여, 즉 무정값 검색을 위하여 비교 데이터와 상관없이 1의 무정값 비교 신호를 입력한다.
- [0037] 도 3과 도 4를 참고로 본 발명에 따른 바이너리 내용 주소화 메모리 셀에 데이터를 저장하는 동작과 저장된 데

이터를 검색하는 동작을 보다 구체적으로 살펴본다.

[0038] <저장 동작>

[0039] 바이너리 내용 주소화 메모리(100)에 0을 저장하고자 하는 경우 워드 라인(WL)에 하이 신호를 입력하여 제0 트랜지스터(M0)를 활성화시키고 제1 비트 라인(BL)에 0의 데이터를 입력하여 제1 트랜지스터(M1)와 제2 트랜지스터(M2)에 0의 데이터를 저장한다. 0의 데이터 저장이 완료되면 워드 라인(WL)에 로우 신호를 유지시킨다.

[0040] 이와 동일하게 바이너리 내용 주소화 메모리(100)에 1을 저장하고자 하는 경우 워드 라인(WL)에 하이 신호를 입력하여 제0 트랜지스터(M0)를 활성화시키고, 제1 비트 라인(BL)에 1의 데이터를 입력하여 제1 트랜지스터(M1)와 제2 트랜지스터(M2)에 1의 데이터를 저장한다. 1의 데이터 저장이 완료되면 워드 라인(WL)에 로우 신호를 유지시킨다.

[0041] <검색 동작>

[0042] 바이너리 내용 주소화 메모리(100)에 저장된 데이터가 0인지 검색하기 위하여 제1 비트 라인(BL), 제2 비트 라인(BL/), 무정값 비교 신호의 입력 단자(CI)에 각각 0, 1, 1의 비교 데이터를 입력한다. 바이너리 내용 주소화 메모리(100)에 0이 저장되어 있는 경우, PMOS 트랜지스터인 제1 트랜지스터(M1)는 활성화되고 NMOS 트랜지스터인 제2 트랜지스터(M2)는 비활성화되어 있다. 한편 무정값 비교 데이터는 하이값(1)이므로 제4 트랜지스터(M4)는 활성화되어 있다. 따라서 제1 비트 라인(BL)으로 입력된 비교 데이터(0)은 노드(A)를 따라 제3 트랜지스터(M3)의 게이트로 입력된다. 제3 트랜지스터(M3) 게이트로 입력된 비교 데이터는 로우값을 가지는 신호이기 때문에, 제3 트랜지스터(M3)는 비활성화되며 매칭 라인(ML)은 프리차지된 상태를 유지하여 하이 신호의 비교값을 출력한다. 즉, 하이 신호의 비교값은 저장된 데이터가 0임을 나타낸다.

[0043] 그러나 바이너리 내용 주소화 메모리(100)에 1이 저장되어 있는 경우, PMOS 트랜지스터인 제1 트랜지스터(M1)는 비활성화되고 NMOS 트랜지스터인 제2 트랜지스터(M2)는 활성화되어 있다. 한편 무정값 비교 데이터는 하이값이므로 제4 트랜지스터(M4)는 활성화되어 있다. 따라서 제2 비트 라인(BL/)으로 입력된 비교 데이터(1)은 노드(A)를 따라 제3 트랜지스터(M3)의 게이트로 입력된다. 제3 트랜지스터(M3) 게이트로 입력된 비교 데이터는 하이값을 가지는 신호이기 때문에, 제3 트랜지스터(M3)는 활성화되며 매칭 라인(ML)은 디스차지되어 로우 신호의 비교값을 출력한다. 즉, 로우 신호의 비교값은 저장된 데이터가 0이 아님을 나타낸다.

[0044] 이와 동일하게 바이너리 내용 주소화 메모리(100)에 저장된 데이터가 1인지 검색하기 위하여 제1 비트 라인(BL), 제2 비트 라인(BL/), 무정값 비교 신호의 입력 단자(CI)에 각각 1, 0, 1의 비교 데이터를 입력한다. 바이너리 내용 주소화 메모리(100)에 1이 저장되어 있는 경우, PMOS 트랜지스터인 제1 트랜지스터(M1)는 비활성화되고 NMOS 트랜지스터인 제2 트랜지스터(M2)는 활성화되어 있다. 한편 무정값 비교 데이터는 하이값이므로 제4 트랜지스터(M4)는 활성화되어 있다. 따라서 제2 비트 라인(BL/)으로 입력된 비교 데이터(0)은 노드(A)를 따라 제3 트랜지스터(M3)의 게이트로 입력된다. 제3 트랜지스터(M3) 게이트로 입력된 비교 데이터는 로우값을 가지는 신호이기 때문에, 제3 트랜지스터(M3)는 비활성화되며 매칭 라인(ML)은 프리차지된 상태를 유지하여 하이 신호의 비교값을 출력한다. 즉, 하이 신호의 비교값은 저장된 데이터가 1임을 나타낸다.

[0045] 그러나 바이너리 내용 주소화 메모리(100)에 0이 저장되어 있는 경우, PMOS 트랜지스터인 제1 트랜지스터(M1)는 활성화되고 NMOS 트랜지스터인 제2 트랜지스터(M2)는 비활성화되어 있다. 한편 무정값 비교 데이터는 하이값이므로 제4 트랜지스터(M4)는 활성화되어 있다. 따라서 제1 비트 라인(BL)으로 입력된 비교 데이터(1)은 노드(A)를 따라 제3 트랜지스터(M3)의 게이트로 입력된다. 제3 트랜지스터(M3) 게이트로 입력된 비교 데이터는 하이값을 가지는 신호이기 때문에, 제3 트랜지스터(M3)는 활성화되며 매칭 라인(ML)은 디스차지되어 로우 신호의 비교값을 출력한다. 즉, 로우 신호의 비교값은 저장된 데이터가 1이 아님을 나타낸다.

[0046] 한편, 바이너리 내용 주소화 메모리(100)에 어떠한 데이터가 저장되어 있는지에 상관없이 항상 저장 데이터와 비교 데이터가 일치하는 무정값의 검색 결과를 출력하기 위하여, 제1 비트 라인(BL), 제2 비트 라인(BL/)를 통해 입력되는 비교 데이터와 무관하게 무정값 비교 신호의 입력 단자(CI)에 0의 무정값 비교 데이터를 입력한다. 무정값 비교 데이터는 로우값이므로 제4 트랜지스터(M4)와 제3 트랜지스터(M3)는 비활성화된다. 따라서 매칭 라인(ML)은 프리차지된 상태를 유지하여 비교 데이터와 저장 데이터에 상관없이 항상 하이 신호의 비교값을 출

력한다. 즉, 하이 신호의 비교값은 저장 데이터와 비교 데이터가 서로 일치함을 나타낸다.

[0047] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 위에서 설명한 본 발명의 다양한 실시예는 본 발명의 권리범위를 정함에 있어 하나의 참고가 될 뿐이며, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

부호의 설명

[0048] <도면의 주요 부분에 대한 설명>

100: 바이너리 내용 주소화 메모리 셀

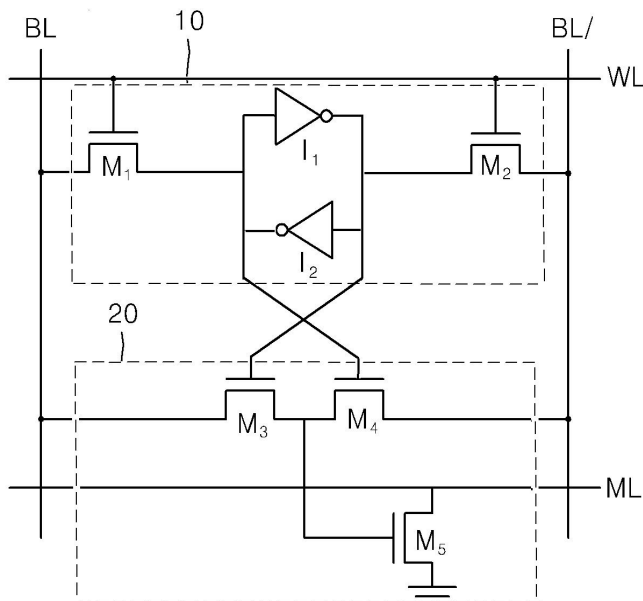
110 : 저장셀부

120 : 비교 회로부

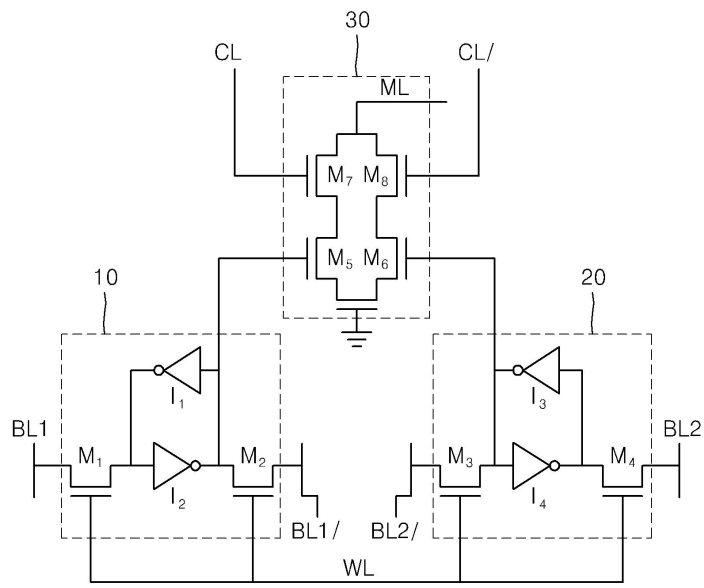
130: 무정값 검색 제어부

도면

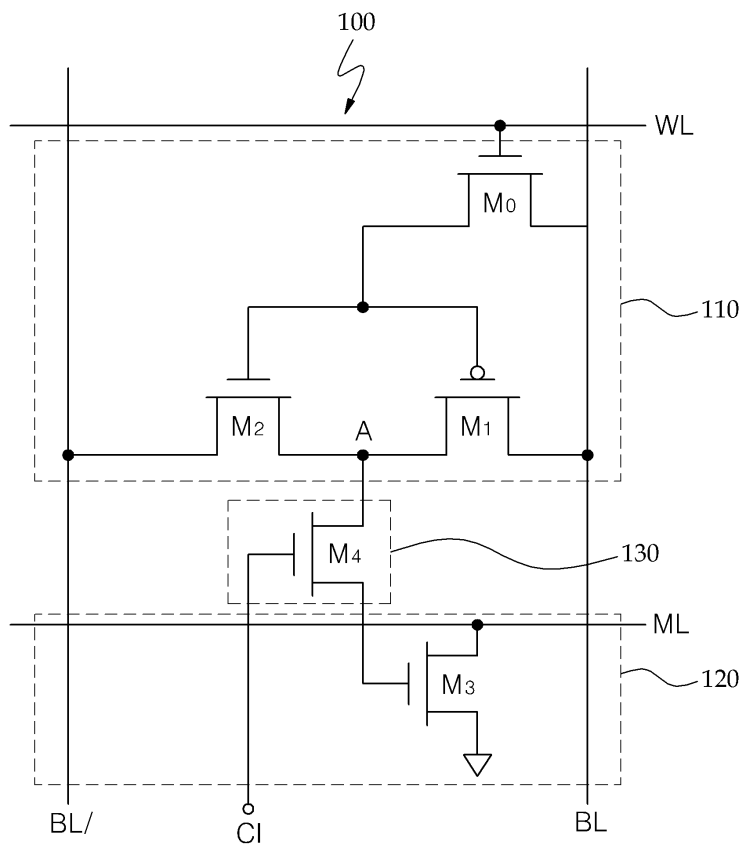
도면1



도면2



도면3



도면4

BL	LOGIC
0	0
1	1

(a)

BL	BL/	CI	LOGIC
0	1	1	0
1	0	1	1
x	x	0	무정값

(b)