

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4482287号
(P4482287)

(45) 発行日 平成22年6月16日(2010.6.16)

(24) 登録日 平成22年3月26日(2010.3.26)

(51) Int.Cl.			F I		
HO 1 L	29/786	(2006.01)	HO 1 L	29/78	6 1 4
GO 9 G	3/30	(2006.01)	HO 1 L	29/78	6 1 8 C
GO 9 F	9/30	(2006.01)	GO 9 G	3/30	J
HO 1 L	27/32	(2006.01)	GO 9 F	9/30	3 3 8
HO 1 L	51/50	(2006.01)	GO 9 F	9/30	3 6 5 Z

請求項の数 6 (全 16 頁) 最終頁に続く

(21) 出願番号	特願2003-139476 (P2003-139476)	(73) 特許権者	599142729
(22) 出願日	平成15年5月16日(2003.5.16)		奇美電子股▲ふん▼有限公司
(65) 公開番号	特開2004-342940 (P2004-342940A)		Chi Mei Optoelectronics Corporation
(43) 公開日	平成16年12月2日(2004.12.2)		台湾台南県台南科学工業園区新市郷奇業路1号
審査請求日	平成17年11月4日(2005.11.4)		NO. 1, Chi-Yeh Road, Tainan Science-Base Industrial Park, Tainan Country, Taiwan, R. O. C.
		(73) 特許権者	000006633
			京セラ株式会社
			京都府京都市伏見区竹田鳥羽殿町6番地

最終頁に続く

(54) 【発明の名称】 アクティブマトリックス型の画像表示装置

(57) 【特許請求の範囲】

【請求項1】

流れる電流に対応した輝度の光を表示する発光素子と、
前記発光素子に直列に接続し、前記発光素子の発光状態を制御するドライバー素子と、
印加電圧に対応した電流を流すことによって前記ドライバー素子に流れる電流値を制御する薄膜トランジスタと、

一端を前記ドライバー素子のゲート電極に接続し、他端を前記薄膜トランジスタのドレイン電極に接続し、前記薄膜トランジスタが流した電流を当該電流に対応する電圧に変換し、該電圧を前記ドライバー素子のゲート・ソース間電圧として保持するコンデンサと、
前記ドライバー素子のゲート電極とドレイン電極とを短絡することによって当該ドライバー素子の閾値電圧を検出する第1の素子と、

前記ドライバー素子のソース電極を接地することによって当該ドライバー素子に電流を流す第2の素子と、

を備えたアクティブマトリックス型の画像表示装置であって、
前記薄膜トランジスタは、基板上に配置されたゲート電極と、
前記ゲート電極上に配置されたチャネル形成領域と、前記チャネル形成領域の一部領域上に配置され不純物を添加した不純物領域と、を有する半導体層と、
前記不純物領域と電氣的に接続し、互いに離間するように配置されたソース電極およびドレイン電極と、

前記ゲート電極と前記半導体層との間に設けられ、前記ゲート電極と前記半導体層とを

10

20

電氣的に絶縁するゲート絶縁膜と、を備え、

前記ゲート電極の上端と前記不純物領域の上端との距離が、前記不純物領域が配置されていない領域における前記ゲート電極の上端と前記チャンネル形成領域の上端との距離と比較し、大きいことを特徴とするアクティブマトリックス型の画像表示装置。

【請求項 2】

前記半導体層は、アモルファスシリコン層であることを特徴とする請求項 1 に記載のアクティブマトリックス型の画像表示装置。

【請求項 3】

前記不純物領域が配置された領域における前記半導体層の膜厚は、前記不純物領域が配置されていない領域における前記第 1 のゲート電極の上部領域における前記半導体層の膜厚と比較し、厚いことを特徴とする請求項 1 または 2 に記載のアクティブマトリックス型の画像表示装置。

10

【請求項 4】

前記不純物領域が配置された領域における前記半導体層の膜厚が 170 nm 以上 230 nm 以下であり、前記不純物領域が配置されていない領域における前記第 1 のゲート電極の上部領域における前記半導体層の膜厚が 85 nm 以上 115 nm 以下であることを特徴とする請求項 1 ~ 3 のいずれか一つに記載のアクティブマトリックス型の画像表示装置。

【請求項 5】

前記第 1 のドレイン電極に印加される電圧の変化に対して、前記第 1 のソース電極と前記第 1 のドレイン電極との間を流れる電流が変化せず飽和する飽和領域のもと、オン状態とされることを特徴する請求項 1 ~ 4 のいずれか一つに記載のアクティブマトリックス型の画像表示装置。

20

【請求項 6】

前記発光素子は、有機エレクトロルミネッセンス素子であることを特徴とする請求項 1 に記載のアクティブマトリックス型の画像表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、主に有機 EL 素子を発光素子とした画素回路に用いられる薄膜トランジスタおよび画像表示装置に関し、特に、飽和領域で動作することにより閾値電圧の変動を抑制する薄膜トランジスタ、画像表示装置に関するものである。

30

【0002】

【従来の技術】

自ら発光する有機エレクトロルミネッセンス (EL) 素子を用いた有機 EL 表示装置は、液晶表示装置に必要なバックライトが不要で装置の薄型化に最適であるとともに、視野角にも制限がないため、次世代の画像表示装置として実用化が期待されている。また、有機 EL 表示装置に用いられる有機 EL 素子は、各発光素子の輝度が流れる電流値により制御される点で、液晶セルが電圧により制御される液晶表示装置等とは異なる。

【0003】

有機 EL 表示装置においては、駆動方式として単純 (パッシブ) マトリックス型とアクティブマトリックス型とを採ることができる。前者は構造が単純であるものの大型かつ高精細のディスプレイの実現が困難であるとの問題がある。このため、近年、画素内部の発光素子に流れる電流を、画素内に設けた薄膜トランジスタ (Thin Film Transistor: TFT) などの駆動素子によって制御する、アクティブマトリックス型の画像表示装置の開発が盛んに行われている。

40

【0004】

アクティブマトリックス型の画像表示装置が有する画素回路は、有機 EL 素子に直列に接続し、有機 EL 素子の発光と発光時の輝度を制御するドライバー素子と、ドライバー素子に接続し、データ線から供給される電圧を画素回路内部へ伝える動作 (以下、「書き込み」とする。) を制御するスイッチング素子を備える (たとえば、特許文献 1 参照)。スイ

50

タッチング素子の制御によって画素内部へ書き込まれた電圧はドライバー素子のゲート電極に印加され、ドライバー素子は、ゲート電極に印加された電圧によって、ドライバー素子に流れる電流値が規定されることで、接続する有機EL素子に流入する電流値を制御する。

【0005】

【特許文献1】

特開平8-234683号公報(第10頁、第1図)

【0006】

【発明が解決しようとする課題】

しかしながら、半導体層としてアモルファスシリコンを使用したTFTは、図10に示すように、長時間に渡って動作すると閾値電圧が変動しTFTに流れる電流値も変動するため、このTFTを使用する画像表示装置の画質が劣化するという問題が生じる。

【0007】

図11は、電流が流れ始めた当初のTFTと長時間にわたり電流が流れたTFTとの電圧-電流特性を示すグラフである。曲線 I_3 に示すように電流が流れ始めた当初のTFTの閾値電圧は V_{th} であるが、曲線 I_4 に示すように長時間にわたり電流が流れたTFTの閾値電圧は V_{th} から V_{th}' に正方向に変動する。このとき、ゲート・ソース間電圧が同じ値 V_D であっても、TFTに流れるドレイン電流は I_{d1} から I_{d2} ($< I_{d1}$)に変動する。ドライバー素子に使用されるTFTの閾値電圧が変動すると、画素回路の内部に供給される電圧が同一であった場合でも、ドライバー素子に流れる電流は変動し、有機EL素子に流れる電流も変動する。このため、有機EL素子の発光輝度が不均一となり、画像表示装置の画質劣化が発生する。

【0008】

本発明は、上記した従来技術の問題点に鑑みてなされたものであり、閾値電圧の変動を抑制するTFTと、長期に渡って高品質の画像表示を可能とする画像表示装置を提供することを目的とする。

【0009】

【発明が解決しようとする手段】

請求項1にかかる薄膜トランジスタは、流れる電流に対応した輝度の光を表示する発光素子と、前記発光素子に直列に接続し、前記発光素子の発光状態を制御するドライバー素子と、印加電圧に対応した電流を流すことによって前記ドライバー素子に流れる電流値を制御する薄膜トランジスタと、一端を前記ドライバー素子のゲート電極に接続し、他端を前記薄膜トランジスタのドレイン電極に接続し、前記薄膜トランジスタが流した電流を当該電流に対応する電圧に変換し、該電圧を前記ドライバー素子のゲート・ソース間電圧として保持するコンデンサと、前記ドライバー素子のゲート電極とドレイン電極とを短絡することによって当該ドライバー素子の閾値電圧を検出する第1の素子と、前記ドライバー素子のソース電極を接地することによって当該ドライバー素子に電流を流す第2の素子と、を備えたアクティブマトリクス型の画像表示装置であって、前記薄膜トランジスタは、基板上に配置されたゲート電極と、前記ゲート電極上に配置されたチャネル形成領域と、前記チャネル形成領域の一部領域上に配置され不純物を添加した不純物領域と、を有する半導体層と、前記不純物領域と電氣的に接続し、互いに離間するように配置されたソース電極およびドレイン電極と、前記ゲート電極と前記半導体層との間に設けられ、前記ゲート電極と前記半導体層とを電氣的に絶縁するゲート絶縁膜と、を備え、前記ゲート電極の上端と前記不純物領域の上端との距離が、前記不純物領域が配置されていない領域における前記ゲート電極の上端と前記チャネル形成領域の上端との距離と比較し、大きいことを特徴とする。

【0010】

本発明にかかる薄膜トランジスタによれば、ゲート電極の上端と不純物領域の上端との距離を、ゲート電極とチャネル形成領域との距離と比較し大きくすることによって、ゲート電極とソース電極との間に発生する電界がキャリアに与える影響を抑制し、閾値電圧の変

10

20

30

40

50

動を低減する。

【0011】

請求項2にかかるアクティブマトリックス型の画像表示装置において、前記半導体層は、アモルファスシリコン層であることを特徴とする。

【0012】

請求項3にかかるアクティブマトリックス型の画像表示装置は、前記不純物領域が配置されていない領域における前記不純物領域が配置された領域における前記半導体層の膜厚は、前記第1のゲート電極の上部領域における前記半導体層の膜厚と比較し、厚いことを特徴とする。

【0013】

請求項4にかかるアクティブマトリックス型の画像表示装置は、前記不純物領域が配置された領域における前記半導体層の膜厚が170nm以上230nm以下であり、前記不純物領域が配置されていない領域における前記第1のゲート電極の上部領域における前記半導体層の膜厚が85nm以上115nm以下であることを特徴とする。

【0014】

請求項5にかかるアクティブマトリックス型の画像表示装置は、前記第1のドレイン電極に印加される電圧の変化に対して、前記第1のソース電極と前記第1のドレイン電極との間を流れる電流が変化せず飽和する飽和領域のもと、オン状態とされることを特徴とする。

【0017】

請求項6にかかるアクティブマトリックス型の画像表示装置は、前記発光素子は、有機エレクトロルミネッセンス素子であることを特徴とする。

【0018】

【発明の実施の形態】

以下に図面を参照して、本発明にかかる薄膜トランジスタおよび画像表示装置を説明する。なお、この実施の形態によりこの発明が限定されるものではない。また、図面の記載において、同一部分には同一の符号を付している。また、図面は模式的なものであり、各層の厚みと幅との関係、各層の比率などは、現実のものとは異なることに留意する必要がある。

【0019】

(実施の形態1)

まず、実施の形態1にかかるTFTについて説明する。本実施の形態1にかかるTFTは、ゲート電極の上端と不純物領域の上端との距離を、ゲート電極の上端とチャンネル形成領域の上端との距離より大きくすることにより、ソース電極とゲート電極との間に生じる電界の強度を小さくし、閾値電圧の変動の抑制を実現する。以下、図1等を参照して具体的な構造について説明する。

【0020】

図1は、本実施の形態1にかかるTFTの構造を示した図である。図1に示すように、TFT1は、ガラス基板2上に、ゲート電極3と、ゲート電極3を覆うように積層されたゲート絶縁膜4とを備える。また、ゲート絶縁膜4上には、チャンネル形成領域5cと、チャンネル形成領域5cの一部領域上に不純物領域であるソース領域5aとドレイン領域5bとを有する半導体層5を備える。また、ソース領域5aとドレイン領域5b上には、ソース電極6aとドレイン電極6bをそれぞれ有する。さらに、ソース電極6aとドレイン電極6bとチャンネル形成領域5cとを覆うように配置される保護層7を有する。ここで、ソース領域5aおよびドレイン領域5bが配置された領域の半導体層5の膜厚は、ソース領域5aおよびドレイン領域5bが配置されていない領域におけるゲート電極3の上部領域の半導体層5の膜厚と比べ厚い。なお、説明を容易にするため、一方の電極と比較し高い電圧が印加される電極をドレイン電極6bとし、他方をソース電極6aとする。

【0021】

ゲート電極3は、Cr、Al等の金属膜、これらの合金、ITO等の透明材料などの導電

10

20

30

40

50

性材料によって形成される。また、ゲート電極 3 は、図 1 に示すように断面が台形となる形状のほか、矩形となる形状としてもよい。

【 0 0 2 2 】

ゲート絶縁膜 4 は、ゲート電極 3 と半導体層 5 を電氣的に絶縁するものであり、たとえば、窒化珪素 (SiN_x)、酸化珪素 (SiO_2) 等の透明絶縁膜、または、これらを積層した多層膜によって形成される。

【 0 0 2 3 】

ソース領域 5 a とチャネル形成領域 5 c とドレイン領域 5 b とを有する半導体層 5 は、アモルファスシリコンによって形成される。チャネル形成領域 5 c は n チャネル型 T F T の場合は p 型半導体を用いて形成し、また、p チャネル型 T F T の場合は n 型半導体を用いて形成するが、T F T 1 はアモルファスシリコンを用いるため、不純物のドーピングを省略することも可能である。また、ソース領域 5 a とドレイン領域 5 b とは、チャネル形成領域 5 c と比較し高濃度の不純物をドーピングした半導体層によって形成される。n チャネル型 T F T の場合には、リン (P) や砒素 (As) 等の n 型の不純物をドーピングし、p チャネル型 T F T の場合にはボロン (B) 等の p 型の不純物をドーピングする。以下、本実施の形態 1 にかかる T F T 1 を n チャネル型 T F T として説明するが、n チャネル型 T F T に限定するものではなく、p チャネル型 T F T においても同様の議論が成り立つ。

【 0 0 2 4 】

また、ソース領域 5 a およびドレイン領域 5 b が配置された領域の半導体層 5 の膜厚は、ソース領域 5 a およびドレイン領域 5 b が配置されていない領域におけるゲート電極 3 の上部領域の半導体層 5 の膜厚と比べ厚い。このため、T F T 1 においては、ソース領域 5 a の上端とゲート電極 3 の上端との距離 d_1 が、前記ソース領域 5 a およびドレイン領域 5 b が配置されていない領域のチャネル形成領域 5 c の上端とゲート電極 3 の上端との距離 d_2 と比較し大きくなる。

【 0 0 2 5 】

ソース電極 6 a およびドレイン電極 6 b は、ゲート電極 3 と同様の導電性材料で形成される。また、保護膜 7 は、たとえば、窒化珪素膜を用いて形成される。保護膜 7 は、画像表示領域における T F T の安定した動作を保持するための保護膜として積層される。

【 0 0 2 6 】

つぎに、T F T 1 の動作について説明する。ゲート電極 3 に閾値電圧よりも高い電圧を印加することによって、チャネル形成領域 5 c に n チャネルを形成する。n チャネルは n 型不純物を含むソース領域 5 a とドレイン領域 5 b とを電氣的に導通する。そして、ドレイン電極 6 b に所定の電圧を印加することによって、ソース領域 5 a とドレイン領域 5 b 間には n チャネルを介して電流が流れる。ソース領域 5 a とドレイン領域 5 b 間に流れる電流がドレイン電流である。ドレイン電流は、ソース電極 6 a またはドレイン電極 6 b に取り込まれ、ソース電極 6 a およびドレイン電極 6 b に接続する配線層を介して外部に供給される。

【 0 0 2 7 】

つぎに、本実施の形態 1 にかかる T F T 1 は長時間にわたって電流が流れた場合であっても、従来構造の T F T と比較し閾値電圧の変動を低減できることについて説明する。

【 0 0 2 8 】

図 2 は、本実施の形態 1 にかかる T F T 1 の閾値電圧の変動を測定した結果を示すグラフである。図 2 に示すように、実施の形態 1 にかかる T F T 1 の他、従来構造の T F T についても測定を行っている。実施の形態 1 にかかる T F T 1 は、ソース領域 5 a およびドレイン領域 5 b が配置された領域の半導体層 5 の膜厚を 200 nm とし、ソース領域 5 a およびドレイン領域 5 b が配置されていない領域におけるゲート電極 3 の上部領域の半導体層 5 の膜厚を 100 nm とすることによって、 d_1 を d_2 より大きくしている。一方、従来構造の T F T は、半導体層の膜厚が領域によらず 50 nm であり、 d_1 と d_2 は等しい。また、本測定は、ゲート電極 3 とドレイン電極 6 b とに 10 V の電圧を印加した状態を所定時間維持し、閾値電圧の変動を測定している。

10

20

30

40

50

【 0 0 2 9 】

図 2 に示すように、本実施の形態 1 にかかる T F T 1 の閾値電圧の変動値は、全ての測定時間において従来構造の T F T の閾値電圧の変動値より小さい。そのため、本実施の形態 1 にかかる T F T 1 は、長時間に渡って動作した場合であっても、従来構造の T F T と比較し T F T に流れる電流値の変動を抑制することが可能となる。

【 0 0 3 0 】

本実施の形態 1 にかかる T F T において閾値電圧の変動が低減される理由を以下のように述べる。T F T には、ゲート電極 3 とソース電極 6 a との間に生じる電界の影響を受けた電子が、ゲート絶縁膜 4 と半導体層 5 との界面を飛び越えゲート絶縁膜 4 の内部へ入り込む現象が起こることがある。現時点では明らかではないが、この現象が閾値電圧の変動に影響を与えるものと考えられる。ゲート絶縁膜 4 の内部へ入り込んだ電子は負の固定電荷となり、これにともない、閾値電圧は正方向に変動すると推測されるためである。また、このゲート電極 3 とソース電極 6 a との間に生じる電界の強度は、ゲート電極 3 とソース電極 6 a との距離に反比例するものと考えられる。

10

【 0 0 3 1 】

ここで、実施の形態 1 にかかる T F T 1 の構造は d_1 が d_2 より大きいため、従来構造の T F T と比べゲート電極 3 とソース電極 6 a との距離が大きくなる。このため、T F T 1 ではゲート電極 3 とソース電極 6 a との間に生じる電界の強度が弱くなり、電子に対する電界の影響が低減され、閾値電圧の変動を抑制することが可能となったものと考えられる。

【 0 0 3 2 】

なお、実施の形態 1 にかかる T F T は、飽和領域のもとで動作させることにより、さらに閾値電圧の変動を抑制することができる。以下、その理由を説明する。ここで、ドレイン電極に印加される電圧、すなわち、ドレイン電圧が比較的低い場合には、n チャネル内の電子の移動速度が電界の強度に比例して増加するため、ドレイン電圧に従ってドレイン電流は直線的に増加する。この動作領域を線形領域という。そして、ドレイン電圧を徐々に高くしていくと、ドレイン電圧が高い状態であってもドレイン電流が増加せず飽和する。この領域を飽和領域という。

20

【 0 0 3 3 】

図 3 は、本実施の形態 1 にかかる T F T が線形領域および飽和領域のもとで動作した場合の閾値電圧の変動を測定した結果を示すグラフである。図 3 (a) は線形領域のもとで T F T 1 が動作した場合の測定結果であり、図 3 (b) は飽和領域のもとで T F T 1 が動作した場合の測定結果であり、ともに、同一の条件で製造された複数の T F T について測定している。

30

【 0 0 3 4 】

図 3 に示すように、T F T 1 が線形領域のもとで 10^6 秒間動作した場合、閾値電圧は V_1 の値に変動する。これに対し、T F T 1 が飽和領域のもとで 10^6 秒間動作した場合、閾値電圧は V_2 ($< V_1$) の値に変動するに留まる。このため、T F T 1 においては、線形領域のもとで動作する場合と比較し飽和領域のもとで動作する方が閾値電圧の変動は少ない。したがって、ある一定の値だけ閾値電圧が変動した時点をも T F T の寿命とすると、飽和領域で動作することによって本実施の形態 1 にかかる T F T の寿命はさらに長くなることとなる。

40

【 0 0 3 5 】

実施の形態 1 にかかる T F T は飽和領域のもとで動作することにより閾値電圧の変動をさらに抑制することができる理由は、以下のように推測できる。ソース領域から供給される電子がゲート絶縁膜 4 の膜中に入り込む現象は、ゲート・ソース間電圧とソース・ドレイン間電圧との大小関係に影響されるものと推測される。飽和領域のもとでは、ソース電極に印加される電圧はドレイン電極およびゲート電極と比較し低く、また、ドレイン電極に印加される電圧は高いため、ソース・ドレイン間電圧とゲート・ソース間電圧との差は縮まる。このため、ゲート絶縁膜 4 に入り込まずチャネルを通過しドレイン電極に移動する電子の割合が高くなるものと考えられる。したがって、実施の形態 1 にかかる T F T は、

50

飽和領域のもとで動作することによって閾値電圧の変動をさらに抑制することができるものと推測される。

【0036】

上述したように実施の形態1にかかるTFTは、飽和領域のもとで動作することによって継続的にオン状態にして使用した場合であっても閾値電圧の変動を抑制することができる。したがって、実施の形態1にかかるTFTは、使用が継続した場合であっても、TFTに流れる電流の減少を低減することができ、従来よりも長期に渡って使用が可能となる。

【0037】

また、実施の形態1にかかるTFTは、チャンネル長を短くすることが可能である。図4は、本実施の形態1にかかるTFTにおいて、チャンネル長が異なるTFTの閾値電圧の変動特性を示す図であり、曲線 1_1 にチャンネル長が $4.5\mu\text{m}$ であるTFTの閾値電圧の変動特性を、曲線 1_2 にチャンネル長が $6.5\mu\text{m}$ であるTFTの閾値電圧の変動特性を示す。図4に示すように、曲線 1_1 と曲線 1_2 とに差は認められず、チャンネル長の差が閾値電圧の変動に影響しないと考えられる。このため、実施の形態1にかかるTFTは短チャンネル化が可能であり、TFTの小型化を実現することができる。

【0038】

なお、実施の形態1にかかるTFTとして、ソース領域5aおよびドレイン領域5bが配置された領域の半導体層5の膜厚を 200nm とし、ソース領域5aおよびドレイン領域5bが配置されていない領域におけるゲート電極3の上部領域の半導体層5の膜厚を 100nm として説明した。しかし、半導体層5の膜厚には15%程度のばらつきが生じ、具体的には、ソース領域5aおよびドレイン領域5bが配置された領域の半導体層5の膜厚は 170nm 以上 230nm 以下となる。また、ソース領域5aおよびドレイン領域5bが配置されていない領域におけるゲート電極3の上部領域の半導体層5の膜厚は 85nm 以上 115nm 以下となる。さらに、各領域の半導体層5の膜厚を上記の厚さに限定するものではない。ソース領域5aおよびドレイン領域5bが配置された領域の半導体層5の膜厚は、不純物が十分に拡散する厚さであれば足り、これを満たす限り 200nm と比して薄くすることも、また、厚くすることも可能である。また、ソース領域5aおよびドレイン領域5bが配置されていない領域におけるゲート電極3の上部領域の半導体層5の膜厚は、ソース領域5aとドレイン領域5bとの間にリークが発生しない程度の厚さに抑える必要がある。その一方、ゲート電極3とソース電極6aとの間に生じる電界の強度を弱めるため d_1 を大きくする必要もあることから、実施の形態1にかかるTFTの半導体層5は、ソース領域5aおよびドレイン領域5bが配置されていない領域におけるゲート電極3の上部領域と、ソース領域5aおよびドレイン領域5bが配置された領域とにおいて段差構造を有することとなる。なお、ソース領域5aおよびドレイン領域5bが配置されていない領域におけるゲート電極3の上部領域の半導体層5の膜厚を、ソース領域5aとドレイン領域5bとの間にリークを発生しない条件を満たす厚さとして、たとえば、 50nm としてもよい。

【0039】

また、実施の形態1にかかるTFTとして、ゲート電極3とソース電極6aおよびドレイン電極6bとの間に、ゲート絶縁膜4と半導体層5を設けたTFT1について説明したが、 d_1 が d_2 と比べ大きくなる構造であれば、さらに他の層を設けた構造としてもよい。

【0040】

また、実施の形態1にかかるTFTは、半導体層5の膜厚に差を設けることにより d_1 を d_2 と比較し大きくする他、図5に示すように、領域14aおよび領域14bに対応するゲート絶縁膜14の膜厚を、領域14cに対応するゲート絶縁膜14の膜厚と比較し厚くすることにより、 d_1 を d_2 より大きくしてもよい。

【0041】

つぎに、実施の形態1にかかるTFTの製造方法を説明する。図6は、実施の形態1にかかるTFTの製造方法を示した図である。図6に示す製造方法に従って製造することにより、製造コストの低減を図ることが可能となる。

【 0 0 4 2 】

図 6 (a) は、ガラス基板 2 上にゲート電極 3 を形成する工程を示す模式図である。ゲート電極 3 は、所定の開口部を有するマスクパターンを用いてエッチングを行うことにより形成する。なお、断面が台形状となるテーパエッチング方法を用いた場合を示したが、断面が矩形となるエッチング方法を用いてもよい。

【 0 0 4 3 】

図 6 (b) は、ゲート電極 3 上にゲート絶縁膜 4、アモルファスシリコン層 8、高濃度 n 型アモルファスシリコン層 9 および金属薄膜層 6 を形成する工程を示す模式図である。アモルファスシリコン層 8 は、チャネル形成領域 5 c を形成し、高濃度 n 型アモルファスシリコン層 9 は、後の工程において、ソース領域 5 a とドレイン領域 5 b とを形成する。また、金属薄膜層 6 は、後の工程において、ソース電極 6 a とドレイン電極 6 b を形成する。

10

【 0 0 4 4 】

図 6 (c) は、ソース電極 6 a とドレイン電極 6 b をエッチング工程によって形成する工程を示す模式図である。本工程は、ソース電極 6 a とドレイン電極 6 b に対応する領域以外の金属薄膜層 6 と、ソース領域 5 a とドレイン領域 5 b とに対応する領域以外の高濃度 n 型アモルファスシリコン層 9 とを除去する。また、エッチング量を多く設定することによって、ゲート電極 3 の上部領域のアモルファスシリコン層 8 の一部も除去する。また、図 6 (c) におけるエッチング工程の後、図 6 (d) に示すように、保護膜 7 が形成される。

20

【 0 0 4 5 】

以上説明した方法により、実施の形態 1 にかかる T F T の製造が可能となる。また、一度のエッチング工程によって、金属薄膜層 6 と高濃度 n 型アモルファスシリコン層 9 との除去と、ゲート電極 3 の上部領域のアモルファスシリコン層 8 の薄膜化が可能となり、製造コストの低減を図ることができる。

【 0 0 4 6 】

(実施の形態 2)

つぎに、実施の形態 2 にかかる画像表示装置について説明する。本実施の形態 2 にかかる画像表示装置は、実施の形態 1 にかかる T F T をドライバー素子として用い、該ドライバー素子によって、流入する電流値を制御される発光素子を備える。

30

【 0 0 4 7 】

図 7 は、実施の形態 2 における画素回路の構造を示す図である。実施の形態 2 にかかる画像表示装置は、画素回路 2 1 をマトリックス状に配置することによって構成される。図 7 に示すように、画素回路 2 1 は、発光素子である有機 E L 素子 2 2 と、ドライバー素子である T F T 2 3 と、輝度データを電圧の形で画素回路に供給するデータ線 2 4 と、スイッチング素子である T F T 2 5 とを有する。さらに、画素回路 2 1 は、データ線 2 4 から供給された電圧を保持するコンデンサ 2 7 と、T F T 2 5 の駆動状態を制御する走査線 2 6 とを有する。

【 0 0 4 8 】

有機 E L 素子 2 2 は、発光素子として機能し、流れる電流の大きさに対応した輝度で発光する。有機 E L 素子 2 2 は、一方は T F T 2 3 のソース/ドレイン電極の一方と接続し、一方は定電源線 V d d と接続する。

40

【 0 0 4 9 】

T F T 2 3 は、ドライバー素子として機能し、有機 E L 素子 2 2 に流れる電流を制御することによって、有機 E L 素子 2 2 の発光と発光時の強度を制御する。T F T 2 3 と有機 E L 素子 2 2 は直列に接続しており、T F T 2 3 に電流が流れる場合には有機 E L 素子 2 2 にも T F T 2 3 に流れる電流と同等の電流が流れる。

【 0 0 5 0 】

T F T 2 3 のソース電極はグラウンドに接続し、ドレイン電極は有機 E L 素子 2 2 を介して定電源線 V d d に接続する。T F T 2 3 のドレイン電極には、定電源線 V d d によって

50

十分に高い電圧が供給されており、TFT23はゲート電極に供給される電圧によってチャンネルに流れる電流値を規定する。このため、TFT23は、飽和領域のもとでオン状態になる。TFT23は、実施の形態1に記載した構造を有し、飽和領域のもとで長時間に渡ってオン状態を維持した場合であっても閾値電圧の変動が低減され、チャンネルに流れる電流値の減少を低減する特性を有する。

【0051】

TFT25は、スイッチング素子として機能し、データ線24からTFT23のゲート電極への電圧の供給を制御する。TFT25はオン状態となることによって、データ線24とTFT23のゲート電極を導通させる。この結果、データ線24はTFT23のゲート電極に所定の電圧を供給することができる。また、走査線26はTFT25の駆動状態を制御し、走査線26を高レベルとすることによってTFT25をオン状態とし、走査線26を低レベルとすることによってTFT25をオフ状態とする。

10

【0052】

以下、有機EL素子22が発光するまでの画素回路21の動作を説明する。走査線26が高レベルとなりTFT25がオン状態となることによって、データ線24からTFT23のゲート電極に電圧が供給される。TFT25をオフ状態とするため走査線26を低レベルにすると、データ線24とTFT23は電氣的に切り離されるが、TFT23のゲート電極の電圧はコンデンサ27が安定に保持する。そして、TFT23と有機EL素子22に流れる電流は、TFT23のゲート・ソース間電圧に応じた値となり、有機EL素子22はこの電流値に応じた輝度で発光することとなる。

20

【0053】

つぎに、実施の形態2における有機EL素子22に流れる電流値の時間的変動について説明する。図8は、実施の形態2における有機EL22が所定時間発光した後に、有機EL素子22に流れる電流値を示す図である。図8(a)は、画素回路21に備わる有機EL素子22が発光を開始した場合に有機EL素子22にフレーム毎に流れる電流値を示し、図8(b)は、有機EL素子22が発光を3万時間継続した後に有機EL素子22にフレーム毎に流れる電流値を示す。

【0054】

図8(a)に示すように、有機EL素子22が発光を開始した当初は、フレーム毎に約0.8msecの間に渡って有機EL素子22に約5.5μAの電流が流れる。これに対し、有機EL素子22が3万時間発光を継続した後は、図8(b)に示すように、フレーム毎に約0.8msecの間に渡って約4.3μAの電流が流れ、フレーム毎に流れる電流は発光開始当初と比較し約22%の減少に留まる。有機EL素子22の発光輝度が発光当初の50%に減少した場合を画像表示装置の寿命とすると、本実施の形態2にかかる画像表示装置は、有機EL素子22が発光を3万時間継続した場合であっても有機EL素子22に流れる電流は発光当初の22%の減少に留まるため、従来の画像表示装置と比較し寿命は長くなるものと考えられる。

30

【0055】

上述したように、本実施の形態2にかかる画像表示装置は、実施の形態1にかかるTFTをドライバー素子として使用することにより、有機EL素子22に流れる電流値の減少を低減することができ、有機EL素子22の発光輝度の変動を長期に渡って抑制することが可能となる。したがって、実施の形態2にかかる画像表示装置は、長期に渡って表示輝度の均一性を保持した高品質の画像表示が可能となり、画像表示の劣化を抑制することができる。

40

【0056】

なお、実施の形態2にかかる画像表示装置は、発光素子として有機EL素子22を用いた場合について説明したが、流れる電流の大きさに対応した輝度で発光する発光素子であれば足り、有機EL素子以外に、たとえば、無機EL素子や発光ダイオードを用いることも可能である。

【0057】

50

また、本実施の形態 2 にかかる画像表示装置では、スイッチング素子である T F T 2 5 の具体的構造について特に説明はしていないが、T F T 2 5 についても実施の形態 1 にかかる T F T を用いてもよい。実施の形態 1 にかかる T F T は、閾値電圧の変動を抑制する特性を有するとともに、従来構造の T F T が有する特性も備える。このため、継続的に導通するもののみならず、スイッチング素子のような電圧駆動素子に用いることももちろん可能である。

【 0 0 5 8 】

(実施の形態 3)

つぎに、実施の形態 3 にかかる画像表示装置について説明する。実施の形態 2 は実施の形態 1 にかかる T F T をドライバー素子として用いたが、本実施の形態 3 にかかる画像表示装置は、実施の形態 1 にかかる T F T をドライバー素子に流す電流の値を決定する電流決定素子として用いる。

10

【 0 0 5 9 】

図 9 は、実施の形態 3 における画素回路の構造を示す図であり、実施の形態 3 にかかる画像表示装置は、画素回路 3 1 をマトリックス状に配置することによって構成される。図 9 に示すように、画素回路 3 1 は、発光素子である有機 E L 素子 3 2 と、ドライバー素子である T F T 3 3 を備える。また、T F T 3 5 のソース電極に所定の電圧を供給する第 1 配線 3 4 と、電流決定素子である T F T 3 5 と、T F T 3 5 のゲート電極に所定の電圧を印加する第 2 配線 3 6 と、T F T 3 5 に流れた電流を電圧に変換し保持するコンデンサ 3 7 とを備える。さらに、T F T 3 3 のゲート電極とドレイン電極との短絡を制御する T F T 4 0 と、T F T 3 3 のソース電極とグラウンドとの電氣的導通を制御する T F T 4 1 を備える。

20

【 0 0 6 0 】

T F T 3 5 は、実施の形態 1 に記載した構造を有し、飽和領域で長時間に渡ってオン状態を継続した場合であっても閾値電圧の変動を抑制し、T F T 3 5 に流れる電流値の減少を抑制する特性を有する。

【 0 0 6 1 】

また、T F T 3 5 は、電流決定素子として機能し、電圧書き込み時に飽和領域のもとで動作することにより、T F T 3 3 に流す電流の値を T F T 3 5 のゲート電極に印加される電圧に基づいて決定する。T F T 3 5 に流れる電流の値は、有機 E L 素子 3 2 が実現しようとする輝度に対応して定められた値である。T F T 3 5 にこの値の電流を流すため、第 2 配線 3 6 はこの電流値に対応する電圧を T F T 3 5 のゲート電極に印加する。T F T 3 5 に流れる電流値はコンデンサ 3 7 によって電圧に変換された後 T F T 3 3 のゲート・ソース間電圧として供給され、有機 E L 素子 3 2 に発光輝度に対応する電流が流れる際の電圧値となる。

30

【 0 0 6 2 】

また、有機 E L 素子 3 2 と T F T 3 3 は、実施の形態 2 における有機 E L 素子 2 2 と T F T 3 3 と同様に機能する。また、T F T 4 0 は、T F T 3 3 のゲート電極とドレイン電極とを短絡することによって、T F T 3 3 の閾値電圧を検出する機能を有する。また、T F T 4 1 は、オン状態となることによって T F T 3 3 のソース電極とグラウンドを接続し、T F T 3 3 に電流を流す機能を有する。

40

【 0 0 6 3 】

以下、有機 E L 素子 3 2 が発光するまでの画素回路 3 1 の動作を説明する。T F T 4 0 がオン状態となり T F T 3 3 のゲート電極とドレイン電極とを短絡することによって、T F T 3 3 の閾値電圧を検出する。その後、第 2 配線 3 6 が所定の電圧を T F T 3 5 のゲート電極に印加することにより、T F T 3 5 は、飽和領域のもとでオン状態となり、印加電圧に基づいて決定した値の電流を流す。なお、T F T 3 5 に流れた電流の値は、有機 E L 素子 3 2 が実現しようとする輝度に対応した値である。そして、コンデンサ 3 7 は T F T 3 5 に流れた電流を電圧に変換し保持し、保持する電圧を T F T 3 3 にゲート・ソース間電圧として供給する。

50

【0064】

その後、TFT41が導通しTFT33のソース電極とグラウンドを接続することによって、TFT33と有機EL素子32に電流が流れ、有機EL素子32は発光する。TFT33と有機EL素子32に流れる電流は、TFT33のゲート・ソース間電圧に応じた値、すなわち、TFT35に流れた電流である。

【0065】

上述したように、電流決定素子であるTFT35は、TFT33に流す電流の値をTFT35のゲート電極への印加電圧に基づいて決定する。TFT35に閾値電圧の変動が発生すると、TFT33に流す電流の値が変動し、有機EL素子32の発光輝度が不均一となる。しかし、実施の形態3にかかる画像表示装置は、電流決定素子として実施の形態1にかかるTFTを用いることにより、電流決定素子の閾値電圧の変動を抑制する。このため、TFT33には、所定の電流値が変動することなく流れ、有機EL素子32に流れる電流値の変動を起因とする発光輝度の変動を低減することが可能となり、長期にわたって高品質の画像表示が可能である画像表示装置を実現することができる。

【0066】

なお、本実施の形態3にかかる画像表示装置では、電流供給素子以外のTFTであるTFT40とTFT41の具体的構造については特に説明していないが、TFT40とTFT41に実施の形態1にかかるTFTを用いてもよい。また、実施の形態2にかかる画像表示装置と同様に、ドライバー素子として実施の形態1にかかるTFTを用いることも可能である。

【0067】

【発明の効果】

以上説明したように、本発明にかかるTFTによれば、ゲート電極の上端とチャネル形成領域の上端との距離と比較し、ゲート電極の上端とソース領域の上端との距離を広くし、飽和領域でオン状態とすることによりTFTの閾値電圧の変動を減少させることが可能となる。また、このTFTが飽和領域で駆動する画素回路を有することにより、長期に渡って高品質の画像表示を可能とする画像表示装置を実現することができる。

【図面の簡単な説明】

【図1】本実施の形態1にかかるTFTの構造を示した図である。

【図2】本実施の形態1にかかるTFTの閾値電圧の変動を測定した結果を示すグラフである。

【図3】本実施の形態1にかかるTFTが線形領域および飽和領域において動作した場合の閾値電圧の変動を測定した結果を示すグラフである。

【図4】実施の形態1にかかるTFTにおいて、チャネル長が異なるTFTの閾値電圧の変動特性を示す図である。

【図5】実施の形態1にかかるTFTの構造の他の例を示した図である。

【図6】実施の形態1にかかるTFTの製造方法を示した図である。

【図7】実施の形態2における画素回路の構造を示す図である。

【図8】実施の形態2における有機EL素子が所定時間発光した後に、有機EL素子に流れる電流値を示す図である。

【図9】実施の形態3における画素回路の構造を示す図である。

【図10】アモルファスシリコンを半導体層として使用したTFTにおける閾値電圧の変動を測定した結果を示すグラフである。

【図11】電流が流れ始めた当初のTFTと長時間にわたり電流が流れたTFTとの電圧-電流特性を示すグラフである。

【符号の説明】

- 1、11 TFT
- 2 ガラス基板
- 3 ゲート電極
- 4、14 ゲート絶縁膜

10

20

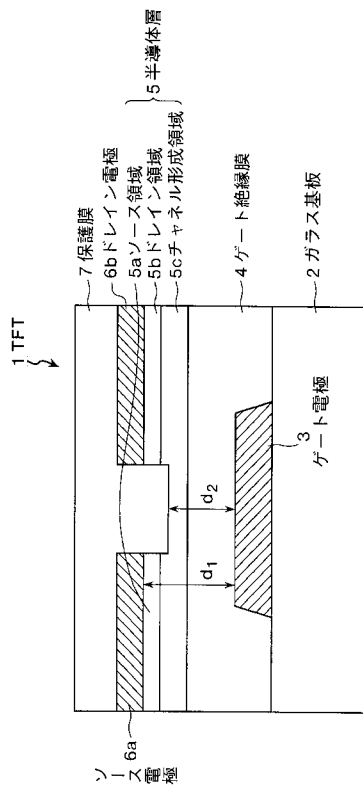
30

40

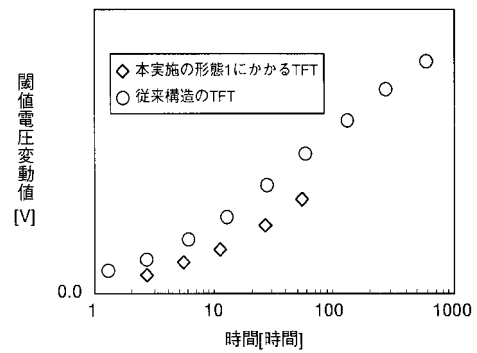
50

- 5、15 半導体層
- 5a、15a ソース領域
- 5b、15b ドレイン領域
- 5c、15c チャネル形成領域
- 6 金属薄膜層
- 6a ソース電極
- 6b ドレイン電極
- 7 保護膜
- 8 アモルファスシリコン層
- 9 高濃度n型アモルファスシリコン層
- 21、31 画素回路
- 22、32 有機EL素子
- 23、25、33、35、40、41 TFT
- 24 データ線
- 26 走査線
- 27、37 コンデンサ
- 34 第1配線
- 36 第2配線

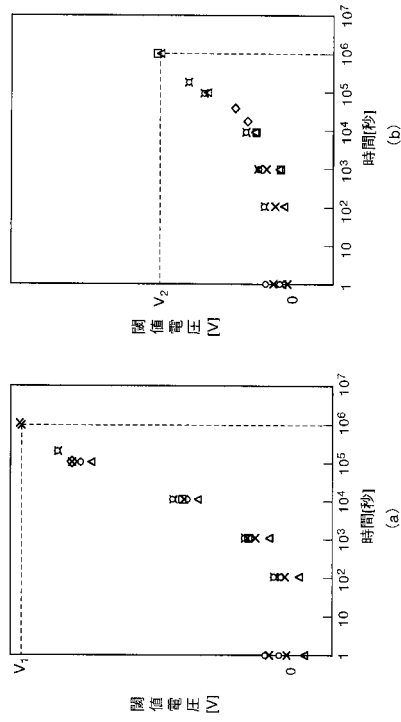
【図1】



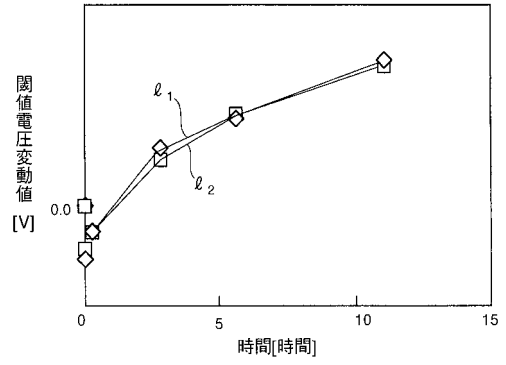
【図2】



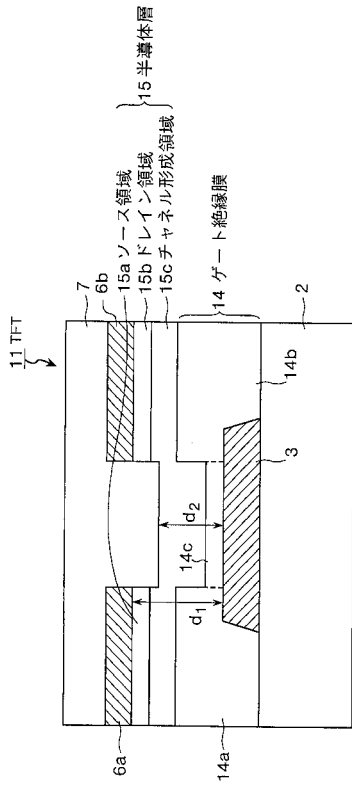
【図3】



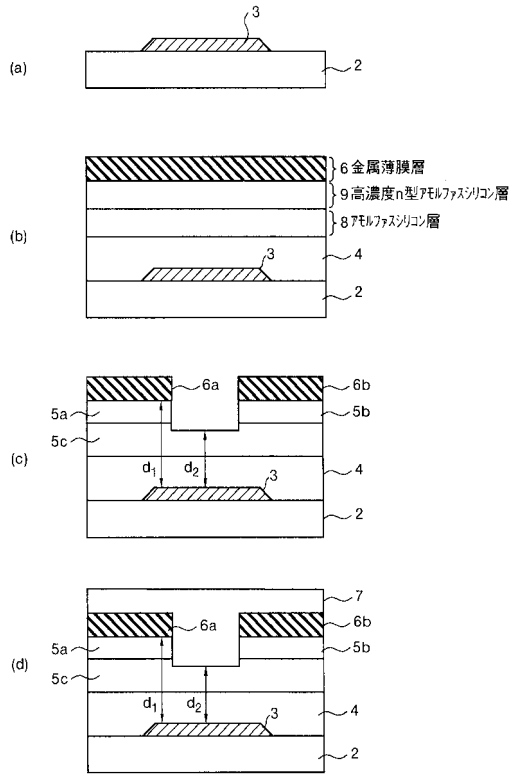
【図4】



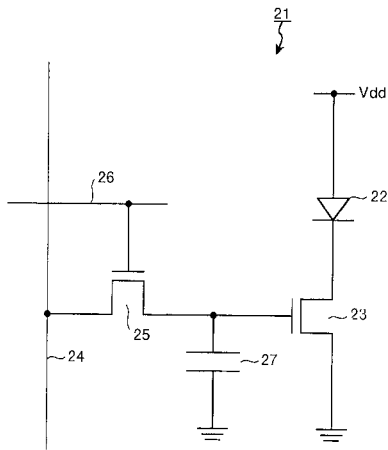
【図5】



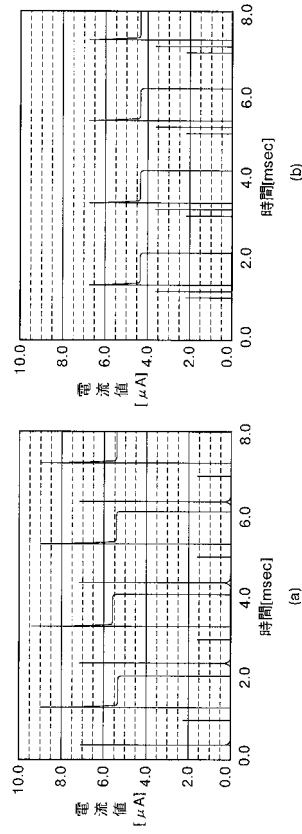
【図6】



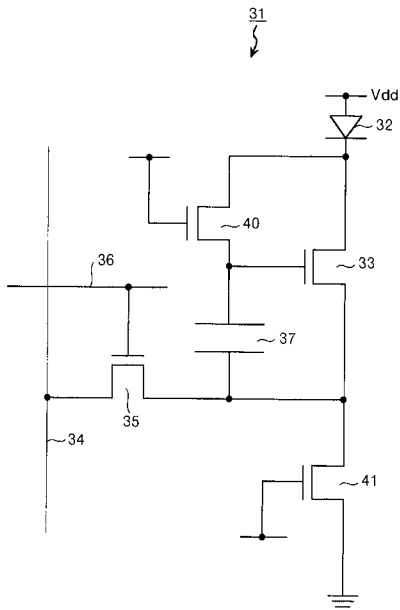
【図7】



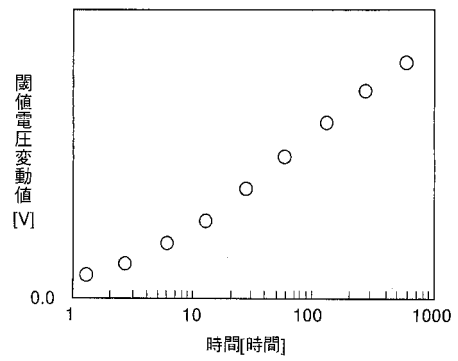
【図8】



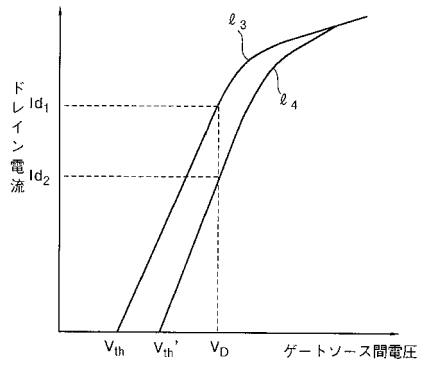
【図9】



【図10】



【図 11】



フロントページの続き

(51)Int.Cl. F I
H 0 5 B 33/14 A

(74)代理人 100089118

弁理士 酒井 宏明

(72)発明者 辻村 隆俊

神奈川県大和市下鶴間1623番地14 インターナショナル ディスプレイ テクノロジー株式
会社 大和事業所内

(72)発明者 小野 晋也

神奈川県大和市下鶴間1623番地14 インターナショナル ディスプレイ テクノロジー株式
会社 大和事業所内

(72)発明者 師岡 光雄

神奈川県大和市下鶴間1623番地14 インターナショナル ディスプレイ テクノロジー株式
会社 大和事業所内

(72)発明者 三和 宏一

神奈川県大和市下鶴間1623番地14 インターナショナル ディスプレイ テクノロジー株式
会社 大和事業所内

審査官 綿引 隆

(56)参考文献 特開2002-229480(JP,A)

特開2003-091245(JP,A)

(58)調査した分野(Int.Cl., DB名)

G09F 9/30

G09G 3/30

H01L 21/336

H01L 29/786

H01L 51/50