



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I534957 B

(45)公告日：中華民國 105 (2016) 年 05 月 21 日

(21)申請案號：101102678

(22)申請日：中華民國 101 (2012) 年 01 月 20 日

(51)Int. Cl. : *H01L21/8242(2006.01)**H01L27/108 (2006.01)*

(30)優先權：2011/01/26 日本

2011-014626

2011/05/19 日本

2011-112675

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)；鄉戶宏充 GODO, HIROMICHI (JP)

(74)代理人：林志剛

(56)參考文獻：

JP 特開平 5-297413A

JP 特開 2008-4738A

JP 特開 2009-164612A

US 2007/0165147A1

審查人員：黃鼎富

申請專利範圍項數：27 項 圖式數：17 共 79 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

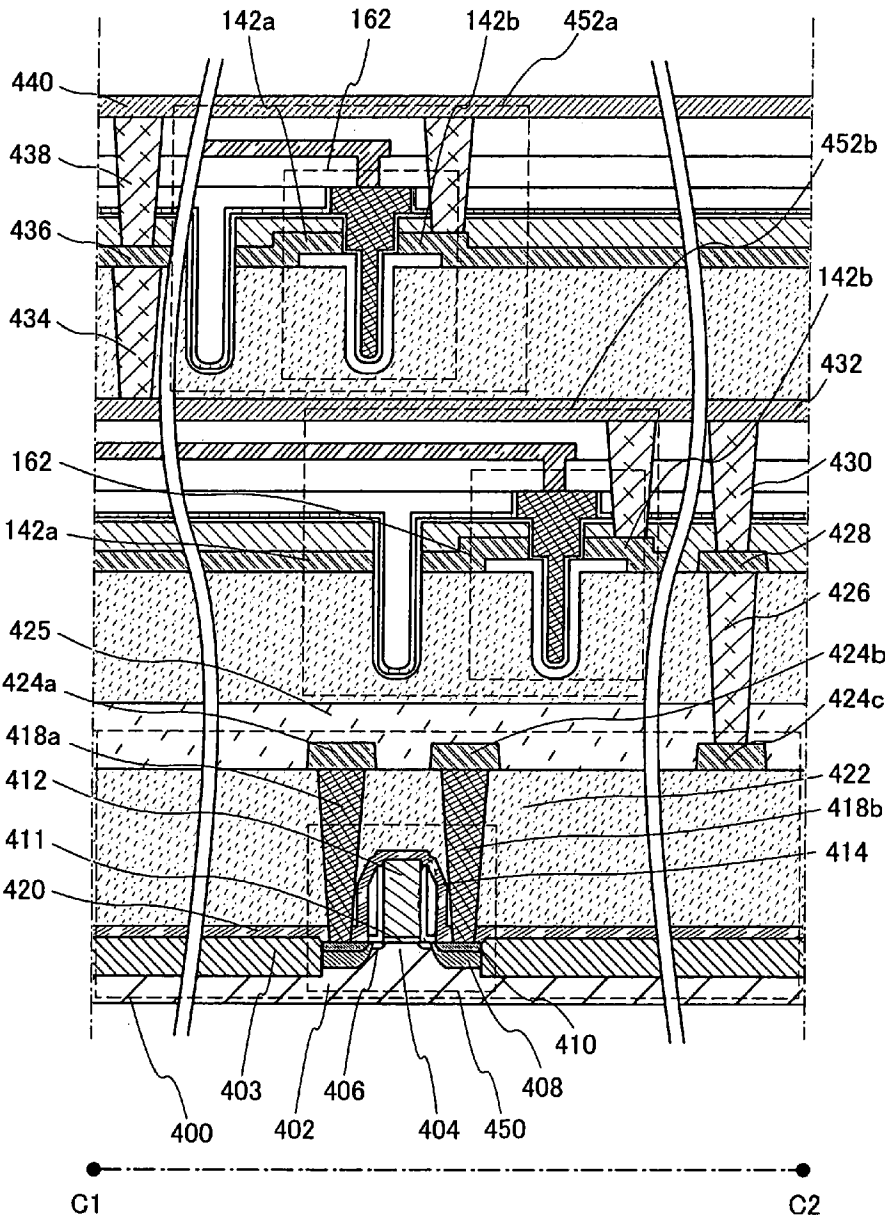
(57)摘要

習知的 DRAM 為了保持資料而需要每隔幾十毫秒進行刷新工作，因此導致耗電量的增大。此外，由於頻繁地切換電晶體的導通狀態和截止狀態，電晶體的劣化成為問題。上述問題隨著儲存容量增大和電晶體微型化的進展而變得明顯。另一個問題是：即使藉由推進電晶體的微型化而實現整合化，儲存容量的增大也會引起半導體裝置的面積的增大。設置包括氧化物半導體且具有包括閘極電極用溝槽及元件隔離用溝槽的溝槽結構的電晶體。此外，藉由在半導體裝置中將多個分別具有溝槽結構且包括氧化物半導體的記憶元件層疊，可以縮小半導體裝置的電路面積。

A conventional DRAM needs to be refreshed at an interval of several tens of milliseconds to hold data, which results in large power consumption. In addition, a transistor therein is frequently turned on and off; thus, deterioration of the transistor is also a problem. These problems become significant as the memory capacity increases and transistor miniaturization advances. Another problem is that an increase in memory capacity leads to an increase in the area, despite an attempt at integration through advancement of transistor miniaturization. A transistor is provided which includes an oxide semiconductor and has a trench structure including a trench for a gate electrode and a trench for element isolation. In addition, a plurality of memory elements each including the transistor having a trench structure and including an oxide semiconductor is stacked in a semiconductor device, whereby the circuit area of the semiconductor device can be reduced.

指定代表圖：

圖6



符號簡單說明：

- 142a . . . 電極
- 142b . . . 電極
- 162 . . . 電晶體
- 400 . . . 週邊電路
- 402 . . . 基板
- 403 . . . 元件隔離絕緣層
- 404 . . . 通道形成區
- 406 . . . 雜質區
- 408 . . . 高濃度雜質區
- 410 . . . 金屬化合物區
- 411 . . . 閘極絕緣層
- 412 . . . 閘極電極層
- 414 . . . 側壁絕緣層
- 418a . . . 源極電極
- 418b . . . 汲極電極
- 420 . . . 層間絕緣層
- 422 . . . 層間絕緣層
- 424a . . . 電極
- 424b . . . 電極
- 424c . . . 電極
- 425 . . . 絕緣層
- 426 . . . 連接電極
- 428 . . . 電極
- 430 . . . 連接電極
- 432 . . . 佈線
- 434 . . . 連接電極
- 436 . . . 電極
- 438 . . . 連接電極
- 440 . . . 佈線
- 452a . . . 記憶單元
- 452b . . . 記憶單元
- 450 . . . 電晶體

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101102678

※申請日：101 年 01 月 20 日

※IPC 分類：H01L 21/8242 (2006.01)

H01L 27/108 (2006.01)

一、發明名稱：(中文／英文)

半導體裝置

Semiconductor device

二、中文發明摘要：

習知的 DRAM 爲了保持資料而需要每隔幾十毫秒進行刷新工作，因此導致耗電量的增大。此外，由於頻繁地切換電晶體的導通狀態和截止狀態，電晶體的劣化成爲問題。上述問題隨著儲存容量增大和電晶體微型化的進展而變得明顯。另一個問題是：即使藉由推進電晶體的微型化而實現整合化，儲存容量的增大也會引起半導體裝置的面積的增大。設置包括氧化物半導體且具有包括閘極電極用溝槽及元件隔離用溝槽的溝槽結構的電晶體。此外，藉由在半導體裝置中將多個分別具有溝槽結構且包括氧化物半導體的記憶元件層疊，可以縮小半導體裝置的電路面積。

三、英文發明摘要：

A conventional DRAM needs to be refreshed at an interval of several tens of milliseconds to hold data, which results in large power consumption. In addition, a transistor therein is frequently turned on and off; thus, deterioration of the transistor is also a problem. These problems become significant as the memory capacity increases and transistor miniaturization advances. Another problem is that an increase in memory capacity leads to an increase in the area, despite an attempt at integration through advancement of transistor miniaturization. A transistor is provided which includes an oxide semiconductor and has a trench structure including a trench for a gate electrode and a trench for element isolation. In addition, a plurality of memory elements each including the transistor having a trench structure and including an oxide semiconductor is stacked in a semiconductor device, whereby the circuit area of the semiconductor device can be reduced.

四、指定代表圖：

(一) 本案指定代表圖為：第(6)圖。

(二) 本代表圖之元件代表符號簡單說明：

142a：電極	142b：電極
162：電晶體	400：週邊電路
402：基板	403：元件隔離絕緣層
404：通道形成區	406：雜質區
408：高濃度雜質區	410：金屬化合物區
411：閘極絕緣層	412：閘極電極層
414：側壁絕緣層	418a：源極電極
418b：汲極電極	420：層間絕緣層
422：層間絕緣層	424a：電極
424b：電極	424c：電極
425：絕緣層	426：連接電極
428：電極	430：連接電極
432：佈線	434：連接電極
436：電極	438：連接電極
440：佈線	452a：記憶單元
452b：記憶單元	450：電晶體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體積體電路的微型化技術。在本說明書所公開的發明中，作為構成半導體積體電路的構件，包括由矽半導體以外的化合物半導體構成的元件。作為其一例公開有使用氧化物半導體的元件。

【先前技術】

動態 RAM (DRAM: Dynamic Random Access Memory: 動態隨機存取記憶體) 是公知的半導體儲存裝置的產品，至今仍被使用於各種電子裝置中。構成 DRAM 的核心部分的記憶單元由用來寫入及讀出的電晶體和電容器構成。

DRAM 與其他半導體積體電路同樣，根據比例定律電路圖案的微型化得到了推進，但是以前一般認為將設計規則設定為 100nm 以下是很難的。其原因之一是，當將電晶體的通道長度設定為 100nm 以下時，由於短通道效應，穿透電流容易流過，從而使電晶體失去作為切換元件的功能。當然，為了防止穿透電流流過，可以對矽基板摻雜高濃度的雜質。但是，如果進行該處理，則在源極與基板之間或在汲極與基板之間容易流過接面漏電，結果會使記憶體的保持特性降低。因此，上述處理作為該問題的解決辦法是不合適的。

鑒於上述問題，提出了如下方法：藉由形成三維電晶體作為構成記憶單元的電晶體，在縮小一個記憶單元所占

的面積的同時，將電晶體的實效的通道長度維持為不產生短通道效應的程度。例如有如下結構：在電晶體的形成通道部分的區域中形成 U 字狀的縱長溝槽，沿著該溝槽的壁面形成閘極絕緣膜，並且將閘極電極埋入該溝槽中（參照非專利文獻 1）。

在將這種結構用於其通道部分的電晶體中，由於流過源區與汲極區之間的電流沿著溝槽部分流過，因此實效的通道長度變長。因而，可以縮小在記憶單元中電晶體所占的面積，同時可以抑制短通道效應。

[非專利文獻 1]

Kinam Kim, "Technology for sub-50nm DRAM and NAND Flash Manufacturing"(亞 50nm DRAM 和 NAND 快快閃記憶體的生產技術), International Electron Devices Meeting, 2005. IEDM Technical Digest, 2005 年 12 月, p. 333 - 336

另一方面，習知的 DRAM 爲了保持資料而需要每隔幾十毫秒進行刷新工作，因此導致耗電量的增大。此外，由於頻繁地切換電晶體的導通狀態和截止狀態，電晶體的劣化成爲問題。上述問題隨著儲存容量增大和電晶體微型化的進展而變得明顯。

另外，另一個問題是半導體裝置的面積的增大。對於儲存裝置的儲存容量的提高的要求強烈。即使藉由推進電晶體的微型化而實現整合化，儲存容量的增大也會引起半導體裝置的面積的增大。

【發明內容】

因此，本發明的目的之一在於提供能夠改善半導體儲存裝置中的資料保持特性的技術。另外，本發明的目的之一在於提供能夠在改善半導體儲存裝置中的資料保持特性的同時降低耗電量的技術。另外，本發明的目的之一在於提供能夠改善半導體儲存裝置中的資料保持特性以及耗電量的降低，同時能夠縮小半導體裝置的面積的技術。

爲了解決上述問題，藉由使用具有氧化物半導體（OS：Oxide Semiconductor）的電晶體，尤其使用具有氧化物半導體的 MOS 電晶體來構成電路，明確而言，構成半導體儲存裝置。這種氧化物半導體是實際上本質的半導體。因此，這種半導體具有截止電流極低的優點。

從而，藉由使用具有氧化物半導體的電晶體，可以使刷新工作的間隔長於習知的 DRAM，而可以實現耗電量的降低。此外，每單位時間的電晶體的導通狀態和截止狀態的切換次數被降低，所以可以使這種電晶體的使用壽命長於習知的 DRAM。

另外，在使用氧化物半導體層的電晶體中，如果推進電晶體的微型化，則有可能發生短通道效應。於是，提出使用氧化物半導體層的新穎的電晶體結構。另外，藉由由使用氧化物半導體層的新穎的電晶體構成半導體裝置的記憶元件，並將多個該記憶元件層疊，可以縮小半導體裝置的電路面積。關於其詳細內容將在下面進一步說明。

本發明的一個方式的半導體裝置包括：使用氧化物半導體以外的材料形成的第一電晶體；包括第一電晶體的週邊電路；使用氧化物半導體形成的第二電晶體；電連接於第二電晶體的電容器；以及使用第二電晶體和電容器形成的記憶元件，其中，第二電晶體包括：絕緣層中的第一溝槽及第二溝槽；接觸於第一溝槽的底面及內壁面的氧化物半導體層；氧化物半導體層上的閘極絕緣層；閘極絕緣層上的閘極電極；第二溝槽的底面及內壁面上的閘極絕緣層；填充第二溝槽的絕緣層；以及接觸於氧化物半導體層的源極電極或汲極電極，並且，在週邊電路上層疊記憶元件。第一溝槽為閘極電極用溝槽，而第二溝槽為元件隔離用溝槽。另外，第一溝槽的頂面形狀為條紋形狀或棒狀，而第二溝槽的頂面形狀為格子形狀、條紋形狀或棒狀。

在上述結構中，閘極絕緣層也可以接觸並覆蓋氧化物半導體層的側面。另外，氧化物半導體層也可以包括具有大致垂直於氧化物半導體層的表面的 c 軸的結晶。另外，氧化物半導體以外的材料也可以包括矽、鍺、矽鍺、碳化矽或砷化鎵。

另外，較佳的是，將上述氧化物半導體層的厚度設定為 1nm 以上且 100nm 以下，上述氧化物半導體層可以使用結晶氧化物半導體層。藉由使用結晶氧化物半導體層，可以抑制因可見光或紫外光的照射引起的電晶體的電特性變化，從而可以製造可靠性高的半導體裝置。並且，該結晶氧化物半導體層既不是單晶結構，又不是非晶結構，而

包括如下氧化物，即包括具有 c 軸配向的結晶（C Axis Aligned Crystal；也稱為 CAAC）的氧化物。

藉由本發明能夠提供能夠改善半導體儲存裝置中的資料保持特性的技術。

另外，藉由本發明能夠提供能夠改善半導體儲存裝置中的資料保持特性，同時能夠降低耗電量的技術。

另外，藉由本發明能夠提供能夠改善半導體儲存裝置中的資料保持特性以及耗電量的降低，同時能夠縮小半導體裝置的面積的技術。

【實施方式】

下面，參照圖式對本發明的實施方式進行詳細說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式和詳細內容可以被變換為各種形式。另外，本發明不應該被解釋為僅限於以下所示的實施方式的記載內容。

實施方式 1

在本實施方式中，參照圖 1A 至圖 2C 對本發明的一個方式的電晶體的結構及其製造方法進行說明。圖 1A 示出電晶體 162 的通道長度方向的剖面圖的一例。另外，圖 1B 示出垂直於電晶體 162 和電晶體 163 的元件隔離區 165 的面的剖面圖的一例。另外，圖 1C 示出電晶體 162 和電晶體 163 的俯視圖的一例。注意，圖 1B 是電晶體 162 的

通道寬度方向的剖面圖的一部分，相當於沿著圖 1C 中的虛線 D1-D2 切割的剖面。另外，圖 1A 相當於沿著圖 1C 中的虛線 A1-A2 切割的剖面。

首先，在半導體基板上形成由氧化膜構成的絕緣層 130。並且，在該絕緣層 130 中形成多個溝槽（也稱為槽）。然後，以覆蓋該溝槽的方式形成氧化物半導體層 144。溝槽可以使用公知的技術來形成，在本實施方式中形成深度大約為 $0.4\mu\text{m}$ 的溝槽。另外，在本實施方式中，藉由進行一次或多次蝕刻來形成閘極電極用溝槽。

半導體基板可以使用 SOI 基板、形成有包括 MOSFET 結構的電晶體的驅動電路的半導體基板、形成有電容的半導體基板等。

由於絕緣層 130 與氧化物半導體層 144 接觸，因此較佳的是，在絕緣層 130 的膜中（塊 (bulk) 中）至少有超過化學計量組成比的量的氧。例如，當將氧化矽膜用於絕緣層 130 時，使用 $\text{SiO}_{2+\alpha}$ （注意， $\alpha > 0$ ）的膜。藉由使用這種絕緣層 130，可以對氧化物半導體層 144 供應氧，從而可以提高特性。

另外，氧化物半導體層 144 的厚度為 1nm 以上且 100nm 以下，並且該氧化物半導體層 144 至少包含選自 In、Ga、Sn 和 Zn 中的一種以上的元素。另外，除了上述元素以外，較佳的是，還具有鎵 (Ga) 作為穩定劑 (stabilizer)，該穩定劑用來減小使用該氧化物半導體的電晶體的電特性偏差。另外，作為穩定劑具有錫 (Sn) 較佳

。另外，作為穩定劑具有鈦（Hf）較佳。另外，作為穩定劑具有鋁（Al）較佳。

另外，作為其他穩定劑，可以具有鑷系元素的鑷（La）、鈰（Ce）、鐳（Pr）、釹（Nd）、釷（Sm）、鈾（Eu）、釷（Gd）、錒（Tb）、鐿（Dy）、釹（Ho）、鉕（Er）、銩（Tm）、鐿（Yb）、鑷（Lu）中的一種或多種。

例如，作為氧化物半導體，可以使用：氧化銦、氧化錫、氧化鋅；二元金屬氧化物的 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；三元金屬氧化物的 In-Ga-Zn 類氧化物（也稱為 IGZO）、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；四元金屬氧化物的 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。

這裏，例如 In-Ga-Zn 類氧化物是指作為主要成分具

有 In、Ga 和 Zn 的氧化物，對 In、Ga、Zn 的比率沒有限制。另外，也可以包含 In、Ga、Zn 以外的金屬元素。

另外，In-Sn-Zn 類氧化物使用 In : Sn : Zn 的原子數比為 1 : 2 : 2、2 : 1 : 3、1 : 1 : 1 或 20 : 45 : 35 等的氧化物靶材。

另外，作為氧化物半導體，可以使用由 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$ 且 m 不是整數) 表示的材料。這裏，M 表示選自 Ga、Fe、Mn 和 Co 中的一種金屬元素或多種金屬元素。另外，作為氧化物半導體，也可以使用由 $\text{In}_3\text{SnO}_5(\text{ZnO})_n$ ($n > 0$ 且 n 是整數) 表示的材料。

例如，可以使用其原子數比為 In : Ga : Zn = 1 : 1 : 1 ($= 1/3 : 1/3 : 1/3$) 或 In : Ga : Zn = 2 : 2 : 1 ($= 2/5 : 2/5 : 1/5$) 的 In-Ga-Zn 類氧化物或該組成的近旁的氧化物。或者，也可以使用其原子數比為 In : Sn : Zn = 1 : 1 : 1 ($= 1/3 : 1/3 : 1/3$)、In : Sn : Zn = 2 : 1 : 3 ($= 1/3 : 1/6 : 1/2$) 或 In : Sn : Zn = 2 : 1 : 5 ($= 1/4 : 1/8 : 5/8$) 的 In-Sn-Zn 類氧化物或該組成的近旁的氧化物。

但是，不侷限於上述材料，根據所需要的半導體特性（遷移率、閾值、偏差等）可以使用適當的組成的材料。另外，較佳的是，為了獲得所需要的半導體特性，適當地設定載子密度、雜質濃度、缺陷密度、金屬元素與氧的原子數比、原子間接合距離、密度等的條件。

例如，使用 In-Sn-Zn 類氧化物可以較容易獲得較高的遷移率。但是，當使用 In-Ga-Zn 類氧化物時也可以藉由

減小塊內缺陷密度來提高遷移率。

在此，例如 In、Ga、Zn 的原子數比為 $\text{In} : \text{Ga} : \text{Zn} = a : b : c (a+b+c=1)$ 的氧化物的組成位於原子數比為 $\text{In} : \text{Ga} : \text{Zn} = A : B : C (A+B+C=1)$ 的氧化物的組成的近旁是指 a、b、c 滿足 $(a-A)^2 + (b-B)^2 + (c-C)^2 \leq r^2$ 的狀態，r 例如可以為 0.05。其他氧化物也是同樣的。

氧化物半導體既可以為單晶又可以為非單晶。在是後者的情況下，可以為非晶或多晶。另外，也可以利用在非晶體中含有具有結晶性的部分的結構或非非晶結構。

非晶態的氧化物半導體可以較容易形成平坦的表面，因此當使用該非晶態的氧化物半導體形成電晶體時，可以減小介面散射而較容易實現較高的遷移率。

另外，當利用具有結晶性的氧化物半導體時，可以進一步減小塊內缺陷，並藉由提高表面的平坦性可以獲得比非晶態的氧化物半導體高的遷移率。為了提高表面的平坦性，在平坦的表面上形成氧化物半導體較佳。具體來說，較佳的是，在平均面粗糙度 (Ra) 為 1nm 以下，較佳為 0.3nm 以下，更佳為 0.1nm 以下的表面上形成氧化物半導體。

在此，Ra 是為了解可以應用於面而將在 JIS B0601 中定義的中心線平均粗糙度擴大為三維來得到的值，可以將 Ra 表示為“將從基準面到指定面的偏差的絕對值平均來得到的值”，並且 Ra 以如下算式定義。

[算式 1]

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

另外，在上述算式中， S_0 表示測定面（由座標 (x_1, y_1) (x_1, y_2) (x_2, y_1) (x_2, y_2) 表示的四個點圍繞的長方形的區域）的面積， Z_0 表示測定面的平均高度。藉由利用原子力顯微鏡（AFM：Atomic Force Microscope）可以評價 Ra 。

作為氧化物半導體層 144 的材料，使用包含 In 且具有 c 軸配向的結晶氧化物半導體較佳。

在本說明書中，說明包含一種結晶（CAAC：C Axis Aligned Crystal：c 軸配向結晶）的氧化物，該結晶進行 c 軸配向，並且在從 ab 面、表面或介面的方向看時具有三角形狀或六角形狀的原子排列，在 c 軸方向上金屬原子排列為層狀或者金屬原子和氧原子排列為層狀，而在 ab 面上 a 軸或 b 軸的方向不同（即，以 c 軸為中心回轉）。

從廣義上來理解，包含 CAAC 的氧化物是指非單晶，並是指包括如下相的氧化物，在該相中在從垂直於 ab 面的方向看時具有三角形狀、六角形狀、正三角形狀或正六角形狀的原子排列，並且從垂直於 c 軸方向的方向看時金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。

雖然 CAAC 不是單晶，但是也不是只由非晶形成。另外，雖然 CAAC 包括晶化部分（結晶部分），但是有時不能明確辨別一個結晶部分與其他結晶部分的邊界。

當 CAAC 包含氧時，也可以用氮取代氧的一部分。另外，構成 CAAC 的各結晶部分的 c 軸也可以在固定的方向上（例如，垂直於支撐 CAAC 的基板面或 CAAC 的表面等的方向）一致。或者，構成 CAAC 的各結晶部分的 ab 面的法線也可以朝向固定的方向（例如，垂直於支撐 CAAC 的基板面或 CAAC 的表面等的方向）。

CAAC 根據其組成等而成爲導體、半導體或絕緣體。另外，CAAC 根據其組成等而對可見光具有透明性或不透明性。

作爲上述 CAAC 的例子，也可以舉出如下一種結晶，該結晶被形成爲膜狀，並且在該結晶中在從垂直於膜表面或支撐的基板面的方向觀察時確認到三角形或六角形的原子排列，並且在觀察該膜的剖面時確認到金屬原子或金屬原子及氧原子（或氮原子）的層狀排列。

以下，參照圖 14A 至圖 16C 詳細說明包括在 CAAC 中的結晶結構的一例。另外，在沒有特別說明時，在圖 14A 至圖 16C 中，以垂直方向爲 c 軸方向，並以與 c 軸方向正交的面爲 ab 面。另外，在簡單地描述爲“上一半”或“下一半”時，其是指以 ab 面爲邊界時的上一半或下一半。另外，在圖 14A 至 14E 中，使用圓圈圍繞的 O 示出四配位 O ，而使用雙重圓圈圍繞的 O 示出三配位 O 。

圖 14A 示出具有有一個六配位 In 以及靠近 In 的六個四配位氧原子（以下稱爲四配位 O ）的結構。這裏，將對於一個金屬原子只示出靠近其的氧原子的結構稱爲小組。雖

然圖 14A 所示的結構採用八面體結構，但是爲了容易理解示出平面結構。另外，在圖 14A 的上一半及下一半分別具有三個四配位 O。圖 14A 所示的小組的電荷爲 0。

圖 14B 示出具有有一個五配位 Ga、靠近 Ga 的三個三配位氧原子（以下稱爲三配位 O）以及靠近 Ga 的兩個四配位 O 的結構。三配位 O 都存在於 ab 面上。在圖 14B 的上一半及下一半分別具有有一個四配位 O。另外，因爲 In 也採用五配位，所以也有可能採用圖 14B 所示的結構。圖 14B 所示的小組的電荷爲 0。

圖 14C 示出具有有一個四配位 Zn 以及靠近 Zn 的四個四配位 O 的結構。在圖 14C 的上一半具有有一個四配位 O，並且在下一半具有三個四配位 O。或者，也可以在圖 14C 的上一半具有三個四配位 O，並且在下一半具有有一個四配位 O。圖 14C 所示的小組的電荷爲 0。

圖 14D 示出具有有一個六配位 Sn 以及靠近 Sn 的六個四配位 O 的結構。在圖 14D 的上一半具有三個四配位 O，並且在下一半具有三個四配位 O。圖 14D 所示的小組的電荷爲 +1。

圖 14E 示出包括兩個 Zn 的小組。在圖 14E 的上一半具有有一個四配位 O，並且在下一半具有有一個四配位 O。圖 14E 所示的小組的電荷爲 -1。

在此，將多個小組的集合體稱爲中組，並將多個中組的集合體稱爲大組（也稱爲單元元件）。

這裏，說明這些小組彼此接合的規則。圖 14A 所示的

六配位 In 的上一半的三個 O 在下方向上分別具有三個靠近的 In ，而 In 的下一半的三個 O 在上方向上分別具有三個靠近的 In 。圖 14B 所示的五配位 Ga 的上一半的一個 O 在下方向上具有一個靠近的 Ga ，而 Ga 的下一半的一個 O 在上方向上具有一個靠近的 Ga 。圖 14C 所示的四配位 Zn 的上一半的一個 O 在下方向上具有一個靠近的 Zn ，而 Zn 的下一半的三個 O 在上方向上分別具有三個靠近的 Zn 。像這樣，金屬原子的上方向上的四配位 O 的個數與位於該 O 的下方向上的靠近的金屬原子的個數相等。與此同樣，金屬原子的下方向上的四配位 O 的個數與位於該 O 的上方向上的靠近的金屬原子的個數相等。因為 O 為四配位，所以位於下方向上的靠近的金屬原子的個數和位於上方向上的靠近的金屬原子的個數的總和成為 4。因此，在位於金屬原子的上方向上的四配位 O 的個數和位於另一金屬原子的下方向上的四配位 O 的個數的總和為 4 時，具有金屬原子的兩種小組可以彼此接合。例如，在六配位金屬原子（ In 或 Sn ）藉由下一半的四配位 O 接合時，因為四配位 O 的個數為 3，所以其與五配位金屬原子（ Ga 或 In ）和四配位金屬原子（ Zn ）中的任何一種接合。

具有這些配位數的金屬原子在 c 軸方向上藉由四配位 O 接合。另外，除此以外，以使層結構的總和電荷成為 0 的方式使多個小組接合而構成中組。

圖 15A 示出構成 In-Sn-Zn-O 類的層結構的中組的模型圖。圖 15B 示出由三個中組構成的大組。另外，圖 15C

示出從 c 軸方向上觀察圖 15B 的層結構時的原子排列。

在圖 15A 中，爲了容易理解，省略三配位 O，關於四配位 O 只示出其個數，例如，以 ③ 表示 Sn 的上一半及下一半分別具有三個四配位 O。與此同樣，在圖 15A 中，以 ① 表示 In 的上一半及下一半分別具有一個四配位 O。與此同樣，在圖 15A 中示出：下一半具有一個四配位 O 而上一半具有三個四配位 O 的 Zn；以及上一半具有一個四配位 O 而下一半具有三個四配位 O 的 Zn。

在圖 15A 中，構成 In-Sn-Zn-O 類的層結構的中組具有如下結構：在從上面按順序說明時，上一半及下一半分別具有三個四配位 O 的 Sn 與上一半及下一半分別具有一個四配位 O 的 In 接合；該 In 與上一半具有三個四配位 O 的 Zn 接合；藉由該 Zn 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合；該 In 與上一半具有一個四配位 O 的由兩個 Zn 構成的小組接合；藉由該小組的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 Sn 接合。多個上述中組彼此接合而構成大組。

這裏，三配位 O 及四配位 O 的一個接合的電荷分別可以被認爲是 -0.667 及 -0.5 。例如，In（六配位或五配位）、Zn（四配位）以及 Sn（五配位或六配位）的電荷分別爲 $+3$ 、 $+2$ 以及 $+4$ 。因此，包含 Sn 的小組的電荷爲 $+1$ 。因此，爲了形成包含 Sn 的層結構，需要消除電荷 $+1$ 的電荷 -1 。作爲具有電荷 -1 的結構，可以舉出圖 14E 所示的

包含兩個 Zn 的小組。例如，因為如果對於一個包含 Sn 的小組有一個包含兩個 Zn 的小組則電荷被消除，而可以使層結構的總電荷為 0。

明確而言，藉由反復圖 15B 所示的大組來可以得到 In-Sn-Zn-O 類的結晶 ($\text{In}_2\text{SnZn}_3\text{O}_8$)。注意，可以得到的 In-Sn-Zn-O 類的層結構可以由組成式 $\text{In}_2\text{SnZn}_2\text{O}_7(\text{ZnO})_m$ (m 是 0 或自然數) 表示。

此外，使用如下材料時也與上述相同：四元金屬氧化物的 In-Sn-Ga-Zn 類氧化物；三元金屬氧化物的 In-Ga-Zn 類氧化物（也表示為 IGZO）、In-Al-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；二元金屬氧化物的 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物等。

例如，圖 16A 示出構成 In-Ga-Zn-O 類的層結構的中組的模型圖。

在圖 16A 中，構成 In-Ga-Zn-O 類的層結構的中組具有如下結構：在從上面按順序說明時，上一半和下一半分

別有三個四配位 O 的 In 與上一半具有一個四配位的 O 的 Zn 接合；藉由該 Zn 的下一半的三個四配位 O 與上一半及下一半分別具有一個四配位 O 的 Ga 接合；藉由該 Ga 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合。多個上述中組彼此接合而構成大組。

圖 16B 示出由三個中組構成的大組。另外，圖 16C 示出從 c 軸方向上觀察圖 16B 的層結構時的原子排列。

在此，因為 In（六配位或五配位）、Zn（四配位）、Ga（五配位）的電荷分別為 +3、+2、+3，所以包含 In、Zn 和 Ga 中的任一種的小組的電荷為 0。因此，組合這些小組而成的中組的總電荷一直為 0。

此外，構成 In-Ga-Zn-O 類的層結構的中組不侷限於圖 16A 所示的中組，而有可能是組合 In、Ga、Zn 的排列不同的中組而成的大組。

作為得到具有 c 軸配向的結晶氧化物半導體的方法，可以舉出三個方法：第一個方法是藉由將成膜溫度設定為 400℃ 以上且 450℃ 以下形成氧化物半導體層 144，並沿著圖 2A 所示的箭頭的方向進行 c 軸配向的方法；第二個方法是在形成薄的膜之後，進行 200℃ 以上且 700℃ 以下的加熱處理，並沿著圖 2B 所示的箭頭的方向進行 c 軸配向的方法；第三個方法是在形成薄的第一層之後，進行 200℃ 以上且 700℃ 以下的加熱處理，然後形成第二層，並沿著圖 2C 所示的箭頭的方向進行 c 軸配向的方法。

如圖 2A、圖 2B 以及圖 2C 所示，不管採用上述哪一

種方法，都可以使結晶在垂直於氧化物半導體層 144 的表面的凹凸的方向上生長，從而可以得到實現了 c 軸配向的結晶氧化物半導體。

接著，以與氧化物半導體層 144 接觸的方式形成用作源極電極或汲極電極的電極 142a、142b。電極 142a、電極 142b 可以使用金屬材料諸如鉬、鈦、鉭、鎢、鋁、銅、鉻、鈹、銦等或以上述金屬材料為主要成分的合金材料形成。

另外，為了保護電極 142a、142b，形成絕緣層 143a、143b。接著，使用 CMP（Chemical Mechanical Polishing：化學機械拋光）等進行平坦化處理。當進行該平坦化處理時，絕緣層 143a、143b 用作緩衝層而防止電極 142a、142b 被削掉。

接著，形成通道長度方向的元件隔離用溝槽和通道寬度方向的元件隔離用溝槽。這些元件隔離用溝槽既可以採用相連的頂面圖案形狀，又可以採用彼此獨立的頂面圖案形狀。在本實施方式中，藉由形成溝槽來分離氧化物半導體層，所以在圖 1C 中採用相連的頂面圖案形狀（格子狀）作為這些溝槽的圖案。當形成通道寬度方向的元件隔離用溝槽時，還可以分離電極 142a 和電極 142b。另外，對形成元件隔離用溝槽的時序沒有特別的限制。另外，只要可以充分地分離元件，元件隔離用溝槽的深度就限定為與閘極電極用溝槽的底面的水平位置相同的深度。藉由使元件隔離用溝槽的底面的水平位置深於閘極電極用溝槽的

底面的水平位置，可以確實地分離元件。

接著，形成覆蓋氧化物半導體層 144 的一部分、用作源極電極或汲極電極的電極 142a 及 142b、絕緣層 143a 及 143b 的閘極絕緣層 146。另外，在通道長度方向的元件隔離用溝槽的內壁及底面、在通道寬度方向的元件隔離用溝槽的內壁及底面也形成閘極絕緣層 146。

閘極絕緣層 146 可以使用如下材料形成：氧化矽膜；氧化鎵膜；氧化鋁膜；氮化矽膜；氧氮化矽膜；氧氮化鋁膜；氮氧化矽膜。較佳的是，閘極絕緣層 146 在接觸於氧化物半導體層 144 的部分含有氧。尤其是，較佳的是，閘極絕緣層 146 在其膜中（塊中）至少有超過化學計量組成比的量的氧。例如，當將氧化矽膜用於閘極絕緣層 146 時，使用 $\text{SiO}_{2+\alpha}$ （注意， $\alpha>0$ ）的膜。在本實施方式中，將 $\text{SiO}_{2+\alpha}$ （注意， $\alpha>0$ ）的氧化矽膜用於閘極絕緣層 146。藉由將這種氧化矽膜用於閘極絕緣層 146，可以對氧化物半導體層 144 供應氧，從而可以提高特性。並且，較佳的是，閘極絕緣層 146 考慮到所製造的電晶體的尺寸和閘極絕緣層 146 的臺階覆蓋性來形成。

另外，可以藉由使用如下 high-k 材料來降低閘極漏電流：氧化鈣；氧化釷；矽酸鈣（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））；添加有氮的矽酸鈣（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））；鋁酸鈣（ HfAl_xO_y （ $x>0$ 、 $y>0$ ））等。另外，閘極絕緣層 146 既可以採用單層結構，又可以採用疊層結構。另外，將閘極絕緣層的厚度設定為 1nm 以上且 100nm 以下。

然後，以填充閘極電極用溝槽的方式在閘極絕緣層 146 上形成閘極電極 148a。閘極電極 148a 可以使用鉬、鈦、鉭、鎢、鋁、銅、鉻、釹、銦等金屬材料或以上述金屬材料為主要成分的合金材料形成。閘極電極 148a 既可以採用單層結構，又可以採用疊層結構。

作為接觸於閘極絕緣層 146 的閘極電極 148a 的一層，使用含有氮的金屬氧化物。明確而言，使用含有氮的 In-Ga-Zn-O 膜、含有氮的 In-Sn-O 膜、含有氮的 In-Ga-O 膜、含有氮的 In-Zn-O 膜、含有氮的 Sn-O 膜、含有氮的 In-O 膜、金屬氮化膜（InN、SnN 等）。這些膜具有 5 電子伏特以上的功函數，具有 5.5 電子伏特以上的功函數較佳。當將這些膜用於閘極電極時，可以使電晶體的電特性之一的臨界電壓向正方向漂移，從而可以實現所謂的常關閉（normally off）的切換元件。

當完成在閘極電極用溝槽中形成閘極電極 148a 的步驟時，溝槽結構的電晶體 162 也就形成了。

接著，形成覆蓋閘極電極 148a、148b 的絕緣層 149。絕緣層 149 使用臺階覆蓋性良好的絕緣膜較佳。絕緣層 149 可以使用如下材料形成：氧化矽膜；氧化鎵膜；氧化鋁膜；氮化矽膜；氧氮化矽膜；氧氮化鋁膜；氮氧化矽膜。在本實施方式中，將氧化鋁膜用作絕緣層 149 的材料。在圖 1A 及圖 1B 中，以與氧化物半導體層 144 的側面接觸的方式形成閘極絕緣層 146，而且形成絕緣層 149。另外，在本實施方式中，閘極絕緣層 146 使用 $\text{SiO}_{2+\alpha}$ （注意，

$\alpha > 0$) 的氧化矽膜，而絕緣層 149 使用氧化鋁膜。從而，藉由使氧化鋁膜覆蓋氧化矽膜，當氧化矽膜中的氧擴散時，絕緣層 149 阻擋氧穿過。

在形成絕緣層 149 之後，藉由 CVD 法等形成用來填充元件隔離用溝槽的絕緣層 150。藉由在元件隔離用溝槽中填充絕緣層 150，來形成元件隔離區 161、165。另外，藉由在形成絕緣層 150 之前在元件隔離用溝槽中層疊閘極絕緣層 146 和絕緣層 149，可以使由絕緣層 150 填充的區域變小，而可以順利地將絕緣層 150 填充到元件隔離用溝槽中。然後，使用 CMP 等進行平坦化處理來得到圖 1A 及圖 1B 所示的結構。

此外，如圖 1B 所示，在電晶體 162 的閘極電極 148a 與相鄰的電晶體 163 的閘極電極 148b 之間也填充有絕緣層 150，來防止在閘極電極之間產生短路。另外，如圖 1A 所示，在用作電晶體 162 的源極電極或汲極電極的電極與用作在通道長度方向上相鄰的電晶體的源極電極或汲極電極的電極之間也填充有絕緣層 150，以防止源極電極或汲極電極產生短路。

由於沿著溝槽的內壁而形成有電晶體的通道，因此即使通道形成區不平坦也可以使載子沿著 CAAC 的氧化物半導體的 In-O-In-O 順利地流過。在本實施方式中，以接觸於深度為 $0.4\mu\text{m}$ 的溝槽的內壁的方式形成氧化物半導體層 144，因此通道長度大約為 $0.8\mu\text{m}$ 以上。藉由使通道長度為 $0.8\mu\text{m}$ 以上，可以實現常關閉的電晶體，也可以防止產

生短通道效應。另外，藉由採用溝槽結構，可以縮小電晶體的平面面積，從而可以實現高整合化。

實施方式 2

圖 3A、圖 3B 以及圖 17 示出使用圖 1A 至圖 1C 所示的電晶體 162 的半導體裝置的一例，該半導體裝置即使在沒有電力供應的情況下也能夠保持儲存內容，並且對寫入次數也沒有限制。

電晶體 162 的截止電流小，所以藉由使用這種電晶體能夠長期保持儲存內容。換言之，可以使刷新工作的頻率極低，所以可以充分降低耗電量。

圖 3A 示出半導體裝置的剖面的一例。

圖 3A 所示的半導體裝置在其下部具有使用第一半導體材料的電晶體 160，並且在其上部具有使用第二半導體材料的電晶體 162。注意，電晶體 162 與實施方式 1 所說明的電晶體 162 是同一電晶體，所以在圖 3A 和圖 3B 中，對與圖 1A 相同的部分使用相同的元件符號而進行說明。

這裏，較佳的是，第一半導體材料和第二半導體材料為不同的材料。例如，可以將氧化物半導體以外的半導體材料（矽等）用作第一半導體材料，而將氧化物半導體用作第二半導體材料。使用氧化物半導體以外的材料的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體由於其特性而能夠長期保持電荷。另外，在本實施方式中，將使用第一半導體材料的電晶體稱為第一電晶體，

並且將使用第二半導體材料的電晶體稱為第二電晶體。

另外，雖然是以上述電晶體都是 n 通道型電晶體的情況來進行說明，但是當然也可以使用 p 通道型電晶體。此外，由於所公開的發明的技術本質在於：將氧化物半導體用於電晶體 162 以保持資訊，因此不需要將半導體裝置的具體結構如用於半導體裝置的材料或半導體裝置的結構等限定於在此所示的結構。

圖 3A 所示的電晶體 160 具有：設置在包含半導體材料（例如，矽等）的基板 100 中的通道形成區 116；以夾持通道形成區 116 的方式設置的雜質區 120；接觸於雜質區 120 的金屬化合物區 124；設置在通道形成區 116 上的閘極絕緣層 108；以及設置在閘極絕緣層 108 上的閘極電極 110。

電晶體 160 的金屬化合物區 124 的一部分連接著電極 126。在此，電極 126 用作電晶體 160 的源極電極或汲極電極。另外，在基板 100 上以圍繞電晶體 160 的方式設置有元件隔離絕緣層（未圖示），並且以覆蓋電晶體 160 的方式設置有絕緣層 130。另外，為了實現高整合化，如圖 3A 所示電晶體 160 不具有側壁絕緣層較佳。然而，在重視電晶體 160 的特性的情況下，也可以在閘極電極 110 的側面設置側壁絕緣層，並設置包含雜質濃度不同的區域的雜質區 120。

如圖 3A 所示，電晶體 162 是具有氧化物半導體層 144 的溝槽結構的電晶體。

在此，較佳的是，氧化物半導體層 144 藉由被充分地去除氫等雜質或被供應足夠的氧而被高純度化。明確而言，例如，將氧化物半導體層 144 的氫濃度設定為 5×10^{19} 原子/cm³ 以下，設定為 5×10^{18} 原子/cm³ 以下較佳，設定為 5×10^{17} 原子/cm³ 以下更佳。另外，上述氧化物半導體層 144 中的氫濃度是利用二次離子質譜分析法（SIMS：Secondary Ion Mass Spectroscopy）測量的。如此，在氫濃度被充分降低而被高純度化，並藉由被供給足夠的氧來降低起因於氧缺乏的能隙中的缺陷能階的氧化物半導體層 144 中，載子濃度低於 1×10^{12} /cm³，低於 1×10^{11} /cm³ 較佳，低於 1.45×10^{10} /cm³ 更佳。另外，例如，室溫（25℃）下的截止電流（在此，每單位通道寬度（1μm）的值）為 100zA（1zA（仄普托安培）為 1×10^{-21} A）以下，較佳為 10zA 以下。如此，藉由採用 i 型化（本質化）或實質上 i 型化的氧化物半導體，可以得到截止電流特性極為優越的電晶體 162。

另外，在圖 3A 所示的電晶體 162 中，為了抑制由於微型化而產生的元件之間的洩漏，設置元件隔離區 161。而且，雖然使用被加工為小於由元件隔離區 161 圍繞的區域的島狀的氧化物半導體層 144，但是如實施方式 1 所說明，也可以採用在形成元件隔離用溝槽之前氧化物半導體層 144 沒有被加工為島狀的結構。在不將氧化物半導體層 144 加工為島狀的情況下，可以防止由於加工時的蝕刻氧化物半導體層 144 受到污染。當然，當不將氧化物半導體

層 144 加工爲島狀時，還可以減少製程數。另外，當使用被加工爲小於由元件隔離區 161 圍繞的區域的島狀的氧化物半導體層 144 時，不需要藉由形成元件隔離用溝槽來分離氧化物半導體層，所以可以使元件隔離用溝槽的底面的水平位置淺於閘極電極用溝槽。或者，可以減小用於形成元件隔離用溝槽的總面積。

在電晶體 162 上設置有絕緣層 151，在絕緣層 151 上設置有電連接於閘極電極 148a 的電極 153。並且，在電極 153 上設置有絕緣層 152。並且，在設置在閘極絕緣層 146、絕緣層 150、絕緣層 151、絕緣層 152 等中的開口中設置有電極 154，在絕緣層 152 上形成有連接於電極 154 的佈線 156。另外，在圖 3A 中，雖然使用電極 126 及電極 154 連接金屬化合物區 124、電極 142b 和佈線 156，但是所公開的發明不侷限於此。例如，也可以使電極 142b 直接接觸於金屬化合物區 124。或者，也可以使佈線 156 直接接觸於電極 142b。

接著，圖 3B 示出對應於圖 3A 的電路結構的一例。注意，在電路圖中，爲了表示使用氧化物半導體的電晶體，有時附上“OS”的符號。

在圖 3B 中，第一佈線（1st Line）與電晶體 160 的源極電極層電連接，第二佈線（2nd Line）與電晶體 160 的汲極電極層電連接。另外，第三佈線（3rd Line）與電晶體 162 的源極電極和汲極電極中的一方電連接，第四佈線（4th Line）與電晶體 162 的閘極電極層電連接。並且，

電晶體 160 的閘極電極層以及電晶體 162 的源極電極層和汲極電極層中的另一方與電容器 164 的一方的電極電連接，第五佈線（5th Line）與電容器 164 的另一方的電極電連接。

電容器 164 可以藉由與電晶體 160 或電晶體 162 相同的製程形成一對電極和夾持在該一對電極之間的成爲介電質的絕緣層來形成。圖 17 示出藉由與電晶體 162 相同的製程形成電容器 164 的一例。在圖 17 所示的結構中，對圖 3A 所示的結構追加有電容器 164。在形成電晶體 162 之後，形成到達電晶體 162 的源極電極 142a 的開口部，然後，以覆蓋開口部的方式形成絕緣膜 502。然後，藉由以接觸於絕緣膜 502 且填充該開口部的方式形成電極 504，可以由源極電極 142a、絕緣膜 502 以及電極 504 形成電容器 164。另外，電容器 164 不侷限於藉由與電晶體 160 或電晶體 162 相同的製程形成，也可以將電容器 164 的層另行設置在電晶體 162 的上方。例如，也可以將溝槽型電容器或疊層型電容器另行形成在電晶體 162 的上方或電晶體 160 的下方，以進行三維層疊而實現高整合化。

在圖 3B 所示的半導體裝置的電路結構中，藉由發揮能夠保持電晶體 160 的閘極電極層的電位的特點，可以如下所示那樣進行資訊的寫入、保持以及讀出。

對資訊的寫入及保持進行說明。首先，將第四佈線的電位設定爲使電晶體 162 成爲導通狀態的電位，來使電晶體 162 成爲導通狀態。由此，對電晶體 160 的閘極電極層

和電容器 164 施加第三佈線的電位。也就是說，對電晶體 160 的閘極電極層施加指定的電荷（寫入）。在此，將施加不同的電位的兩種電荷（以下稱為 Low 電平電荷、High 電平電荷）中的任一方施加到電晶體 160 的閘極電極層。然後，藉由將第四佈線的電位設定為使電晶體 162 成為截止狀態的電位，來使電晶體 162 成為截止狀態，而保持施加到電晶體 160 的閘極電極層的電荷（保持）。接著，對資訊的讀出進行說明。當在對第一佈線施加有指定的電位（恆電位）的狀態下對第五佈線施加適當的電位（讀出電位）時，根據保持在電晶體 160 的閘極電極層中的電荷量，第二佈線具有不同的電位。這是因為一般當電晶體 160 為 n 通道型時，對電晶體 160 的閘極電極層施加有 High 電平電荷時的外觀上的閾值 V_{th_H} 低於對電晶體 160 的閘極電極層施加有 Low 電平電荷時的外觀上的閾值 V_{th_L} 的緣故。在此，外觀上的臨界電壓是指為了使電晶體 160 成為“導通狀態”所需要的第五佈線的電位。從而，藉由將第五佈線的電位設定為 V_{th_H} 和 V_{th_L} 的中間電位 V_0 ，可以辨別施加到電晶體 160 的閘極電極層的電荷。例如，當寫入時，在對電晶體 160 的閘極電極層施加有 High 電平電荷的情況下，如果第五佈線的電位成為 $V_0 (>V_{th_H})$ ，則電晶體 160 成為“導通狀態”。在對電晶體 160 的閘極電極層施加有 Low 電平電荷的情況下，即使第五佈線的電位成為 $V_0 (<V_{th_L})$ ，電晶體 160 仍然處於“截止狀態”。因此，藉由測量第二佈線的電位可以讀出所保持有的資訊。

另外，也可以將背閘極電極設置在電晶體 162 中，較佳的是，藉由對背閘極電極施加電壓來確實地實現電晶體 162 的常關閉化。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

實施方式 3

在本實施方式中，關於使用圖 1A 至圖 1C 所示的電晶體 162 的半導體裝置，參照圖 4 對與實施方式 2 所示的結構不同的結構進行說明。該半導體裝置即使在沒有電力供應的情況下也能夠保持儲存內容，並且對寫入次數也沒有限制。

圖 4 所示的半導體裝置在其下部具有使用第一半導體材料的電晶體 350，並且在其上部具有使用第二半導體材料的電晶體 162。注意，在本實施方式中，將形成在下部的電晶體 350 稱為第一電晶體，將形成在上部的電晶體 162 稱為第二電晶體。另外，雖然在上部及下部設置有多個電晶體，但是以電晶體 350 及電晶體 162 為代表而進行說明。另外，形成在下部的包括電晶體 350 的多個電晶體用作半導體裝置的週邊電路，而形成在上部的包括電晶體 162 的多個電晶體用作記憶元件。另外，由線 B1-B2 切割的圖 4 相當於垂直於電晶體的通道長度方向的面的剖面圖。

這裏，較佳的是，第一半導體材料和第二半導體材料

為不同的材料。例如，可以將氧化物半導體以外的半導體材料（矽等）用作第一半導體材料，並將氧化物半導體用作第二半導體材料。使用氧化物半導體以外的材料的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體由於其特性而能夠長期保持電荷。

另外，如圖 4 所示，上部的使用第二半導體材料的電晶體 162 是具有氧化物半導體層的溝槽結構的電晶體。電晶體 162 與實施方式 1 及實施方式 2 所記載的電晶體 162 是同一電晶體，所以在圖 4 中，對與圖 1A 相同的部分使用相同的元件符號而省略詳細說明。

這裏，對下部的使用第一半導體材料的電晶體 350 進行說明。

電晶體 350 具有：半導體基板 310；閘極絕緣層 314；半導體層 316；導電層 318；保護絕緣層 320；側壁絕緣層 322；雜質區 324；以及絕緣層 326。另外，半導體層 316 及導電層 318 用作閘極電極，並且雜質區 324 用作源區或汲極區。

另外，電晶體 350 鄰接有 STI（Shallow Trench Isolation：淺溝槽隔離）區 312。

作為 STI 區 312，首先，在半導體基板 310 上的所希望的區域形成保護絕緣膜並進行蝕刻來形成溝槽（也成為槽）。在形成溝槽之後，可以藉由將絕緣介電薄膜填埋於溝槽中來形成 STI 區 312。絕緣介電薄膜可以使用氧化矽膜、氮化矽膜等。

接著，進行電晶體 350 的詳細說明。作為電晶體 350 的閘極絕緣層 314，在將絕緣膜形成在形成有 STI 區 312 的半導體基板 310 上之後，對所希望的位置進行構圖和蝕刻，從而在半導體基板 310 上形成與 STI 區 312 不同深度的溝槽。然後，在氧氣分下進行加熱處理來將溝槽中的半導體基板 310 氧化，而可以形成閘極絕緣層 314。

在形成閘極絕緣層 314 之後，使用 LPCVD 法等形成矽膜。另外，對該矽膜進行 n^+ 、 p^+ 的摻雜處理或加熱處理等來形成作為所謂的多晶矽的具有高導電性的半導體層。然後，在該半導體層上藉由濺射法等來形成金屬膜。金屬膜可以適當地使用：鎢；鈦；鈷；鎳；含有鎢、鈦、鈷、鎳的合金膜；含有上述金屬的金屬氮化膜；含有上述金屬的矽化物膜等。然後，藉由對該金屬膜上的所希望的區域進行構圖和蝕刻來形成導電層 318。另外，藉由將導電層 318 用作掩模對半導體層進行蝕刻，可以形成半導體層 316。另外，導電層 318 和半導體層 316 用作電晶體 350 的閘極電極。

接著，在導電層 318 上形成保護絕緣層 320。保護絕緣層 320 可以藉由使用電漿 CVD 法等形成氧化矽膜、氮化矽膜等，並且對所希望的區域進行構圖和蝕刻處理來形成。

接著，藉由以覆蓋半導體基板 310 及保護絕緣層 320 的方式藉由電漿 CVD 法等形成氮化矽膜並進行回蝕來可以形成側壁絕緣層 322。

接著，將保護絕緣層 320 及側壁絕緣層 322 用作掩模進行摻雜處理來形成雜質區 324。另外，作為摻雜物可以使用硼或磷等，並且作為雜質區 324，可以藉由所使用的摻雜物適當地形成 n^+ 區、 p^+ 區等。另外，雜質區 324 用作電晶體 350 的源區或汲極區。

接著，以覆蓋雜質區 324、保護絕緣層 320 以及側壁絕緣層 322 的方式形成絕緣層 326。絕緣層 326 可以使用藉由電漿 CVD 法等來形成的氧化矽膜等。

接著，在絕緣層 326 的所希望的區域中設置開口部並形成電連接於雜質區 324 的連接電極 325 及連接電極 331。另外，在形成連接電極 325 及連接電極 331 之後，可以進行使絕緣層 326、連接電極 325 以及連接電極 331 的表面平坦化的 CMP 處理等。

接著，在絕緣層 326、連接電極 325 以及連接電極 331 上使用濺射法等形成導電膜並對所希望的區域進行構圖和蝕刻來形成電極 328 及電極 332。電極 328 及電極 332 的材料可以適當地使用鎢、銅、鈦等。

接著，在絕緣層 326、電極 328 以及電極 332 上形成絕緣層 329。絕緣層 329 可以使用與絕緣層 326 同樣的材料及方法形成。

藉由如上製程可以形成設置有使用第一半導體材料的電晶體 350 的半導體基板 310。

接著，對下部的使用第一半導體材料的電晶體 350 與上部的使用第二半導體材料的電晶體 162 的連接關係進行

說明。

電晶體 350 藉由雜質區 324、連接電極 325、電極 328 以及連接電極 330 電連接到電晶體 162。另一方面，電晶體 350 藉由雜質區 324、連接電極 331、電極 332、連接電極 334、電極 336 以及連接電極 338 電連接到佈線 156。

另外，電晶體 350 的閘極電極（即半導體層 316 及導電層 318）電連接到電晶體 162 的源極電極。注意，在圖 4 中，電晶體 350 的閘極電極與電晶體 162 的源極電極的連接未圖示但在三維方向上是連接著的。

如上所述，形成在上部的記憶元件由使用氧化物半導體的電晶體形成。由於使用氧化物半導體的電晶體的截止電流小，因此藉由使用這種電晶體，能夠長期保持儲存內容。換言之，可以使刷新工作的頻率極低，所以可以充分降低耗電量。另一方面，在週邊電路中使用氧化物半導體以外的半導體材料。作為氧化物半導體以外的半導體材料例如可以使用矽、鍺、矽鍺、碳化矽或砷化鎵等，使用單晶半導體較佳。此外，也可以使用有機半導體材料。使用這種半導體材料的電晶體能夠進行充分高速的工作。從而，藉由利用使用氧化物半導體以外的材料的電晶體，能夠順利實現被要求高速工作的各種電路（邏輯電路、驅動電路等）。

如上所述，藉由將具備使用氧化物半導體以外的材料的電晶體（換言之，能夠進行充分高速的工作的電晶體）的週邊電路以及具備使用氧化物半導體的電晶體（作更廣

義解釋，其截止電流十分小的電晶體）的儲存電路設置為一體，能夠實現具有新穎特徵的半導體裝置。另外，藉由採用週邊電路和儲存電路的疊層結構，可以實現半導體裝置的整合化。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

實施方式 4

在本實施方式中，關於使用圖 1A 至圖 1C 所示的電晶體 162 的半導體裝置，參照圖 5A 至圖 6 對與實施方式 2 及實施方式 3 所示的結構不同的結構進行說明。該半導體裝置即使在沒有電力供應的情況下也能夠保持儲存內容，並且對寫入次數也沒有限制。

圖 5A 示出半導體裝置的電路結構的一例，圖 5B 是示出半導體裝置的一例的示意圖。首先對圖 5A 所示的半導體裝置進行說明，接著對圖 5B 所示的半導體裝置進行說明。

在圖 5A 所示的半導體裝置中，位元線 BL 與電晶體 162 的源極電極或汲極電極電連接，字線 WL 與電晶體 162 的閘極電極電連接，並且電晶體 162 的源極電極或汲極電極與電容器 254 的第一端子電連接。

使用氧化物半導體的電晶體 162 具有截止電流極小的特徵。因此，藉由使電晶體 162 成為截止狀態，可以在極長時間儲存電容器 254 的第一端子的電位（或累積在電容

器 254 中的電荷)。另外，使用氧化物半導體的電晶體 162 還具有不容易呈現短通道效應的優點。

接著，說明對圖 5A 所示的半導體裝置（記憶單元 250）進行資訊的寫入及保持的情況。

首先，藉由將字線 WL 的電位設定為使電晶體 162 成為導通狀態的電位，來使電晶體 162 成為導通狀態。由此，將位元線 BL 的電位施加到電容器 254 的第一端子（寫入）。然後，藉由將字線 WL 的電位設定為使電晶體 162 成為截止狀態的電位，來使電晶體 162 成為截止狀態，由此儲存電容器 254 的第一端子的電位（保持）。

由於電晶體 162 的截止電流極小，所以能夠長期儲存電容器 254 的第一端子的電位（或累積在電容器中的電荷）。

接著，對資訊的讀出進行說明。當電晶體 162 成為導通狀態時，處於浮動狀態的位元線 BL 與電容器 254 導通，於是，在位元線 BL 與電容器 254 之間電荷被再次分配。其結果，位元線 BL 的電位發生變化。位元線 BL 的電位的變化量根據電容器 254 的第一端子的電位（或累積在電容器 254 中的電荷）而取不同的值。

例如，在以 V 為電容器 254 的第一端子的電位，以 C 為電容器 254 的電容，以 C_B 為位元線 BL 所具有的電容成分（以下也稱為位元線電容），並且以 V_{B0} 為電荷被再次分配之前的位元線 BL 的電位的條件下，電荷被再次分配之後的位元線 BL 的電位成為 $(C_B * V_{B0} + C * V) / (C_B + C)$ 。

因此，作為記憶單元 250 的狀態，當電容器 254 的第一端子的電位為 $V1$ 和 $V0$ ($V1 > V0$) 的兩個狀態時，保持電位 $V1$ 時的位元線 BL 的電位 ($= (CB \cdot VB0 + C \cdot V1) / (CB + C)$) 高於保持電位 $V0$ 時的位元線 BL 的電位 ($= (CB \cdot VB0 + C \cdot V0) / (CB + C)$)。

並且，藉由比較位元線 BL 的電位與指定的電位，可以讀出資訊。

如此，圖 5A 所示的半導體裝置可以利用電晶體 162 的截止電流極小的特徵長期保持累積在電容器 254 中的電荷。換言之，因為不需要進行刷新工作，或者，可以使刷新工作的頻率極低，所以可以充分降低耗電量。另外，即使在沒有電力供給的情況下也可以長期保持儲存內容。

接著對圖 5B 所示的半導體裝置進行說明。

圖 5B 所示的半導體裝置在其上部具備具有多個圖 5A 所示的記憶單元 250 的記憶單元陣列 251 及具有多個圖 5A 所示的記憶單元 250 的記憶單元陣列 252。此外，圖 5B 所示的半導體裝置在其下部具備用作使記憶單元陣列 251 及記憶單元陣列 252 工作的週邊電路 253。注意，在本實施方式中，雖然記憶單元陣列 252 位於記憶單元陣列 251 和週邊電路 253 的中間，但是相對於週邊電路 253 而言，記憶單元陣列 252 位於上部。因此，將記憶單元陣列 251 及記憶單元陣列 252 都當作位於上部。

在圖 5B 所示的結構中，可以將週邊電路 253 設置在記憶單元陣列 251 及記憶單元陣列 252 的正下方，並且，

可以層疊記憶單元陣列 251 和記憶單元陣列 252。從而，可以實現半導體裝置的微型化。

接著，參照圖 6 對圖 5B 所示的半導體裝置的具體結構進行說明。

圖 6 所示的半導體裝置在其上部作為層疊形成的記憶元件具有多個記憶單元（記憶單元 452a 及記憶單元 452b），並且在其下部具有週邊電路 400。下部的週邊電路 400 具有使用第一半導體材料的電晶體 450，並且在上部層疊形成的多個記憶單元（記憶單元 452a 及記憶單元 452b）具有使用第二半導體材料的電晶體 162。注意，電晶體 162 連接到電容器，但是由於是在三維方向上的連接，所以在圖 6 中未圖示。另外，由線 C1-C2 切割的圖 6 相當於垂直於電晶體的通道長度方向的面的剖面圖。

這裏，較佳的是，第一半導體材料和第二半導體材料為不同的材料。例如，可以將氧化物半導體以外的半導體材料（矽等）用作第一半導體材料，而將氧化物半導體作用作第二半導體材料。使用氧化物半導體以外的材料的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體由於其特性而能夠長期保持電荷。

另外，上部的使用第二半導體材料的電晶體 162 與實施方式 1 至實施方式 3 所記載的電晶體 162 是同一電晶體，所以在圖 6 中，對與圖 1A 相同的部分使用相同的元件符號而省略詳細說明。這裏，對下部的使用第一半導體材料的電晶體 450 進行說明。

圖 6 中的電晶體 450 具有：形成在包括半導體材料（例如，矽等）的基板 402 中的通道形成區 404；以夾持通道形成區 404 的方式設置的雜質區 406 及高濃度雜質區 408（將這些區域統稱為雜質區）；接觸於高濃度雜質區 408 的金屬化合物區 410；形成在通道形成區 404 上的閘極絕緣層 411；以接觸於閘極絕緣層 411 的方式設置的閘極電極層 412；電連接於雜質區的源極電極或汲極電極 418a 以及源極電極或汲極電極 418b。

在此，在閘極電極層 412 的側面設置有側壁絕緣層 414。此外，在基板 402 上以圍繞電晶體 450 的方式設置有元件隔離絕緣層 403，並且以覆蓋電晶體 450 的方式設置有層間絕緣層 420 及層間絕緣層 422。源極電極或汲極電極 418a 以及源極電極或汲極電極 418b 藉由形成在層間絕緣層 420 及層間絕緣層 422 中的開口電連接到金屬化合物區 410。換言之，源極電極或汲極電極 418a 以及源極電極或汲極電極 418b 藉由金屬化合物區 410 電連接到高濃度雜質區 408 及雜質區 406。另外，為了實現電晶體 450 的整合化等，有時不形成側壁絕緣層 414。另外，在層間絕緣層 422 上設置有電極 424a、電極 424b 以及電極 424c。該電極 424a、電極 424b 以及電極 424c 電連接到電晶體 450 的源極電極或汲極電極 418a 以及源極電極或汲極電極 418b，藉由使用絕緣層 425 覆蓋層間絕緣層 422、電極 424a、電極 424b 以及電極 424c 來實現平坦化。

電極 424c 利用連接電極 426 連接到電極 428。另外，

電極 428 由與電晶體 162 的源極電極層及汲極電極層同一個層形成。

另外，佈線 432 利用連接電極 430 電連接到電極 428，並利用連接電極 434 電連接到由與電晶體 162 的源極電極層及汲極電極層同一個層形成的電極 436。另外，電極 436 利用連接電極 438 電連接到佈線 440。

藉由利用電極 424c、佈線 432 以及佈線 440，可以實現記憶單元之間的電連接或週邊電路 400 與記憶單元（記憶單元 452a、記憶單元 452b）之間的電連接等。

另外，圖 6 所示的半導體裝置例示出層疊有兩個記憶單元（記憶單元 452a、記憶單元 452b）的結構，但是所層疊的記憶單元的個數不侷限於此。也可以採用層疊有三個以上的記憶單元的結構。

此外，圖 6 所示的半導體裝置例示出藉由利用電極 424c、電極 428、佈線 432、電極 436 以及佈線 440 連接記憶單元 452a、記憶單元 452b 和週邊電路 400 的結構，但是不侷限於該結構。也可以在記憶單元 452a、記憶單元 452b 和週邊電路 400 之間設置兩個以上的佈線層及電極。

如上所述，在上部層疊形成的多個記憶單元由使用氧化物半導體的電晶體形成。由於使用氧化物半導體的電晶體的截止電流小，因此藉由使用這種電晶體，能夠長期保持儲存內容。換言之，可以使刷新工作的頻率極低，所以可以充分降低耗電量。另一方面，在週邊電路中使用氧化物半導體以外的半導體材料。作為氧化物半導體以外的半

導體材料例如可以使用矽、鍺、矽鍺、碳化矽或砷化鎵等，使用單晶半導體較佳。此外，也可以使用有機半導體材料。使用這種半導體材料的電晶體能夠進行充分高速的工作。從而，藉由利用使用氧化物半導體以外的材料的電晶體，能夠順利實現被要求高速工作的各種電路（邏輯電路、驅動電路等）。

如上所述，藉由將具有使用氧化物半導體以外的材料的電晶體（換言之，能夠進行充分高速的工作的電晶體）的週邊電路以及具有使用氧化物半導體的電晶體（作更廣義解釋，其截止電流十分小的電晶體）的儲存電路設置為一體，能夠實現具有新穎特徵的半導體裝置。另外，藉由採用週邊電路和儲存電路的疊層結構，可以實現半導體裝置的整合化。

本實施方式可以與其他實施方式所記載的結構適當地組合而實施。

實施方式 5

在本實施方式中，參照圖 10A 至圖 13 對將上述實施方式所說明的半導體裝置應用於行動電話、智慧手機、電子書閱讀器等移動設備的例子進行說明。

在行動電話、智慧手機、電子書閱讀器等移動設備中，為了暫時儲存影像資料而使用 SRAM 或 DRAM。使用 SRAM 或 DRAM 是因為快閃記憶體應答速度慢而不適於處理影像。另一方面，當將 SRAM 或 DRAM 用於影像資料的

暫時儲存時，有如下特徵。

如圖 10A 所示，在一般的 SRAM 中，一個記憶單元由電晶體 801 至電晶體 806 的六個電晶體構成，並且該電晶體 801 至電晶體 806 被 X 解碼器 807 和 Y 解碼器 808 驅動。電晶體 803 和電晶體 805 以及電晶體 804 和電晶體 806 構成反相器，該反相器能夠實現高速驅動。然而，由於一個電晶體由六個電晶體構成，所以有記憶單元面積大的缺點。在將設計規則的最小尺寸設定為 F 的情況下，SRAM 的記憶單元面積一般為 100 至 $150F^2$ 。因此，SRAM 是各種記憶體中每個比特位的單價最高的。

另一方面，在 DRAM 中，如圖 10B 所示，記憶單元由電晶體 811 和儲存電容器 812 構成，並且該電晶體 811 和儲存電容器 812 被 X 解碼器 813 和 Y 解碼器 814 驅動。由於一個單元由一個電晶體和一個電容構成，所以所占的面積小。DRAM 的儲存面積一般為 $10F^2$ 以下。注意，DRAM 需要一直進行刷新工作，因此即使在不進行改寫的情況下也消耗電力。

相對於此，上述實施方式所說明的半導體裝置的記憶單元面積為 $10F^2$ 左右，並且不需要頻繁的刷新工作。從而，能夠縮小記憶單元面積，還能夠降低耗電量。

另外，圖 11 是移動設備的方塊圖。圖 11 所示的移動設備具有：RF 電路 901；模擬基帶電路 902；數字基帶電路 903；電池 904；電源電路 905；應用處理機 906；快閃記憶體 910；顯示器控制器 911；儲存電路 912；顯示器

913；觸控感應器 919；聲頻電路 917；以及鍵盤 918 等。顯示器 913 具有：顯示部 914；源極驅動器 915；以及閘極驅動器 916。應用處理機 906 具有：CPU（Central Processing Unit：中央處理器）907；DSP（Digital Signal Processor：數位信號處理器）908；以及介面 909（IF909）。儲存電路 912 一般由 SRAM 或 DRAM 構成，藉由將上述實施方式所說明的半導體裝置用於該部分，能夠以高速進行資訊的寫入和讀出，能夠長期保持儲存內容，還能夠充分降低耗電量。

另外，圖 12 是將上述實施方式所說明的半導體裝置用於顯示器的儲存電路 950 的例子。圖 12 所示的儲存電路 950 具有：記憶體 952；記憶體 953；開關 954；開關 955；以及記憶體控制器 951。另外，儲存電路 950 連接於：用來讀出及控制從信號線輸入的影像資料（輸入影像資料）和儲存在記憶體 952 及記憶體 953 中的資料（儲存影像資料）的顯示器控制器 956；以及根據來自顯示器控制器 956 的信號來進行顯示的顯示器 957。

首先，藉由應用處理機（未圖示）形成一個影像資料（輸入影像資料 A）。該輸入影像資料 A 藉由開關 954 被儲存在記憶體 952 中。然後，將儲存在記憶體 952 中的影像資料（儲存影像資料 A）藉由開關 955 及顯示器控制器 956 發送到顯示器 957 而進行顯示。

在輸入影像資料 A 沒有變化時，儲存影像資料 A 一般以 30 至 60Hz 左右的週期從記憶體 952 藉由開關 955 由

顯示器控制器 956 讀出。

另外，例如在使用者進行了改寫畫面的操作時（即在輸入影像資料 A 有變化時），應用處理機形成新的影像資料（輸入影像資料 B）。該輸入影像資料 B 藉由開關 954 被儲存在記憶體 953 中。在該期間儲存影像資料 A 也繼續定期性地藉由開關 955 從記憶體 952 被讀出。當在記憶體 953 中儲存完新的影像（儲存影像資料 B）時，由顯示器 957 的下一個圖框開始讀出儲存影像資料 B，並且將該儲存影像資料 B 藉由開關 955 及顯示器控制器 956 發送到顯示器 957 而進行顯示。該讀出一直持續直到下一個新的影像資料儲存到記憶體 952 中。

如上所述，藉由由記憶體 952 及記憶體 953 交替進行影像資料的寫入和影像資料的讀出，來進行顯示器 957 的顯示。另外，記憶體 952、記憶體 953 不侷限於兩個不同的記憶體，也可以將一個記憶體分割而使用。藉由將上述實施方式所說明的半導體裝置用於記憶體 952 及記憶體 953，能夠以高速進行資訊的寫入和讀出，能夠長期保持儲存內容，還能夠充分降低耗電量。

另外，圖 13 是電子書閱讀器的方塊圖。圖 13 所示的電子書閱讀器具有：電池 1001；電源電路 1002；微處理器 1003；快閃記憶體 1004；聲頻電路 1005；鍵盤 1006；儲存電路 1007；觸摸屏 1008；顯示器 1009；以及顯示器控制器 1010。

在此，可以將上述實施方式所說明的半導體裝置用於

圖 13 的儲存電路 1007。儲存電路 1007 具有暫時保持書籍內容的功能。作為該功能的例子，例如有使用者使用高亮功能的情況。使用者在看電子書閱讀器時，有時需要對某個部分做標記。該標記功能被稱為高亮功能，即藉由改變顯示顏色；劃下劃線；將文字改為粗體字；改變文字的字體等，來使該部分與周圍不一樣而突出表示。高亮功能就是將使用者所指定的部分的資訊儲存而保持的功能。當將該資訊長期保持時，也可以將該資訊拷貝到快閃記憶體 1004。即使在此情況下，也藉由採用上述實施方式所說明的半導體裝置，而能夠以高速進行資訊的寫入和讀出，能夠長期保持儲存內容，還能夠充分降低耗電量。

如上所述，本實施方式所示的移動設備安裝有根據上述實施方式的半導體裝置。因此，能夠實現以高速進行資訊的讀出、長期保持儲存內容且充分降低耗電量的移動設備。

本實施方式所示的結構及方法等可以與其他實施方式所記載的結構及方法等適當地組合而實施。

實施例 1

本實施例中，為了確認實施方式 1 所示的溝槽結構的電晶體是否呈現短通道效應而進行計算。圖 7A 至圖 9B 示出用來計算的結構及計算結果。注意，在圖 7A 至圖 9B 中， SiO_x 表示閘極絕緣層，OS 表示氧化物半導體層，Gate 表示閘極電極，並且 S/D 表示源極電極及汲極電極。

另外，在計算中使用 Synopsys 公司製造的裝置模擬軟體 Sentaurus Device。

圖 7A 示出用來計算的結構及各個尺寸。閘極絕緣層的厚度為 5nm，氧化物半導體層的厚度為 5nm，並且閘極電極用溝槽的深度為 0.4 μm 。圖 7A 示出溝槽的底部的長度（通道長度方向的長度）為 90nm，且源極電極和汲極電極之間的間隔（通道長度方向的長度）為 110nm 的溝槽結構的電晶體。氧化物半導體層的材料使用 In-Ga-Zn-O 類氧化物半導體（能隙為 3.15eV，電子親和勢為 4.6eV，電子遷移率為 10cm²/Vs），接觸於氧化物半導體層的電極（源極電極及汲極電極）的功函數為 4.6eV，並且閘極電極的功函數為 5.5eV。圖 7B 示出對該溝槽結構的電晶體的 V_g - I_d 特性（ $V_{ds}=1\text{V}$ ，溫度為 27 $^{\circ}\text{C}$ ）進行計算的結果。

另外，圖 8A 示出溝槽的底部的長度（通道長度方向的長度）為 60nm，源極電極和汲極電極之間的間隔（通道長度方向的長度）為 80nm 的溝槽結構的電晶體。圖 8B 示出除了溝槽的底部的長度及源極電極和汲極電極之間的間隔以外與圖 7B 為同樣條件的計算結果。

另外，圖 9A 示出溝槽的底部的長度（通道長度方向的長度）為 30nm，源極電極和汲極電極之間的間隔（通道長度方向的長度）為 50nm 的溝槽結構的電晶體。圖 9B 示出除了溝槽的底部的長度及源極電極和汲極電極之間的間隔以外與圖 7B 為同樣條件的計算結果。

從計算結果可知：圖 7A、圖 8A 以及圖 9A 的結構的所有電晶體的特性大致相等。各個電晶體的閾值（ V_{th} ）為 0.8V，S 值為 60mV/dec，都是理想的數值。

從這些計算結果可知：即使將源極電極和汲極電極之間的間隔（通道長度方向的長度）縮短到 30nm，也可以得到良好的電晶體特性，而沒有呈現閾值的負漂移或 S 值的增大等短通道效應。

爲了比較，不使用溝槽結構的電晶體而使用平面型的電晶體結構來進行了同樣的計算。當將源極電極和汲極電極之間的間隔（通道長度方向的長度）縮短時，通道長度也變短，而呈現閾值的負漂移或 S 值的增大等短通道效應，再者，還確認到對閘極施加負偏壓時的洩漏電流（截止電流）的增大。

與該用來比較的計算結果相比，圖 7B、圖 8B 以及圖 9B 的計算結果是理想的。藉由採用實施方式 1 所示的電晶體結構，即使縮短源極電極和汲極電極之間的間隔（通道長度方向的長度），由於實效的通道長度的變化小，所以不會呈現短通道效應，從而可以抑制截止電流。其結果，能夠製造保持特性良好的記憶單元。

【圖式簡單說明】

在圖式中：

圖 1A 至圖 1C 是示出本發明的一個方式的剖面圖及俯視圖；

圖 2A 至圖 2C 是示出本發明的一個方式的剖面模式圖；

圖 3A 和圖 3B 是示出本發明的一個方式的剖面圖及電路圖；

圖 4 是示出本發明的一個方式的半導體裝置的剖面圖；

圖 5A 和圖 5B 是示出本發明的一個方式的半導體裝置的電路圖及示意圖；

圖 6 是示出本發明的一個方式的半導體裝置的剖面圖；

圖 7A 和圖 7B 是用於計算的結構剖面圖及計算結果；

圖 8A 和圖 8B 是用於計算的結構剖面圖及計算結果；

圖 9A 和圖 9B 是用於計算的結構剖面圖及計算結果；

圖 10A 和圖 10B 是半導體裝置的電路圖；

圖 11 是用於說明使用半導體裝置的移動設備的圖；

圖 12 是用於說明使用半導體裝置的移動設備的圖；

圖 13 是用於說明使用半導體裝置的移動設備的圖；

圖 14A 至圖 14E 是說明與本發明一個方式有關的氧化物材料的結構的圖；

圖 15A 至圖 15C 是說明與本發明一個方式有關的氧化物材料的結構的圖；

圖 16A 至圖 16C 是說明與本發明一個方式有關的氧化物材料的結構的圖；

圖 17 是示出本發明的一個方式的剖面圖。

【 主 要 元 件 符 號 說 明 】

100：基板

108：閘極絕緣層

110：閘極電極

116：通道形成區

120：雜質區

124：金屬化合物區

126：電極

130：絕緣層

142a：電極

142b：電極

143a：絕緣層

143b：絕緣層

144：氧化物半導體層

146：閘極絕緣層

148a：閘極電極

148b：閘極電極

149：絕緣層

150：絕緣層

151：絕緣層

152：絕緣層

153：電極

154：電極

- 156：佈線
- 160：電晶體
- 161：元件隔離區
- 162：電晶體
- 163：電晶體
- 164：電容器
- 165：元件隔離區
- 250：記憶單元
- 251：記憶單元陣列
- 252：記憶單元陣列
- 253：週邊電路
- 254：電容器
- 310：半導體基板
- 312：STI區
- 314：閘極絕緣層
- 316：半導體層
- 318：導電層
- 320：保護絕緣層
- 322：側壁絕緣層
- 324：雜質區
- 325：連接電極
- 326：絕緣層
- 328：電極
- 329：絕緣層

330：連接電極
 331：連接電極
 332：電極
 334：連接電極
 336：電極
 338：連接電極
 350：電晶體
 400：週邊電路
 402：基板
 403：元件隔離絕緣層
 404：通道形成區
 406：雜質區
 408：高濃度雜質區
 410：金屬化合物區
 411：閘極絕緣層
 412：閘極電極層
 414：側壁絕緣層
 418a：源極電極
 418b：汲極電極
 420：層間絕緣層
 422：層間絕緣層
 424a：電極
 424b：電極
 424c：電極

425：絕緣層
 426：連接電極
 428：電極
 430：連接電極
 432：佈線
 434：連接電極
 436：電極
 438：連接電極
 440：佈線
 450：電晶體
 452a：記憶單元
 452b：記憶單元
 502：絕緣膜
 504：電極
 801：電晶體
 803：電晶體
 804：電晶體
 805：電晶體
 806：電晶體
 807：X解碼器
 808：Y解碼器
 811：電晶體
 812：儲存電容器
 813：X解碼器

814 : Y 解 碼 器

901 : R F 電 路

902 : 模 擬 基 帶 電 路

903 : 數 字 基 帶 電 路

904 : 電 池

905 : 電 源 電 路

906 : 應 用 處 理 機

907 : C P U

908 : D S P

909 : 介 面

910 : 快 閃 記 憶 體

911 : 顯 示 器 控 制 器

912 : 儲 存 電 路

913 : 顯 示 器

914 : 顯 示 部

915 : 源 極 驅 動 器

916 : 閘 極 驅 動 器

917 : 聲 頻 電 路

918 : 鍵 盤

919 : 觸 控 感 應 器

950 : 儲 存 電 路

951 : 記 憶 體 控 制 器

952 : 記 憶 體

953 : 記 憶 體

954：開關

955：開關

956：顯示器控制器

957：顯示器

1001：電池

1002：電源電路

1003：微處理器

1004：快閃記憶體

1005：聲頻電路

1006：鍵盤

1007：儲存電路

1008：觸摸屏

1009：顯示器

1010：顯示器控制器

服4)

空白頁

七、申請專利範圍：

1. 一種半導體裝置，包括：

包括第一電晶體的電路；以及

包括第二電晶體和電容器的記憶元件，

其中，該第二電晶體包括：

第一絕緣層；

該第一絕緣層中的第一溝槽；

該第一絕緣層中的第二溝槽；

接觸於該第一溝槽的內壁面的氧化物半導體層；

相鄰於該氧化物半導體層的第二絕緣層，其中該第二絕緣層相鄰於該第二溝槽的內壁面；

該第一溝槽中的隔著該第二絕緣層相鄰於該氧化物半導體層的閘極電極；

填充該第二溝槽的第三絕緣層；以及

接觸於該氧化物半導體層的源極電極或汲極電極，

並且，該記憶元件層疊在該電路上。

2. 根據申請專利範圍第 1 項之半導體裝置，其中該第一電晶體的閘極電極電連接於該電容器所包括的一對電極中的一方和該第二電晶體中的該源極電極或該汲極電極。

3. 根據申請專利範圍第 1 項之半導體裝置，其中該第二絕緣層接觸於該氧化物半導體層的側面。

4. 根據申請專利範圍第 1 項之半導體裝置，其中該

氧化物半導體層包括具有大致垂直於該氧化物半導體層的表面的 c 軸的結晶。

5. 根據申請專利範圍第 1 項之半導體裝置，

其中，該第一電晶體包括氧化物半導體材料以外的半導體材料，

並且，該半導體材料選自矽、銻、矽銻、碳化矽、砷化銻。

6. 根據申請專利範圍第 1 項之半導體裝置，還包括該第二溝槽中的第四絕緣層，

其中，該第四絕緣層設置在該第二絕緣層和該第三絕緣層之間。

7. 一種半導體裝置，包括：

設置有第一電晶體的半導體基板；

該第一電晶體上的第二電晶體，該第二電晶體包括：

第一絕緣層；

該第一絕緣層中的第一溝槽；

接觸於該第一溝槽的內壁面的第一氧化物半導體層；

相鄰於該第一氧化物半導體層的第二絕緣層；以及

該第一溝槽中的隔著該第二絕緣層相鄰於該第一氧化物半導體層的第一閘極電極；以及

該第二電晶體上的第三電晶體，該第三電晶體包括：

第三絕緣層；

該第三絕緣層中的第二溝槽；

接觸於該第二溝槽的內壁面的第二氧化物半導體層；

相鄰於該第二氧化物半導體層的第四絕緣層；以及

該第二溝槽中的隔著該第四絕緣層相鄰於該第二氧化物半導體層的第二閘極電極。

8. 根據申請專利範圍第 7 項之半導體裝置，

其中，該第二絕緣層接觸於該第一氧化物半導體層的側面，

並且，該第四絕緣層接觸於該第二氧化物半導體層的側面。

9. 根據申請專利範圍第 7 項之半導體裝置，

其中，該第一電晶體和該第二電晶體彼此電連接，

並且，該第二電晶體和該第三電晶體彼此電連接。

10. 根據申請專利範圍第 7 項之半導體裝置，還包括接觸於該第一氧化物半導體層的第一一對電極，

其中，該第一電晶體的閘極電極和該第一一對電極中的一方彼此電連接。

11. 根據申請專利範圍第 10 項之半導體裝置，還包括接觸於該第二氧化物半導體層的第二一對電極，

其中，該第一一對電極中的另一方和該第二一對電極中的一方彼此電連接。

12. 根據申請專利範圍第 10 項之半導體裝置，還包

括該第二電晶體上的第一電容器，

其中，該第一電容器電連接於該第一電晶體和該第二電晶體。

13. 根據申請專利範圍第 10 項之半導體裝置，還包括該第三電晶體上的第二電容器，

其中，該第二電容器電連接於該第三電晶體。

14. 根據申請專利範圍第 7 項之半導體裝置，其中該第一氧化物半導體層包括具有大致垂直於該第一氧化物半導體層的表面的 c 軸的結晶。

15. 根據申請專利範圍第 7 項之半導體裝置，其中該第二氧化物半導體層包括具有大致垂直於該第二氧化物半導體層的表面的 c 軸的結晶。

16. 根據申請專利範圍第 7 項之半導體裝置，

其中，該第一電晶體包括半導體材料，

並且，該半導體材料選自矽、銻、矽銻、碳化矽、砷化銻。

17. 根據申請專利範圍第 7 項之半導體裝置，還包括該第一絕緣層中的第三溝槽，

其中，該第二絕緣層相鄰於該第三溝槽的內壁面，

並且，第五絕緣層填充該第三溝槽。

18. 根據申請專利範圍第 17 項之半導體裝置，還包括該第三絕緣層中的第四溝槽，

其中，該第四絕緣層相鄰於該第四溝槽的內壁面，

並且，第六絕緣層填充該第四溝槽。

19. 一種半導體裝置，包括：

設置有第一電晶體的半導體基板；

該第一電晶體上的第二電晶體，該第二電晶體包括：

第一絕緣層；

該第一絕緣層中的第一溝槽；

接觸於該第一絕緣層的第一氧化物半導體層，該第一氧化物半導體層包括：

相鄰於該第一溝槽的第一側壁的第一區域；

相鄰於該第一溝槽的底面的第二區域；以及

相鄰於該第一溝槽的第二側壁的第三區域，

其中該第一溝槽的第一側壁與該第一溝槽的第二側壁對置；

該第一絕緣層的第一區域上的第一源極電極，該第一源極電極電連接於該第一氧化物半導體層；

該第一絕緣層的第二區域上的第一汲極電極，該第一汲極電極電連接於該第一氧化物半導體層，其中該第一溝槽位於該第一絕緣層的第一區域和該第一絕緣層的第二區域之間；

相鄰於該第一氧化物半導體層的第一閘極絕緣層；以及

該第一溝槽中的隔著該第一閘極絕緣層相鄰於該第一氧化物半導體層的第一閘極電極。

20. 根據申請專利範圍第 19 項之半導體裝置，還包括該第二電晶體上的第三電晶體，該第三電晶體包括：

第二絕緣層；

該第二絕緣層中的第二溝槽；

接觸於該第二絕緣層的第二氧化物半導體層，該第二氧化物半導體層包括：

相鄰於該第二溝槽的第一側壁的第一區域；

相鄰於該第二溝槽的底面的第五區域；以及

相鄰於該第二溝槽的第二側壁的第二區域，其中該第二溝槽的第一側壁與該第二溝槽的第二側壁對置；

該第二絕緣層的第一區域上的第二源極電極，該第二源極電極電連接於該第二氧化物半導體層；

該第二絕緣層的第二區域上的第二汲極電極，該第二汲極電極電連接於該第二氧化物半導體層，其中該第二溝槽位於該第二絕緣層的第一區域和該第二絕緣層的第二區域之間；

相鄰於該第二氧化物半導體層的第二閘極絕緣層；以及

該第二溝槽中的隔著該第二閘極絕緣層相鄰於該第二氧化物半導體層的第二閘極電極。

21. 根據申請專利範圍第 19 項之半導體裝置，其中該第一閘極絕緣層接觸於該第一氧化物半導體層的側面。

22. 根據申請專利範圍第 19 項之半導體裝置，其中該第一電晶體的閘極電極和該第一源極電極彼此電連接。

23. 根據申請專利範圍第 19 項之半導體裝置，還包括該第二電晶體上的電容器，

其中，該電容器電連接於該第一電晶體和該第二電晶體。

24. 根據申請專利範圍第 19 項之半導體裝置，其中該第一氧化物半導體層包括具有大致垂直於該第一氧化物半導體層的表面的 c 軸的結晶。

25. 根據申請專利範圍第 19 項之半導體裝置，

其中，該第一電晶體包括氧化物半導體材料以外的半導體材料，

並且，該半導體材料選自矽、銻、矽銻、碳化矽、砷化銻。

26. 根據申請專利範圍第 19 項之半導體裝置，還包括：

該第一絕緣層中的第三溝槽，以及

填充該第三溝槽的第三絕緣層。

27. 根據申請專利範圍第 26 項之半導體裝置，還包括該第三溝槽中的第四絕緣層，

其中，該第四絕緣層設置在該第一絕緣層和該第三絕緣層之間。

圖 1A

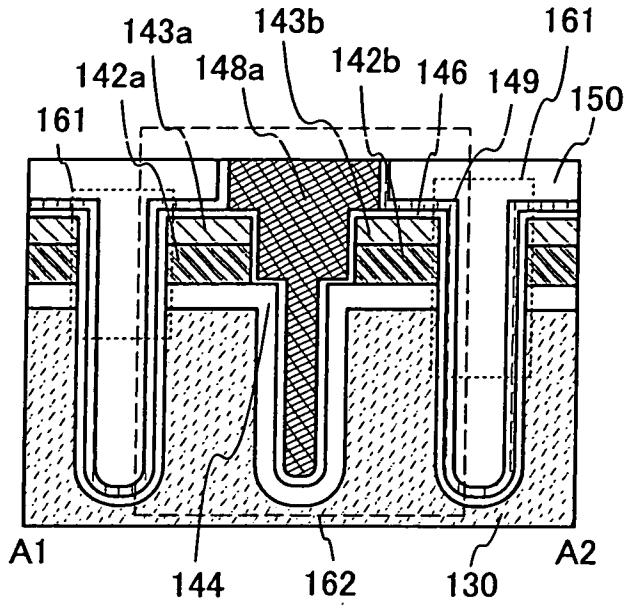


圖 1B

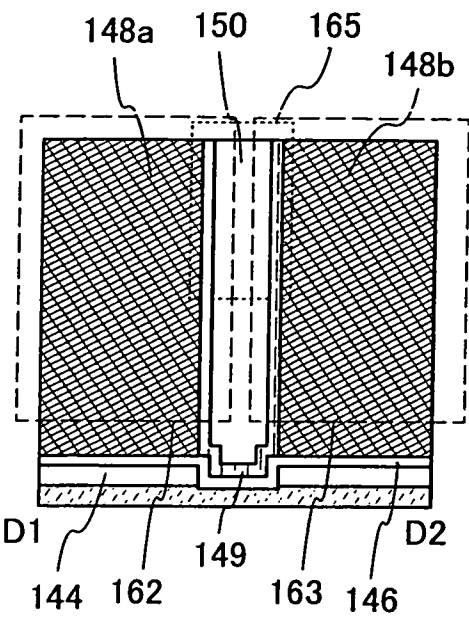


圖 1C

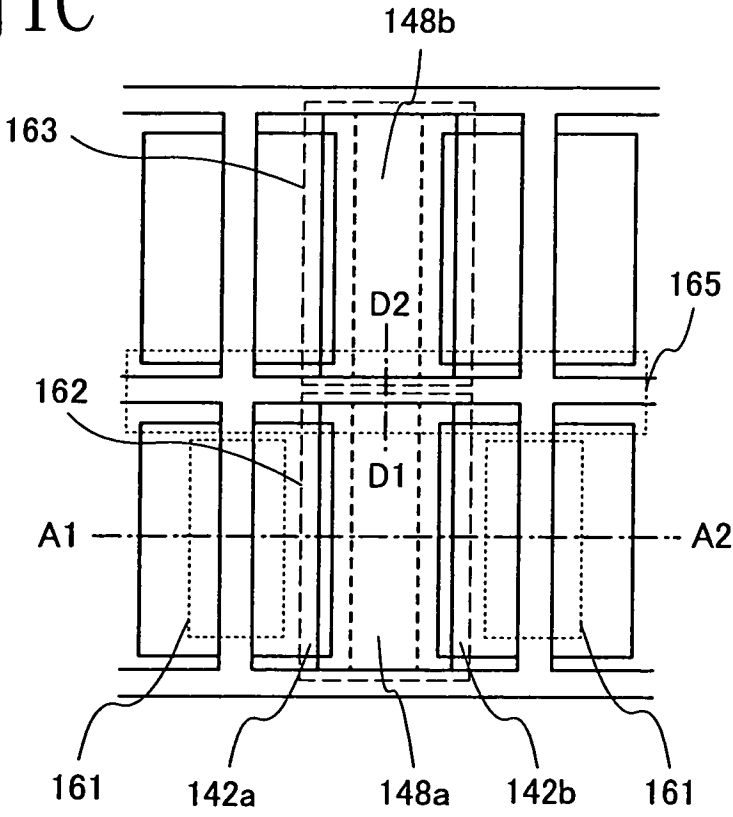


圖 2A

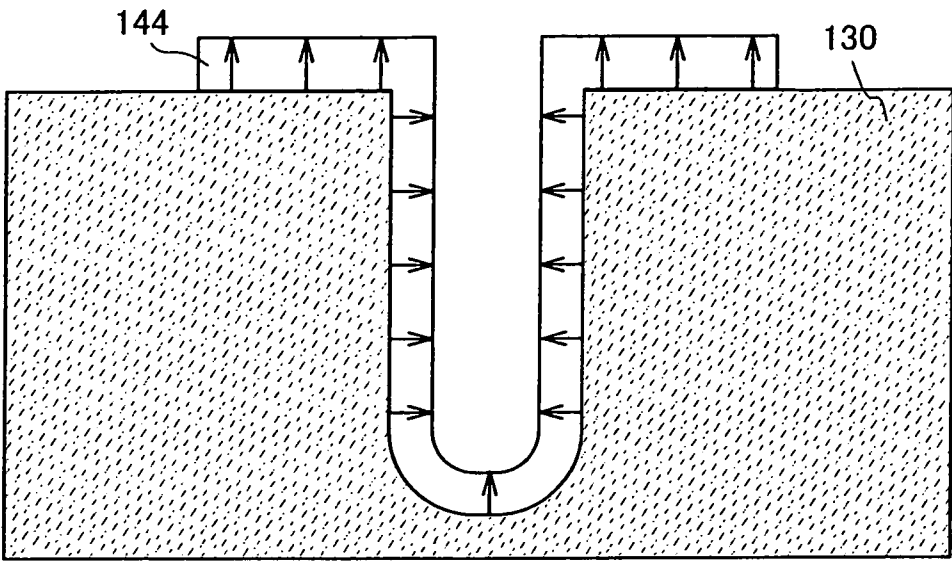


圖 2B

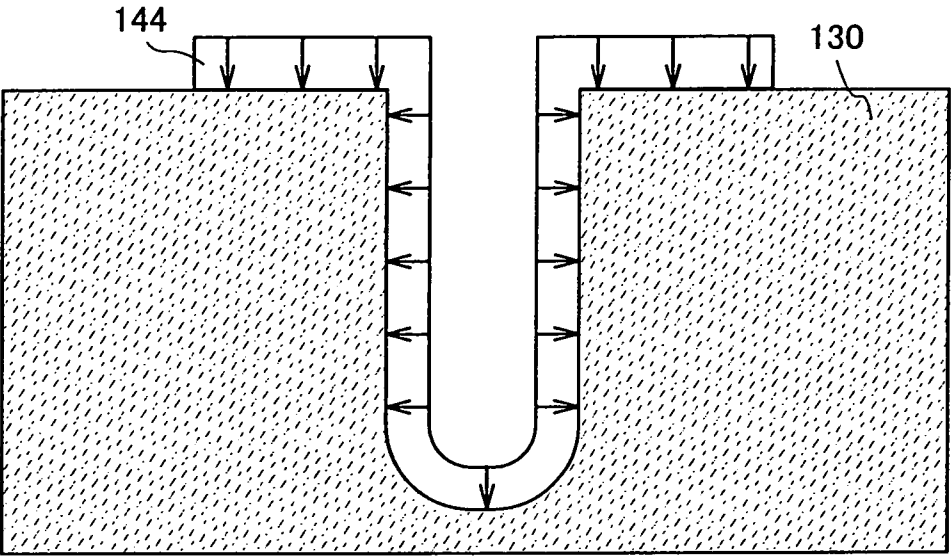


圖 2C

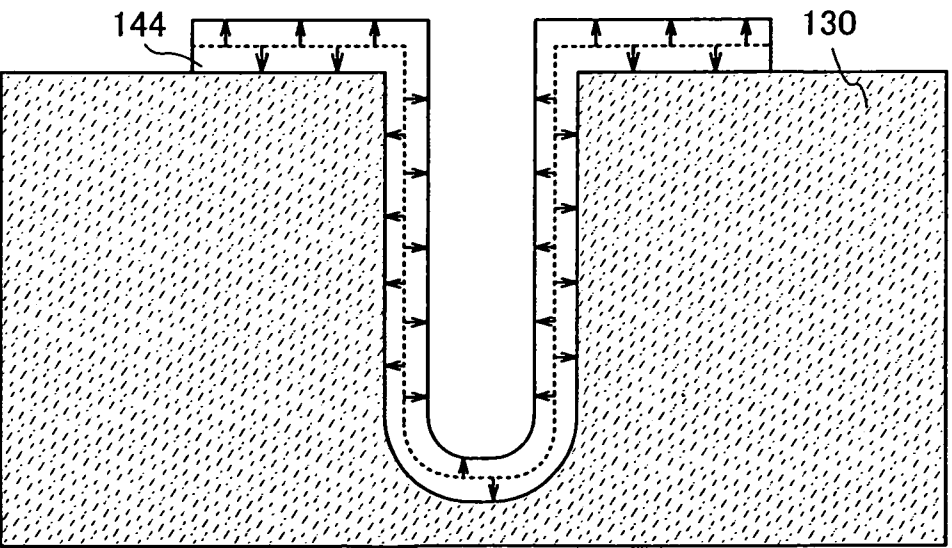


圖 3A

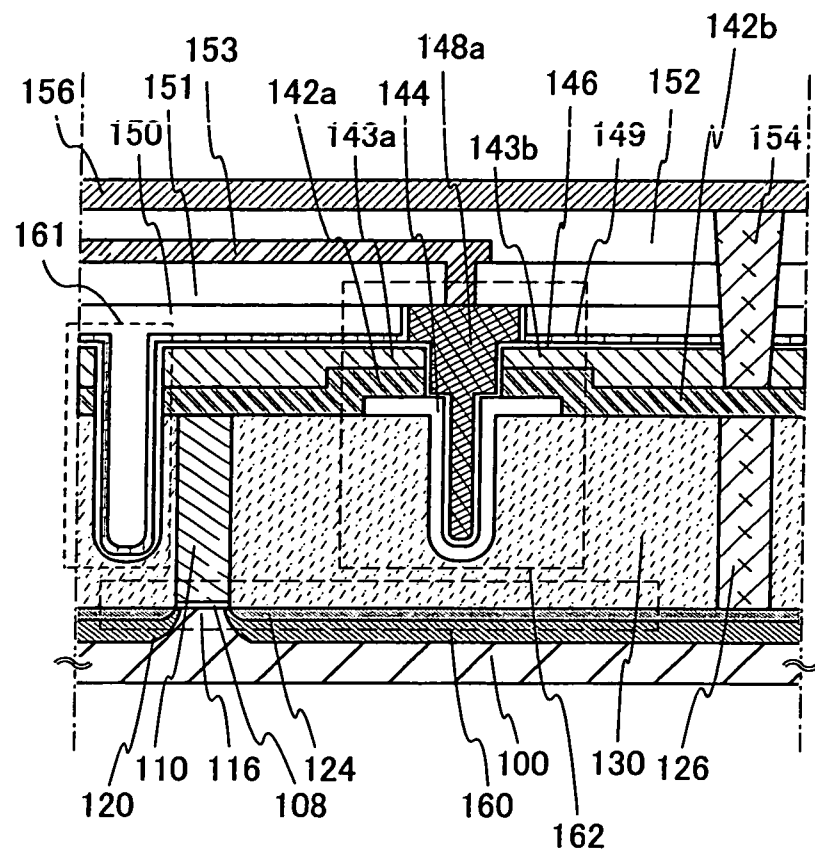


圖 3B

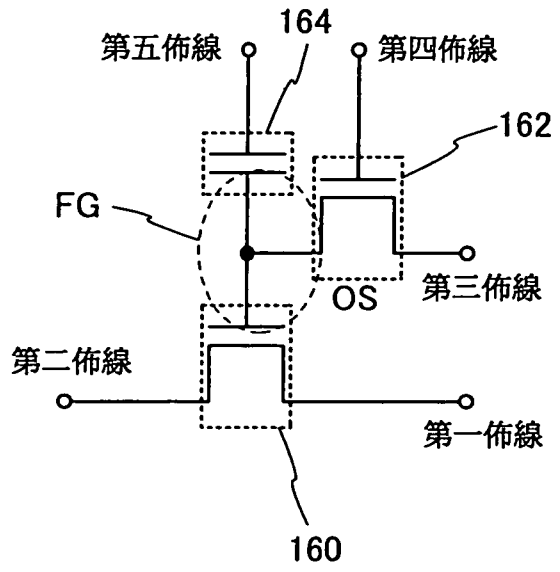


圖4

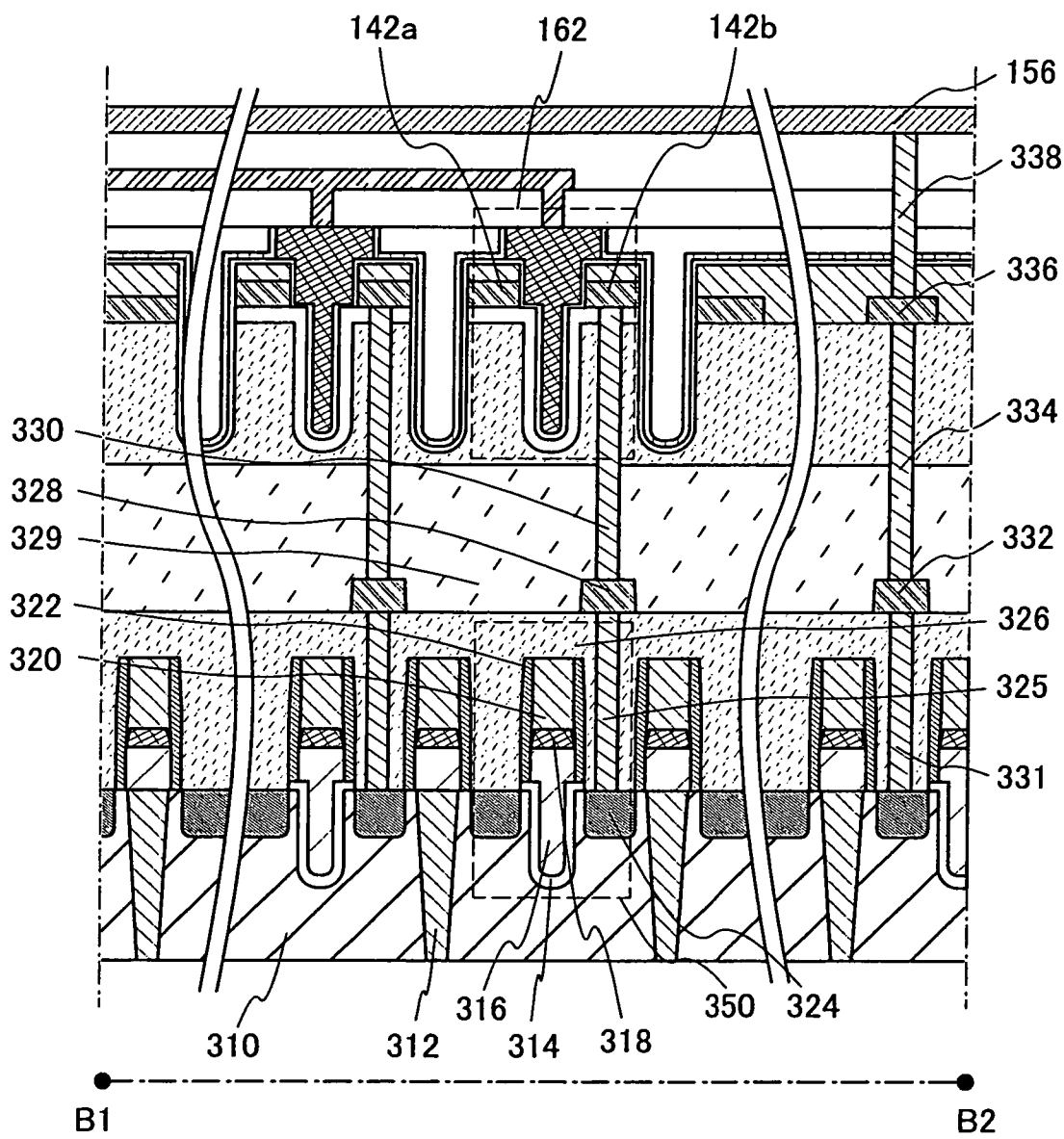


圖 5A

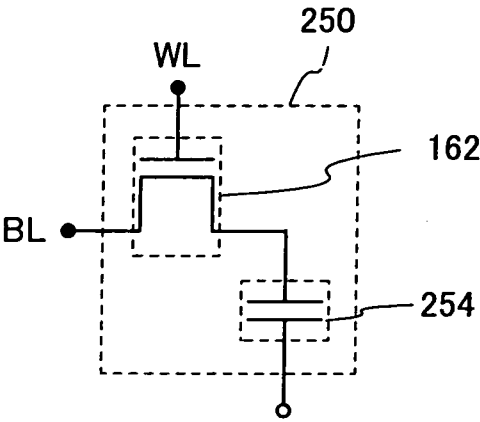


圖 5B

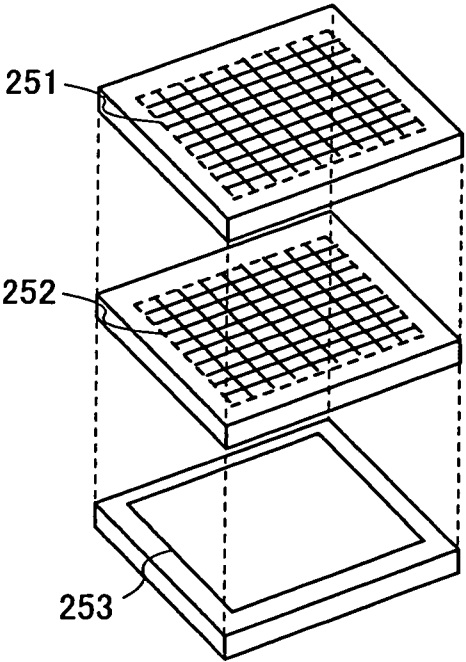


圖 6

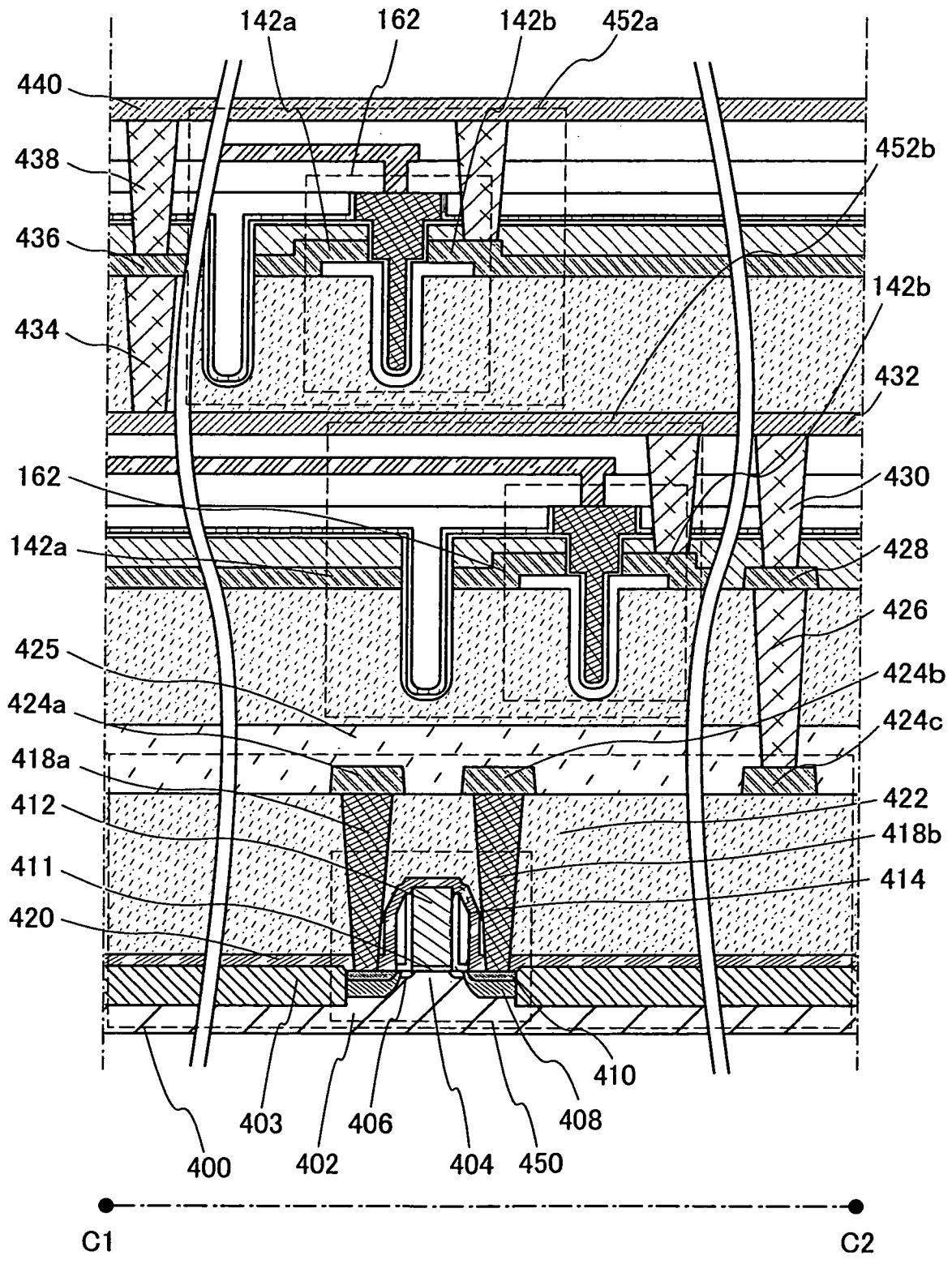


圖 7B

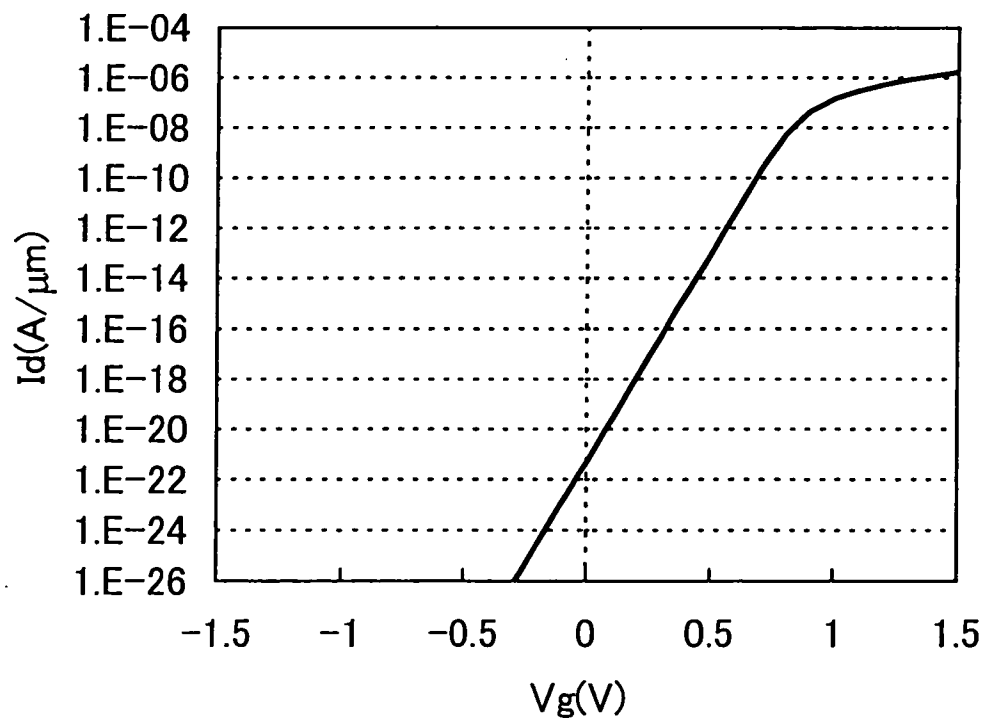
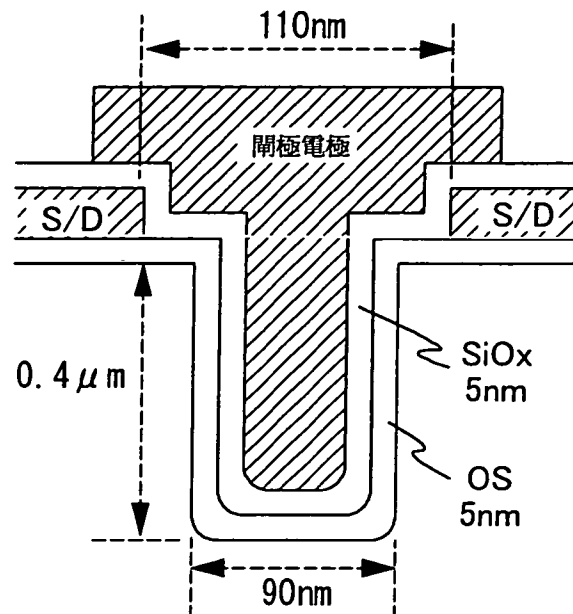


圖 8A

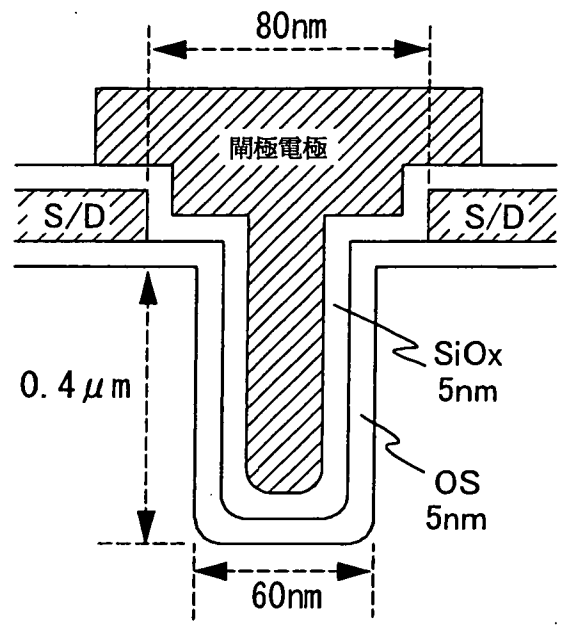


圖 8B

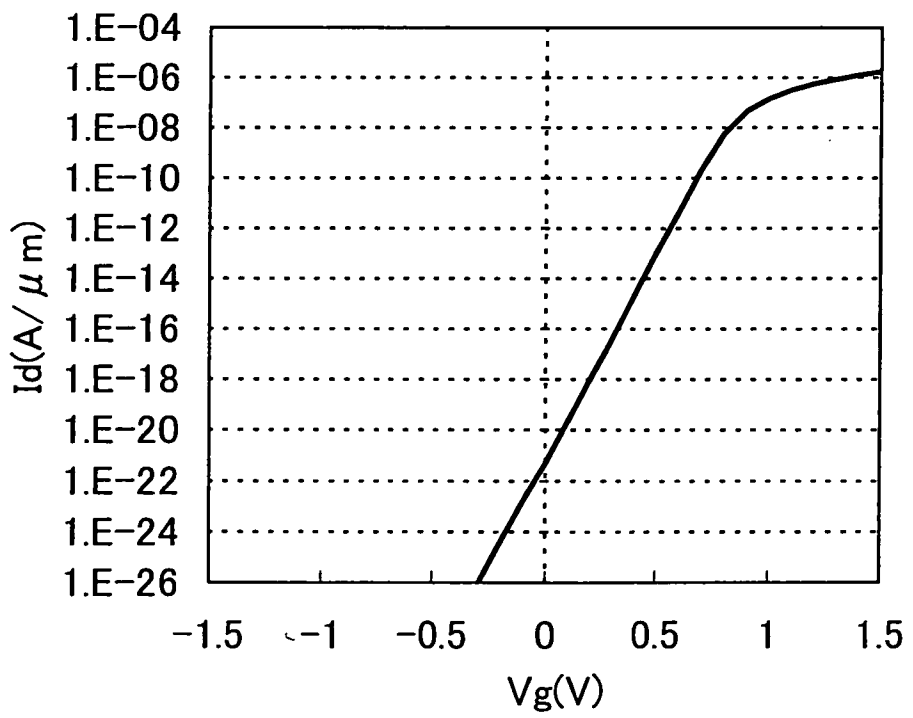


圖 9A

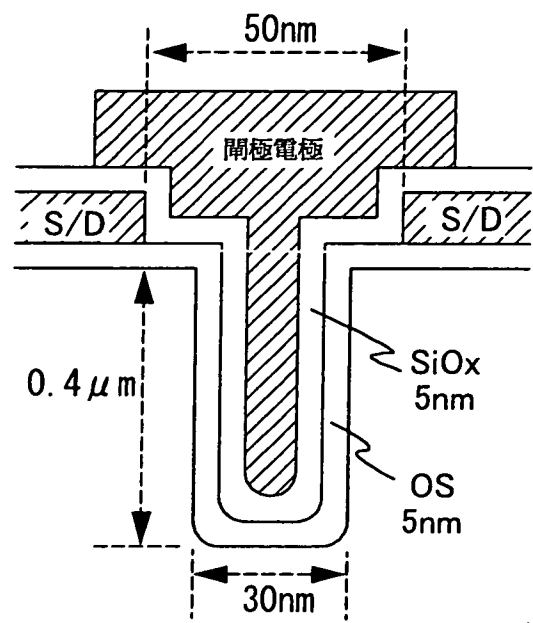


圖 9B

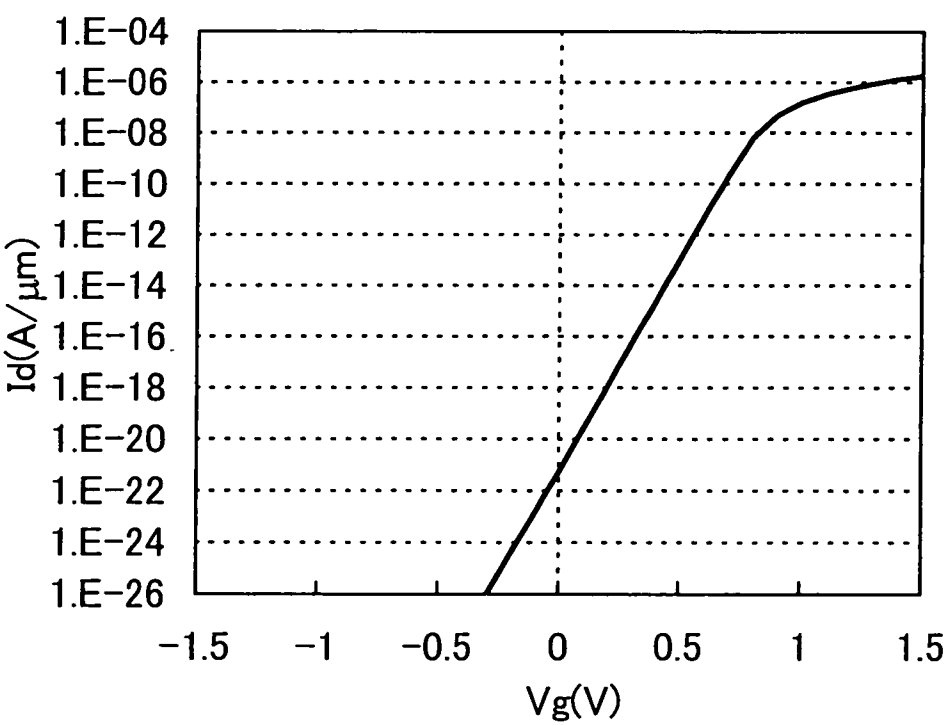


圖 10A

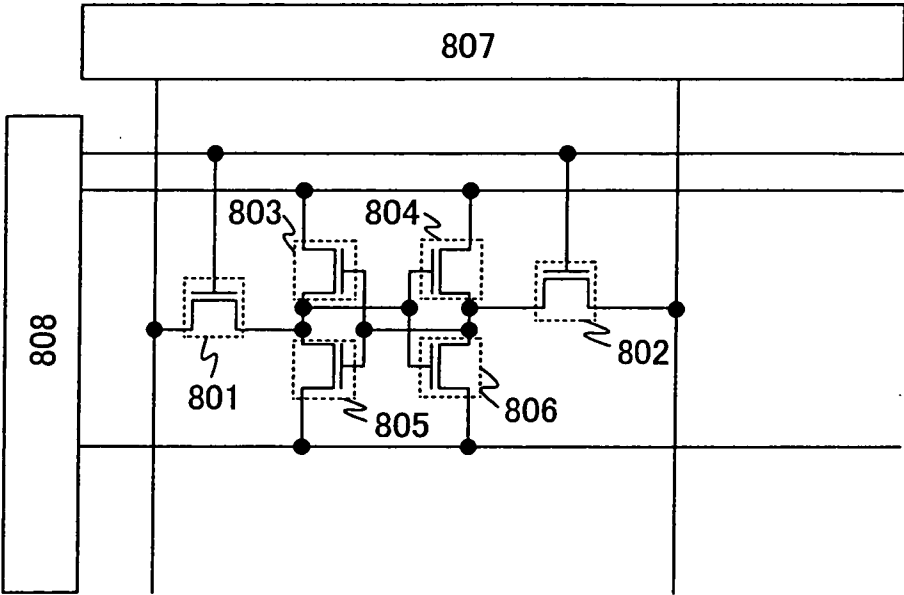


圖 10B

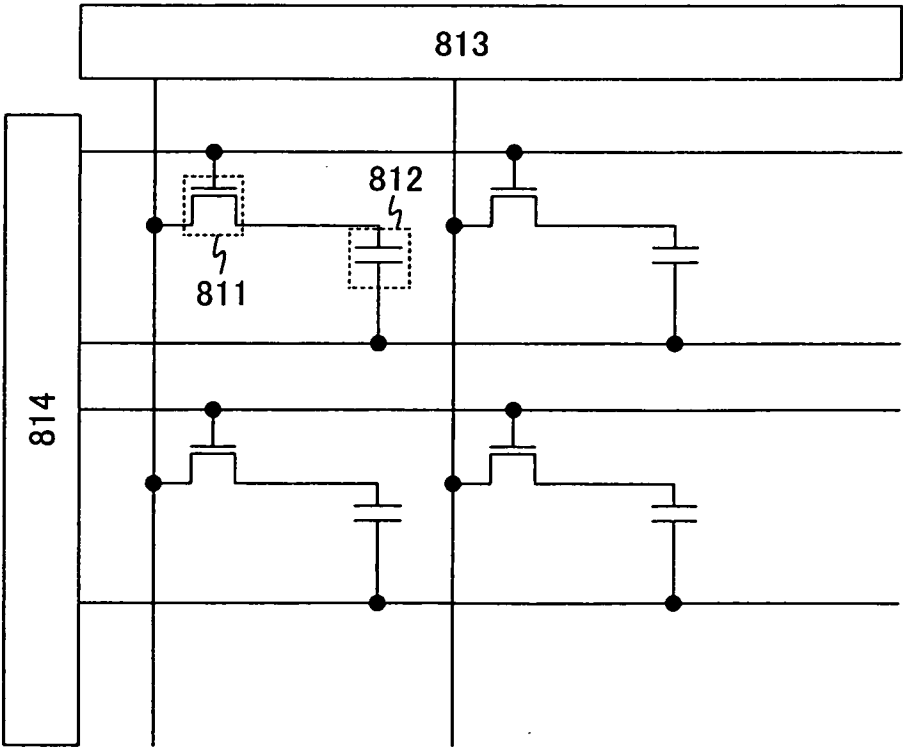


圖 11

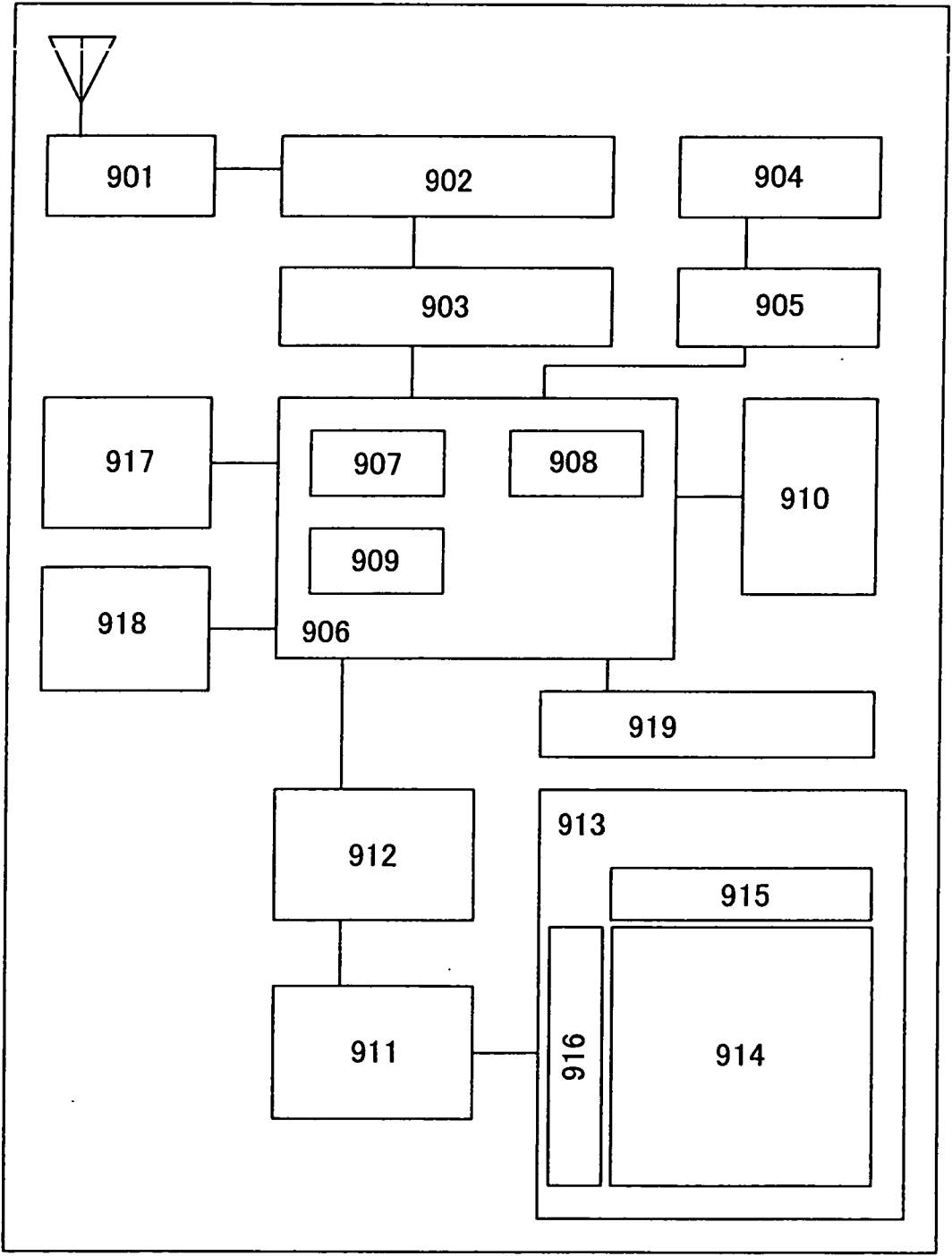


圖12

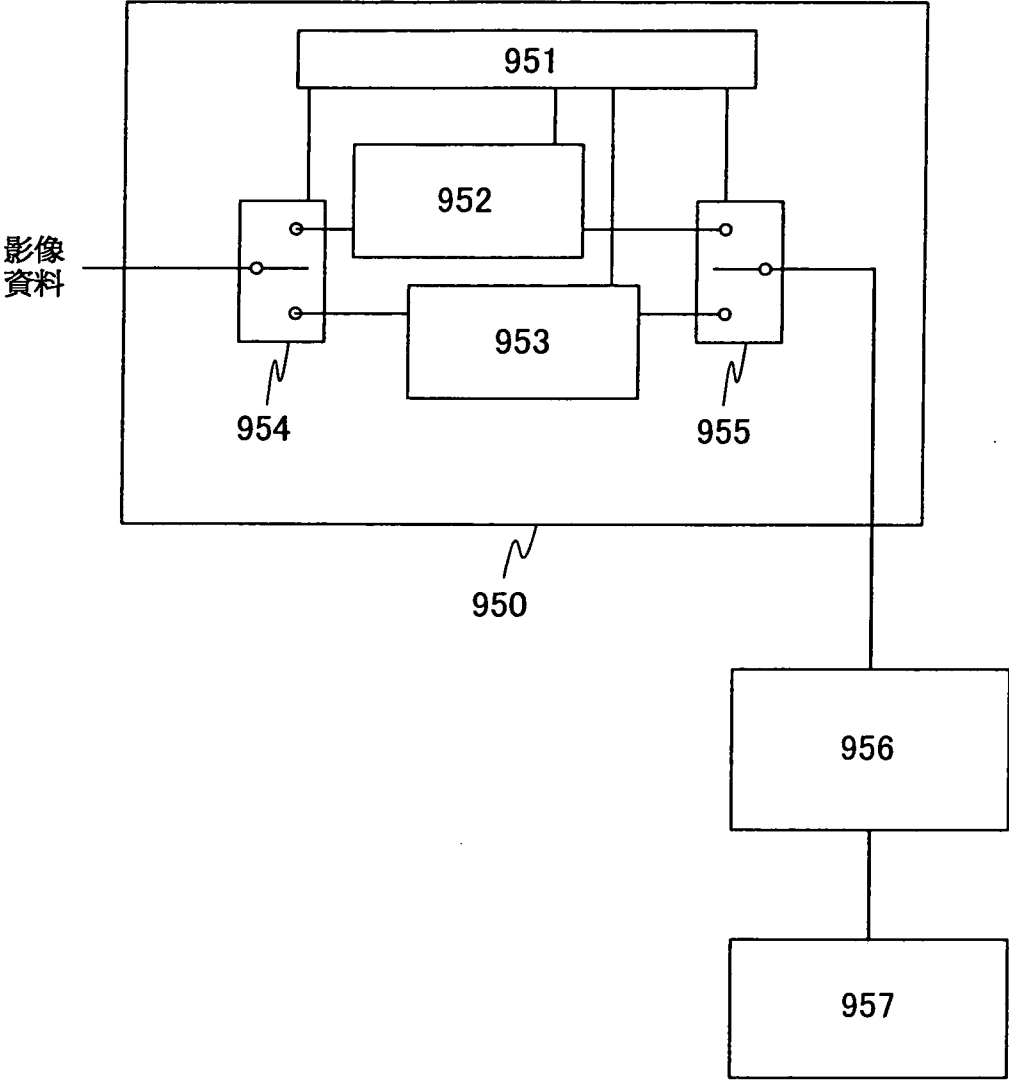


圖13

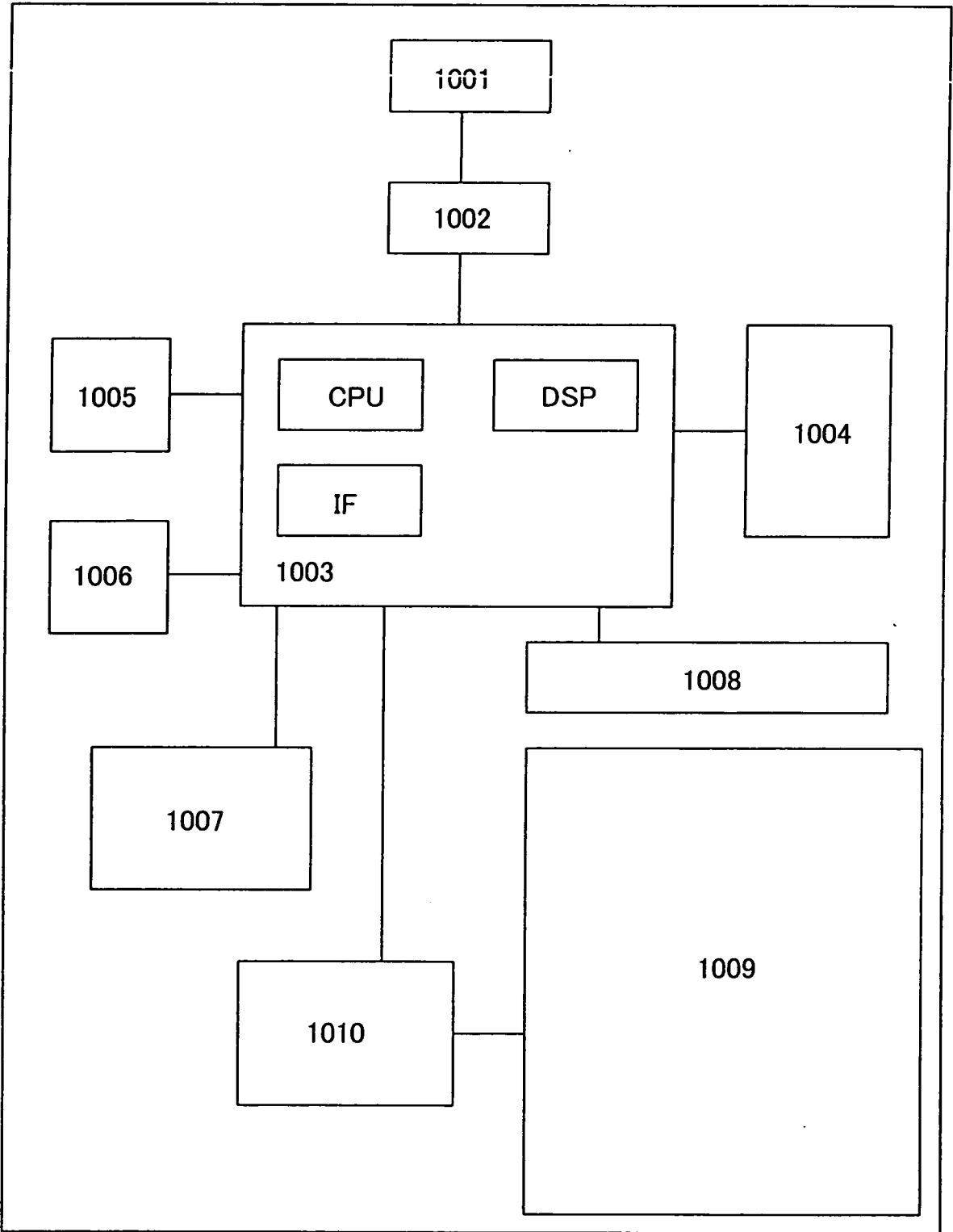


圖 14A

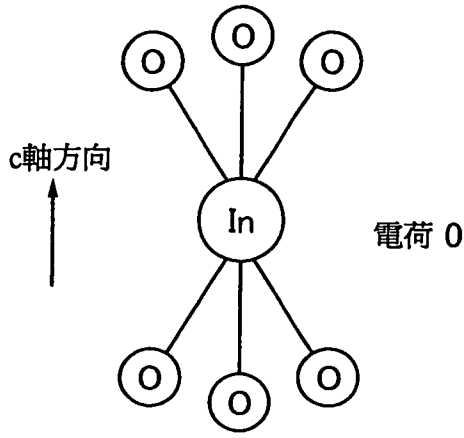


圖 14D

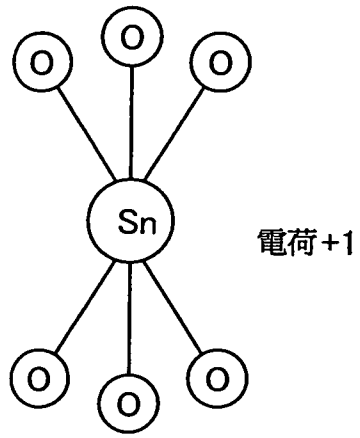


圖 14B

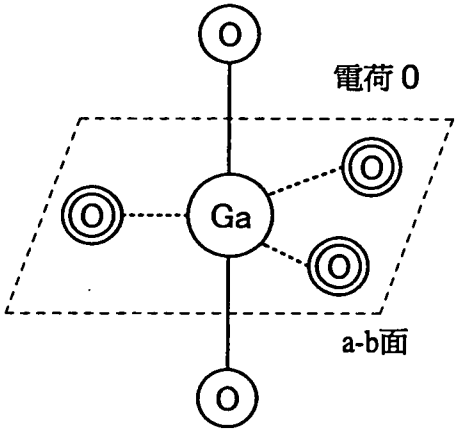


圖 14E

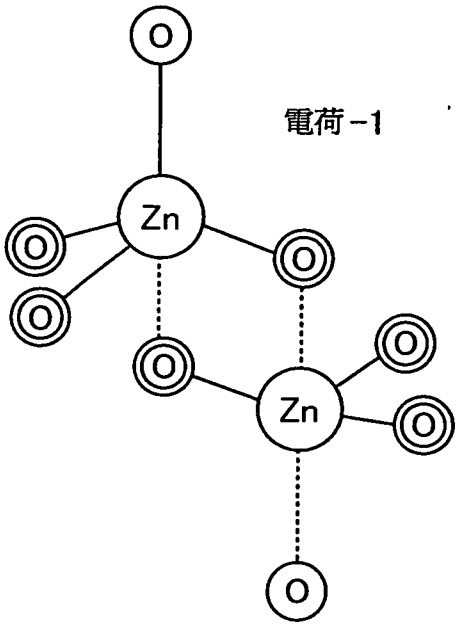


圖 14C

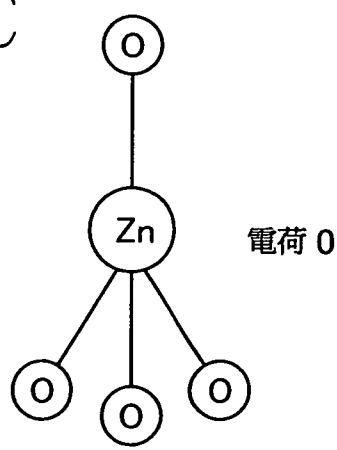


圖 15A

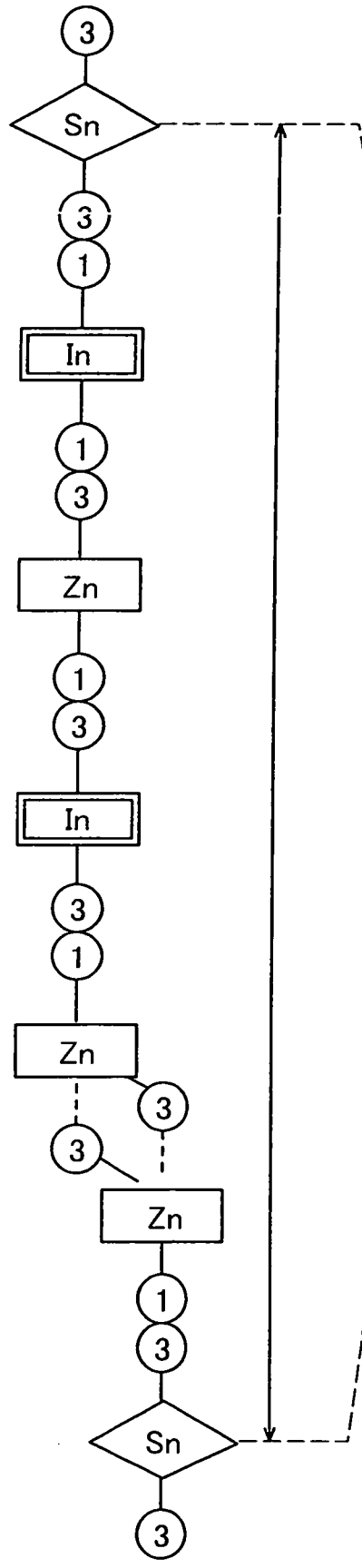
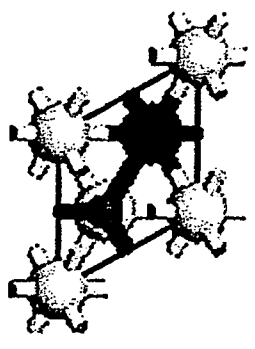


圖 15B



圖 15C



- In
- Sn
- Zn
- 0

圖 16A

圖 16B

圖 16C

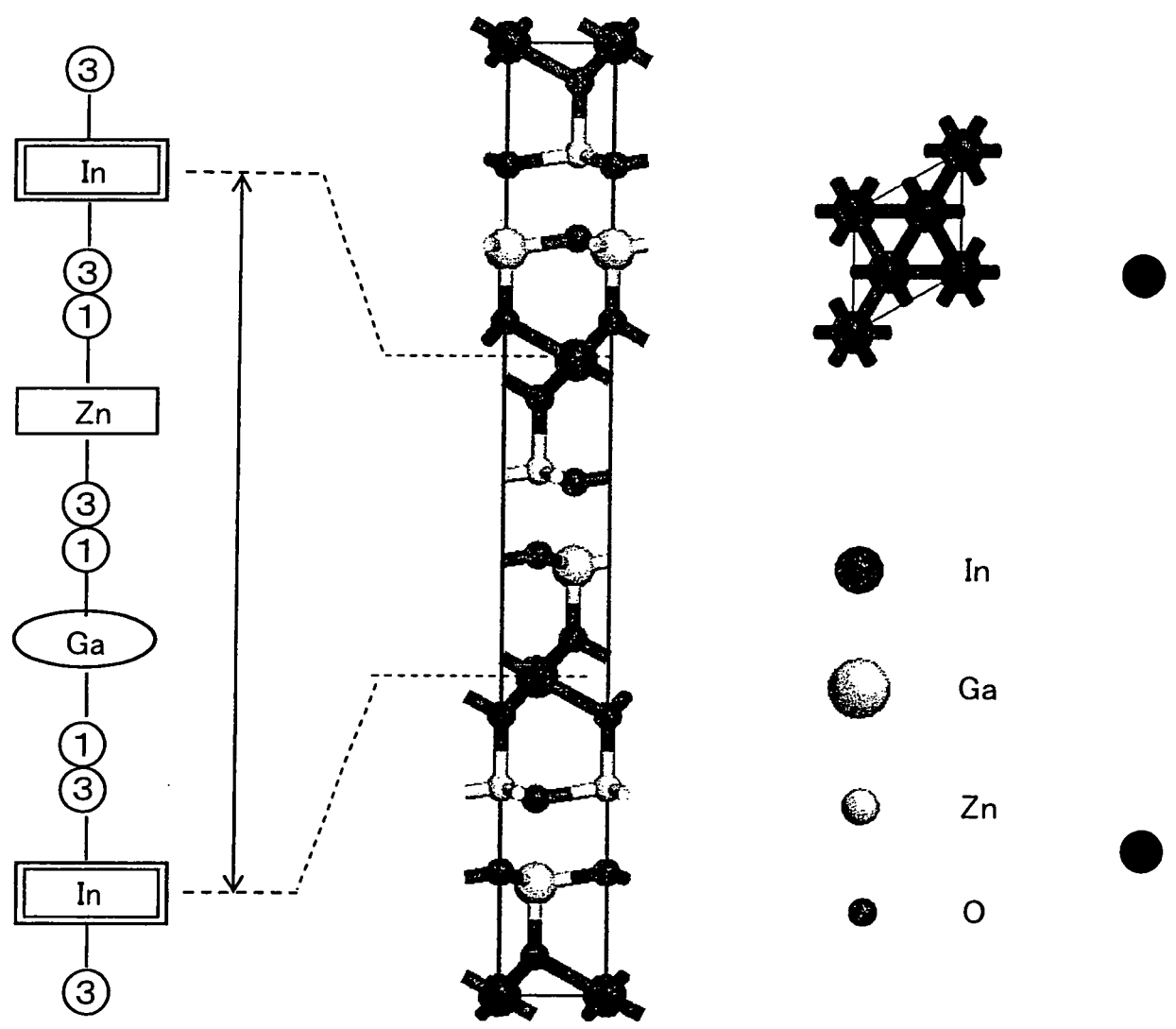


圖17

